(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0079205
(43) 공개일자 2008년08월29일

(51) Int. Cl.
H01L 21/31 (2006.01)
(21) 출원번호 10-2008-0016617
(22) 출원일자 2008년02월25일
심사청구일자 없음
(30) 우선권주장
JP-P-2007-00045146 2007년02월26일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
후지이 테루유키
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤한도오따이에네루기 켄큐쇼 나이
(74) 대리인
이화익, 권태복

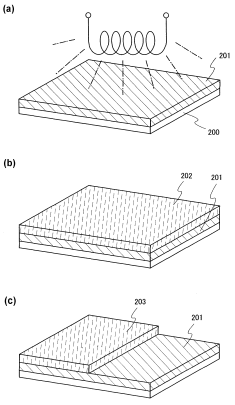
전체 청구항 수 : 총 26 항

(54) 절연막의 제조 방법 및 반도체 장치의 제조방법

(57) 요 약

비감광성의 실록산 수지를 사용하고, 습식 에칭법에 의해 원하는 형상으로 형성된 절연막을 형성할 수 있는 절연막의 제조 방법을 제공한다. 유기 용매 중에 실록산 수지 또는 실록산계 재료를 가지는 현탁액을 사용하여 박막을 형성하고, 박막에 제1 가열 처리를 수행하고, 제1 가열 처리후의 박막 상에 마스크를 형성하고, 유기 용매를 사용하여 습식 에칭함으로써 제1 가열 처리후의 박막의 형상을 가공하고, 가공된 박막에 제2 가열 처리를 실시한다.

대표도 - 도1



특허청구의 범위

청구항 1

실록산 수지 또는 실록산계 재료가 제1 유기 용매 중에 함유되는 현탁액을 사용하여 박막을 형성하는 단계와,

상기 박막에 제1 가열 처리를 수행하는 단계와,

상기 제1 가열 처리후의 상기 박막 상에 마스크를 형성하는 단계와,

상기 제1 가열 처리후의 상기 박막에 제2 유기 용매를 사용하여 습식 에칭을 수행하는 단계와,

상기 습식 에칭후의 상기 박막에 제2 가열 처리를 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 제2 유기 용매는 탄소 수가 3 내지 5의 범위가 되는 알콜인 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서,

상기 박막은 도전막 상에 형성되는 반도체 장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 도전막이 노출되도록 상기 습식 에칭에 의해 상기 박막 내에 개구부가 형성되는 반도체 장치의 제조 방법.

청구항 5

실록산 수지 또는 실록산계 재료가 제1 유기 용매 중에 함유되는 현탁액을 사용하여 박막을 형성하는 단계와,

상기 박막에 제1 가열 처리를 수행하는 단계와,

상기 제1 가열 처리후의 상기 박막 상에 마스크를 형성하는 단계와,

상기 제1 가열 처리후의 상기 박막에 제2 유기 용매를 사용하여 습식 에칭을 수행하는 단계와,

상기 제1 가열 처리의 온도보다 높은 온도에서, 상기 습식 에칭후의 상기 박막에 제2 가열 처리를 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서,

상기 제2 유기 용매는 탄소 수가 3 내지 5의 범위가 되는 알콜인 반도체 장치의 제조 방법.

청구항 7

제5항에 있어서,

상기 박막은 도전막 상에 형성되는 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 도전막이 노출되도록 상기 습식 에칭에 의해 상기 박막 내에 개구부가 형성되는 반도체 장치의 제조 방법.

청구항 9

실록산 수지 또는 실록산계 재료가 제1 유기 용매 중에 함유되는 현탁액을 사용하여 박막을 형성하는 단계와,

상기 박막이 경화되는 정도로 높고 상기 제1 유기 용매의 비점보다 낮은 온도에서, 상기 박막에 제1 가열 처리를 수행하는 단계와,

상기 제1 가열 처리후의 상기 박막 상에 마스크를 형성하는 단계와,

상기 제1 가열 처리후의 상기 박막에 제2 유기 용매를 사용하여 습식 에칭을 수행하는 단계와,

상기 제1 유기 용매의 비점보다 높은 온도에서, 상기 습식 에칭후의 상기 박막에 제2 가열 처리를 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 제1 가열 처리는 상기 습식 에칭의 종료까지의 시간이 30초 이상이 되도록 상기 제1 유기 용매의 비점보다 낮은 온도에서 수행되는 반도체 장치의 제조 방법.

청구항 11

제9항에 있어서,

상기 제2 유기 용매는 탄소 수가 3 내지 5의 범위가 되는 알콜인 반도체 장치의 제조 방법.

청구항 12

제9항에 있어서,

상기 박막은 도전막 상에 형성되는 반도체 장치의 제조 방법.

청구항 13

제12항에 있어서,

상기 도전막이 노출되도록 상기 습식 에칭에 의해 상기 박막 내에 개구부가 형성되는 반도체 장치의 제조 방법.

청구항 14

실록산 수지 또는 실록산계 재료가 제1 유기 용매 중에 함유되는 현탁액을 사용하여 박막을 형성하는 단계와,

상기 박막에 제1 가열 처리를 수행하는 단계와,

상기 제1 가열 처리후의 상기 박막 상에 마스크를 형성하는 단계와,

상기 마스크가 형성된 후의 상기 박막에 제2 가열 처리를 수행하는 단계와,

상기 제2 가열 처리후의 상기 박막에 제2 유기 용매를 사용하여 습식 에칭을 수행하는 단계와,

상기 습식 에칭후의 상기 박막에 제3 가열 처리를 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 15

제14항에 있어서,

상기 제2 유기 용매는 탄소 수가 3 내지 5의 범위가 되는 알콜인 반도체 장치의 제조 방법.

청구항 16

제14항에 있어서,

상기 박막은 도전막 상에 형성되는 반도체 장치의 제조 방법.

청구항 17

제16항에 있어서,

상기 도전막이 노출되도록 상기 습식 에칭에 의해 상기 박막 내에 개구부가 형성되는 반도체 장치의 제조 방법.

청구항 18

실록산 수지 또는 실록산계 재료가 제1 유기 용매 중에 함유되는 현탁액을 사용하여 박막을 형성하는 단계와,

상기 박막에 제1 가열 처리를 수행하는 단계와,

상기 제1 가열 처리후의 상기 박막 상에 마스크를 형성하는 단계와,

상기 마스크가 형성된 후의 상기 박막에 제2 가열 처리를 수행하는 단계와,

상기 제2 가열 처리후의 상기 박막에 제2 유기 용매를 사용하여 습식 에칭을 수행하는 단계와,

상기 제2 가열 처리의 온도보다 높은 온도에서, 상기 습식 에칭후의 상기 박막에 제3 가열 처리를 수행하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 제2 유기 용매는 탄소 수가 3 내지 5의 범위가 되는 알콜인 반도체 장치의 제조 방법.

청구항 20

제18항에 있어서,

상기 박막은 도전막 상에 형성되는 반도체 장치의 제조 방법.

청구항 21

제20항에 있어서,

상기 도전막이 노출되도록 상기 습식 에칭에 의해 상기 박막 내에 개구부가 형성되는 반도체 장치의 제조 방법.

청구항 22

실록산 수지 또는 실록산계 재료가 제1 유기 용매 중에 함유되는 현탁액을 사용하여 박막을 형성하는 단계와,

상기 박막이 경화되는 정도로 높은 온도에서, 상기 박막에 제1 가열 처리를 수행하는 단계와,

상기 제1 가열 처리후의 상기 박막 상에 마스크를 형성하는 단계와,

상기 제1 가열 처리의 온도보다 높은 온도에서, 상기 마스크가 형성된 후의 상기 박막에 제2 가열 처리를 수행하는 단계와,

상기 제2 가열 처리후의 상기 박막에 제2 유기 용매를 사용하여 습식 에칭을 수행하는 단계와,

상기 제1 유기 용매의 비점보다 높은 온도에서, 상기 습식 에칭후의 상기 박막에 제3 가열 처리를 수행하는 단계를 포함하며,

상기 제2 가열 처리는 상기 제1 유기 용매의 비점보다 낮은 온도에서 수행되는 반도체 장치의 제조 방법.

청구항 23

제22항에 있어서,

상기 제2 가열 처리는 상기 습식 에칭의 종료까지의 시간이 30초 이상이 되도록 상기 제1 유기 용매의 비점보다 낮은 온도에서 수행되는 반도체 장치의 제조 방법.

청구항 24

제22항에 있어서,

상기 제2 유기 용매는 탄소 수가 3 내지 5의 범위가 되는 알콜인 반도체 장치의 제조 방법.

청구항 25

제22항에 있어서,

상기 박막은 도전막 상에 형성되는 반도체 장치의 제조 방법.

청구항 26

제25항에 있어서,

상기 도전막이 노출되도록 상기 습식 에칭에 의해 상기 박막 내에 개구부가 형성되는 반도체 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 원하는 형상으로 가공된 절연막의 제조 방법에 관한 것이다. 또한, 본 발명은 상기 절연막을 층간에 사용한 반도체 장치의 제조 방법에 관한 것이다.

배 경 기 술

<2> 반도체 소자 또는 배선 사이에 제공되는 절연막은 상기 절연막 상에 형성된 각종 막의 리소그래피 또는 에칭을 균일하게 수행하기 위하여 또는 절연막의 단차에 있어서의 각종 막의 피복성을 향상시키기 위하여 유전율이 낮음은 물론, 그 표면에서 평탄성을 가지는 것이 중요하다. 표면의 평탄성이라는 점에 있어서, CVD법보다도 도포법(SOD: Spin On Deposition) 쪽이 보다 품질이 높은 절연막을 용이하게 형성할 수 있다. 특히, 실록산 수지를 사용하고, 도포법에 의해 형성한 절연막은 그 평탄성이 높음은 물론, 유전율이 낮고, 내열성이 우수하다는 특성을 구비하기 때문에 집적회로의 절연막으로서 널리 이용되고 있다.

<3> 실록산 수지는 시작 재료로서 실록산계 재료를 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산 수지는 높은 내약품성을 가지기 때문에, 원하는 형상으로 가공(패터닝) 할 때에 습식 에칭은 적당하지 않고 드라이 에칭에 의한 가공이 주류이다. 하기의 특허문헌1에는 드라이 에칭에 의한 실록산 수지의 패터닝에 대하여 기재되어 있다.

<4> 또한, 최근에는 원래 비감광성인 실록산 수지에 분자 설계(molecular design)에 의해 감광성을 부여하는 기술이 연구되어 왔다. 감광성을 가지는 실록산 수지의 등장에 의해, 리소그래피법에 의한 실록산 수지의 패터닝이 가능하게 된다. 하기의 특허문헌2에는 감광성을 가지는 실록산 수지가 기재되어 있다.

<5> (특허문헌1) 일본국 공개특허공보 특개평7-133350호 공보

<6> (특허문헌2) 일본국 공개특허공보 특개2007-17481호 공보

발명의 내용

해결 하고자하는 과제

<7> 그러나, 실록산 수지로 형성된 절연막을 드라이 에칭에 의해 패터닝 하면, 단면의 테이퍼 각이 커지기 쉽다. 테이퍼 각이 크다면, 실록산 수지로 형성된 절연막의 단부에 있어서, 절연막에 접촉하도록 형성되는 배선 또는 각종 막이 극단적으로 얇아지거나 또는 절단되는 등의 문제가 발생하기 쉽다.

<8> 특히, 발광소자 중 하나인 OLED(organic light emitting diode)는 절연막의 평탄성이 매우 중요한 소자이다. 일반적으로, 발광소자는 한쌍의 전극과, 상기 전극 사이에 제공되는, 전장의 부가에 의해 발생되는 루미네선스

(electroluminescence)를 수득할 수 있는 전계 발광 재료를 포함하는 층(이하, 전계 발광층이라고 기재함)을 가지고 있다. 절연막에 충분히 높은 평탄성이 확보되지 않는다면, 상기 절연막 상에 형성되는 발광소자의 전극에 요철이 생기고, 게다가 그 전극 상에 형성되는 전계 발광층이 부분적으로 극단적으로 얇아지고, 절단되는 등의 문제가 생기기 쉽다. 그리고, 전계 발광층의 극단적으로 얇은 부분에서 전계 발광 재료의 열화가 촉진되기 쉽기 때문에, 발광소자의 신뢰성을 낮게 하는 한가지 원인이 된다. 또한, 전계 발광층이 절단을 일으킨 부분에서는 한 쌍의 전극이 쇼트되기 때문에, 발광소자가 발광하지 않거나 또는 쇼트 부분의 근방으로부터 전계 발광 재료의 열화가 촉진되기 쉽고, 모두 발광소자의 신뢰성을 낮게 하는 한가지 원인이 된다.

<9> 또한, 실록산 수지로 형성된 절연막을 드라이 에칭에 의해 패터닝 하면, 에칭시에 발생하는 플라즈마에 의해, OH기가 실록산 수지로 형성된 절연막의 표면에 생성되기 쉽다는 문제도 있다. OH기가 증가하면 절연막의 흡습성이 높아지고, 절연막 중의 수분이 반도체 소자의 신뢰성에 악영향을 줄 우려가 생긴다. 특히, 전술한 발광소자에 사용할 수 있는 전계 발광 재료는 수분에 의해 열화가 촉진되기 때문에, 절연막 중의 흡습성의 정도는 반도체 장치의 신뢰성을 좌우하는 큰 문제이다.

<10> 한편, 감광성을 가지는 실록산 수지가 사용될 경우, 리소그래피법을 사용하여 패터닝 하므로 드라이 에칭시에 생기는 상기 문제는 회피할 수 있다. 그러나, 감광성을 가지는 실록산 수지는 현재 여러가지 용도를 위해 개발 단계에 있으며, 아직 저렴한 제품은 시장에 보급되지 않고 있는 실정이다.

<11> 본 발명은 상기 문제를 감안하여, 종래부터 사용되고 있는 비감광성의 실록산 수지를 사용하고, 습식 에칭법에 의해 원하는 형상으로 형성되는 절연막을 형성할 수 있는, 절연막의 제조 방법의 제공을 목적으로 한다. 또한, 본 발명은 상기 제조 방법을 사용한 반도체 장치의 제조 방법의 제공을 목적으로 한다.

과제 해결수단

<12> 본 발명자는 실록산 수지로 절연막을 형성한 후가 아니고, 실록산 수지로 절연막을 형성하는 과정에서 유기 용매를 사용한 습식 에칭이 가능하다는 것을 발견했다. 본 발명에서는 실록산 수지 또는 실록산 수지의 전구체(precursor)인 실록산계 재료를 포함하는 박막을 소성하고, 절연막으로서 완성되기 전의 단계에서 유기 용매에 의해 상기 박막을 습식 에칭한다.

<13> 구체적으로, 본 발명에서는 실록산 수지의 절연막을 형성하는 과정에서 적어도 2회의 가열 처리가 행해진다. 유기 용매에 의한 습식 에칭은 상기 2회의 가열 처리 사이에 수행한다. 1회째의 가열 처리(베이킹)는 실록산 수지 또는 실록산 수지의 전구체인 실록산계 재료를 포함하는 현탁액에서 박막을 형성한 후에 수행한다. 이 베이킹에 의해, 상기 박막 중의 실록산계 재료가 겔화되거나 또는 상기 박막 중에 포함되는 유기 용매가 일부 휘발됨으로써, 습식 에칭이 가능한 정도로 상기 박막이 경화된다. 그리고, 베이킹에 의해 경화된 박막은 유기 용매에 의한 습식 에칭에 의해 원하는 형상으로 가공된다. 2회째의 가열 처리(큐어링)는 습식 에칭의 이후에 행해진다. 큐어링에 의해, 상기 박막 중의 겔화된 실록산계 재료가 중합되거나 또는 상기 박막 중에 포함되는 유기 용매가 한층 더 휘발됨으로써, 원하는 패턴을 가지는 실록산 수지의 절연막이 형성된다.

<14> 상기 에칭에 사용할 수 있는 유기 용매에는 탄소 수가 3 내지 5의 중급 알코올, 예를 들면 부탄올, 프로판올 등이 바람직하다. 상기 알코올을 에천트로서 사용함으로써, 베이킹에 의해 경화되어지는 박막을 습식 에칭할 때, 에칭에 적합한 에칭율과 마스크에 대한 높은 선택비가 확보될 수 있다. 또한, 상기 유기 용매를 에천트로서 사용함으로써, 불산 등의 무기 재료의 에천트를 사용했을 경우와 다르게, 절연막의 하층에 설정된 배선, 전극 등의 도전막의 표면의 거칠기가 억제될 수 있고, 취급의 위험도도 낮게 할 수 있다.

<15> 베이킹의 처리 온도는 선택적인 습식 에칭이 수행될 수 있는 정도의 실록산 수지 또는 실록산계 재료를 가지는 박막을 경화시킬 수 있는 온도범위로 설정한다.구체적으로, 원하는 에칭율이 확보될 수 있는 정도로 높지만, 박막을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 낮게 온도를 설정한다.

<16> 또한, 큐어링의 처리 온도는 박막에 포함되는 실록산계 재료가 중합되거나 또는 박막에 포함되는 유기 용매의 휘발이 촉진되는 정도의 범위로 설정한다. 구체적으로, 박막을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 높게 큐어링의 온도를 설정한다.

<17> 또한, 선택적으로 습식 에칭을 행할 때에 사용하는 마스크는 리소그래피법 에 의해 형성될 수 있고, 액적 토출법(droplet discharging method) 또는 인쇄법을 사용하여 형성될 수 있다. 더욱이, 액적 토출법은 소정의 조성물을 포함하는 액적이 세공(pore)으로부터 토출 또는 분출함으로써 소정의 패턴을 형성하는 방법을 의미하고, 잉크젯법 등이 그 범주에 포함된다.

효 과

<18> 본 발명의 절연막의 제조 방법에서는 습식 에칭을 사용할 수 있으므로 패턴이 형성된 절연막의 단부에서의 테이퍼 각이 작아지도록 억제될 수 있고, 평탄성이 더 높은 절연막이 형성될 수 있다. 그리고, 본 발명의 절연막의 제조 방법에서는 드라이 에칭과 같이 OH기의 증가에 의해 절연막의 흡습성이 높아지는 문제가 생기지 않는다. 또한, 종래의 비감광성의 실록산 수지로 절연막을 형성할 수 있으므로, 저렴한 원재료를 사용할 수 있다.

<19> 또한, 상기 절연막의 제조 방법을 사용한 본 발명의 반도체 장치의 제조 방법에서는 절연막의 단부에 있어서의 테이퍼 각이 작아지도록 억제함으로써 절연막에 접촉하도록 형성되는 배선이나 각종 막이 절연막의 단부에서 극단적으로 얇아지거나 또는 절단되는 것을 막을 수 있다. 따라서, 반도체 장치의 제품 비율 또는 신뢰성을 높일 수 있다. 또한, 발광소자를 가지는 반도체 장치의 경우, 절연막의 단부에서의 테이퍼 각이 작아짐으로써 전계 발광층이 부분적으로 극단적으로 얇아지거나 또는 절단을 일으키는 것을 막을 수 있다. 따라서, 발광소자의 신뢰성, 나아가서는 상기 발광소자를 가지는 반도체 장치의 신뢰성을 높일 수 있다.

<20> 또한, 상기 절연막의 제조 방법을 사용한 본 발명의 반도체 장치의 제조 방법에서는 드라이 에칭과 같이 OH기의 증가에 의해 절연막의 흡습성이 높아지는 문제가 생기지 않도록 하기 위하여 절연막 중의 수분이 반도체 소자의 신뢰성, 나아가서는 반도체 장치의 신뢰성에 악영향을 주는 것을 방지할 수 있다. 그리고, 발광소자를 가지는 반도체 장치의 경우, 절연막 중의 흡습성을 억제함으로써 발광소자의 열화가 억제될 수 있으므로, 반도체 장치의 신뢰성을 높일 수 있다.

<21> 또한, 상기 절연막의 제조 방법을 사용한 본 발명의 반도체 장치의 제조 방법에서는 종래의 비감광성의 실록산 수지로 절연막을 형성할 수 있으므로 저렴한 원재료를 사용할 수 있고, 따라서 반도체 장치의 제조에 소용되는 비용이 억제될 수 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 본 발명은 많은 다른 형태로 수행될 수 있으며, 본 발명의 취지 및 그 범위에서 일탈하는 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 본 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다.

<23> (실시형태1)

<24> 본 실시형태에서는 도 1, 도 2를 사용하고, 리소그래피법을 사용한 본 발명의 절연막의 제조 방법에 관하여 설명한다. 우선, 도 1a에 나타낸 바와 같이, 실록산 수지 또는 실록산 수지의 전구체인 실록산계 재료가 분산된 현탁액을 기판(200) 상에 도포함으로써 박막(201)이 형성된다. 실록산 수지는 실리콘(Si)과 산소(O)의 결합에 의해 분자의 골격구조가 구성되는 재료이다. 치환기로서, 수소 이외에, 불소, 플루오르기, 유기기(예를 들면, 알킬기, 방향족 탄화수소) 중에서 적어도 1종을 갖고 있어도 된다.

<25> 현탁액의 용매는 실록산 수지 또는 실록산계 재료를 분산되게 할 수 있는 유기 용매인 것이 바람직하고, 예를 들면 프로필렌 글리콜 모노메틸 에테르 아세테이트(propylene glycol monomethyl ether acetate : PGMEA), 3-메톡시-3-메틸－1-부탄올(MMB), N-메틸-2-피롤리돈(pyrrolidone)(NMP) 등이 사용될 수 있다. 본 실시형태에서는 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA) 및 3-메톡시-3-메틸－1-부탄올(MMB)을 사용한다. 현탁액의 도포는 기판(200) 상에 현탁액을 떨어뜨린 후, 기판(200)을 고속회전하는 스핀 코팅법에 의해 수행될 수 있다. 또한, 스핀 코팅법에 한정되지 않고, 슬릿 코팅법, 딥 코팅법 등을 사용하여 현탁액의 도포를 수행하도록 해도 좋다.

<26> 또한, 도 1a에서는 기판(200) 상에 직접 박막(201)이 형성될 경우를 예시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 기판(200) 상에 절연막 이외에, 배선 또는 전극을 포함하는 도전막 등의 각종 막을 형성한 후, 실록산 수지 또는 실록산계 재료를 가지는 박막(201)이 형성될 수 있다.

<27> 다음에, 박막(201)에 프리베이킹(prebaking)이라고 불리는 가열 처리가 수행되어, 박막(201)을 경화시킨다. 본 실시형태에서, 프리베이킹을 수행함으로써, 마스크가 리소그래피법에 의해 형성된 이후의 공정에 있어서의 작업성이 향상될 수 있다.

<28> 프리베이킹의 온도는 박막(201)이 작업하기 쉽도록 경화되는 정도로 높지만, 박막(201) 중의 유기 용매의 비점보다 낮게 하는 것이 바람직하다. 본 실시형태에서는 90℃~100℃, 30초~60초의 조건으로 프리베이킹을 행한다.

<29> 다음에, 박막(201)과 레지스트의 밀착성을 높이기 위하여, 박막(201)이 현상액에 노출된다. 그리고, 도 1b에 나타낸 바와 같이, 레지스트를 사용하여 박막(201) 상에 레지스트 층(202)을 형성한다. 본 실시예에서는 노보락(Novolac) 수지가 레지스트로서 사용된다. 그리고, 레지스트 층(202)에 110℃~120℃,30초~90초의 가열 처리(레지스트의 프리베이킹)가 실행된다. 상기 가열 처리에 의해, 표면에 용해가 어려운 층을 형성함으로써 레지스트 층(202)을 경화시키고, 작업성을 향상시킬 수 있다.

<30> 다음에, 레지스트 층(202)을 노광, 현상함으로써 레지스트 층(202)이 부분적으로 박리된다. 그 결과, 도 1c에 나타낸 바와 같이, 선택적으로 박막(201) 상에 설정된 마스크(203)가 형성된다.

<31> 그리고, 도 2a에 나타낸 바와 같이, 베이킹이라고 불리는 가열 처리를 행하여 박막(201)을 한층 더 경화시킨다. 도 2a에서는 베이킹후의 박막(201)을 박막(204)으로서 도시한다.

<32> 여기에서, 베이킹의 조건과 에천트의 종류에 따라 박막 및 레지스트의 에칭율(nm/min)에 대하여 조사한 결과가 표 1에 도시되어 있다.

표 1

	에탄올		OK73신너		아세톤		2-부탄올	
	레지스트	박막	레지스트	박막	레지스트	박막	레지스트	박막
가열없음							2.284	100<
130℃ 0.5시간							0.114	16.115
135℃ 0.5시간	42.349	22.201	17.397	11.903	39.657	15.627	-0.068	13.028
140℃ 0.5시간	23.557	12.454	17.008	8.604	24.315	10.95	-0.03	4.58
150℃ 0.5시간	12.956	5.008	8.603	4.334	15.906	5.831	-0.088	2.716
160℃ 0.5시간	2.988	2.649	1.801	0.271	5.086	3.275	-0.058	1.33
180℃ 0.5시간	0.018	0.409	0.041	0.019	2.379	0.865		

※ 단위는 **nm/s**임

<33>

<34> 임의의 샘플에서, 실록산 수지 또는 실록산계 재료를 유기 용매에 분산되게 한 현탁액을 기판 상에 도포하여 박막을 형성한 후, 온도 90℃, 시간 90초의 조건으로 프리베이킹을 실행하여 상기 박막을 작업하기 쉬운 정도로 경화시킨다. 다음에, 각 온도조건에 따라서 상기 샘플에 베이킹을 행한 후에, 또는 베이킹을 행하지 않고 프리베이킹한 직후에, 실온에서 습식 에칭을 행했다.

<35> 사용된 실록산 수지 또는 실록산계 재료는 도레이 주식회사 제품의 PSB-K31이며, 실록산 수지 또는 실록산계 재료가 용매인 3-메톡시-3-메틸-1-부탄올(MMB) 중에 15wt%~25wt%의 비율로 포함되어 있다. 게다가 상기 실록산계 재료를 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA)에 분산되게 했다. 레지스트에는 노보락 수지를 사용했다. 에천트에는 에탄올, OK73 신너(도쿄오카공업주식회사제), 아세톤, 2-부탄올을 사용했다. OK73 신너는 프로필렌 글리콜 모노메틸 에테르(PGME)와 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA)를 그 중량비가 7:3이 되도록 포함하고 있다.

<36> 베이킹을 행하지 않는 「가열 없음」의 샘플 이외에는 모두 0.5시간(h)에서 베이킹이 행해지고 있다. 베이킹의 온도는 130℃, 135℃, 140℃, 150℃, 160℃, 180℃로 설정했다.

<37> 표 1에 나타낸 바와 같이, 에천트로서 에탄올, OK73 신너, 아세톤을 사용한 샘플에서는 베이킹의 조건에 영향을 미치지 않고, 박막의 에칭율이 레지스트의 에칭율보다도 작아졌다. 그러나, 에천트로서 2-부탄올을 사용한 샘플에서는 박막의 에칭율이 레지스트의 에칭율보다도 커졌다. 따라서, 표 1에 나타낸 결과로부터, 상기 유기 용매 중에서 2-부탄올이 실록산계 재료를 포함하는 박막의 에천트로서 가장 적합하다는 것을 발견했다.

<38> 또한, 2-부탄올을 에천트로서 사용한 샘플에서는 베이킹의 조건이 135℃, 140℃, 150℃, 160℃의 경우에 레지스트의 에칭율이 음의 값이 되었다. 이것은 레지스트의 팽창(swelling)에 기인하고, 이것들의 샘플에서 레지스트의 에칭이 수행될 수 없다고 간주할 수 있다. 상기 샘플 중에서, 특히 베이킹 조건이 135℃의 샘플이 박막의 에칭율이 가장 높고, 베이킹의 온도가 높아짐에 따라서 박막의 에칭율이 낮아졌다.

<39> 따라서, 2-부탄올을 에천트로서 사용한 샘플에만 주목하면, 베이킹의 온도가 지나치게 높으면, 패턴의 형성이 가능한 정도로 에칭율의 차이를 확보할 수 있지만, 박막의 에칭율이 너무 낮아지기 때문에, 에칭의 조건으로서는 적합하지 않음을 알 수 있다. 따라서, 베이킹의 온도는 현탁액에 사용할 수 있는 유기 용매의 비점보다 낮은 온도인 것이 바람직하다.

<40> 또한, 베이킹의 조건이 130℃의 샘플과 가열 처리 없음의 샘플에서, 레지스트의 에칭율이 양의 값이 되었다. 특히, 가열 처리 없음의 샘플에서는 레지스트의 에칭율이 2.284 nm/s로 비교적 높다. 더욱이, 2-부탄올로 에칭한 가열 없음의 샘플에서는 박막의 에칭율이 지나치게 높아서 정확한 값을 측정하는 것이 곤란하였고, 실제로는 100 nm/s를 초과할 만큼의 속도로 박막이 에칭되었다고 추측된다.

<41> 따라서, 2-부탄올을 에천트로서 사용한 샘플에만 주목하면, 베이킹의 온도가 지나치게 낮으면, 레지스트 뿐만 아니라 박막의 에칭율도 지나치게 높게 된다. 에칭율이 지나치게 높으면, 습식 에칭으로부터 에천트를 세정할 때까지 최소한으로 필요한, 장치간에 있어서의 기판의 이동 시간이 확보될 수 없게 되므로, 에칭의 조건으로서는 적합하지 않음을 알 수 있다. 따라서, 베이킹의 온도는 박막의 두께에 무관하게, 에칭이 종료될 때까지의 시간이 30초 이상이 되는 정도로 박막이 경화되는 온도로 설정하는 것이 바람직하다. 또는, 베이킹 온도의 하한을 용매의 비점보다도 70℃ 낮은 온도로 함으로써, 원하는 에칭율이 확보되는 정도로 박막이 경화될 수 있다.

<42> 따라서, 실록산 수지 또는 실록산계 재료를 분산되게 하는 유기 용매로서 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA) 및 3-메톡시-3-메틸-1-부탄올(MMB)을 사용하고, 이후의 에칭 공정에 있어서 2-부탄올을 에천트로서 사용할 경우, 박막의 에칭율 및 레지스트와 박막의 에칭율 차이를 고려하면, 베이킹은 100℃~170℃ 정도로 하는 것이 바람직하다고 추측된다.

<43> 전술한 실험 결과를 감안하여, 본 실시예에서는 베이킹을 130℃~140℃, 0.5h~1h의 조건으로 행한다.

<44> 베이킹에 기인하여, 마스크(203)가 이후의 습식 에칭에 사용되는 유기 용매에 의해 부식 또는 용해되는 것을 막을 수 있다.

<45> 다음에, 도 2b에 나타낸 바와 같이, 유기 용매를 에천트로서 사용하고, 박막(204)의 습식 에칭을 행한다. 에천트로서 사용하는 유기 용매는 탄소 수가 3 내지 5의 중급 알코올, 예를 들면 부탄올, 프로판올 등이 바람직하다. 상기 알코올을 에천트로서 사용함으로써, 베이킹에 의해 경화된 박막(204)을 습식 에칭할 때 에칭에 적합한 에칭율과 마스크(203)에 대한 높은 선택비가 확보될 수 있다. 또한, 상기 유기 용매를 에천트로서 사용함으로써, 불산 등의 무기 재료의 에천트를 사용했을 경우와 다르게, 박막(204)의 하층에 설정된 배선, 전극 등의 도전막의 표면의 거칠기가 억제될 수 있고, 또한 취급의 위험도도 낮게 할 수 있다.

<46> 본 실시형태에서는 2-부탄올을 에천트로서 사용하고, 습식 에칭을 행한다. 습식 에칭에 의해, 원하는 형상으로 가공(패터닝)된 박막(205)을 형성할 수 있다.

<47> 다음에, 마스크(203)를 박리한다. 마스크(203)를 박리하기 위한 박리액은 마스크(203)를 선택적으로 박리할 수 있는 것을 사용한다. 예를 들면, 노보락 수지를 사용하여 마스크(203)를 형성할 경우, 2-아미노 에탄올과 글리콜 에테르를 포함하는 박리액을 사용할 수 있다.

<48> 다음에, 도 2c에 나타낸 바와 같이, 박막(205)에 큐어링이라고 불리는 가열 처리를 행한다. 큐어링의 처리 온도는 박막(205)에 포함되는 실록산계 재료가 중합되거나 또는 박막(205)에 포함되는 유기 용매의 휘발이 촉진되는 정도의 범위로 설정한다. 구체적으로, 박막(201)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 높게 되도록 큐어링 온도를 설정한다.

<49> 본 실시형태에서는 300℃~350℃, 1시간 정도의 조건으로 큐어링을 행한다. 큐어링에 기인하여, 박막(205) 내의 실록산계 재료가 중합되거나 또는 상기 박막(205) 내에 포함되는 유기 용매가 베이킹 보다도 한층 더 휘발함으로써 원하는 패턴을 가지는 실록산 수지의 절연막(206)이 형성된다.

<50> 상기 제조 방법에 의해, 절연막(206)의 단부에서의 테이퍼 각이 억제된다. 즉, 단부(207)에서의 경사도를 완만하게 할 수 있다. 그리고, 상기 절연막의 제조 방법에서는 드라이 에칭과 같이 OH기의 증가에 의해 절연막의 흡습성이 높아지는 문제가 생기지 않는다. 더욱이, 종래의 비감광성의 실록산 수지로 절연막을 형성할 수 있으므로, 저렴한 원재료를 사용할 수 있다.

<51> 또한, 본 실시형태의 제조 방법에서는 박막을 경화시키기 위한 베이킹이 유기 용매에 의해 마스크(203)가 부식 또는 용해되는 것을 막는다. 바꿔 말하면, 마스크(203)의 유기 용매 저항성을 높이기 위한 가열 처리를 겸할 수

있다.

<52> 본 실시형태는 다른 실시형태와 적당하게 조합하여 수행하는 것이 가능하다.

<53> (실시형태2)

<54> 본 실시형태에서는 도3, 도4를 사용하고, 본 발명의 절연막의 제조 방법에 관하여 설명한다.

<55> 우선, 도 3a에 나타낸 바와 같이, 실시형태1과 마찬가지로, 실록산 수지 또는 실록산 수지의 전구체인 실록산계 재료가 분산되어진 현탁액을 기판(100) 상에 도포함으로써 박막(101)을 형성한다. 실록산 수지는 실리콘(Si)과 산소(O)의 결합에서 분자의 골격구조가 구성되는 재료이다. 치환기로서, 수소 이외에, 불소, 플루오르기, 유기기(예를 들면, 알킬기, 방향족 탄화수소) 중에서 적어도 1종을 갖고 있어도 된다.

<56> 현탁액의 용매는 실록산 수지 또는 실록산계 재료를 분산되게 할 수 있는 유기 용매인 것이 바람직하고, 예를 들면 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA), 3-메톡시-3-메틸－1-부탄올(MMB), N-메틸-2-피롤리돈(NMP) 등이 사용될 수 있다. 본 실시형태에서는 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA) 및 3-메톡시-3-메틸－1-부탄올(MMB)을 사용한다. 현탁액의 도포는 기판(100) 상에 현탁액을 떨어뜨린후, 기판(100)을 고속회전하는 스핀 코팅법에 의해 수행할 수 있다. 또한 스핀 코팅법에 한정하지 않고, 슬릿 코팅법, 딥 코팅법 등을 사용하여 현탁액의 도포가 수행될 수 있다.

<57> 또한, 도 3a에서는 기판(100) 상에 직접 박막(101)을 형성할 경우를 예시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 기판(100) 상에 절연막 이외에, 배선 또는 전극을 포함하는 도전막 등의 각종 막을 형성한 후, 실록산 수지 또는 실록산계 재료를 가지는 박막(101)이 형성될 수 있다.

<58> 다음에, 베이킹을 행하기 전에, 박막(101)에 프리베이킹이라고 불리는 가열 처리가 수행될 수 있다.

<59> 프리베이킹은 작업성을 향상시키기 위하여 행하는 가열 처리이다. 예를 들면, 현탁액에서 박막(101)을 형성하기 위한 장치와, 베이킹을 행하기 위한 장치가 분리되어 존재하고 있는 경우 등에, 프리베이킹에 의해 박막(101)을 경화시킴으로써 작업의 효율을 높일 수 있다.

<60> 프리베이킹의 온도는 박막(101)을 작업하기 쉬워지도록 경화시킬 수 있는 정도로 높지만, 박막(101) 내의 유기 용매의 비점보다 낮게 하는 것이 바람직하다. 유기 용매에 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA) 및 3-메톡시-3-메틸－1-부탄올(MMB)을 사용했을 경우, 예를 들면 90℃~100℃, 30초~50초의 조건으로 프리베이킹이 수행될 수 있다.

<61> 다음에, 도 3b에 나타낸 바와 같이, 베이킹이라고 불리는 가열 처리를 행하고, 박막(101)을 경화시킨다. 도 3b에서는 베이킹후의 박막(101)을 박막(102)으로서 도시한다. 베이킹은 선택적으로 습식 에칭할 수 있는 정도로 박막(101)을 경화시키는 온도범위로 설정한다. 구체적으로, 원하는 에칭율을 확보할 수 있는 정도로 높게, 박막(101)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 낮아지도록 설정하는 것이 바람직하다. 본 실시형태에서는 베이킹을 130℃~140℃, 0.5h~1h의 조건으로 행한다.

<62> 다음에, 도 3c에 나타낸 바와 같이, 베이킹에 의해 형성된 박막(102) 상에 마스크(103)를 형성한다. 마스크(103)는 레지스트를 사용한 리소그래피법에 의해 형성해도 좋고, 액적 토출법 또는 인쇄법을 사용하여 형성해도 좋다.

<63> 또한, 본 실시형태에서는 베이킹을 행한 후에 마스크(103)를 형성하지만, 본 발명은 이 구성에 한정되지 않는다. 마스크(103)를 형성한 후에, 베이킹을 행해도 된다.

<64> 또한, 리소그래피법을 사용하는 경우에도, 액적 토출법 또는 인쇄법을 사용하는 경우에도, 마스크를 형성하는 과정에 있어서 가열 처리가 일회 또는 여러번 행해진다. 본 발명은 상기 가열 처리의 하나가 베이킹을 겸하고 있어도 된다.

<65> 다음에, 도 4a에 나타낸 바와 같이, 유기 용매를 에천트로서 사용하고, 박막(102)의 습식 에칭을 행한다. 에천트로서 사용하는 유기 용매는 탄소 수가 3 내지 5의 중급 알코올, 예를 들면 부탄올, 프로판올 등이 바람직하다. 상기 알코올을 에천트로서 사용함으로써, 베이킹에 의해 경화된 박막(102)을 습식 에칭할 때, 에칭에 적합한 에칭율과 마스크(103)에 대한 높은 선택비가 확보될 수 있다. 또한, 상기 유기 용매를 에천트로서 사용함으로써, 불산 등의 무기재료의 에천트를 사용했을 경우와 다르게, 박막(102)의 하층에 설정된 배선, 전극 등의 도전막의 표면의 거칠기가 억제될 수 있고, 또한 취급의 위험도도 낮게 할 수 있다.

<66> 본 실시형태에서는 2-부탄올을 에천트로서 사용하고, 습식 에칭을 행한다. 습식 에칭에 의해, 원하는 형상으로 가공(패터닝)된 박막(104)을 형성할 수 있다.

<67> 다음에, 도 4b에 나타낸 바와 같이, 마스크(103)를 박리한다. 마스크(103)를 박리하기 위한 박리액은 마스크(103)를 선택적으로 박리할 수 있는 것을 사용한다.예를 들면, 노보락 수지를 사용하여 마스크(103)를 형성할 경우, 2-아미노에탄올과 글리콜 에테르를 포함하는 박리액이 사용될 수 있다.

<68> 다음에, 도 4c에 나타낸 바와 같이, 박막(104)에 큐어링이라고 불리는 가열 처리를 행한다. 큐어링의 처리 온도는 박막(104)에 포함되는 실록산계 재료가 중합되거나 또는 박막(104)에 포함되는 유기 용매의 휘발이 촉진되는 정도의 범위로 설정한다. 구체적으로, 박막(101)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 높게 되도록 큐어링의 온도를 설정한다.

<69> 본 실시형태에서는 300℃~350℃, 1시간 정도의 조건으로 큐어링을 행한다. 큐어링에 의해, 박막(104) 내의 실록산계 재료가 중합하거나 또는 상기 박막(104) 내에 포함되는 유기 용매가 베이킹보다도 한층 더 휘발됨으로써 원하는 패턴을 가지는 실록산 수지의 절연막(105)이 형성된다.

<70> 상기 제조 방법에 의해, 절연막(105)의 단부에서의 테이퍼 각이 억제된다. 즉, 단부(106)에서의 경사도를 완만하게 할 수 있다. 그리고, 상기 절연막의 제조 방법에서는 드라이 에칭과 같이 OH기의 증가에 의해 절연막의 흡습성이 높아지는 문제가 생기지 않는다. 또한, 종래의 비감광성의 실록산 수지로 절연막을 형성할 수 있으므로, 저렴한 원재료를 사용할 수 있다.

<71> (실시형태3)

<72> 다음에, 본 발명의 반도체 장치의 구체적인 제조 방법에 관하여 설명한다. 또한, 본 실시형태에서는 발광소자와 트랜지스터가 동일한 기판 상에 제조될 경우를 예로 들어서 설명한다.

<73> 우선, 도 5a에 나타낸 바와 같이, 기판(300) 상에 절연막(301)을 형성한다.기판(300)에는 예를 들면 바륨 보로실리케이트(barium borosilicate) 유리 또는 알루미노 보로실리케이트(alumino borosilicate) 유리 등의 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 또한, 스테인레스 기판을 포함하는 금속 기판 또는 실리콘 기판의 표면에 절연막을 형성한 것을 사용해도 된다. 플라스틱 등의 가요성을 가지는 합성 수지로 이루어지는 기판은 일반적으로 상기 기판과 비교하여 내열온도가 낮은 경향이 있지만, 제조 공정에 있어서의 처리 온도를 견디어낼 수 있는 것이라면 사용하는 것이 가능하다.

<74> 절연막(301)은 기판(300) 속에 포함되는 Na 등의 알칼리 금속 또는 알칼리 토류금속이 반도체막내로 확산하여 트랜지스터 등의 반도체 소자의 특성에 악영향을 끼치는 것을 방지하기 위하여 설치된다. 따라서, 알칼리 금속 또는 알칼리 토류금속의 반도체막으로의 확산을 억제할 수 있는 산화규소, 질화규소, 질화산화규소 등을 사용하여 절연막(301)을 형성한다. 본 실시형태에서는 플라즈마 CVD법을 사용하여 질화산화규소막을 10~400 nm(바람직하게, 50~300 nm)의 막두께가 되도록 형성했다.

<75> 또한, 절연막(301)은 단층 또는 복수의 절연막이 적층되는 층이라도 된다. 또한, 유리 기판, 스테인레스 기판 또는 플라스틱 기판과 같이, 알칼리 금속이나 알칼리 토류금속이 다소라도 포함되어 있는 기판을 사용할 경우, 불순물의 확산을 막는다고 하는 관점에서 기판과 반도체막 사이에 절연막을 설치하는 것은 유효하다. 그러나, 석영 기판 등 불순물의 확산이 두드러진 문제가 되지않는 경우에는 반드시 설치할 필요는 없다.

<76> 다음에, 절연막(301) 상에 섬 형상의 반도체막(302, 303)을 형성한다. 섬 형상의 반도체막(302, 303)의 막두께는 25~100 nm(바람직하게, 30~60 nm)이다. 또한 섬 형상의 반도체막(302, 303)은 비정질 반도체 또는 다결정 반도체라도 된다. 또한, 반도체는 규소 뿐만 아니라 실리콘 게르마늄도 사용할 수 있다. 실리콘 게르마늄을 사용할 경우, 게르마늄의 농도는 0.01~4.5 atomic% 정도인 것이 바람직하다.

<77> 다결정 반도체를 사용할 경우, 우선 비정질 반도체를 형성하고, 공지의 결정화 방법을 사용하여 상기 비정질 반도체를 결정화하면 좋다. 공지의 결정화 방법으로서는, 가열기에 의한 가열에 의해 결정화를 행하는 방법, 레이저광의 조사에 의해 결정화를 행하는 방법, 촉매금속을 사용하여 결정화를 행하는 방법, 적외선광을 사용하여 결정화를 행하는 방법 등을 들 수 있다.

<78> 예를 들면, 레이저광을 사용하여 결정화할 경우, 펄스 발진형 또는 연속발진형의 엑시머 레이저, YAG 레이저, YVO4 레이저 등을 사용하면 좋다. 예를 들면, YAG 레이저를 사용하는 경우에는 반도체막에 흡수되기 쉬운 제2 고조파의 파장을 사용하는 것이 바람직하다. 그리고, 발진 주파수 30~300kHz, 에너지밀도를 300~600 mJ/㎠(대표

적으로는 350~500 mJ/㎠)라고 해서 임의의 지점에 수 샷(shots)씩 조사할 수 있게 주사 속도를 설정하면 좋다.

<79> 다음에, 상기 섬 형상의 반도체막(302, 303)을 사용하여 트랜지스터를 형성한다. 또한, 본 실시예에서는 도 5b에 나타낸 바와 같이 섬 형상의 반도체막(302, 303)을 사용하여 상부 게이트형의 트랜지스터(304, 305)를 형성하지만, 트랜지스터는 상부 게이트형에 한정되지 않고, 예를 들면 하부 게이트형이라도 된다.

<80> 구체적으로, 섬 형상의 반도체막(302, 303)을 커버하도록 게이트 절연막(306)을 형성한다. 그리고, 게이트 절연막(306) 상에 원하는 형상으로 가공(패터닝)된 도전막(307, 308)을 형성한다. 그리고, 도전막(307, 308) 또는 레지스트를 성막하여 패터닝한 것을 마스크로서 사용하고, 섬 형상의 반도체막(302, 303)에 n형 또는 p형을 부여하는 불순물을 첨가하고, 소스 영역, 드레인 영역, 그 위에 LDD 영역으로서 기능하는 불순물 영역 등을 형성한다. 또한, 여기에서, 트랜지스터(304)는 n형, 트랜지스터(305)는 p형이라고 한다.

<81> 또한, 게이트 절연막(306)에는 예를 들면 산화 규소, 질화규소 또는 질화산화 규소 등을 사용할 수 있다. 또한, 형성 방법은 플라즈마 CVD법, 스퍼터링법 등을 사용할 수 있다. 예를 들면, 산화 규소를 사용한 게이트 절연막을 플라즈마 CVD법으로 형성할 경우, TEOS(Tetraethyl Orthosilicate)와 O_2을 혼합한 가스를 사용하고, 반응 압력 40Pa, 기판 온도 300~400℃, 고주파(13.56MHz) 전력밀도0.5~0.8W/cm^2로 하여 형성한다.

<82> 또한, 질화알루미늄을 게이트 절연막(306)으로서 사용할 수 있다. 질화알루미늄은 열전도율이 비교적 높고, 트랜지스터에서 발생한 열을 효율적으로 발산시킬 수 있다. 또한, 알루미늄이 포함되지 않는 산화 규소나 산화 질화규소 등을 형성한 후, 질화알루미늄을 적층한 것을 게이트 절연막으로서 사용하여도 된다.

<83> 상기 일련의 공정에 의해, n채널형 트랜지스터(304)와, 발광소자에 공급되는 전류를 제어하는 p채널형 트랜지스터(305)를 형성할 수 있다. 또한, 트랜지스터의 제조 방법은 전술한 공정에 한정되지 않는다. 액적 토출법에 의해 원하는 형상으로 가공된 도전막이 제조될 수 있다.

<84> 또한, 본 실시형태에서는 박막트랜지스터를 예로 들어서 설명하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 박막트랜지스터 이외에, 단결정 실리콘을 사용하여 형성된 트랜지스터, SOI를 사용하여 형성된 트랜지스터 등도 사용할 수 있다. 또한 유기반도체를 사용한 트랜지스터라도 좋고, 카본 나노튜브를 사용한 트랜지스터라도 된다.

<85> 다음에, 트랜지스터(304, 305)를 커버하도록 절연막(309)이 형성된다. 절연막(309)은 규소를 포함하는 산화 규소, 질화규소, 산화 질화규소 등의 절연막을 사용할 수 있고, 그 두께는 100~200nm 정도이다.

<86> 다음에, 섬 형상의 반도체막(302, 303)에 첨가된 불순물 원소를 활성화하기 위하여, 열처리를 행한다. 이 공정은 퍼니스 어닐 로를 사용하는 열 어닐법, 레이저 어닐법, 또는 급속 열 어닐법(RTA법)을 사용할 수 있다. 예를 들면, 열 어닐법으로 활성화를 행할 경우, 질소농도가 1ppm이하, 바람직하게 0.1ppm이하의 질소분위기중에서 400~700℃(바람직하게, 500~600℃)에서 행한다. 더욱이, 3~100%의 수소를 포함하는 분위기 중에서, 300~450℃에서 1~12시간의 열처리를 행하고, 섬 형상의 반도체막을 수소화하는 공정을 행한다. 이 공정은 열적으로 여기된 수소에 의해 댕글링 본드를 종단시킬 목적으로 행해진다. 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용한다)가 행해질 수 있다. 또한, 활성화 처리가 절연막(309)을 형성하기 전에 행해질 수 있다.

<87> 다음에, 도 5c에 나타낸 바와 같이, 절연막(309)을 커버하도록 절연막(310)과 절연막(311)을 형성한다. 절연막(310)으로서, 유기수지막, 무기절연막, 실록산 수지를 포함하는 절연막 등을 사용할 수 있다. 본 실시형태에서는 폴리이미드를 사용하여 절연막을 형성한다. 절연막(311)은 수분이나 산소 등의 발광소자의 열화를 촉진시키는 원인이 되는 물질을, 다른 절연막과 비교하여 투과시키기 어려운 막을 사용한다. 대표적으로, RF 스퍼터링법에 의해 형성된 질화규소막을 사용하지만, 그 밖에도 다이아몬드형 카본(DLC: diamond like carbon) 막 또는 질화알루미늄 막 등을 사용할 수 있다.

<88> 다음에, 절연막(309), 절연막(310) 및 절연막(311)을 에칭하고, 개구부를 형성한다. 그리고, 섬 형상의 반도체막(302, 303)과 접속하는 도전막(312~315)을 형성한다.

<89> 다음에, 절연막(311) 및 도전막(312~315)을 커버하도록 투광성을 가지는 도전막(316)을 형성한다. 본 실시형태에서는 스퍼터링법을 사용하고, 산화 규소를 포함하는 인듐 주석 산화물(ITSO)로 도전막(316)을 형성했다. 또한 ITSO 이외에, 인듐 주석 산화물(ITO), 산화아연(ZnO), 인듐 아연 산화물(IZO), 갈륨을 첨가한 산화아연(GZO) 등, ITSO 이외의 투광성 산화물 도전 재료를 도전막(316)에 사용해도 된다.

<90> ITSO를 사용할 경우, 타겟으로서 ITO에 산화 규소가 2~10중량% 포함된 것을 사용할 수 있다. 구체적으로, 본 실시예에서는 In_2O_3, SnO_2, 및 SiO_2가 85:10:5의 중량% 비율로 포함하는 타겟을 사용하고, Ar의 유량을 50sccm, O_2의 유량을 3sccm, 스퍼터링 압력을 0.4Pa, 스퍼터링 전력을 1kW, 성막 속도 30nm/min로 하여 105nm의 막두께로 도전막(316)을 형성했다.

<91> 도전막(316)을 형성한 후, 그 표면이 평탄화되도록 CMP법, 폴리비닐알코올계의 다공질체에 의한 세척 등으로 연마해도 된다.

<92> 다음에, 도 6a에 나타낸 바와 같이, 도전막(316)을 패터닝함으로써 도전막(315)에 접속된 양극(317)을 형성한다.

<93> 다음에, 절연막(311), 도전막(312~315), 양극(317)을 커버하도록 실록산 수지 또는 실록산 수지의 전구체인 실록산계 재료를 가지는 박막(318)을 형성한다. 박막(318)은 실록산 수지 또는 실록산계 재료가 분산된 현탁액을 도전막(12~315), 양극(317)을 커버하도록 절연막(311) 상에 도포하는 것에 의해 형성할 수 있다.

<94> 현탁액의 용매는 실록산 수지 또는 실록산계 재료를 분산되게 할 수 있는 유기 용매인 것이 바람직하고, 예를 들면 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA), 3-메톡시-3-메틸－1-부탄올(MMB), N-메틸-2-피롤리돈(NMP) 등이 사용될 수 있다. 본 실시형태에서는 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA) 및 3-메톡시-3-메틸－1-부탄올(MMB)을 사용한다. 현탁액의 도포는 절연막(311) 상에 현탁액을 떨어뜨린후, 기판(300)을 고속회전하는 스핀 코팅법에 의해 수행할 수 있다. 또한 스핀 코팅법에 한정하지 않고, 슬릿 코팅법, 딥 코팅법 등을 사용하여 현탁액의 도포가 수행될 수 있다.

<95> 다음에, 박막(318)에 프리베이킹이라고 불리는 가열 처리를 행하고, 박막(318)을 경화시킨다. 본 실시예에서는 프리베이킹을 행함으로써 리소그래피법에 의해 마스크가 형성된 후의 공정에서의 작업성을 향상시킬 수 있다. 프리베이킹의 온도는 박막(318)을 작업하기 쉬워지도록 경화시킬 수 있는 정도로 높지만, 박막(318) 내의 유기 용매의 비점보다 낮게 하는 것이 바람직하다. 본 실시형태에서는 90℃~100℃, 30초~60초의 조건으로 프리베이킹을 행한다.

<96> 다음에, 박막(318)과 레지스트의 밀착성을 높이기 위하여, 박막(318)을 현상액에 노출시킨다. 그리고, 도 6b에 나타낸 바와 같이, 레지스트를 사용하여 박막(318) 상에 레지스트층(319)을 형성한다. 본 실시형태에서는 노보락 수지를 레지스트로서 사용한다. 그리고, 레지스트층(319)에 110℃~120℃, 30초~90초의 가열 처리(레지스트의 프리베이킹)를 실행한다.

<97> 상기 가열 처리에 의해, 표면에 용해가 어려운 층을 형성함으로써 레지스트층(319)을 경화시켜서 작업성을 향상시킬 수 있다.

<98> 다음에, 레지스트층(319)을 노광, 현상함으로써 레지스트층(319)이 부분적으로 박리된다. 그 결과, 도 7a에 나타낸 바와 같이, 선택적으로 박막(318) 상에 설정된 마스크(320)가 형성된다.

<99> 다음에, 도 7b에 나타낸 바와 같이, 베이킹이라고 불리는 가열 처리를 행해서 박막(318)을 한층 더 경화시킨다. 도 7b에서는 베이킹후의 박막(318)을 박막(321)으로서 도시한다. 베이킹은 선택적으로 습식 에칭할 수 있는 정도로, 박막(318)을 경화시키는 온도범위로 설정한다. 구체적으로, 원하는 에칭율을 확보할 수 있는 정도로 높고, 박막(318)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 낮아지도록 설정하는 것이 바람직하다. 본 실시형태에서, 베이킹은 130℃~140℃, 0.5h~1h의 조건으로 행한다.

<100> 또한, 베이킹에 의해, 이후의 습식 에칭에서 사용할 수 있는 유기 용매에 의해 마스크(320)가 부식 혹은 용해되는 것을 막을 수 있다.

<101> 다음에, 도 8a에 나타낸 바와 같이, 유기 용매를 에천트로서 사용하고, 박막(321)의 습식 에칭을 행한다. 에천트로서 사용하는 유기 용매는 탄소 수가 3 내지 5의 중급 알코올, 예를 들면 부탄올, 프로판올 등이 바람직하다. 상기 알코올을 에천트로서 사용함으로써 베이킹에 의해 경화된 박막(321)을 습식 에칭할 때, 에칭에 적합한 에칭율과, 마스크(320)에 대한 높은 선택비를 확보할 수 있다. 또한 상기 유기 용매를 에천트로서 사용함으로써 불산 등의 무기재료의 에천트를 사용했을 경우와 다르게, 박막(321)의 하층에 설정된 배선, 전극 등의 도전막의 표면의 거칠기가 억제될 수 있고, 취급의 위험도도 낮게 할 수 있다.

<102> 본 실시형태에서는 2-부탄올을 에천트로서 사용하고, 습식 에칭을 행한다. 습식 에칭에 의해, 원하는 형상으로 가공(패터닝)된 박막(322)을 형성할 수 있다. 박막(322)의 형성에 의해, 양극(317)이 부분적으로 노출된다.

<103> 다음에, 마스크(320)를 박리한다. 마스크(320)를 박리하기 위한 박리액은 마스크(320)를 선택적으로 박리할 수 있는 것을 사용한다. 예를 들면, 노보락 수지를 사용하여 마스크(320)를 형성할 경우, 2-아미노 에탄올과 글리콜 에테르를 포함하는 박리액을 사용할 수 있다.

<104> 다음에, 도 8b에 나타낸 바와 같이, 박막(322)에 큐어링이라고 불리는 가열 처리를 행한다. 큐어링의 처리 온도는 박막(322)에 포함되는 실록산계 재료가 중합되거나 또는 박막(322)에 포함되는 유기 용매의 휘발이 촉진되는 정도의 범위로 설정한다. 구체적으로는, 박막(318)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 높도록 큐어링의 온도를 설정한다.

<105> 본 실시형태에서는 300℃~350℃, 1시간 정도의 조건으로 큐어링을 행한다. 큐어링에 의해, 박막(322) 내의 실록산계 재료가 중합되거나 또는 상기 박막(322) 속에 포함되는 유기 용매가 베이킹의 경우 보다도 한층 더 증발함으로써, 양극(317)이 노출되도록 개구부를 갖는 실록산 수지의 절연막(323)이 형성된다.

<106> 다음에, 본 발명에서는 전계 발광층(324)을 형성하기 전에, 절연막(323) 및 양극(317)에 흡착한 수분이나 산소 등을 박리하기 위하여, 대기분위기 하에서 가열 처리 또는 진공분위기 하에서 가열 처리(진공 베이킹)를 행한다. 구체적으로는, 기판의 온도를 200℃~450℃, 바람직하게 250~300℃에서, 0.5~20시간 정도, 진공분위기 하에서 가열 처리를 행한다. 상기 온도는 4×10^{-5}pa이하, 가능하면 4×10^{-6}pa이하로 하는 것이 가장 바람직하다. 그리고, 진공분위기 하에서 가열 처리를 행한 후에 전계 발광층(324)을 형성할 경우, 전계 발광층(324)을 형성하는 직전까지 해당 기판을 진공분위기 하에 놓아둠으로써 신뢰성을 추가로 높일 수 있다. 또한 진공 베이킹 이전 또는 이후에, 양극(317)에 자외선을 조사해도 좋다.

<107> 다음에, 도 9에 나타낸 바와 같이, 양극(317) 상에 전계 발광층(324)을 형성한다. 전계 발광층(324)은 단수 또는 복수의 층으로부터 이루어지고, 각 층에는 유기재료 뿐만 아니라 무기재료가 함유되어 있어도 된다. 전계 발광층(324)에 있어서의 루미네선스에는 단일항(singlet) 여기상태로부터 기저상태로 되돌아올 때의 발광(형광)과 삼중항(triplet) 여기상태로부터 기저상태로 되돌아올 때의 발광(인광)이 포함된다.

<108> 다음에, 전계 발광층(324)을 커버하도록 음극(325)을 형성한다. 음극(325)은 일반적으로 일함수가 작은 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등을 사용할 수 있다. 구체적으로는, Li나 Cs등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류금속, 및 이것들을 포함하는 합금(Mg:Ag, Al:Li 등) 이외에, Yb 또는 Er 등의 희토류금속을 사용하여 형성할 수도 있다. 또한, 전자 주입성이 높은 재료를 포함하는 층을 음극(325)에 접하도록 형성함으로써, 알루미늄, 산화물 도전 재료 등을 사용하는 일반적인 도전막도 사용할 수 있다.

<109> 양극(317), 전계 발광층(324), 음극(325)은 절연막(323)의 개구부에서 중첩되고, 상기 중첩된 부분은 발광소자(326)에 해당한다.

<110> 또한, 발광소자(326)를 형성하면, 음극(325) 상에 절연막을 형성해도 좋다.상기 절연막은 절연막(311)과 같이 수분이나 산소 등의 발광소자의 열화를 촉진시키는 원인이 되는 물질을, 다른 절연막과 비교하여 투과시키기 어려운 막을 사용한다. 대표적으로는, 예를 들면 DLC막, 질화탄소막, RF 스퍼터링법에 의해 형성된 질화규소막 등을 사용하는 것이 바람직하다. 또한, 전술한 수분이나 산소 등의 물질을 투과시키기 어려운 막과, 상기 엄하게 비교해서 수분이나 산소 등의 물질을 투과시키기 쉬운 막을 적층시켜서, 상기 절연막으로서 사용하는 것도 가능하다.

<111> 또한, 도 9에는 발광소자(326)로부터 발생하는 빛이 기판(300) 측으로 조사되는 구성을 보이고 있지만, 빛이 기판(300)과 반대측을 향하는 구조의 발광소자라도 좋다.

<112> 실제로, 도 9까지 완성되면, 외기에 노출되지 않도록 기밀성이 높은 보호 필름(본딩 필름, 자외선 경화 수지 필름 등) 또는 투광성의 커버 부재로 패키징(봉입)하는 것이 바람직하다. 그때, 커버 부재의 내부에 불활성 분위기 또는 흡습성 재료(예를 들면, 산화 바륨)를 배치하면, 발광소자의 신뢰성이 향상한다.

<113> 또한, 본 실시형태에서는 마스크(320)를 리소그래피법에 의해 형성할 경우를 예에 들어서 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 액적 토출법, 인쇄법 등 리소그래피법 이외의 방법을 사용하여 마스크(320)를 형성하도록 해도 좋다.

<114> 또한, 본 실시형태에서는 실시형태1과 같이 마스크(320)를 형성한 후에 박막의 베이킹을 행할 경우를 예에 들어서 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 실시형태2와 같이, 마스크(320)를 형성하기 전에 박막의 베이킹를 하여도 좋다.

<115> 본 발명에서는, 상기 제조 방법에 의해 절연막(323)의 단부에서의 테이퍼 각을 억제한다. 즉, 단부(207)에서의 경사도를 완만하게 할 수 있다. 상기 구성에 의해, 이후에 형성되는 전계 발광층(324)이나 음극의 커버리지(coverage)를 양호하게 할 수 있다. 전계 발광층(324)의 커버리지를 양호하게 함으로써, 양극(317) 및 음극이 전계 발광층(324)에 형성된 홀에서 쇼트되는 것을 방지하고, 발광 영역이 감소하는 슈링크라 불리는 불량을 저감시킬 수 있고, 신뢰성을 높일 수 있다.

<116> 또한, 상기 반도체 장치의 제조 방법에서는, 드라이 에칭과 같이, OH기의 증가에 의해 절연막(323)의 흡습성이 높아진다고 하는 문제가 생기지 않는다. 따라서, 절연막 중의 수분이 반도체 소자의 신뢰성, 나아가서는 반도체 장치의 신뢰성에 악영향을 주는 것을 막을 수 있다.

<117> 그리고, 발광소자를 가지는 반도체 장치의 경우, 절연막 중의 흡습성을 누를 수 있는 것으로 발광소자의 열화를 누를 수 있으므로, 반도체 장치의 신뢰성을 높일 수 있다.

<118> 또한, 종래의 비감광성의 실록산 수지로 절연막(323)을 형성할 수 있다. 따라서, 반도체 장치의 제조에 소용되는 비용을 누를 수 있다.

<119> 또한, 본 실시예의 제조 방법에서는 박막을 경화시키기 위한 베이킹이 유기 용매에 의해 마스크(320)가 부식 혹은 용해되는 것을 막는다. 바꿔 말하면, 마스크(320)의 유기 용매 저항성을 높이기 위한 가열 처리를 겸할 수 있다.

<120> 또한, 본 실시형태에서는 발광소자(326)의 분리벽으로서 기능하는 절연막(323)을 본 발명의 제조 방법으로 형성했지만, 본 발명은 이 구성에 한정되지 않는다. 분리벽 이외의 절연막, 예를 들면 절연막(310)을 실록산 수지로 형성할 경우, 절연막(310)을 본 발명의 제조 방법으로 형성해도 좋다. 이 경우, 절연막(310)에 형성되는 개구부의 단부에 있어서의 경사도를 완만한 모양으로 할 수 있다. 따라서, 개구부의 단부에 있어서 도전막(312~315)이 극단적으로 얇게 되거나 또는 절단을 일으키는 것을 막을 수 있다.

<121> 본 실시형태는, 상기 실시형태와 적당하게 조합하고 수행하는 것이 가능하다.

<122> (실시형태4)

<123> 다음에, 본 발명의 반도체 장치의 구체적인 제조 방법에 관하여 설명한다. 또한, 본 실시형태에서는 트랜지스터를 반도체 소자의 일례로서 나타내지만, 본 발명의 반도체 장치에 사용할 수 있는 반도체 소자는 이것에 한정되지 않는다. 예를 들면, 트랜지스터 이외에, 기억소자, 다이오드, 저항, 용량, 인덕터 등을 사용할 수 있다.

<124> 우선, 도 10a에 나타낸 바와 같이, 내열성을 가지는 기판(700) 상에 절연막(701), 박리층(702), 절연막(703), 반도체막(704)을 순차적으로 형성한다. 절연막(701), 박리층(702), 절연막(703) 및 반도체막(704)은 연속해서 형성하는 것이 가능하다.

<125> 기판(700)으로서, 예를 들면 바륨 보로실리케이트 유리 또는 알루미노 보로실리케이트 유리 등의 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 또한 스테인레스 기판을 포함하는 금속 기판, 또는 실리콘 기판 등의 반도체 기판을 사용해도 된다. 플라스틱 등의 가요성을 가지는 합성 수지로 이루어지는 기판은 상기 기판과 비교하여 내열온도가 일반적으로 낮은 경향이 있지만, 제조 공정에 있어서의 처리 온도를 견디어낼 수 있는 것이라면 사용하는 것이 가능하다.

<126> 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르술폰(PES), 폴리에틸렌 나프타레이트(PEN), 폴리카보네이트(PC), 나이론, 폴리에테르에테르케톤(PEEK), 폴리술폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리브틸렌 테레푸탈레이트(PBT), 폴리이미드, 아크리로니트릴-부타디엔-스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리초산비닐, 아크릴 수지 등을 들 수 있다.

<127> 또한, 본 실시예에서는 박리층(702)을 기판(700) 상의 전면에 설치하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들면, 리소그래피법 등을 사용하여, 기판(700) 상에 박리층(702)을 부분적으로 형성해도 좋다.

<128> 절연막(701), 절연막(703)은 CVD법이나 스퍼터링법 등을 사용하고, 산화 규소, 질화규소(SiN_x, Si_3N_4 등), 산화질화규소(SiO_xN_y)(x>y>0), 질화산화 규소(SiN_xO_y)(x>y>0) 등의 절연성을 가지는 재료를 사용하여 형성한다.

<129> 절연막(701), 절연막(703)은 기판(700) 내에 포함되는 Na 등의 알칼리 금속이나 알칼리 토류금속이 반도체막(704) 내로 확산하고, 트랜지스터 등의 반도체 소자의 특성에 악영향을 미치게 하는 것을 막기 위하여 설치한다. 또한, 절연막(703)은 박리층(702)에 포함되는 불순물 원소가 반도체막(704) 내로 확산하는 것을

막고, 게다가 이후의 반도체 소자를 박리하는 공정에 있어서 반도체 소자를 보호하는 역할도 가진다.

<130> 절연막(701), 절연막(703)은 단수의 절연막을 사용한 것이라도, 복수의 절연막을 적층하여 사용한 것이라도 된다. 본 실시형태에서는 막두께 100nm의 산화 질화 규소막, 막두께 50nm의 질화산화 규소막, 막두께 100nm의 산화 질화 규소막을 순차적으로 적층하여 절연막(703)을 형성하지만, 각 막의 재질, 막두께, 적층수는 이것에 한정되는 것은 아니다. 예를 들면, 하층의 산화 질화규소막 대신에, 막두께0.5~3㎛의 실록산계 수지를 스핀 코팅법, 슬릿 코팅법, 액적 토출법, 인쇄법 등에 의해 형성하여도 좋다. 또한 중간층의 질화산화 규소막 대신에, 질화규소막(SiN_x, Si_3N_4 등)을 사용하여도 된다. 또한, 상층의 산화 질화규소 대신에, 산화 규소막을 사용하여도 된다. 또한, 각각의 막두께는 0.05~3㎛가 바람직하고, 그 범위에서 자유롭게 선택할 수 있다.

<131> 또는, 박리층(702)에 가장 가까운 절연막(703)의 하층을 산화 질화규소막 또는 산화 규소막으로 형성하고, 중간층을 실록산계 수지로 형성하고, 상층을 산화 규소막으로 형성해도 좋다.

<132> 산화 규소막은 실란과 산소, TEOS(테트라에톡시실란)과 산소 등을 조합한 혼합 가스를 사용하고, 열 CVD , 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVI 등의 방법에 의해 형성할 수 있다. 또한, 질화규소막은 대표적으로 실란과 일산화이질소의 혼합 가스를 사용하고, 플라즈마 CVD에 의해 형성할 수 있다. 또한 산화 질화규소막, 질화산화 규소막은 대표적으로 실란과 일산화이질소의 혼합 가스를 사용하고, 플라즈마 CVD에 의해 형성할 수 있다.

<133> 박리층(702)은 금속막, 금속 산화막, 금속막과 금속 산화막을 적층하여 형성되는 막을 사용할 수 있다. 금속막과 금속 산화막은 단층이여도 좋고, 복수의 층이 적층된 적층구조를 갖고 있어도 된다. 또한 금속막이나 금속 산화막 이외에, 금속질화물이나 금속산화 질화물을 사용해도 된다. 박리층(702)은 스퍼터링법 또는 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다.

<134> 박리층(702)에 사용할 수 있는 금속으로서는 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os) 또는 이리듐(Ir) 등을 들 수 있다.박리층(702)은 상기 금속으로 형성된 막 이외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용해도 된다.

<135> 또한, 박리층(702)은 규소(Si) 단체로 형성된 막을 사용해도 되고, 규소(Si)를 주성분으로 하는 화합물로 형성된 막을 사용해도 된다. 또는, 규소(Si)와 상기 금속을 포함하는 합금으로 형성된 막을 사용해도 된다. 규소를 포함하는 막은 비정질, 미결정, 다결정 중의 어느 하나라도 좋다.

<136> 박리층(702)은 전술한 막을 단층에서 사용해도 되고, 전술한 복수의 막을 적층하여 사용해도 된다. 금속막과 금속 산화막이 적층된 박리층(702)은 기초 금속막을 형성한 후, 상기 금속막의 표면을 산화 또는 질화시킴으로써 형성할 수 있다. 구체적으로, 산소 분위기 또는 일산화이질소 분위기에서 기초 금속막에 플라즈마 처리를 행하거나, 산소 분위기 또는 일산화이질소 분위기에서 금속막에 가열 처리를 행하거나 하면 좋다. 또한, 기초 금속막 상에 접하고, 산화 규소막 또는 산화 질화규소막을 형성함으로써도 금속막의 산화를 행할 수 있다. 또한, 기초 금속막 상에 접하고, 질화산화 규소막, 질화규소막을 형성함으로써 질화를 행할 수 있다.

<137> 금속막의 산화 또는 질화를 행하는 플라즈마 처리로서, 플라즈마 밀도가 $1\times10^{11}cm^{-3}$이상, 바람직하게는 $1\times10^{11}cm^{-3}$로부터 $9\times10^{15}cm^{-3}$이하이며, 마이크로파(예를 들면, 주파수 2.45GHz)등의 고주파를 사용한 고밀도 플라즈마 처리를 행해도 된다.

<138> 또한, 기초 금속막의 표면을 산화함으로써 금속막과 금속 산화막이 적층된 박리층(702)을 형성하도록 해도 좋지만, 금속막을 형성한 후에 금속 산화막을 별도형성하도록 해도 좋다. 예를 들면, 금속으로서 텅스텐을 사용할 경우, 스퍼터링법이나 CVD법 등에 의하여 기초 금속막으로서 텅스텐 막을 형성한 후, 상기 텅스텐 막에 플라즈마 처리를 행한다. 이에 따라, 금속막에 해당하는 텅스텐 막과, 상기 금속막에 접하고, 게다가 텅스텐의 산화물로 형성된 금속 산화막을 형성할 수 있다.

<139> 또한, 텅스텐의 산화물은 WO_x에 의해 나타낸다. x는 2이상 3이하의 범위내에 있고, x가 2의 경우 (WO_2), x가 2.5의 경우 (W_2O_5), x가 2.75의 경우 (W_4O_{11}), x가 3의 경우 (WO_3)이 된다. 텅스텐의 산화물을 형성함에 있어서, x의 값에 특히 제약은 없고, 에칭율 등을 바탕으로 x의 값을 정하면 좋다.

<140> 반도체막(704)은 절연막(703)을 형성한 후 대기에 노출없이 형성하는 것이 바람직하다. 반도체막(704)의 막두께는 20~200nm(바람직하게, 40~170nm, 더 바람직하게, 50~150nm)이다. 또한, 반도체막(704)은 비정질 반도체라도 좋고, 다결정 반도체라도 된다. 또한, 반도체는 규소 뿐만아니라 실리콘 게르마늄도 사용할 수 있다. 실리콘 게

르마늄을 사용할 경우, 게르마늄의 농도는 0.01~4.5원자% 정도인 것이 바람직하다.

<141> 또한, 반도체막(704)은 공지의 기술에 의해 결정화해도 좋다. 공지의 결정화 방법으로서는 레이저광을 사용한 레이저 결정화법, 촉매원소를 사용하는 결정화법이 있다. 또는, 촉매원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기판(700)으로서 석영과 같은 내열성이 우수한 기판을 사용할 경우, 전열로를 사용한 열결정화방법, 적외광을 사용한 램프 어닐 결정화법, 촉매원소를 사용하는 결정화 방법, 950℃ 정도의 고온 어닐을 조합한 결정법을 사용해도 된다.

<142> 예를 들면, 레이저 결정화를 사용할 경우, 레이저 결정화 이전에, 레이저에 대한 반도체막(704)의 내성을 높이기 위하여, 550℃, 4시간의 가열 처리를 상기 반도체막(704)에 대하여 행한다. 그리고, 연속발진이 가능한 고체 레이저를 사용하고, 기본파의 제2고조파~제4고조파의 레이저광을 조사함으로써 대입경의 결정을 얻을 수 있다. 예를 들면, 대표적으로, Nd:YVO4 레이저(기본파 1064nm)의 제2고조파(532nm) 또는 제3고조파(355nm)를 사용하는 것이 바람직하다. 구체적으로, 연속발진의 YVO4 레이저로부터 쏘아진 레이저광을 비선형 광학소자에 의해 고조파로 변환하고, 출력10W의 레이저광을 얻는다. 그리고, 바람직하게는 광학계에 의해 조사면에 사각형상 또는 타원형상의 레이저광으로 형성되고, 반도체막(704)에 조사된다. 이때의 에너지 밀도는 0.01~100MW/㎠ 정도(바람직하게, 0.1~10MW/㎠)이 필요하다. 그리고, 주사 속도를 10~2000cm/초 정도로 하여 조사한다.

<143> 연속발진의 기체 레이저로서, Ar 레이저, Kr 레이저 등을 사용할 수 있다. 또한, 연속발진의 고체 레이저로서, YAG 레이저, YVO_4 레이저, YLF 레이저, YA_1O_3 레이저, 폴스테라이트(forsterite)(Mg_2SiO_4) 레이저, $GdVO_4$ 레이저, Y_2O_3 레이저, 유리 레이저, 루비 레이저, 알렉잰드라이트(alexandrite) 레이저, Ti:사파이어 레이저 등을 사용할 수 있다.

<144> 또한, 펄스 발진의 레이저로서, 예를 들면 Ar 레이저, Kr 레이저, 엑시머 레이저, CO_2 레이저, YAG 레이저, Y_2O_3 레이저, YVO_4 레이저, YLF 레이저, $YAlO_3$ 레이저, 유리 레이저, 루비 레이저, 알렉잰드라이트 레이저, Ti:사파이어 레이저, 동(copper) 증기 레이저, 또는 금(gold) 증기 레이저를 사용할 수 있다.

<145> 또한, 펄스 발진의 레이저광의 발진 주파수를 10MHz이상으로 하여, 보통 이용되고 있는 몇십Hz~몇백Hz의 주파수대보다도 현저하게 높은 주파수대를 사용하여 레이저 결정화를 행하여도 좋다. 펄스 발진에서 레이저광을 반도체막(704)에 조사하고나서 반도체막(704)이 완전하게 고착화할 때까지의 시간은 몇십nsec~몇백nsec라고 알려져 있다. 따라서, 상기 주파수를 사용함으로써 반도체막(704)이 레이저광에 의해 용융하고나서 고화할때 까지, 다음 펄스의 레이저광을 조사할 수 있다. 따라서, 반도체막(704) 중의 고체 액체 계면을 연속적으로 이동시킬 수 있으므로, 주사 방향을 향해서 연속적으로 성장한 결정립을 가지는 반도체막(704)이 형성된다.구체적으로는, 포함되는 결정립의 주사 방향에 있어서의 폭이 10~30㎛, 주사 방향에 대하여 수직한 방향에 있어서의 폭이 1~5㎛ 정도의 결정립의 집합을 형성할 수 있다. 상기 주사 방향을 따라 연속적으로 성장한 단결정의 결정립을 형성함으로써 적어도 트랜지스터의 채널 방향에는 결정립계가 거의 존재하지 않는 반도체막(704)의 형성이 가능해진다.

<146> 또한, 레이저 결정화는 연속발진의 기본파의 레이저광과 연속발진의 고조파의 레이저광을 병행하여 조사하도록 해도 좋고, 연속발진의 기본파의 레이저광과 펄스 발진의 고조파의 레이저광을 병행하여 조사하도록 해도 좋다.

<147> 또한, 희가스(rare gas)나 질소 등의 불활성 가스 분위기에서 레이저광을 조사하도록 해도 좋다. 이에 따라, 레이저광 조사에 의한 반도체 표면의 거칠기를 억제할 수 있고, 계면 준위 밀도의 편차에 의해 생기는 임계값의 편차를 억제할 수 있다.

<148> 전술한 레이저광의 조사에 의해, 결정성이 보다 개선된 반도체막(704)이 형성된다. 또한, 미리 반도체막(704)에 스퍼터링법, 플라즈마 CVD법, 열CVD법 등으로 형성한 다결정 반도체를 사용하여도 좋다.

<149> 또한, 본 실시형태에서는 반도체막(704)을 결정화하고 있지만, 결정화하지 않고 비정질 규소막 또는 미결정 반도체막인 채로, 후술의 프로세스로 진행되어도 좋다. 비정질 반도체, 미결정 반도체를 사용한 트랜지스터는 다결정 반도체를 사용한 트랜지스터보다도 제조 공정이 적어지고, 비용이 낮아지고, 제품 비율을 높게 할 수 있는 장점을 가진다.

<150> 비정질 반도체는 규소를 포함하는 기체를 글로우 방전 분해하는 것에 의해 얻을 수 있다. 규소를 포함하는 기체로서는 SiH_4, Si_2H_6을 들 수 있다. 이 규소를 포함하는 기체를, 수소, 수소 및 헬륨으로 희석하여 사용해도 된다.

<151> 다음에, 반도체막(704)에 대하여, p형을 부여하는 불순물 원소 또는 n형을 부여하는 불순물 원소를 저농도로 첨가하는 채널 도프를 행한다. 채널 도프는 반도체막(704) 전체에 대해 행해도 좋고, 반도체막(704)의 일부에 대하여 선택적으로 행해도 된다. p형을 부여하는 불순물 원소로서는 붕소(B), 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. 여기에서는, 불순물 원소로서 붕소(B)를 사용하고, 해당 붕소가 1×10^{16}~$5\times10^{17}/cm^3$의 농도로 포함되도록 첨가한다.

<152> 다음에, 도 10b에 나타낸 바와 같이, 반도체막(704)을 소정의 형상에 가공(패터닝)하고, 섬 형상의 반도체막(705, 706)을 형성한다. 그리고, 섬 형상의 반도체막(705, 706)을 커버하도록 게이트 절연막(709)을 형성한다. 게이트 절연막(709)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하고, 질화규소, 산화 규소, 질화산화 규소 또는 산화 질화규소를 포함하는 막을, 단층으로 또는 적층 시켜서 형성할 수 있다. 적층할 경우에는 예를 들면 기판(700) 측으로부터 산화 규소막, 질화규소막, 산화 규소막의 3층 구조로 하는 것이 바람직하다.

<153> 게이트 절연막(709)은 고밀도 플라즈마 처리를 함으로써 섬 형상의 반도체막(705, 706)의 표면을 산화 또는 질화 함으로써 형성해도 좋다. 고밀도 플라즈마 처리는 예를 들면 He, Ar, Kr, Xe 등의 희가스와 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행한다. 이 경우, 플라즈마의 여기를 마이크로파의 도입에 의해 행함으로써, 저전자온도에서 고밀도의 플라즈마를 생성할 수 있다. 이러한 고밀도의 플라즈마에서 생성된 산소 라디컬(OH 라디컬을 포함하는 경우도 있다)이나 질소 라디컬(NH 라디컬을 포함하는 경우도 있다)에 의해, 반도체막의 표면을 산화 또는 질화시킴에 의해, 1~20nm, 대표적으로는 5~10nm의 절연막이 반도체막에 접하도록 형성된다. 이런 5~10nm의 절연막이 게이트 절연막(709)으로서 사용된다.

<154> 전술한 고밀도 플라즈마 처리에 의한 반도체막의 산화 또는 질화는 고상(solid-phase) 반응에 의해 진행되기 때문에, 게이트 절연막과 반도체막의 계면준위 밀도를 지극히 낮게 할 수 있다. 또한, 고밀도 플라즈마 처리에 의해 반도체막을 직접 산화 또는 질화시킴으로써, 형성되는 절연막의 두께의 편차를 억제할 수 있다. 또한, 반도체막이 결정성을 가질 경우, 고밀도 플라즈마 처리를 사용하여 반도체막의 표면을 고상 반응에 의해 산화시킴으로써, 결정립계에서만 산화가 빠르게 진행되는 것을 억제하고, 균일성이 좋고, 계면 준위 밀도가 낮은 게이트 절연막을 형성할 수 있다. 고밀도 플라즈마 처리에 의해 형성된 절연막을, 게이트 절연막의 일부 또는 전부에 포함하여 형성되는 트랜지스터는, 특성의 편차를 억제할 수 있다.

<155> 다음에, 도 10c에 나타낸 바와 같이, 게이트 절연막(709) 상에 도전막을 형성한 후, 상기 도전막을 소정의 형상으로 가공(패터닝)함으로써, 섬 형상의 반도체막(705, 706)의 상부에 전극(710)을 형성한다. 본 실시형태에서는 적층된 2층의 도전막을 패터닝하여 전극(710)을 형성한다. 도전막은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오븀(Nb) 등을 사용할 수 있다. 또한 상기 금속을 주성분으로 하는 합금을 사용해도 되고, 상기 금속을 포함하는 화합물을 사용해도 된다. 또는, 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한 다결정 규소 등의 반도체를 사용하여 형성해도 좋다.

<156> 본 실시형태에서는 1층째의 도전막으로서 질화 탄탈 막 또는 탄탈(Ta) 막을, 2층째의 도전막으로서 텅스텐(W) 막을 사용한다. 2층의 도전막의 조합으로서, 본 실시형태에서 나타낸 예 이외에, 질화 텅스텐 막과 텅스텐 막, 질화 몰리브덴 막과 몰리브덴 막, 알루미늄 막과 탄탈 막, 알루미늄 막과 티타늄 막 등을 들 수 있다.텅스텐이나 질화 탄탈은 내열성이 높기 때문에 2층의 도전막을 형성한 후의 행정에 있어서, 열활성화를 목적으로 하는 가열 처리를 행할 수 있다. 또한, 2층의 도전막의 조합으로서, 예를 들면 n형을 부여하는 불순물이 도핑된 규소와 니켈 실리사이드, n형을 부여하는 불순물이 도핑된 Si와 WSix 등도 사용할 수 있다.

<157> 또한, 본 실시형태에서는 전극(710)을 적층된 2층의 도전막으로 형성하고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 전극(710)은 단층의 도전막으로형성되어 있어도 되고, 3층 이상의 도전막을 적층함으로써 형성되어 있어도 된다. 3층 이상의 도전막을 적층하는 3층 구조의 경우에는 몰리브덴 막과, 알루미늄 막과, 몰리브덴 막의 적층구조를 채용하면 좋다.

<158> 도전막의 형성에는 CVD법, 스퍼터링법 등을 사용할 수 있다. 본 실시예에서는 1층째의 도전막을 20~100nm의 두께로 형성하고, 2층째의 도전막을 100~400nm의 두께로 형성한다.

<159> 또한, 전극(710)을 형성할 때에 사용하는 마스크로서, 레지스트 마스크 대신에 산화 규소, 산화 질화규소 등을 마스크로서 사용해도 된다. 이 경우, 패터닝하여 산화 규소, 산화 질화규소 등의 마스크를 형성하는 공정이 더해지지만, 에칭시에 있어서의 그것의 마스크의 막두께 감소가 레지스트보다도 적기 때문에, 원하는 폭을 가지는 전극(710)을 형성할 수 있다. 또한, 마스크를 사용하지 않고, 액적 토출법을 사용하여 선택적으로 전극(710)을 형성해도 좋다.

<160> 다음에, 전극(710)을 마스크로서, 섬 형상의 반도체막(705, 706)에, n형을 부여하는 불순물 원소(대표적으로는 P(인) 또는 As(비소))를 저농도로 도프한다(제1 도핑 공정). 제1 도핑 공정의 조건은 도즈량: 1×10^{15}~$1\times10^{19}/cm^3$, 가속 전압: 50~70keV라고 했지만, 이것에 한정되는 것은 아니다. 이 제1 도핑 공정에 의해, 게이트 절연막(709)을 거쳐서 도핑이 이루어질 수 있고, 섬 형상의 반도체막(705, 706)에 저농도 불순물 영역(711)이 각각 형성된다. 또한, 제1 도핑 공정은 p채널형의 트랜지스터가 되는 섬 형상의 반도체막(706)을 마스크로 커버하는 동안 행해도 된다.

<161> 다음에, 도 11a에 나타낸 바와 같이, n채널형의 트랜지스터가 되는 섬 형상의 반도체막(705)을 커버하도록 마스크(712)를 형성한다. 그리고 마스크(712)에 더하여 전극(710)을 마스크로서 사용하고, 섬 형상의 반도체막(706)에 p형을 부여하는 불순물 원소(대표적으로는 B(붕소))를 고농도로 도프한다(제2 도핑 공정). 제2 도핑 공정의 조건은 도즈량: 1×10^{19}~$1\times10^{20}/cm^3$, 가속 전압: 20~40keV로서 행한다. 이 제2 도핑 공정에 의해, 게이트 절연막(709)을 거쳐서 도핑이 이루어질 수 있고, 섬 형상의 반도체막(706)에 p형의 고농도 불순물 영역(713)이 형성된다.

<162> 다음에, 도 11b에 나타낸 바와 같이, 마스크(712)를 애싱 등에 의해 박리한 후, 게이트 절연막(709) 및 전극(710)을 커버하도록 절연막을 형성한다. 상기 절연막은 플라즈마 CVD법이나 스퍼터링법 등에 의해 규소막, 산화규소막, 산화 질화규소막 또는 질화산화 규소막이나, 유기 수지 등의 유기재료를 포함하는 막을, 단층 또는 적층하여 형성한다. 본 실시예에서는 막두께 100nm의 산화 규소막을 플라즈마 CVD법에 의해 형성한다.

<163> 다음에, 수직방향을 주체로 하는 이방성 에칭에 의해, 게이트 절연막(709) 및 상기 절연막을 부분적으로 에칭한다. 상기 이방성 에칭에 의해 게이트 절연막(709)이 부분적으로 에칭되어서, 섬 형상의 반도체막(705, 706) 상에 부분적으로 형성된 게이트 절연막(714)이 형성된다. 또한, 상기 이방성 에칭에 의해, 게이트 절연막(709) 및 전극(710)을 커버하도록 형성된 절연막이 부분적으로 에칭되어서, 전극(710)의 측면에 접하는 측벽(715)이 형성된다. 측벽(715)은 LDD(Lightly Doped drain) 영역을 형성할 때의 도핑용 마스크로서 사용한다. 본 실시형태에서는 에칭 가스로서, CHF_3과 He의 혼합 가스를 사용한다. 또한, 측벽(715)을 형성하는 공정은 이것들에 한정되는 것은 아니다.

<164> 다음에, 도 11c에 나타낸 바와 같이, p채널형의 트랜지스터가 되는 섬 형상의 반도체막(706)을 커버하도록 마스크(716)를 형성한다. 그리고, 형성한 마스크(716)에 더하여 전극(710) 및 측벽(715)을 마스크로서 사용하고, n형을 부여하는 불순물 원소(대표적으로는 P 또는 As)를 섬 형상의 반도체막(705)에 고농도로 도프한다(제3 도핑 공정). 제3 도핑 공정의 조건은 도즈량: 1×10^{19}~$1\times10^{20}/cm^3$, 가속 전압: 60~100keV로서 행한다. 이 제3 도핑 공정에 의해, 섬 형상의 반도체막(705)에 n형의 고농도 불순물 영역(717)이 형성된다.

<165> 또한, 측벽(715)은 뒤에 고농도의 n형을 부여하는 불순물을 도핑하고, 측벽(715)의 하부에 저농도 불순물 영역 또는 도프되지 않은 오프셋 영역을 형성할 때의 마스크로서 기능하는 것이다. 따라서, 저농도 불순물 영역 또는 오프셋 영역의 폭을 제어하기 위해서는 측벽(715)을 형성할 때의 이방성 에칭의 조건 또는 측벽(715)을 형성하기 위한 절연막의 막두께를 적당하게 변경하고, 측벽(715)의 사이즈를 조정하면 좋다. 또한, 반도체막(706)에 있어서, 측벽(715)의 하부에 저농도 불순물 영역 또는 도프되지 않은 오프셋 영역을 형성해도 좋다.

<166> 다음에, 마스크(716)를 애싱 등에 의해 박리한 후, 불순물 영역의 가열 처리에 의한 활성화를 행해도 된다. 예를 들면, 50nm의 산화 질화규소막을 형성한 후, 550℃, 4시간, 질소 분위기에서 가열 처리를 행하면 좋다.

<167> 또한, 수소를 포함하는 질화규소막을 100nm의 막두께로 형성한 후, 410℃, 1시간, 질소 분위기에서 가열 처리를 행하고, 섬 형상의 반도체막(705, 706)을 수소화하는 공정을 행해도 좋다. 또는, 수소를 포함하는 분위기에서, 300~450℃에서 1~12시간의 가열 처리를 행하고, 섬 형상의 반도체막(705, 706)을 수소화하는 공정을 행해도 좋다. 가열 처리에는 열 어닐, 레이저 어닐법 또는 RTA법 등을 사용할 수 있다. 가열 처리에 의해, 수소화 뿐만 아니라 반도체막에 첨가된 불순물 원소의 활성화도 행할 수 있다. 또한, 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마 여기된 수소를 사용한다)를 행해도 된다. 이 수소화의 공정에 의해, 열적으로 여기된 수소에 의해 댕글링 본드가 종단될 수 있다.

<168> 전술한 일련의 공정에 의해, n채널형의 트랜지스터(718)와 p채널형의 트랜지스터(719)가 형성된다.

<169> 또한, 본 실시형태에서는 박막트랜지스터를 예로 들어서 설명하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 박막트랜지스터 이외에, 단결정 실리콘을 사용하여 형성된 트랜지스터, SOI를 사용하여 형성된 트랜지스터

등도 사용할 수 있다. 또한, 유기반도체를 사용한 트랜지스터라도 좋고, 카본 나노튜브를 사용한 트랜지스터라도 된다.

<170> 다음에, 도 12a에 나타낸 바와 같이, 트랜지스터(718, 719)를 보호하기 위한 절연막(722)을 형성한다. 절연막(722)은 반드시 설치할 필요는 없지만, 절연막(722)을 형성함으로써 알칼리 금속이나 알칼리 토류금속 등의 불순물이 트랜지스터(718, 719)로 침입하는 것을 막을 수 있다. 구체적으로, 절연막(722)으로서, 질화규소, 질화산화 규소, 산화 질화규소, 질화알루미늄, 산화알류미늄, 산화 규소등을 사용하는 것이 바람직하다. 본 실시형태에서는 막두께 600nm 정도의 산화 질화규소막을 절연막(722)으로서 사용한다. 이 경우, 상기 수소화의 공정은 상기 산화 질화규소막 형성후에 행해도 된다.

<171> 다음에, 트랜지스터(718, 719)를 커버하도록, 실록산 수지 또는 실록산 수지의 전구체인 실록산계 재료를 가지는 박막(723)이 절연막(722) 상에 형성된다. 박막(723)은 실록산 수지 또는 실록산계 재료가 분산된 현탁액을 트랜지스터(718, 719)를 커버하도록 절연막(722) 상에 도포하는 것에 의해 형성할 수 있다.

<172> 현탁액의 용매는 실록산 수지 또는 실록산계 재료를 분산되게 할 수 있는 유기 용매인 것이 바람직하고, 예를 들면 프로필렌 글리콜 모노메틸 에테르 아세테이트(propylene glycol monomethyl ether acetate : PGMEA), 3-메톡시-3-메틸－1-부탄올(MMB), N-메틸-2-피롤리돈(pyrrolidone)(NMP) 등이 사용될 수 있다. 본 실시형태에서는 프로필렌 글리콜 모노메틸 에테르 아세테이트(PGMEA) 및 3-메톡시-3-메틸－1-부탄올(MMB)을 사용한다. 현탁액의 도포는 절연막(722) 상에 현탁액을 떨어뜨린 후, 기판(700)을 고속회전하는 스핀 코팅법에 의해 수행될 수 있다. 또한, 스핀 코팅법에 한정되지 않고, 슬릿 코팅법, 딥 코팅법 등을 사용하여 현탁액의 도포를 수행하도록 해도 좋다.

<173> 다음에, 박막(723)에 프리베이킹이라고 불리는 가열 처리를 행하고, 박막(723)을 경화시킨다. 본 실시형태에서는 프리베이킹을 행함으로써 리소그래피법에 의해 마스크를 형성하는 이후의 공정에 있어서의 작업성을 향상시킬 수 있다. 프리베이킹의 온도는 박막(723)을 작업하기 쉬워지도록 경화시킬 수 있는 정도로 높고, 게다가 박막(723) 내의 유기 용매의 비점보다도 낮게 하는 것이 바람직하다.본 실시형태에서는 90℃~100℃, 30초~60초의 조건으로 프리베이킹을 행한다.

<174> 다음에, 박막(723)과 레지스트의 밀착성을 높이기 위하여, 박막(723)을 현상액에 노출시킨다. 그리고, 도 12c에 나타낸 바와 같이, 레지스트를 사용하여 박막(723) 상에 레지스트층(724)을 형성한다. 본 실시형태에서는 노보락 수지를 레지스트로서 사용한다. 그리고 레지스트층(724)에 110℃~120℃, 30초~90초의 가열 처리(레지스트의 프리베이킹)를 실행한다. 상기 가열 처리에 의해, 표면에 용해가 어려운 층을 형성함으로써 레지스트층(724)을 경화시켜서 작업성을 향상시킬 수 있다.

<175> 다음에, 레지스트층(724)을 노광, 현상함으로써 레지스트층(724)이 부분적으로 박리된다. 그 결과, 도 13a에 나타낸 바와 같이, 선택적으로 박막(723) 상에 설정된 마스크(725)가 형성된다.

<176> 다음에, 도 13b에 나타낸 바와 같이, 베이킹이라고 불리는 가열 처리를 행해서 박막(723)을 한층 더 경화시킨다. 도 13b에서는 베이킹후의 박막(723)을 박막(726)으로서 도시하고 있다. 베이킹의 온도는 선택적으로 습식 에칭할 수 있는 정도로 박막(723)을 경화시키는 온도범위로 설정한다. 구체적으로는, 원하는 에칭율을 확보할 수 있는 정도로 높고, 박막(723)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 낮아지도록 설정하는 것이 바람직하다. 본 실시형태에서는 베이킹을 130℃~140℃, 0.5h~1h의 조건으로 행한다.

<177> 또한, 베이킹에 의해, 마스크(725)가 이후의 습식 에칭에 있어서 사용할 수 있는 유기 용매에 의해 부식 혹은 용해되는 것을 막을 수 있다.

<178> 다음에, 도 13c에 나타낸 바와 같이, 유기 용매를 에천트로서 사용하고, 박막(726)의 습식 에칭을 행한다. 에천트로서 사용하는 유기 용매는 탄소 수가 3으로부터 5의 중급 알코올, 예를 들면 부탄올, 프로판올 등이 바람직하다. 상기 알코올을 에천트로서 사용함으로써 베이킹에 의해 경화된 박막(726)을 습식 에칭할 때에, 에칭에 적합한 에칭율과, 마스크(725)에 대한 높은 선택비를 확보할 수 있다. 또 상기 유기 용매를 에천트로서 사용함으로써 불산 등의 무기재료의 에천트를 사용했을 경우와 다르게, 박막(726)의 하층에 배선, 전극 등의 도전막이 설치될 경우, 그 표면의 거칠기가 억제될 수 있고, 또 취급의 위험도도 낮게 할 수 있다.

<179> 본 실시형태에서는 2-부탄올을 에천트로서 사용하고, 습식 에칭을 행한다. 습식 에칭에 의해, 원하는 형상으로 가공(패터닝)된 박막(727)을 형성할 수 있다.박막(727)의 형성에 의해, 절연막(722)이 부분적으로 노출된다.

<180> 다음에, 마스크(725)를 박리한다. 마스크(725)를 박리하기 위한 박리액은 마스크(725)를 선택적으로 박리할 수

있는 것을 사용한다. 예를 들면, 노보락 수지를 사용하여 마스크(725)를 형성할 경우, 2-아미노 에탄올과 글리콜 에테르를 포함하는 박리액을 사용할 수 있다.

<181> 다음에, 도 14a에 나타낸 바와 같이, 박막(727)에 큐어링이라고 불리는 가열 처리를 행한다. 큐어링의 처리 온도는 박막(727)에 포함되는 실록산계 재료가 중합되거나 또는 박막(727)에 포함되는 유기 용매의 휘발이 촉진되는 정도의 범위로 설정한다. 구체적으로는, 박막(723)을 형성하기 위한 현탁액 중에 포함되는 유기 용매의 비점보다 높게 큐어링의 온도를 설정한다.

<182> 본 실시형태에서는 300℃~350℃, 1시간 정도의 조건으로 큐어링을 행한다. 큐어링에 의해, 박막(727) 내의 실록산계 재료가 중합되거나 또는 상기 박막(727) 속에 포함되는 유기 용매가 베이킹보다도 한층 더 휘발함으로써 절연막(722)이 노출되도록 개구부를 갖는 실록산 수지의 절연막(728)이 형성된다.

<183> 다음에, 도 14b에 나타낸 바와 같이, 섬 형상의 반도체막(705, 706)이 각각 일부 드러나도록, 절연막(728)의 개구부내의 절연막(722)에 개구부를 형성한다. 본 실시형태에서는 절연막(722)에 드라이 에칭을 실행함으로써 개구부를 형성한다. 절연막(722)에 개구부를 형성할 때, 절연막(728)은 마스크에 의해 커버된다. 드라이 에칭에 사용할 수 있는 가스는 CHF_3과 He의 혼합 가스를 사용할 수 있지만, 본 발명은 이것에 한정되는 것은 아니다.

<184> 또한, 절연막(722)을 설치하지 않을 경우, 상기 드라이 에칭의 공정은 불필요하게 된다.

<185> 다음에, 도 15a에 나타낸 바와 같이, 절연막(722) 및 절연막(728)의 개구부에 있어서, 도전막(729)과 섬 형상의 반도체막(705, 706)에 접하는 도전막(730~733)을 형성한다.

<186> 도전막(729~733)은 CVD법이나 스퍼터링법 등에 의해 형성할 수 있다. 구체적으로, 도전막(729~733)으로서, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 동(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si) 등을 사용할 수 있다. 또한 상기 금속을 주성분으로 하는 합금을 사용해도 되고, 상기 금속을 포함하는 화합물을 사용해도 된다. 도전막(729~733)은 상기 금속을 사용할 수 있었던 막을 단층 또는 복수 적층 시켜서 형성할 수 있다.

<187> 알루미늄을 주성분으로 하는 합금의 예로서, 알루미늄을 주성분으로 하여 니켈을 포함하는 것을 들 수 있다. 또한, 알루미늄을 주성분으로 하여 니켈과, 탄소 또는 규소 중 하나 또는 둘다를 포함하는 것도 예로서 들 수 있다. 알루미늄이나 알루미늄 실리콘은 저항치가 낮고 저렴하기 때문에, 도전막(729~733)을 형성하는 재료로서 최적이다. 특히, 알루미늄 실리콘막이 사용되면, 도전막(729~733)을 패터닝할 때, 레지스트 베이킹에 있어서의 힐록의 발생을 알루미늄 막에 비교하여 방지 할 수 있다. 또한, 규소(Si) 대신에, 알루미늄 막에 0.5중량% 정도의 Cu를 혼입시켜도 좋다.

<188> 예를 들면, 도전막(729~733)은 배리어 막과, 알루미늄 실리콘 막과, 배리어 막의 적층구조, 또는 배리어 막과, 알루미늄 실리콘 막과, 티타늄 질화물 막과, 배리어 막의 적층구조를 채용하면 좋다. 또한, 배리어 막은 예를 들면 티타늄, 티타늄 질화물, 몰리브덴 또는 몰리브덴 질화물 등을 사용하여 형성된 막이다. 알루미늄 실리콘막을 끼워넣어 배리어 막을 형성하면, 알루미늄이나 알루미늄 실리콘의 힐록의 발생이 방지될 수 있다. 또한 환원성이 높은 원소인 티타늄을 사용하여 배리어 막을 형성하면, 섬 형상의 반도체막(705, 706) 상에 얇은 산화막이 존재하더라도, 배리어 막에 포함되는 티타늄이 이 산화막을 환원하고, 도전막(730~733)과 섬 형상의 반도체막(705, 706)이 양호한 콘택이 얻어질 수 있다. 또 배리어 막을 복수 적층하여 사용해도 된다. 그 경우, 예를 들면 도전막(729~733)을 하층으로부터 티타늄, 질화 티타늄, 알루미늄 실리콘, 티타늄, 질화 티타늄의 5층 구조로 할 수 있다.

<189> 또한, 도전막(730, 731)은 n채널형의 트랜지스터(718)의 고농도 불순물 영역(717)에 접속되어 있다. 도전막(732, 733)은 p채널형의 트랜지스터(719)의 고농도 불순물 영역(713)에 접속되어 있다.

<190> 다음에, 도전막(729~733)을 커버하도록 절연막(734)을 형성하고, 그 후에 도전막(729)의 일부가 노출되도록 상기 절연막(734)에 개구부를 형성한다. 그리고 상기 개구부에서 도전막(729)과 접하도록 도전막(735)을 형성한다. 도전막(729~733)에 사용할 수 있는 재료이면, 도전막(735)의 재료로서 사용할 수 있다.

<191> 절연막(734)은 유기수지막, 무기절연막 또는 실록산계 절연막을 사용하여 형성할 수 있다. 유기수지막이면, 예를 들면 아크릴, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐 등을 사용할 수 있다. 무기절연막이면, 산화 규소, 산화 질화규소, 질화산화 규소, DLC(다이아몬드형 카본)으로 대표되는 탄소를 포함하는 막 등을 사용할 수 있다. 또한 리소그래피법에 의해 개구부를 형성하는데도 사용하는 마스크를, 액적 토출법 또는 인쇄법에 의해 형성할 수 있다. 또 절연막(734)은 그 재료에 따라, CVD법, 스퍼터링법, 액적 토출법 또는 인

쇄법 등에 의해 형성할 수 있다.

<192> 또한, 절연막(734)의 형성도, 본 발명의 제조 방법을 사용해도 된다. 이 경우, 도 12b 내지 도 14a를 참조하여 설명한 절연막(728)의 제조 방법을 사용할 수 있다.

<193> 다음에, 도 15b에 나타낸 바와 같이, 도전막(735)을 커버하도록 절연막(734) 상에 보호층(740)을 형성한다. 보호층(740)은 이후에 박리층(702)을 경계로 하여 기판(700)을 박리할 때에, 절연막(734), 도전막(735)을 보호할 수 있는 재료를 사용한다. 예를 들면, 물 또는 알코올류에 용해가능한 에폭시계, 아크릴레이트계, 실리콘계의 수지를 전면에 도포하는 것으로 보호층(740)을 형성할 수 있다.

<194> 본 실시형태에서는 스핀 코팅법에 의해 수용성수지(토아고세이사: VL-WSHL10)를 막두께 30㎛가 되도록 도포하고, 경화시키기 위하여 2분간의 노광을 행한 뒤, 이면으로부터 2.5분, 표면으로부터 10분, 합계 12.5분의 노광을 행하여 완전히 경화시켜서, 보호층(740)을 형성한다. 또한, 복수의 유기수지를 적층할 경우, 유기수지 사이에서는 사용하고 있는 용매에 의해 도포 또는 소성시에 일부 용해되거나 밀착성이 지나치게 높게 되는 등의 우려가 있다. 따라서, 절연막(734)과 보호층(740)을 모두 같은 용매로 용해가능한 유기수지를 사용할 경우, 이후의 공정에서 보호층(740)의 박리가 유연하게 행해질 수 있도록, 절연막(734)을 커버하기 위하여 무기절연막(질화규소막, 질화산화 규소막, AlN_x막, 또는 AlN_xO_y막)을 형성해 두는 것이 바람직하다.

<195> 다음에, 절연막(703)으로부터 절연막(734) 상에 형성된 도전막(735)까지의 층(이하, "소자 형성층(742)"이라고 참조됨)은 트랜지스터로 대표되는 반도체 소자나 각종 도전막을 포함하고, 보호층(740)을 기판(700)으로부터 박리한다. 본 실시형태에서는 제1 시트 부재(741)를 보호층(740)에 접착하고, 물리적인 힘을 사용하여 기판(700)로부터 소자 형성층(742)과 보호층(740)을 박리한다. 박리층(702)은 모두 박리하지 않고 일부가 잔존한 상태라도 된다.

<196> 또한, 상기 박리는 박리층(702)의 에칭을 사용한 방법으로 행하여도 된다. 이 경우, 박리층(702)이 일부 노출되도록 홈을 형성한다. 홈은 다이싱, 스크라이빙, UV광을 포함하는 레이저광을 사용한 가공, 리소그래피법 등에 의해 형성한다.홈은 박리층(702)이 노출하는 정도의 깊이를 가지고 있으면 좋다. 그리고 에칭 가스로서 불플루오르화 할로겐을 사용하고, 상기 가스를 홈을 통해 도입한다. 본 실시예에서는 예를 들면 ClF_3(3불화 염소)을 사용하고, 온도:350℃, 유량:300sccm, 기압:800Pa, 시간:3h의 조건으로 행한다. 또한 ClF_3 가스에 질소를 섞은 가스를 사용해도 된다. ClF^3 등의 불화 할로겐을 사용함으로써 박리층(702)이 선택적으로 에칭되어, 기판(700)을 소자 형성층(742)으로부터 박리할 수 있다. 또한 불화 할로겐은 기체라도 액체라도 어느 쪽이라도 좋다.

<197> 다음에, 도 16a에 나타낸 바와 같이, 소자 형성층(742)의 상기 박리에 의해 노출되어지는 밑면에, 제2 시트 부재(744)를 접착다. 그리고, 소자 형성층(742) 및 보호층(740)을 제1 시트 부재(741)로부터 박리한 후, 보호층(740)을 박리한다.

<198> 제2 시트 부재(744)로서, 예를 들면 바륨 보로실리케이트 유리 또는 알루미노 보로실리케이트 유리 등의 유리 기판, 가요성을 갖는 종이 또는 플라스틱 등의 유기재료를 사용할 수 있다. 또는 제2 시트 부재(744)로서, 가요성 무기재료를 사용해도 된다. 플라스틱 기판은 극성기를 포함하는 폴리노보넨(polynorbornene)으로부터 형성되는 ARTON(JSR 제조)을 사용할 수 있다. 또한 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르술폰(PES), 폴리에틸렌 나프탈레이트(PEN) ,폴리카보네이트(PC), 나이론, 폴리에테르에테르케톤(PEEK), 폴리술폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌 테레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴-부타디엔-스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리초산비닐, 아크릴 수지 등을 들 수 있다.

<199> 또한, 기판(700) 상에 복수의 반도체 장치에 대응하는 반도체 소자를 형성하고 있을 경우에는 소자 형성층(742)을 각각의 반도체 장치로 분단한다. 분단은 레이저조사장치, 다이싱 장치, 스크라이브 장치 등을 사용할 수 있다.

<200> 다음에, 도 16b에 나타낸 바와 같이, 안테나(745)를 도전막(735)과 전기적으로 접속시킨다. 안테나(745)와 도전막(735)의 전기적인 접속은 이방도전성 필름(ACF(Anisotropic Conductive Film))(743)으로 안테나(745)와 도전막(735)을 압착시킴으로써 행할 수 있다. 이방도전성 필름 이외에, 이방도전성 페이스트(ACP(Anisotropic Conductive Paste)) 등을 사용하여 압착시켜도 좋다. 또한 은 페이스트, 동 페이스트 또는 카본 페이스트 등의 도전성 접착제나 땜납 접합 등을 사용하여 접속을 행하는 것도 가능하다.

<201> 또한, 본 실시형태에서는 반도체 소자를 형성한 후에 별도로 준비한 안테나(745)를 반도체 소자에 전기적으로 접속시키는 예에 관하여 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 안테나를 반도체 소자와 같은 기판 상에 형성하도록 해도 좋다. 이 경우, 안테나로서 기능하는 도전막을, 그 일부가 도전막(735)으로 접하도록 형성하면 좋다. 안테나로서 기능하는 도전막은 은(Ag), 금(Au), 동(Cu), 팔라듐(Pd), 크롬(Cr), 백금(Pt), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 알루미늄(Al), 철(Fe), 코발트(Co), 아연(Zn), 주석(Sn), 니켈(Ni) 등의 금속을 사용하여 형성할 수 있다. 안테나로서 기능하는 도전막은 상기 금속으로 형성된 막 이외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용해도 된다. 안테나로서 기능하는 도전막은 전술한 막을 단층으로 사용해도 되고, 전술한 복수의 막을 적층 해서 사용해도 된다.

<202> 안테나로서 기능하는 도전막은 CVD법, 스퍼터링법, 스크린 인쇄나 그라비어(gravure) 인쇄 등의 인쇄법, 액적 토출법, 디스펜서법, 도금법, 리소그래피법, 증착법 등을 사용하여 형성할 수 있다.

<203> 예를 들면, 스크린 인쇄법을 사용할 경우, 입경이 수nm로부터 몇십㎛의 도전성을 가지는 입자(도전체 입자)를 유기수지에 분산되게 한 도전성의 페이스트를, 절연막(734) 상에 선택적으로 인쇄함으로써 안테나로서 기능하는 도전막을 형성할 수 있다. 도전체 입자는 은(Ag), 금(Au), 동(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 주석(Sn), 납(Pb), 아연(Zn), 크롬(Cr) 또는 티타늄(Ti) 등을 사용하여 형성할 수 있다. 도전체 입자는 상기 금속으로 형성된 것 이외에, 상기 금속을 주성분으로 하는 합금으로 형성되어 있어도 되고, 상기 금속을 포함하는 화합물을 사용하여 형성되어 있어도 된다. 또 할로겐화은의 미립자 또는 분산성 나노 입자도 사용할 수 있다. 또한 도전성 페이스트에 포함되는 유기수지로서, 폴리이미드, 실록산계 수지, 에폭시 수지, 규소 수지 등을 사용할 수 있다.

<204> 상기 금속의 합금의 일례로서, 은(Ag)과 팔라듐(Pd), 은(Ag)과 백금(Pt), 금(Au)과 백금(Pt), 금(Au)과 팔라듐(Pd), 은(Ag)과 동(Cu)의 조합을 들 수 있다.또한, 예를 들면 동(Cu)을 은(Ag)으로 코팅한 도전체 입자 등도 사용하는 것이 가능하다.

<205> 또한, 안테나로서 기능하는 도전막의 형성에 즈음하여, 인쇄법이나 액적 토출법으로 도전성의 페이스트를 밀어낸 후에 소성하는 것이 바람직하다. 예를 들면, 도전성의 페이스트에, 은을 주성분으로 하는 도전체 입자(예를 들면, 입경1nm이상100nm이하)를 사용할 경우, 150~300℃의 온도범위에서 소성함으로써, 안테나로서 기능하는 도전막을 형성할 수 있다. 소성은 적외 램프, 크세논 램프, 할로겐 램프 등을 사용한 램프 어닐로 행해도 좋고, 전기로를 사용한 퍼니스 어닐로 행해도 좋다. 또한, 엑시머 레이저나, Nd:YAG 레이저를 사용한 레이저 어닐법으로 행해도 좋다. 또한, 땜납이나 무납(lead-free) 땜납을 주성분으로 하는 미립자를 사용해도 되고, 이 경우에는 입경 20㎛ 이하의 미립자를 사용하는 것이 바람직하다. 땜납이나 무납 땜납은 저비용의 이점을 가지고 있다.

<206> 또한, 본 실시형태에서는 소자 형성층(742)을 기판(700)으로부터 박리해서 이용하는 예를 개시하고 있지만, 박리층(702)을 설치하지 않고, 기판(700) 상에 상기의 소자 형성층(742)을 제조하고, 반도체 장치로서 이용해도 좋다.

<207> 또한, 본 실시형태에서는 안테나를 가지는 반도체 장치의 제조 방법에 관하여 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 본 발명의 제조 방법을 사용하여 제조되는 반도체 장치는 반드시 안테나를 가지지 않더라도 좋다.

<208> 또한, 본 실시형태에서는 마스크(725)를 리소그래피법에 의해 형성할 경우를 예로 들어서 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 액적 토출법, 인쇄법 등, 리소그래피법 이외의 방법을 사용하여 마스크(725)를 형성하도록 해도 좋다.

<209> 또한, 본 실시형태에서는 실시예형태1과 같이 마스크(725)를 형성한 후에 박막의 베이킹을 행할 경우를 예로 들어서 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 실시형태2와 같이, 마스크(725)를 형성하기 전에 박막의 베이킹을 하여도 좋다.

<210> 본 실시형태에서는 절연막(728)에 형성되는 개구부의 단부에서의 경사도를 완만한 모양으로 할 수 있다. 따라서, 개구부의 단부에서 도전막(730~733)이 극단적으로 얇게 되거나 또는 절단을 일으키는 것을 막을 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.

<211> 또한, 본 실시형태에서는 절연막(728)을 본 발명의 제조 방법에 의해 형성했지만, 본 발명은 이 구성에 한정되지 않는다. 절연막(728)과 절연막(734)을, 본 발명의 제조 방법에 의해 형성해도 좋고, 절연막(728)과 절연막

(734) 중 절연막(734)만을 본 발명의 제조 방법에 의해 형성해도 좋다. 절연막(734)을 본 발명의 제조 방법에 의해 형성할 경우, 개구부의 단부에서 도전막(735)이 극단적으로 얇아지거나 또는 절단을 일으키는 것을 막을 수 있다.

<212> 또한, 상기 반도체 장치의 제조 방법에서는 드라이 에칭과 같이 OH기의 증가에 의해 절연막(728)의 흡습성이 높아지는 문제가 생기지 않는다. 따라서, 절연막(728) 내의 수분이 트랜지스터(718, 719) 등의 반도체 소자의 신뢰성, 나아가서는 반도체 장치의 신뢰성에 악영향을 주는 것을 막을 수 있다.

<213> 또한, 종래의 비감광성의 실록산 수지로 절연막(728)을 형성할 수 있다. 따라서, 반도체 장치의 제조에 걸리는 비용을 억제할 수 있다.

<214> 또한, 본 실시형태의 제조 방법에서는 박막을 경화시키기 위한 베이킹이 유기 용매에 의해 마스크(725)가 부식 혹은 용해되는 것을 막는다. 바꿔 말하면, 마스크(725)의 유기 용매 저항성을 높이기 위한 가열 처리를 겸할 수 있다.

<215> 본 실시형태는 상기 실시형태와 적당하게 조합하여 수행하는 것이 가능하다.

<216> (실시예1)

<217> 본 실시예에서는 단결정 기판에 형성된 반도체 소자 상에 절연막을 형성하는 본 발명의 제조 방법에 관하여 설명한다. 또한, 본 실시예에서는 반도체 소자로서 트랜지스터를 사용했을 경우를 예로 들어서 설명하지만, 단결정 기판에 형성되는 반도체 소자는 트랜지스터에 한정되지 않는다.

<218> 우선, 도 17a에 나타낸 바와 같이, 반도체 기판(500)에 형성된 트랜지스터(501) 및 트랜지스터(502)를 커버하도록 절연막(503)을 형성한다.

<219> 예를 들면, 반도체 기판(500)은 n형 또는 p형의 도전형을 가지는 단결정 실리콘 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판, ZnSe 기판 등), 본딩 방법 또는 SIMOX(Separation by Implanted Oxygen)법을 사용하여 제조된 SOI(Silicon on Insulator) 기판 등을 사용할 수 있다.

<220> 트랜지스터(501)와 트랜지스터(502)는 서로 소자 분리용 절연막(504)에 의해 전기적으로 분리되어 있다. 소자 분리용 절연막(504)의 형성에는 선택 산화법 (LOCOS(Local Oxidation of Silicon)법) 또는 트렌치 분리법 등을 사용할 수 있다.

<221> 또한, 반도체 기판(500)에는 p웰(505)이 형성되어 있어, 상기 p웰(505)에 트랜지스터(502)가 형성되어 있다. 또한, 본 실시형태에서는 n형의 도전형을 가지는 단결정 실리콘 기판을 반도체 기판(500)으로서 사용하고, 상기 반도체 기판(500)에 p웰(505)을 형성한 예를 개시하고 있다. 반도체 기판(500)에 형성된 p웰(505)은 p형의 도전형을 부여하는 불순물 원소를 반도체 기판(500)에 선택적으로 도입함으로써 형성할 수 있다. p형을 부여하는 불순물 원소로서는 붕소(B), 알루미늄(Al), 갈륨(Ga) 등을 사용할 수 있다.

<222> 또한, 본 실시예에서는 반도체 기판(500)으로서 n형의 도전형을 가지는 반도체 기판을 사용하고 있기 때문에, 트랜지스터(501)가 형성되는 영역에는 n웰을 형성하지 않고 있다. 그러나, n형을 부여하는 불순물 원소를 도입함에 의해, 트랜지스터(501)가 형성되는 영역에 n웰을 형성해도 좋다. n형을 부여하는 불순물 원소로서는,인(P)이나 비소(As) 등을 사용할 수 있다.

<223> 또한, 반도체 기판(500)으로서 p형의 도전형을 가지는 반도체 기판을 사용할 경우, 상기 반도체 기판에 n형을 부여하는 불순물 원소를 선택적으로 도입하고, n웰을 형성하면 좋다. 그리고 상기 n웰에 트랜지스터(501)를 형성할 수 있다.

<224> 트랜지스터(501) 및 트랜지스터(502)는 게이트 절연막(506)을 가지고 있다. 본 실시예에서는 반도체 기판(500)을 열산화함으로써 형성된 산화 규소막을, 게이트 절연막(506)로서 사용한다. 또한 열산화에 의해 산화 규소막을 형성한 후, 질화처리를 행함으로써 산화 규소막의 표면을 질화시켜서 산질화규소막을 형성하고, 산화 규소막과 산질화규소막이 적층된 층을 게이트 절연막(506)으로서 사용해도 된다. 또한 열산화 대신에, 플라즈마 처리를 사용하여 게이트 절연막(506)을 형성해도 좋다. 예를 들면, 고밀도 플라즈마 처리에 의해 반도체 기판(500)의 표면을 산화 또는 질화함으로써, 게이트 절연막(506)으로서 사용하는 산화 규소(SiO_x)막 또는 질화규소(SiN_x)막을 형성할 수 있다.

<225> 또한 트랜지스터(501) 및 트랜지스터(502)는 게이트 절연막(506) 상에 도전막(507)을 가지고 있다. 본 실시예에

서는 도전막(507)이 순차적으로 적층된 2층의 도전막으로 형성되어 있는 예를 개시하고 있다. 도전막(507)은 단층의 도전막을 사용해도 좋고, 3층 이상의 도전막이 적층된 구조를 사용해도 된다.

<226> 도전막(507)으로서, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오븀(Nb) 등을 사용할 수 있다. 또 도전막(507)은 상기 금속으로 형성된 막 이외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용해도 된다. 또는, 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한 다결정규소 등의 반도체를 사용하여 형성해도 좋다. 본 실시예에 있어서, 도전막(507)은 질화 탄탈을 사용한 도전막과, 텅스텐을 사용한 도전막이 적층된 구성을 가지고 있다.

<227> 또한, 트랜지스터(501)는 반도체 기판(500)에 소스 영역 또는 드레인 영역으로서 기능하는 한 쌍의 불순물 영역(509)을 가진다. 그리고 한 쌍의 불순물 영역(509)의 사이가 트랜지스터(501)의 채널 형성 영역에 해당한다. 불순물 원소로서는 n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n 형을 부여하는 불순물 원소로서는 인(P)이나 비소(As) 등을 사용할 수 있다. p 형을 부여하는 불순물 원소로서는 붕소(B), 알루미늄(Al), 갈륨(Ga) 등을 사용할 수 있다. 본 실시예에서는 불순물 원소로서 붕소(B)을 사용한다.

<228> 또한, 트랜지스터(502)는 p웰(505)에 소스 영역 또는 드레인 영역으로서 기능하는 한 쌍의 불순물 영역(508)을 가진다. 그리고 한 쌍의 불순물 영역(508)의 사이가 트랜지스터(502)의 채널 형성 영역에 해당한다. 불순물 원소는 n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n형을 부여하는 불순물 원소로서는 인(P)이나 비소(As) 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는 붕소(B), 알루미늄(Al), 갈륨(Ga) 등을 사용할 수 있다. 본 실시예에서는 불순물 원소로서 인(P)을 사용한다.

<229> 절연막(503)은 게이트 절연막(506)이 부분적으로 노출되도록 하는 개구부를 가지고 있다. 절연막(503)은 상기 실시형태에 나타낸 바와 같은 본 발명의 절연막의 제조 방법을 사용할 수 있다.

<230> 또한, 본 실시예에서는 트랜지스터(501) 및 트랜지스터(502)를 실록산 수지의 절연막(503)으로 직접 커버하고 있는 예를 개시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 절연막(503)을 형성하기 전에, 트랜지스터(501) 및 트랜지스터(502)에 알칼리 금속이나 알칼리 토류금속 등의 불순물이 침입하는 것을 막기 위한 절연막을 형성해도 된다. 구체적으로, 상기 절연막은 질화규소, 질화산화 규소, 산화 질화규소, 질화알루미늄, 산화알류미늄, 산화 규소 등을 사용하는 것이 바람직하다. 이 경우, 불순물의 침입을 막을 수 있는 상기 절연막이 절연막(503)의 개구부에서 노출되는 것이 다르다.

<231> 다음에, 도 17b에 나타낸 바와 같이, 게이트 절연막(506)을 패터닝하고, 불순물 영역(508, 509)을 노출시킨다. 이 패터닝은 드라이 에칭에서 행할 수 있다. 또한 게이트 절연막(506)을 패터닝할 때, 절연막(503)은 마스크로 커버하는 것이 바람직하다. 또한 불순물의 침입을 막을 수 있는 상기 절연막에서 트랜지스터(501) 및 트랜지스터(502)를 커버하고 있을 경우, 상기 절연막도 패터닝을 하도록 하다.

<232> 다음에, 도 17c에 나타낸 바와 같이, 개구부에 있어서 불순물 영역(508, 509)에 접하도록 도전막(510~513)을 형성한다. 본 실시예에서는 절연막(503)에 형성되는 개구부의 단부에서의 경사도를 완만한 모양으로 할 수 있다. 따라서, 개구부의 단부에서 도전막(510~513)이 극단적으로 얇아지거나 또는 절단을 일으키는 것을 막을 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.

<233> 또한, 트랜지스터(501, 502)는 본 실시예에서 도시한 구조에 한정되는 것은 아니다. 예를 들면, 인버스 스태거(inversely-stagered) 구조라도 된다.

<234> 또한, 본 실시예는 상기 실시형태와 적당하게 조합하여 실시할 수 있다.

<235> (실시예2)

<236> 본 실시예에서는 발광소자를 구동시키기 위한 트랜지스터가 p형의 경우에 있어서의, 화소의 단면구조에 대하여, 도 18을 사용하여 설명한다. 또한, 도 18에서는 제1 전극이 양극, 제2 전극이 음극의 경우에 관하여 설명하지만, 제1 전극이 음극, 제2 전극이 양극이라도 된다.

<237> 도 18a에, 트랜지스터(6001)가 p형으로, 발광소자(6003)로부터 발생하는 빛을 제1 전극(6004) 측으로 추출할 경우의 화소의 단면도를 나타낸다.

<238> 트랜지스터(6001)는 절연막(6007)으로 커버되어 있어, 절연막(6007) 상에는 개구부를 가지는 분리벽(6008)이 형성되어 있다. 분리벽(6008)의 개구부에 있어서 제1 전극(6004)이 일부 노출하고 있어, 상기 개구부에 있어서 제

1 전극(6004), 전계 발광층(6005), 제2 전극(6006)이 순차적으로 적층되어 있다.

<239> 제1 전극(6004)은 빛을 투과하는 재료 또는 막두께로 형성하고, 게다가 양극으로서 사용하는데도 알맞는 재료로 형성한다. 예를 들면, 인듐 주석 산화물(ITO), 산화아연(ZnO), 산화인듐 아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등 그 밖의 투광성 산화물 도전 재료를 제1 전극(6004)에 사용하는 것이 가능하다. 또한 산화 규소를 포함하는 산화아연, 산화 규소를 포함하는 산화인듐 주석(이하, ITSO라고 한다), ITSO에 2~20중량%의 산화아연(ZnO)을 혼합한 것을 제1 전극(6004)에 사용해도 된다. 또 상기 투광성 산화물 도전 재료 이외에, 예를 들면 질화 티타늄, 질화 지르코늄, 티타늄, 텅스텐, 니켈, 백금, 동, 은, 알루미늄 중 하나 또는 복수로부터 이루어지는 단층 막 이외에, 질화 티타늄 막과 알루미늄을 주성분으로 하는 막의 적층, 질화 티타늄 막과, 알루미늄을 주성분으로 하는 막과, 질화 티타늄 막의 3층 구조 등을 제1 전극(6004)에 사용할 수도 있다. 다만, 투광성 산화물 도전 재료 이외의 재료를 사용할 경우, 빛이 투과하는 정도의 막두께(바람직하게, 5nm~30nm 정도)로 제1 전극(6004)을 형성한다.

<240> 또한, 제2 전극(6006)은 빛을 반사 혹은 차폐하는 재료 및 막두께로 형성하고, 게다가 일함수가 작은 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등으로 형성할 수 있다. 구체적으로는, Li나 Cs 등의 알칼리 금속,및 Mg, Ca, Sr 등의 알칼리 토류금속, 이것들을 포함하는 합금(Mg:Ag, Al:Li, Mg:In 등), 및 이것들의 화합물(불화 칼슘, 질화 칼슘)의 기타, Yb이나 Er 등의 희토류금속을 사용할 수 있다. 또 전자주입층을 설치할 경우, Al 등의 다른 도전층을 사용하는 것도 가능하다.

<241> 전계 발광층(6005)은 단수 또는 복수의 층으로 구성되어 있다. 복수의 층으로 구성되어 있을 경우, 이것들의 층은 캐리어 수송 특성의 관점에서 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층 등으로 분류할 수 있다. 전계 발광층(6005)이 발광층 이외에, 정공주입층, 정공수송층, 전자수송층, 전자주입층 중 어느 하나를 가지고 있을 경우, 제1 전극(6004) 상에 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층이 순차적으로 적층된다. 또한 각층의 경계선은 반드시 명확할 필요는 없고, 서로의 층을 구성하고 있는 재료가 일부 혼합하고, 계면이 불명확하게 되어 있을 경우도 있다. 각 층에는 유기계의 재료, 무기계의 재료를 사용하는 것이 가능하다. 유기계의 재료로서, 고분자계, 중분자계, 저분자계의 어느쪽의 재료도 사용하는 것이 가능하다. 또한 중분자계의 재료는 구조단위의 반복수(중합도)가 2 내지 20 정도의 저집합체에 해당한다. 정공주입층과 정공수송층의 구별은 반드시 엄밀한 것이 아니다. 편의상, 정공주입층은 양극에 접하는 측의 층이며, 정공주입층에 접하는 층을 정공수송층이라고 불러서 구별한다. 전자수송층, 전자주입층에 관해서도 동일하게, 음극에 접하는 층을 전자주입층이라고 부르고, 전자주입층에 접하는 층을 전자수송층이라고 부르고 있다. 발광층은 전자수송층을 겸할 경우도 있어, 발광성 전자수송층이라고도 불린다.

<242> 도 18a에 나타낸 화소의 경우, 발광소자(6003)로부터 발생하는 빛을 공동의 화살표로 도시한 바와 같이 제1 전극(6004) 측으로 추출할 수 있다.

<243> 다음에, 도 18b에, 트랜지스터(6011)가 p형으로, 발광소자(6013)로부터 발생하는 빛을 제2 전극(6016) 측으로 추출할 경우의 화소의 단면도를 나타낸다. 트랜지스터(6011)는 절연막(6017)으로 커버되어 있고, 절연막(6017) 상에는 개구부를 가지는 분리벽(6018)이 형성되어 있다. 분리벽(6018)의 개구부에 있어서 제1 전극(6014)이 일부 노출하고 있어, 상기 개구부에 있어서 제1 전극(6014), 전계 발광층(6015), 제2 전극(6016)이 순차적으로 적층되어 있다.

<244> 제1 전극(6014)은 빛을 반사 혹은 차폐하는 재료 및 막두께로 형성하고, 게다가 양극으로서 사용하는데도 알맞는 재료로 형성한다. 예를 들면, 질화 티타늄, 질화 지르코늄, 티타늄, 텅스텐, 니켈, 백금, 동, 은, 알루미늄 중 하나 또는 복수로부터 이루어지는 단층 막 이외에, 질화 티타늄 막과 알루미늄을 주성분으로 하는 막의 적층, 질화 티타늄 막과, 알루미늄을 주성분으로 하는 막과, 질화 티타늄 막의 3층 구조 등을 제1 전극(6014)에 사용할 수 있다.

<245> 또한, 제2 전극(6016)은 빛을 투과하는 재료 또는 막두께로 형성하고, 게다가 일함수가 작은 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등으로 형성할 수 있다. 구체적으로는, Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류금속, 이것들을 포함하는 합금(Mg:Ag, Al:Li, Mg:In 등), 및 이것들의 화합물(불화 칼슘, 질화 칼슘) 이외에, Yb이나 Er 등의 희토류금속을 사용할 수 있다. 또 전자주입층을 설치할 경우, Al 등의 다른 도전층을 사용하는 것도 가능하다. 그리고 제2 전극(6016)을, 빛이 투과하는 정도의 막두께(바람직하게, 511m~30nm 정도)로 형성한다. 또한, 인듐 주석 산화물(ITO), 산화아연(ZnO), 산화인듐 아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등 그 밖의 투광성 산화물 도전 재료를 사용하는 것도 가능하다. 또한 산화 규소를 포함하는 산화아연, 산화 규소를 포함하는 산화인듐 주석 (이하, ITSO라고 한다), ITSO에 2~20 중량%의 산화아연(ZnO)을

혼합한 것을 제2 전극(6016)에 사용해도 된다. 투광성 산화물 도전 재료를 사용할 경우, 전계 발광층(6015)에 전자주입층을 설치하는 것이 바람직하다.

<246> 전계 발광층(6015)은 도 18a의 전계 발광층(6005)과 같이 형성할 수 있다.

<247> 도 18b에 나타낸 화소의 경우, 발광소자(6013)로부터 발생하는 빛을 공동의 화살표로 도시한 바와 같이 제2 전극(6016) 측으로 추출할 수 있다.

<248> 다음에, 도 18c에, 트랜지스터(6021)가 p형으로, 발광소자(6023)로부터 발생하는 빛을 제1 전극(6024) 측 및 제2 전극(6026) 측으로 추출할 경우의 화소의 단면도를 나타낸다. 트랜지스터(6021)는 절연막(6027)으로 커버되어 있어, 절연막(6027) 상에는 개구부를 가지는 분리벽(6028)이 형성되어 있다. 분리벽(6028)의 개구부에 있어서 제1 전극(6024)이 일부 노출되어 있어, 상기 개구부에 있어서 제1 전극(6024), 전계 발광층(6025), 제2 전극(6026)이 순차적으로 적층되어 있다.

<249> 제1 전극(6024)은 도 18a의 제1 전극(6004)과 같이 형성할 수 있다. 또 제2 전극(6026)은 도 18b의 제2 전극(6016)과 같이 형성할 수 있다. 전계 발광층(6025)은 도 18a의 전계 발광층(6005)과 같이 형성할 수 있다.

<250> 도 18c에 나타낸 화소의 경우, 발광소자(6023)로부터 발생하는 빛을 공동의 화살표로 도시한 바와 같이 제1 전극(6024) 측 및 제2 전극(6026) 측으로 추출할 수 있다.

<251> 또한, 분리벽(6008, 6018, 6028)에는 본 발명의 제조 방법으로 형성된 절연막을 사용할 수 있어, 그 개구부에 있어서의 경사도는 드라이 에칭에 의해 형성되었을 경우보다도 완만해서 평탄성이 높다. 따라서, 전계 발광층(6005, 6015, 6025)이 개구부의 단부에서 극단적으로 얇아지거나 또는 절단을 일으키는 것을 막을 수 있다. 따라서, 발광소자(6003, 6013, 6023)의 신뢰성, 나아가서는 상기 발광소자(6003, 6013, 6023)를 가지는 반도체 장치의 신뢰성을 높일 수 있다. 또한 드라이 에칭과 같이, OH기의 증가에 의해 절연막의 흡습성이 높아지는 문제가 생기지 않는다. 따라서, 분리벽(6008, 6018, 6028) 내의 흡습성을 억제시킬 수 있는 것으로 발광소자(6003, 6013, 6023)의 열화를 억제할 수 있으므로, 반도체 장치의 신뢰성을 높일 수 있다. 또한, 종래의 비감광성의 실록산 수지로 분리벽(6008, 6018, 6028)을 형성할 수 있어, 저렴한 원재료를 사용할 수 있고, 따라서 반도체 장치의 제조에 소용되는 비용을 억제할 수 있다.

<252> 본 실시예는 상기 실시형태 또는 실시예와 적당하게 조합하여 실시할 수 있다.

<253> (실시예3)

<254> 본 실시예에서는, 발광소자를 구동시키기 위한 트랜지스터가 n형의 경우에 있어서의 화소의 단면구조에 대하여, 도 19을 사용하여 설명한다. 또한 도 19에서는, 제1 전극이 음극, 제2 전극이 양극의 경우에 관하여 설명하지만, 제1 전극이 양극, 제2 전극이 음극이라도 된다.

<255> 도 19a에, 트랜지스터(6031)가 n형으로, 발광소자(6033)로부터 발생하는 빛을 제1 전극(6034) 측으로 추출할 경우의 화소의 단면도를 나타낸다. 트랜지스터(6031)는 절연막(6037)으로 커버되어 있고, 절연막(6037) 상에는 개구부를 가지는 분리벽(6038)이 형성되어 있다. 분리벽(6038)의 개구부에 있어서 제1 전극(6034)이 일부 노출하고 있고, 상기 개구부에 있어서 제1 전극(6034), 전계 발광층(6035), 제2 전극(6036)이 순차적으로 적층되어 있다.

<256> 제1 전극(6034)은 빛을 투과하는 재료 또는 막두께로 형성하고, 게다가 일함수가 작은 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등으로 형성할 수 있다. 구체적으로는, Li나 Cs 등의 알칼리 금속 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 이것들을 포함하는 합금(Mg··Ag, Al:Li, Mg:In 등), 및 이것들의 화합물(불화 칼슘, 질화 칼슘) 이외에, Yb이나 Er 등의 희토류금속을 사용할 수 있다. 또한, 전자주입층을 설치할 경우, Al 등의 다른 도전층을 사용하는 것도 가능하다. 그리고, 제1 전극(6034)을, 빛이 투과하는 정도의 막두께(바람직하게, 5nm~30nm 정도)로 형성한다. 더욱이, 빛이 투과하는 정도의 막두께를 가지는 상기 도전층 위 또는 아래로 접하도록, 투광성 산화물 도전 재료를 사용하여 투광성을 가지는 도전층을 형성하여, 제1 전극(6034)의 시트 저항을 억제하도록 해도 좋다. 또한, 인듐 주석 산화물(ITO), 산화아연(ZnO), 산화인듐 아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등 그 밖의 투광성 산화물 도전 재료를 사용한 도전층 만을 사용하는 것도 가능하다. 또한 산화 규소를 포함하는 산화아연, 산화 규소를 포함하는 산화인듐 주석 (이하, ITSO라고 한다), ITSO에 2~20중량%의 산화아연(ZnO)을 혼합한 것을 사용해도 된다. 투광성 산화물 도전 재료를 사용할 경우, 전계 발광층(6035)에 전자주입층을 설치하는 것이 바람직하다.

<257> 또한, 제2 전극(6036)은 빛을 반사 혹은 차폐하는 재료 및 막두께로 형성하고, 양극으로서 사용하는데도 알맞는

재료로 형성한다. 예를 들면, 티타늄 질화물, 지르코늄 질화물, 티타늄, 텅스텐, 니켈, 백금, 동, 은, 알루미늄 등의 하나 또는 로부터 이루어지는 단층 막 이외에, 질화 티타늄 막과 알루미늄을 주성분으로 하는 막의 적층, 질화 티타늄 막과, 알루미늄을 주성분으로 하는 막과, 질화 티타늄 막의 3층 구조 등을 제2 전극(6036)에 사용할 수 있다.

<258> 전계 발광층(6035)은 도 18a의 전계 발광층(6005)과 같이 형성할 수 있다. 다만, 전계 발광층(6035)이 발광층 이외에, 정공주입층, 정공수송층, 전자수송층, 전자주입층 중 어느 하나를 가지고 있을 경우, 제1 전극(6034)에는 전자주입층, 전자수송층, 발광층, 정공수송층, 정공주입층이 순차적으로 적층된다.

<259> 도 19a에 나타낸 화소의 경우, 발광소자(6033)로부터 발생하는 빛을 공동의 화살표로 도시한 바와 같이 제1 전극(6034) 측으로 추출할 수 있다.

<260> 다음에, 도 19b에, 트랜지스터(6041)가 n형으로, 발광소자(6043)로부터 발생하는 빛을 제2 전극(6046) 측으로 추출할 경우의 화소의 단면도를 나타낸다. 트랜지스터(6041)는 절연막(6047)으로 커버되어 있고, 절연막(6047) 상에는 개구부를 가지는 분리벽(6048)이 형성되어 있다. 분리벽(6048)의 개구부에 있어서 제1 전극(6044)이 일부 노출되어 있고, 상기 개구부에 있어서 제1 전극(6044), 전계 발광층(6045), 제2 전극(6046)이 순차적으로 적층되어 있다.

<261> 제1 전극(6044)은 빛을 반사 혹은 차폐하는 재료 및 막두께로 형성하고, 게다가 일함수가 작은 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등으로 형성할 수 있다. 구체적으로는, Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 이것들을 포함하는 합금(Mg:Ag, Al:Li, Mg:In 등), 및 이것들의 화합물(불화 칼슘, 질화 칼슘)의 기타, Yb이나 Er 등의 희토류금속을 사용할 수 있다. 또한, 전자주입층을 설치할 경우, Al 등의 다른 도전층을 사용하는 것도 가능하다.

<262> 또한, 제2 전극(6046)은 빛을 투과하는 재료 또는 막두께로 형성하고, 게다가 양극으로서 사용하는데도 알맞은 재료로 형성한다. 예를 들면, 인듐 주석 산화물(ITO), 산화아연(ZnO), 산화인듐 아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등 그 밖의 투광성 산화물 도전 재료를 제2 전극(6046)에 사용하는 것이 가능하다. 또한 산화 규소를 포함하는 산화아연, 산화 규소를 포함하는 산화인듐 주석 (이하, ITSO라고 한다), ITSO에 2~20중량%의 산화아연(ZnO)을 혼합한 것을 사용해도 된다. 또한, 상기 투광성 산화물 도전 재료 이외에, 티타늄 질화물, 지르코늄 질화물, 티타늄, 텅스텐, 니켈, 백금, 동, 은, 알루미늄 등의 하나 또는 로부터 이루어지는 단층 막 이외에, 질화 티타늄 막과 알루미늄을 주성분으로 하는 막의 적층, 질화 티타늄 막과, 알루미늄을 주성분으로 하는 막과, 질화 티타늄 막의 3층 구조 등을 제2 전극(6046)에 사용할 수 있다. 다만, 투광성 산화물 도전 재료 이외의 재료를 사용할 경우, 빛이 투과하는 정도의 막두께(바람직하게, 5nm~30nm 정도)로 제2 전극(6046)을 형성한다.

<263> 전계 발광층(6045)은 도 19a의 전계 발광층(6035)과 같이 형성할 수 있다.

<264> 도 19b에 나타낸 화소의 경우, 발광소자(6043)로부터 발생하는 빛을, 공동의 화살표에서 도시한 바와 같이 제2 전극(6046) 측으로 추출할 수 있다.

<265> 다음에, 도 19c에, 트랜지스터(6051)가 n형으로, 발광소자(6053)로부터 발생하는 빛을 제1 전극(6054) 측 및 제2 전극(6056) 측으로 추출할 경우의, 화소의 단면도를 나타낸다. 트랜지스터(6051)는 절연막(6057)으로 커버되어 있고, 절연막(6057) 상에는 개구부를 가지는 분리벽(6058)이 형성되어 있다. 분리벽(6058)의 개구부에 있어서 제1 전극(6054)이 일부 노출되어 있고, 상기 개구부에 있어서 제1 전극(6054), 전계 발광층(6055), 제2 전극(6056)이 순차적으로 적층되어 있다.

<266> 제1 전극(6054)은 도 19a의 제1 전극(6034)과 같이 형성할 수 있다. 또한, 제2 전극(6056)은 도 19b의 제2 전극(6046)과 같이 형성할 수 있다. 전계 발광층(6055)은 도 19a의 전계 발광층(6035)과 같이 형성할 수 있다.

<267> 도 19c에 나타낸 화소의 경우, 발광소자(6053)로부터 발생하는 빛을, 공동의 화살표로 도시한 바와 같이 제1 전극(6054) 측 및 제2 전극(6056) 측으로 추출할 수 있다.

<268> 또한, 분리벽(6038, 6048, 6058)에는 본 발명의 제조 방법으로 형성된 절연막을 사용할 수 있어, 그 개구부에 있어서의 경사도는 드라이 에칭으로 형성되었을 경우보다도 완만해서 평탄성이 높다. 따라서, 전계 발광층(6035, 6045, 6055)이 개구부의 단부에서 극단적으로 얇아지거나 또는 절단을 일으키는 것을 막을 수 있다.따라서, 발광소자(6033, 6043, 6053)의 신뢰성, 나아가서는 상기 발광소자(6033, 60143, 6053)를 가지는 반도체 장치의 신뢰성을 높일 수 있다. 또한 드라이 에칭과 같이, OH기의 증가에 의해 절연막의 흡습성이 높아지는 문제가 생기지 않는다. 따라서, 분리벽(6038, 6048, 6058) 내의 흡습성을 억제할 수 있는 것으로 발광소자6033,

6043, 6053)의 열화를 억제할 수 있으므로, 반도체 장치의 신뢰성을 높일 수 있다. 또한, 종래의 비감광성의 실록산 수지로 분리벽(6038, 6048, 6058)을 형성할 수 있으므로, 저렴한 원재료를 사용할 수 있고, 따라서 반도체 장치의 제조에 소용되는 비용을 억제할 수 있다.

<269> 본 실시예는 상기 실시형태 또는 실시예와 적당하게 조합하여 실시할 수 있다.

도면의 간단한 설명

<270> 도 1은 본 발명의 절연막의 제조 방법을 도시한 도면.

<271> 도 2는 본 발명의 절연막의 제조 방법을 도시한 도면.

<272> 도 3은 본 발명의 절연막의 제조 방법을 도시한 도면.

<273> 도 4는 본 발명의 절연막의 제조 방법을 도시한 도면.

<274> 도 5는 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<275> 도 6은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<276> 도 7은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<277> 도 8은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<278> 도 9는 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<279> 도 10은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<280> 도 11은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<281> 도 12는 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<282> 도 13은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<283> 도 14는 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<284> 도 15는 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<285> 도 16은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<286> 도 17은 본 발명의 반도체 장치의 제조 방법을 도시한 도면.

<287> 도 18은 본 발명을 사용하여 제조된 반도체 장치의 단면도.

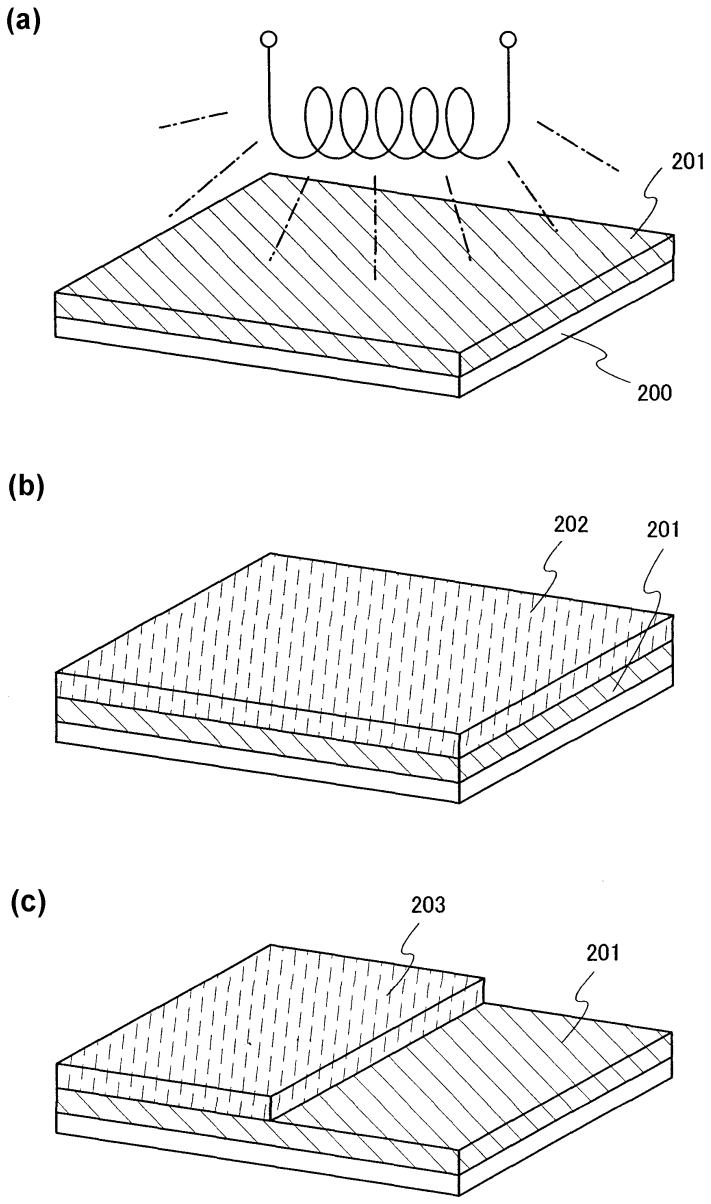
<288> 도 19는 본 발명을 사용하여 제조된 반도체 장치의 단면도.

<289> <도면의 주요부분에 대한 부호의 설명>

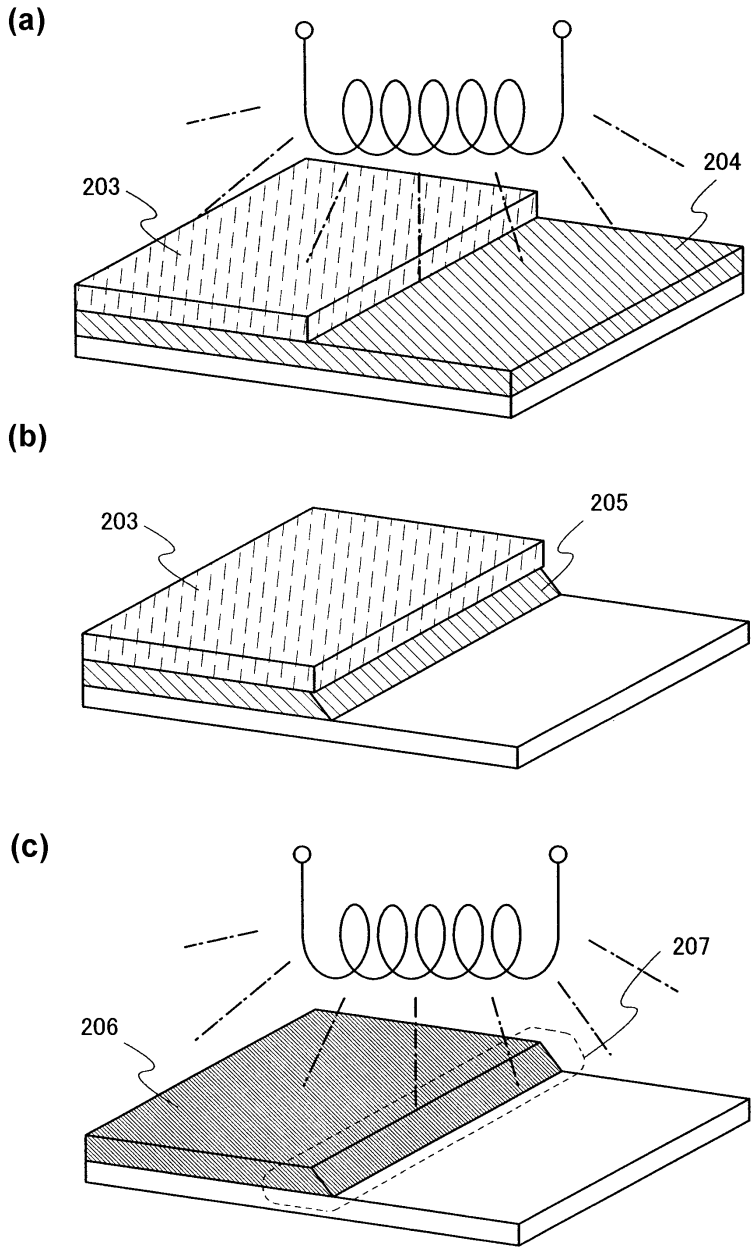
<290> 100 : 기판, 101 : 박막, 102 : 박막, 103 : 마스크, 104 : 박막, 105 : 절연막, 106 : 단부, 200 : 기판, 201 : 박막, 202 : 레지스트층, 203 : 마스크, 204 : 박막, 205 : 박막, 206 : 절연막, 207 : 단부, 300 : 기판, 301 : 절연막, 302 : 반도체막, 304 : 트랜지스터, 305 : 트랜지스터, 306 : 게이트 절연막, 307 : 도전막, 309 : 절연막, 310 : 절연막, 311 : 절연막, 312 : 도전막, 315 : 도전막, 316 : 도전막, 317 : 양극, 318 : 박막, 319 : 레지스트층, 320 : 마스크, 321 : 박막, 322 : 박막, 323 : 절연막, 324 : 전계 발광층

도면

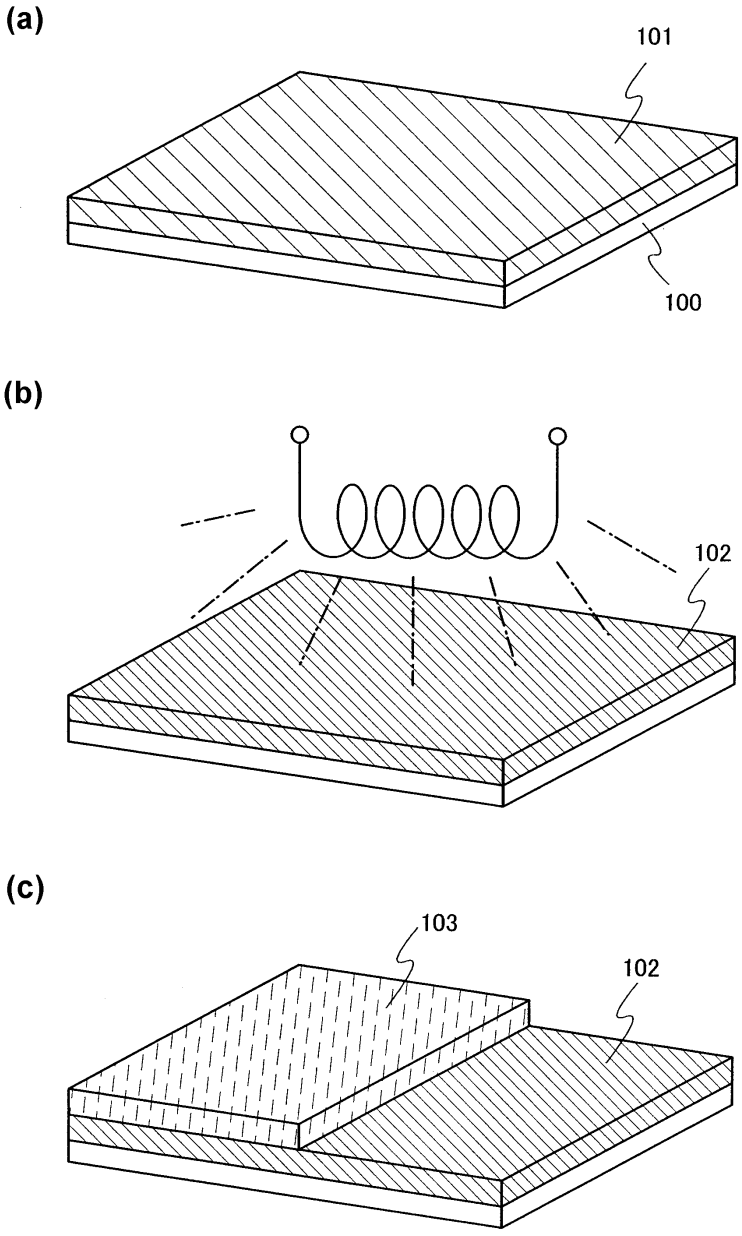
도면1



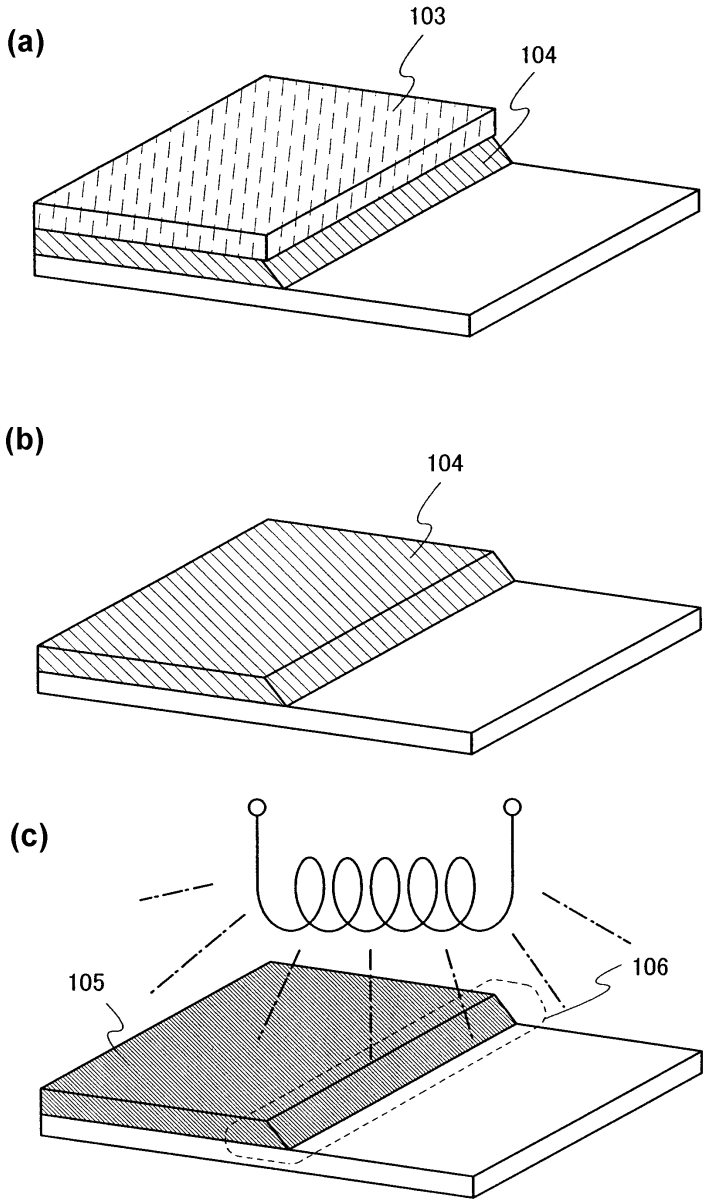
도면2



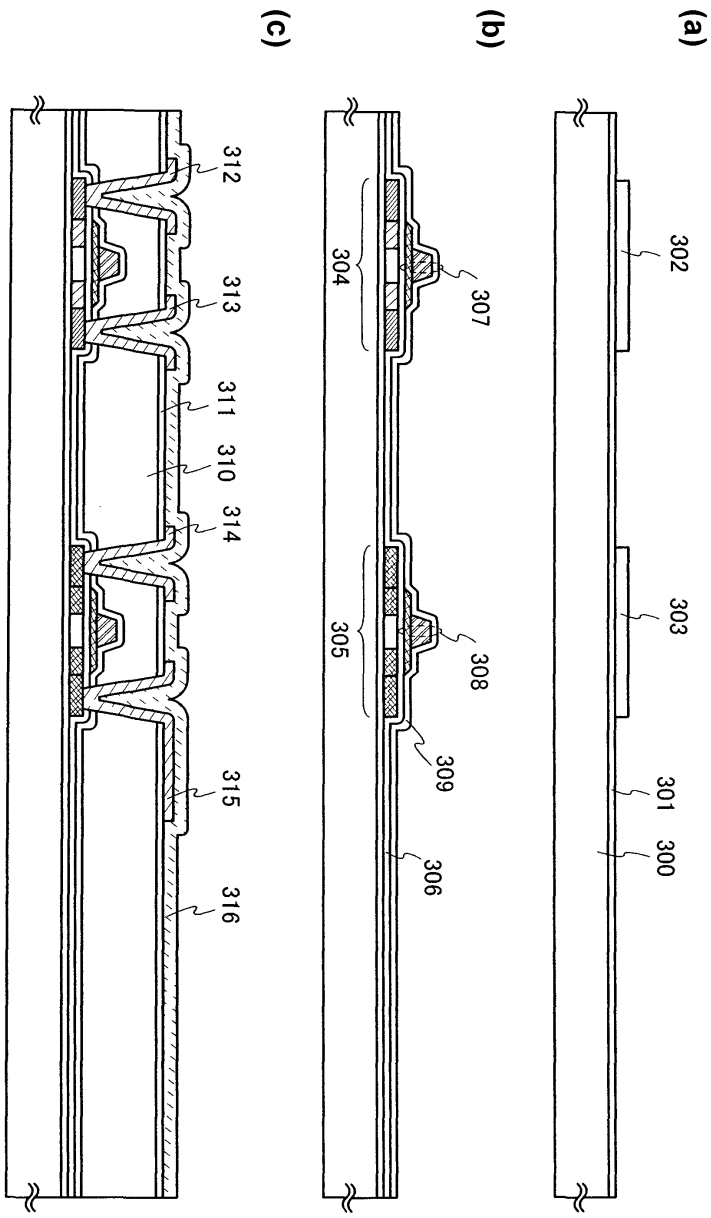
도면3



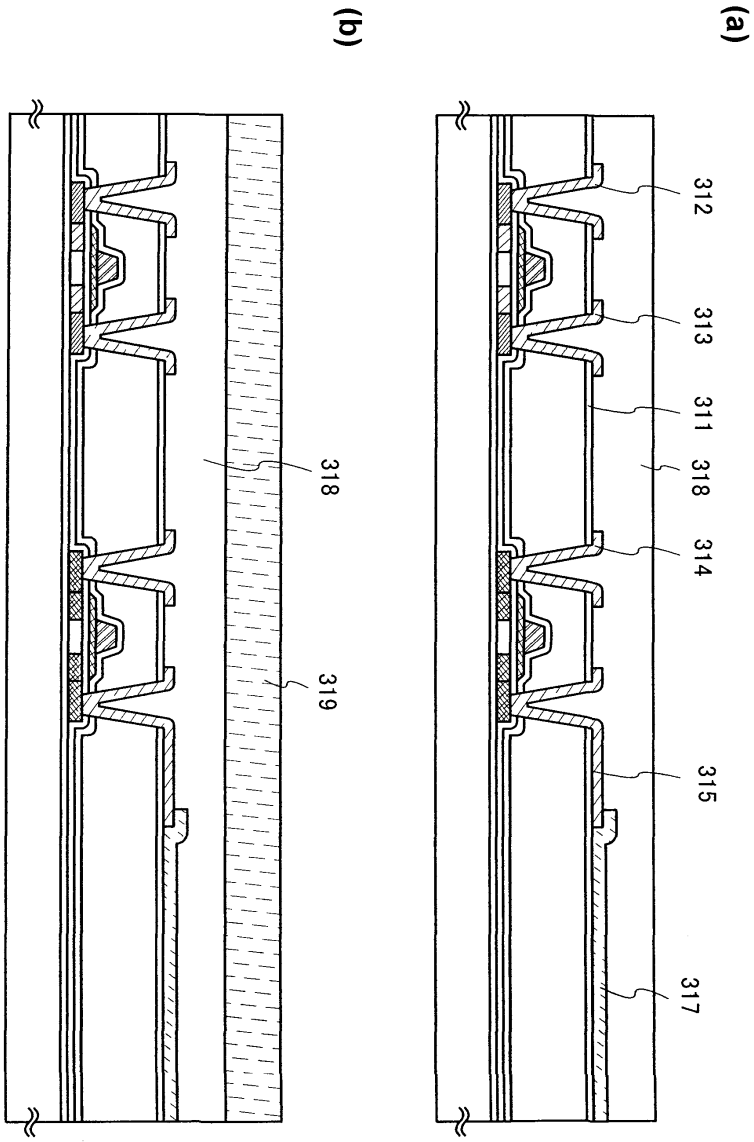
도면4



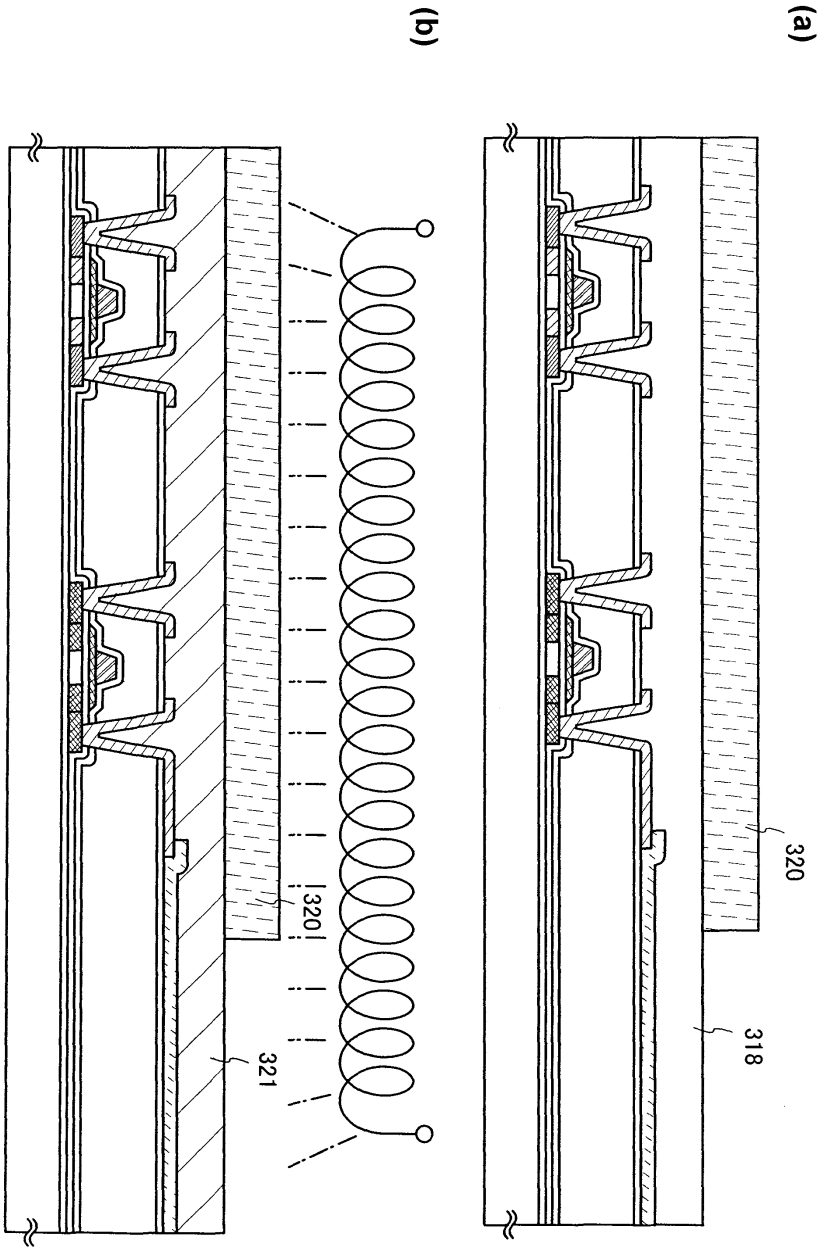
도면5


(a)
(b)
(c)
302
303
301
300
304
307
305
308
309
306
312
313
311
310
314
315
316

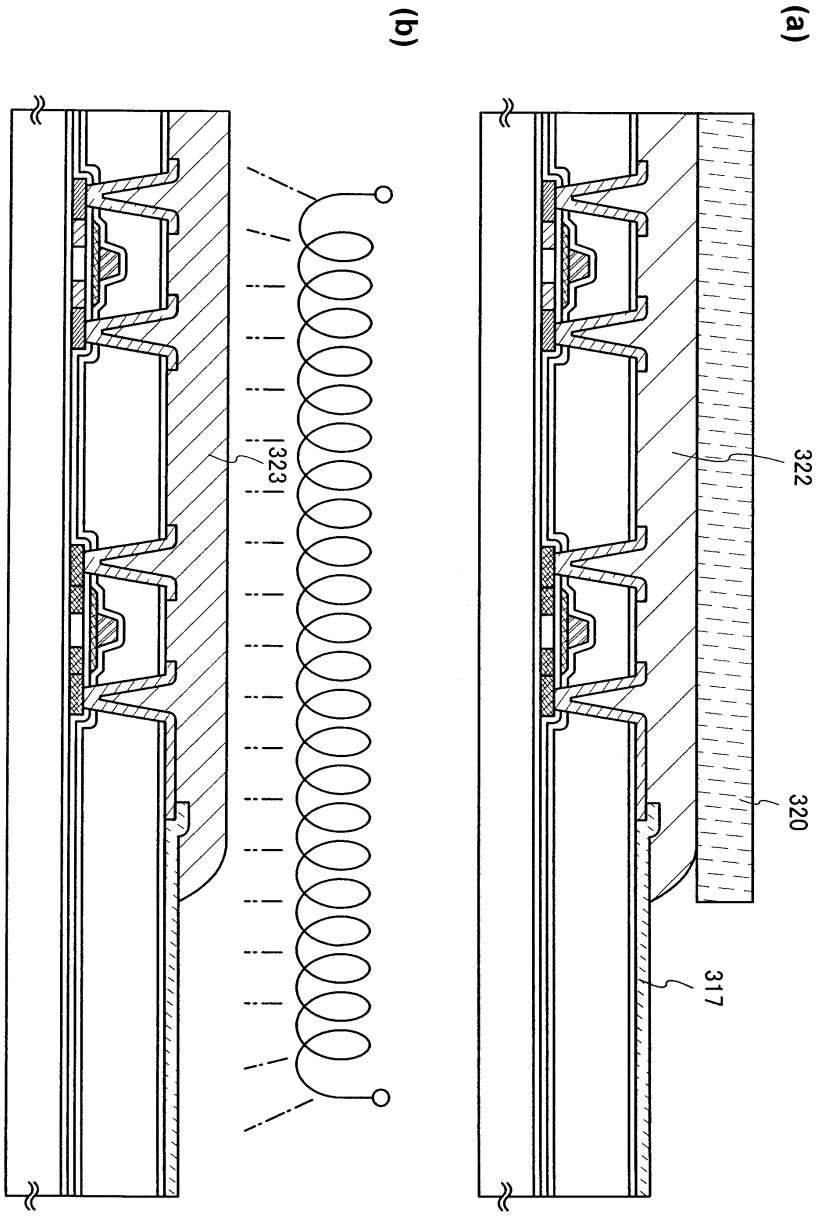
도면6



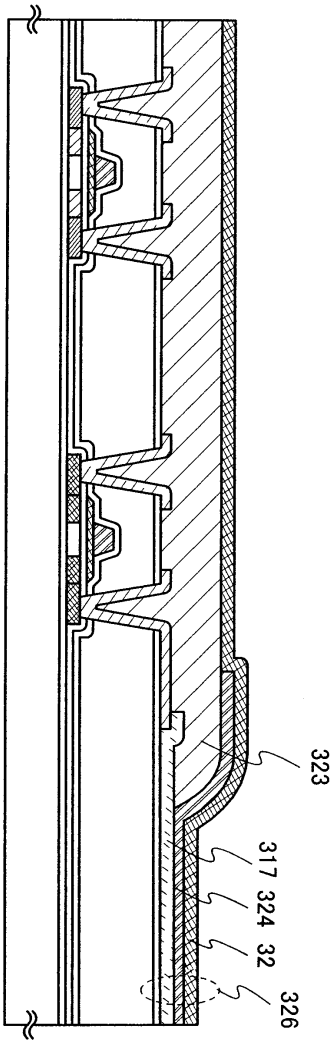
도면7



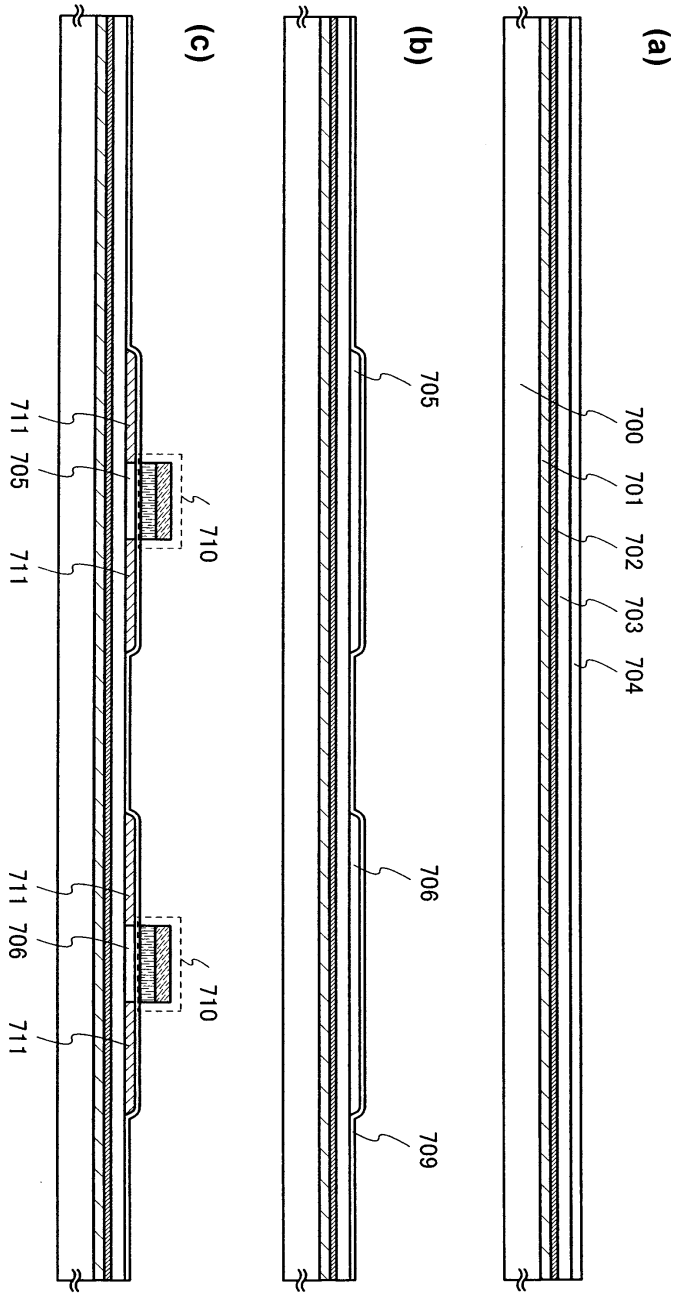
도면8



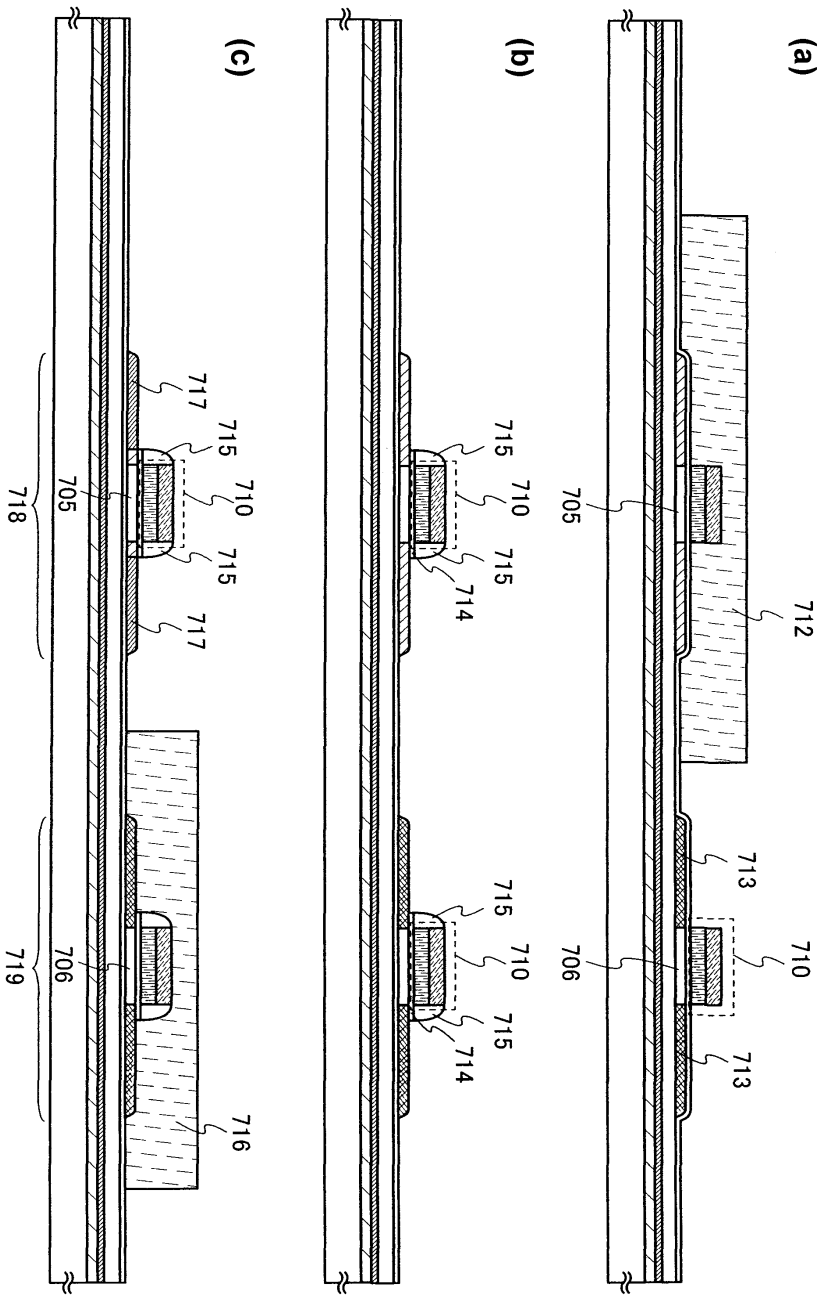
도면9



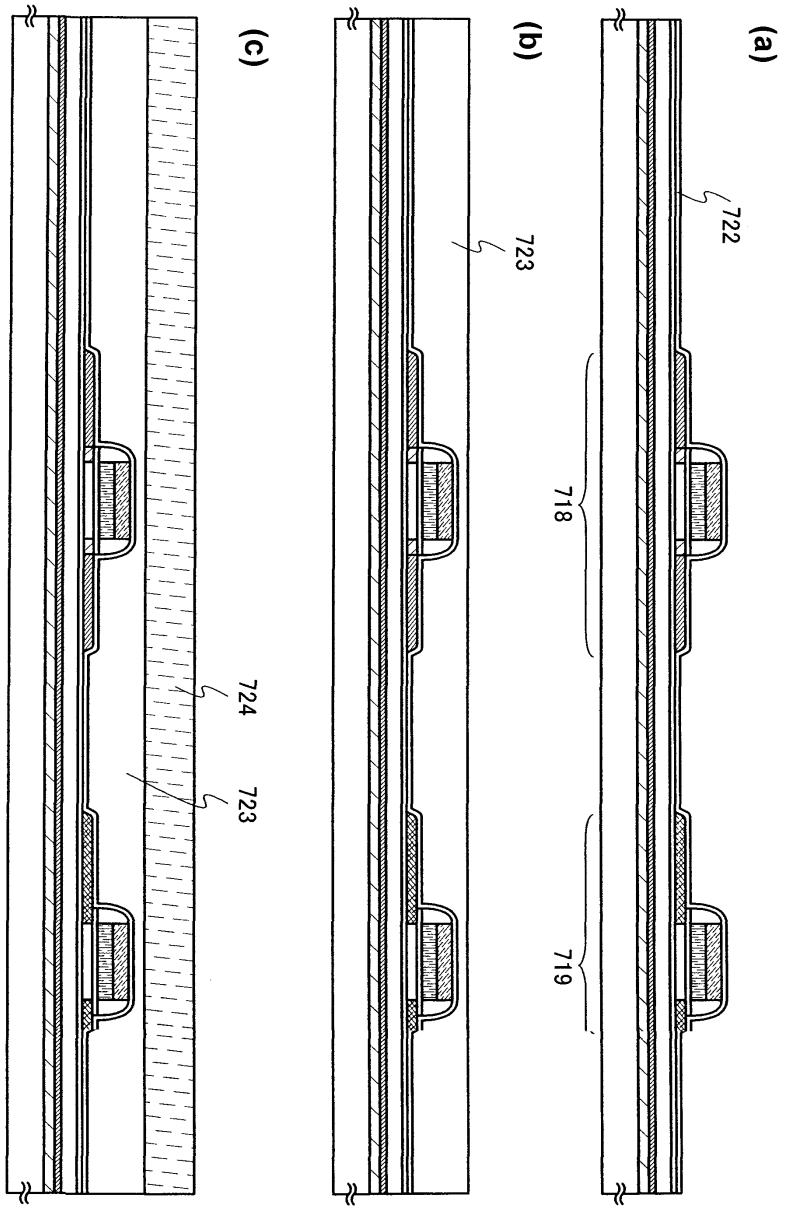
도면10


(a)
700
701
702
703
704
(b)
705
706
709
(c)
711
705
711
710
711
706
711
710

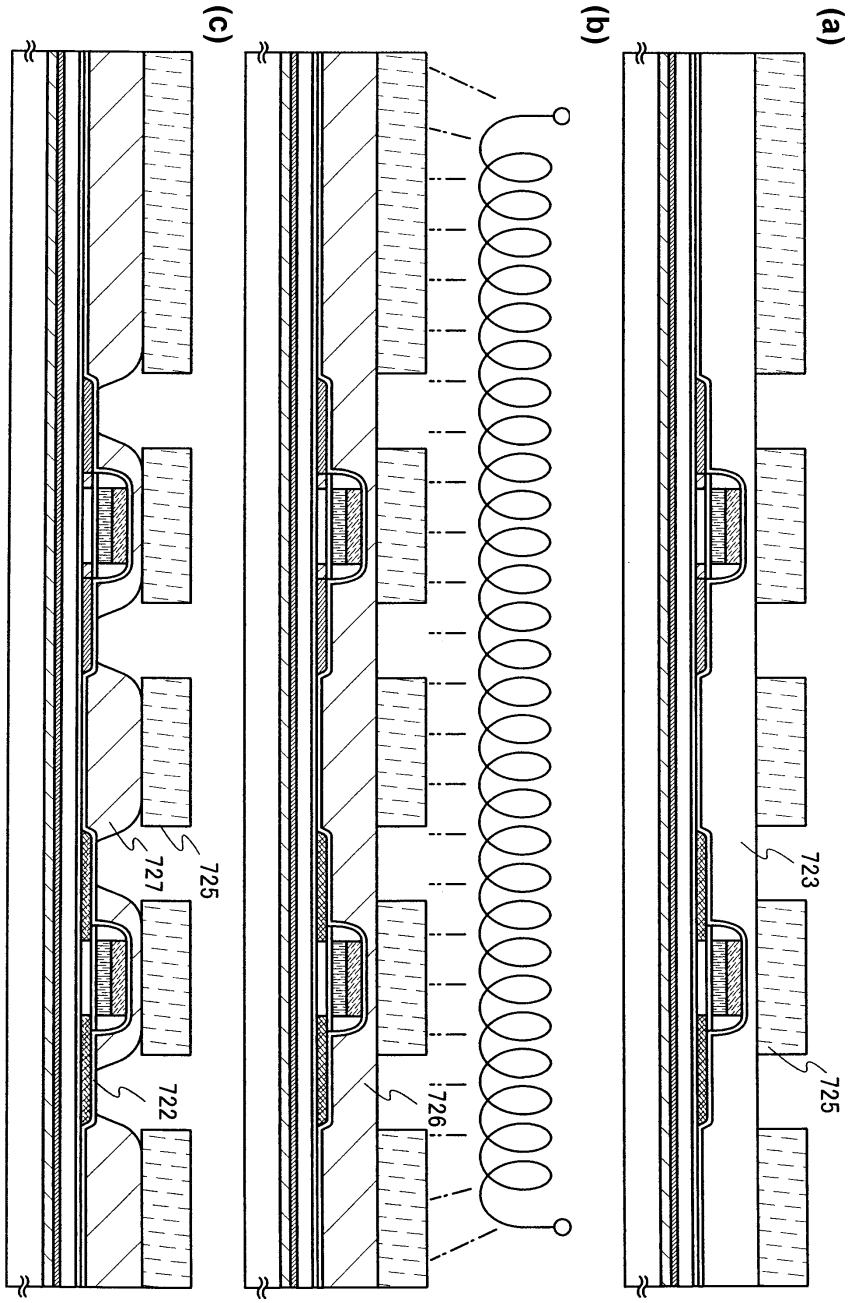
도면11


(a)
705
712
713
710
706
713
(b)
715
710
715
714
715
710
715
714
(c)
717
715
710
715
717
705
718
706
719
716

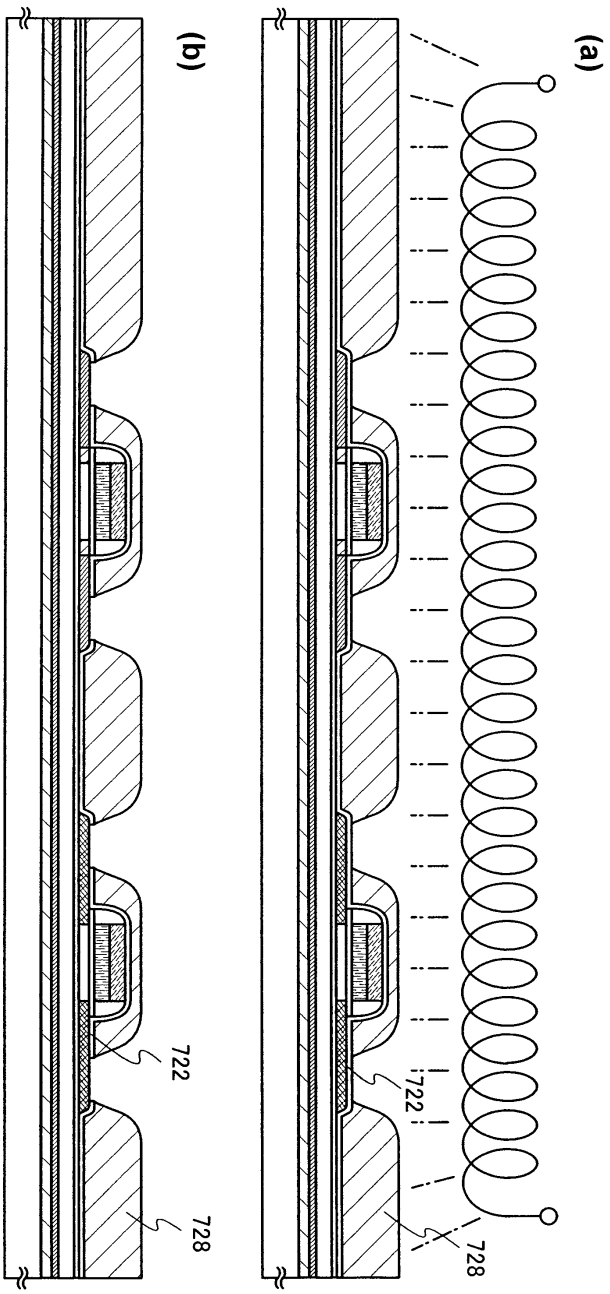
도면12



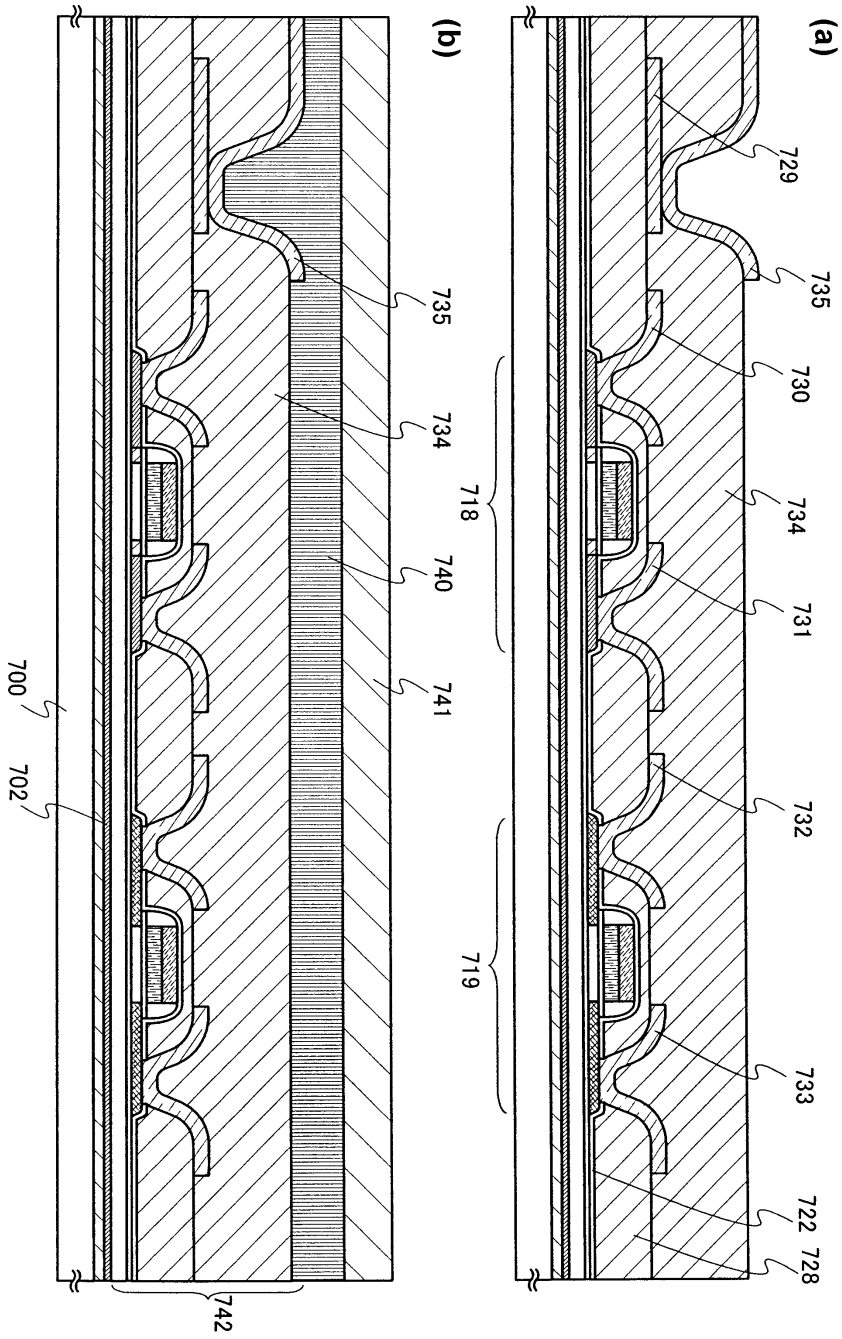
도면13



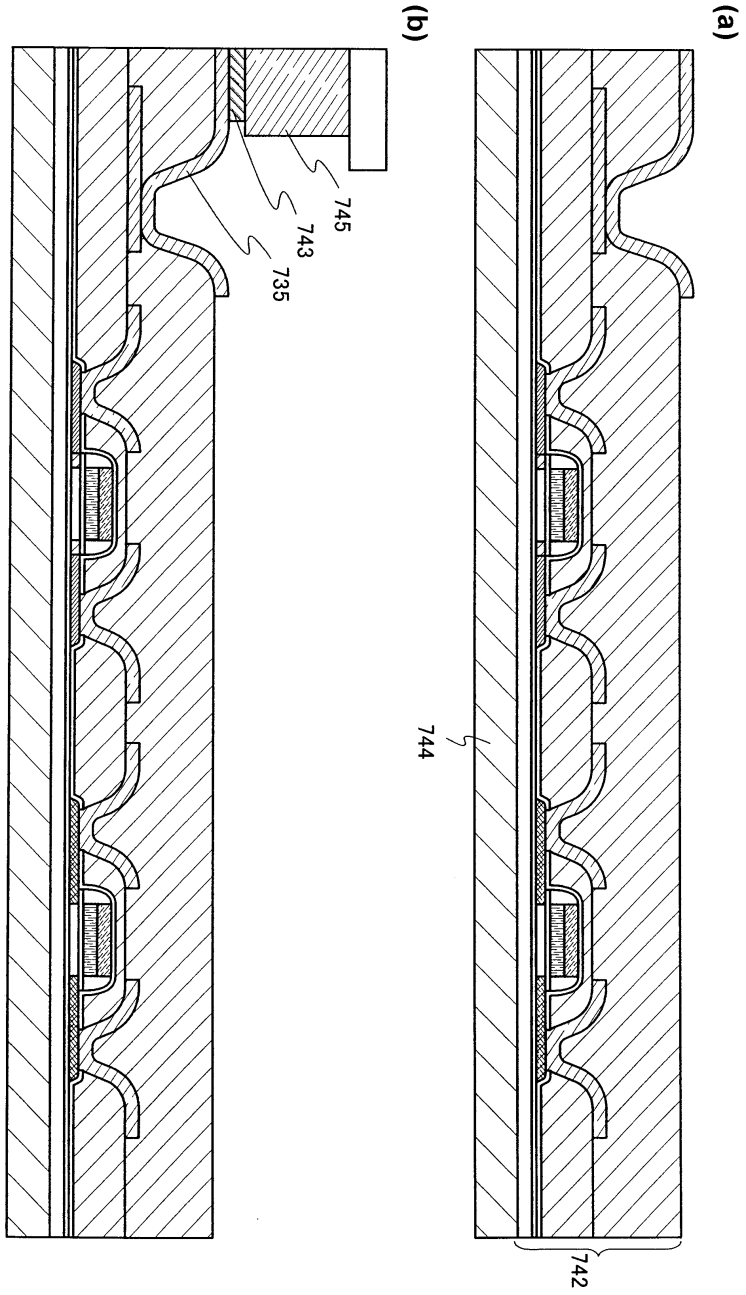
도면14



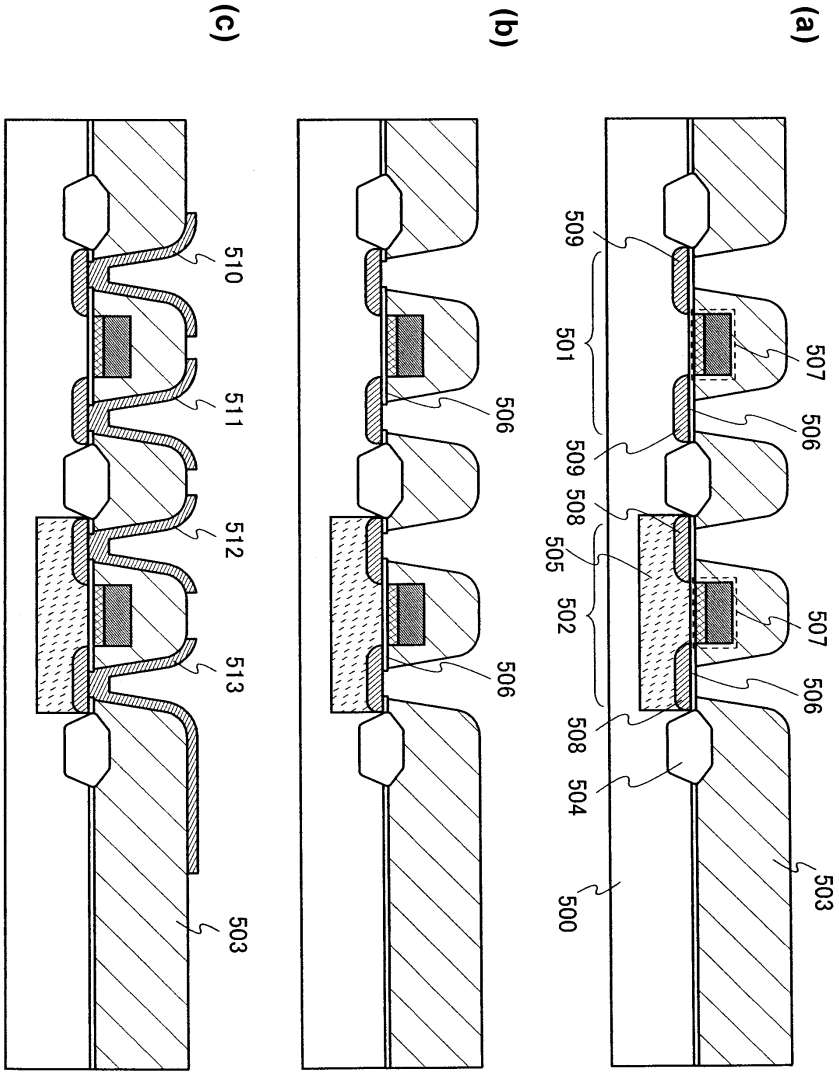
도면15


(a)
729
735
730
734
731
732
733
722
728
718
719
(b)
735
734
740
741
700
702
742

도면16

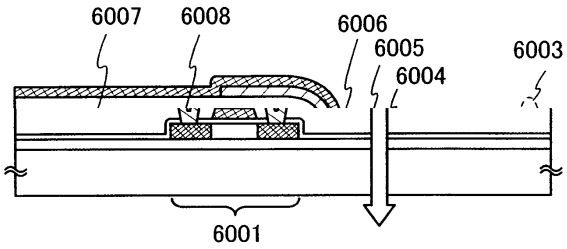


도면17

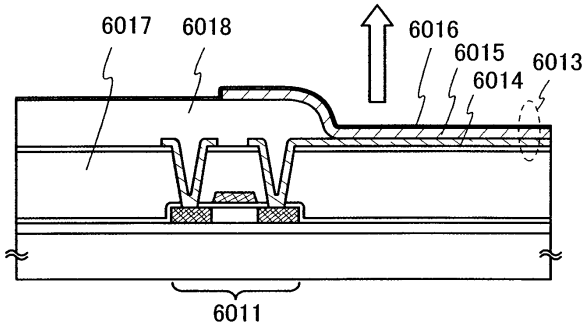

(a)
(b)
(c)
509
501
507
506
509
508
505
502
507
506
508
504
500
503
506
506
510
511
512
513
503

도면18

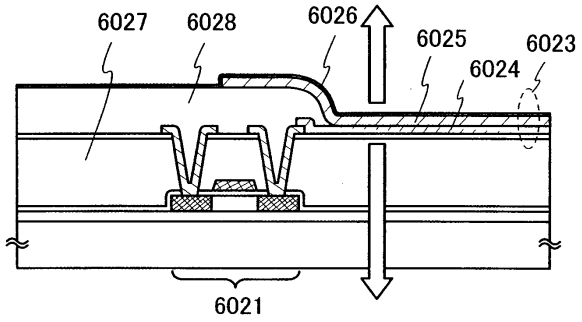
(a)


6007
6008
6006
6005
6004
6003
6001

(b)

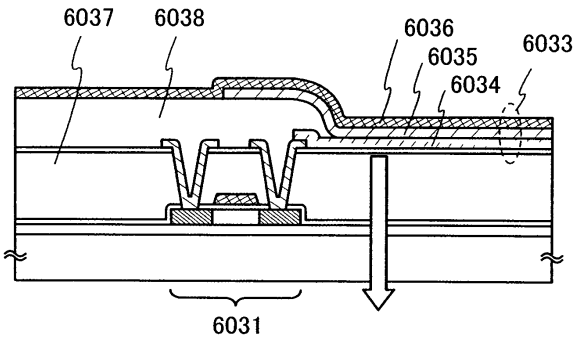

6017
6018
6016
6015
6014
6013
6011

(c)

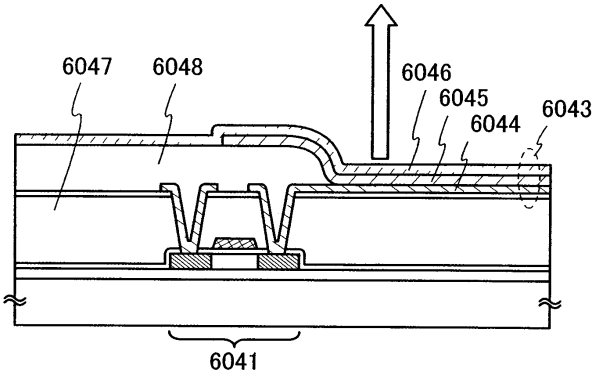

6027
6028
6026
6025
6024
6023
6021

도면19

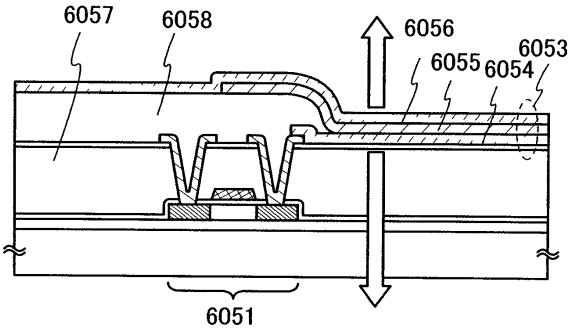
(a)


6037
6038
6036
6035
6034
6033
6031

(b)


6047
6048
6046
6045
6044
6043
6041

(c)


6057
6058
6056
6055
6054
6053
6051