



(12) 实用新型专利

(10) 授权公告号 CN 213365381 U

(45) 授权公告日 2021.06.04

(21) 申请号 202022765503.1

(22) 申请日 2020.11.25

(73) 专利权人 海光信息技术股份有限公司
地址 300384 天津市南开区华苑产业区海
泰西路18号北2-204工业孵化-3-8

(72) 发明人 李书通 袁飞 柳胜杰 孙瑛琪
杨晓君

(74) 专利代理机构 北京兰亭信通知识产权代理
有限公司 11667

代理人 赵永刚

(51) Int.Cl.

G06F 1/16 (2006.01)

G06F 13/40 (2006.01)

G06F 13/42 (2006.01)

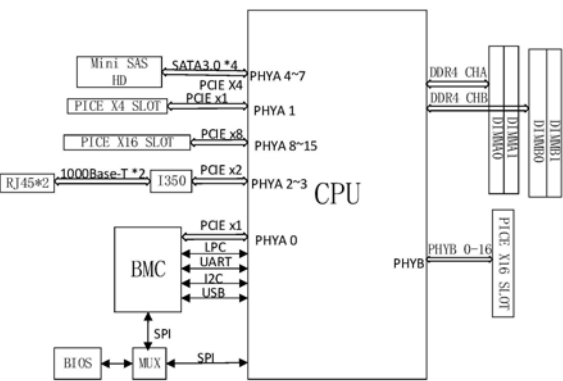
权利要求书3页 说明书7页 附图1页

(54) 实用新型名称

主板

(57) 摘要

本实用新型提供一种主板,所述主板上固定设置有PCIe插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口和至少一个DDR插槽;所述至少一个DDR插槽用于支持RDIMM、LRDIMM或/和UDIMM内存条。本实用新型提供的主板接口种类丰富,能够适用安装多种多功能的处理器。



1. 一种主板, 其特征在于, 所述主板上固定设置有PCIe插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口和至少一个DDR插槽;

所述至少一个DDR插槽用于支持RDIMM、LRDIMM或/和UDIMM内存条。

2. 根据权利要求1所述的主板, 其特征在于, 所述PCIe插槽用于支持至少三个PCIe 3.0插槽, 所述至少三个PCIe 3.0插槽为1个x16槽, 1个x8槽, 1个X1槽。

3. 根据权利要求1所述的主板, 其特征在于, 所述主板还设置有处理器, 所述处理器与所述至少一个DDR插槽通信连接。

4. 根据权利要求3所述的主板, 其特征在于, 所述处理器包括: 第一serdes物理接口和第二serdes物理接口;

所述第一serdes物理接口所支持协议包括: PCIe协议、SATA协议、XGMI协议和XGBE协议;

所述第二serdes物理接口支持的协议包括: PCIe协议和XGMI协议。

5. 根据权利要求4所述的主板, 其特征在于, 所述第一serdes物理接口包括: a组引针、b组引针和c组引针;

所述a组引针被配置为SATA协议或者PCIe协议;

所述b组引针被配置为网络, 所述网络包括: KR网络、KX网络、SFI网络和SGMII网络;

所述c组引针被配置为PCIe总线。

6. 根据权利要求5所述的主板, 其特征在于, 所述a组引针包括: 第一a引针、第二a引针、第三a引针和第四a引针;

所述第一a引针与基板管理控制器通信连接, 所述第二a引针与PCIe X1插槽通信连接, 所述第三a引针和所述第四a引针各通信连接一个SATA 7pin连接器, 每个SATA 7pin连接器可以连接一个SATA硬盘;

所述b组引针包括: 第五a引针、第六a引针、第七a引针和第八a引针;

所述第五a引针和所述第六a引针各通信连接一个SFP+连接器;

所述第七a引针和所述第八a引针各通信连接一个千兆物理接口;

所述c组引针包括: 第九a引针、第十a引针、第十一a引针、第十二a引针、第十三a引针、第十四a引针、第十五a引针和第十六a引针;

所述第九a引针、所述第十a引针、所述第十一a引针、所述第十二a引针、所述第十三a引针、所述第十四a引针、所述第十五a引针和所述第十六a引针与一个PCIe X8插槽通信连接。

7. 根据权利要求4所述的主板, 其特征在于, 所述处理器通过LPC总线与基板管理控制器通信连接, 用于使所述处理器向所述基板管理控制器传递IPMI指令、端口80POST代码、传递主板串口信息, 以及用于使处理器配置基板管理控制器中的寄存器;

所述处理器通过PCIe总线与基板管理控制器通信连接, 用于实现主板显示的功能;

所述处理器通过USB总线与所述基板管理控制器通信连接, 用于实现KVM的功能;

所述处理器通过I2C总线与所述基板管理控制器通信连接, 用于使BMC读取CPU内部的温度传感器所获取的温度数据;

所述处理器的GPIO接口与所述基板管理控制器通信连接, 用于使BMC控制CPU的开关机信号和重启信号, 以实现主板的开关机操作和重启操作;

所述处理器通过UART串口与所述基板管理控制器通信连接, 用于传递主板的串口信息

并实现Serial Over Lan的功能；

所述处理器的SPI总线与所述基板管理控制器SPI总线均与开关选择模块通信连接，所述开关选择模块与基本输入输出系统的闪存模块通信连接，所述开关选择模块用于在基板管理控制器的控制下可以选择基本输入输出系统的闪存模块与处理器通信连接或者与基板管理控制器通信连接，当主板正常运行时基本输入输出系统的闪存模块与所述处理器通信连接，当要通过基板管理控制器烧录时，基本输入输出系统的闪存模块与基板管理控制器通信连接；

所述基板管理控制器通信连接有板载温度传感器和风扇接头，用于实现主板周围环境温度进行侦测，并根据侦测的温度来控制相应风扇的转速。

8. 根据权利要求4所述的主板，其特征在于，所述第二serdes物理接口与一个PCIe X16插槽通信连接。

9. 根据权利要求5所述的主板，其特征在于，所述a组引针包括：第一a引针、第二a引针、第三a引针和第四a引针；

所述第一a引针与基板管理控制器通信连接，所述第二a引针与PCIe X4插槽通信连接，所述第三a引针和所述第四a引针与一个网络控制芯片通信连接，所述网络控制芯片均通信连接两个网络接口连接器；

所述b组引针包括：第五a引针、第六a引针、第七a引针和第八a引针；

所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针通信连接一个mini SAS HD连接器；

在所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针均被配置为SATA协议时，所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针各用于与一个SATA硬盘通信连接；

在所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针均被配置为X4 PCIe时，所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针用于与一个NVME盘通信连接；

所述c组引针包括：第九a引针、第十a引针、第十一a引针、第十二a引针、第十三a引针、第十四a引针、第十五a引针和第十六a引针；

所述第九a引针、所述第十a引针、所述第十一a引针、所述第十二a引针、所述第十三a引针、所述第十四a引针、所述第十五a引针和所述第十六a引针与一个PCIe X16槽通信连接。

10. 根据权利要求3所述的主板，其特征在于，所述至少一个USB接口包括：第一USB接口、第二USB接口、第三USB接口和第四USB接口；

所述处理器包括支持4组USB 2.0信号的接口和4组USB 3.0信号的接口；

所述4组USB 2.0信号包括：第一USB 2.0信号、第二USB 2.0信号、第三USB 2.0信号和第四USB 2.0信号；

所述4组USB 3.0信号包括：第一USB 3.0信号、第二USB 3.0信号、第三USB 3.0信号和第四USB 3.0信号；

所述处理器支持第一USB 2.0信号的接口和所述第一USB 3.0信号的接口均与所述第一USB接口通信连接，所述处理器支持第二USB 2.0信号的接口和所述第二USB 3.0信号的接口均与所述第二USB接口通信连接，所述处理器支持第三USB 2.0信号的接口和所述第三

USB 3.0信号的接口均与所述第三USB接口通信连接,所述处理器支持所述第四USB 3.0信号的接口与所述第四USB接口通信连接,所述处理器支持所述第四USB 2.0信号的接口与多路复用器通信连接,所述多路复用器与所述第四USB接口和基板管理控制器通信连接;

所述处理器支持所述第四USB 2.0信号的接口通过基板管理控制器所控制的SEL信号来选择通信连接所述第四USB接口或基板管理控制器,当处理器使能KVM功能时所述处理器支持所述第四USB 2.0信号的接口通信连接所述基板管理控制器,当处理器使能KVM功能时所述处理器支持所述第四USB 2.0信号的接口通信连接所述第四USB接口。

主板

技术领域

[0001] 本实用新型涉及电子设备技术领域,尤其涉及一种主板。

背景技术

[0002] 随着电子设备产业的快速发展,电子设备中处理器的功能也越来越多样化,但是现有的由于连接处理器的主板接口比较单一,无法适用于多功能的处理器。

实用新型内容

[0003] 为解决上述问题,本实用新型提供的主板,通过设置PCIe插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口和至少一个DDR插槽,能够丰富主板接口种类,使主板适于安装多种多功能的处理器。

[0004] 本实用新型提供一种主板,所述主板上固定设置有PCIe插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口和至少一个DDR插槽;

[0005] 所述至少一个DDR插槽用于支持RDIMM、LRDIMM或/和UDIMM内存条。

[0006] 可选地,所述PCIe插槽用于支持至少三个PCIe 3.0插槽,所述至少三个 PCIe 3.0插槽为1个x16槽,1个x8槽,1个X1槽。

[0007] 可选地,所述主板还设置有处理器,所述处理器与所述至少一个DDR插槽通信连接。

[0008] 可选地,所述处理器包括:第一serdes物理接口和第二serdes物理接口;

[0009] 所述第一serdes物理接口所支持协议包括:PCIe协议、SATA协议、XGMI 协议和XGBE协议;

[0010] 所述第二serdes物理接口支持的协议包括:PCIE协议和XGMI协议。

[0011] 可选地,所述第一serdes物理接口包括:a组引针、b组引针和c组引针;

[0012] 所述a组引针被配置为SATA协议或者PCIe协议;

[0013] 所述b组引针被配置为网络,所述网络包括:KR网络、KX网络、SFI网络和SGMII网络;

[0014] 所述c组引针被配置为PCIe总线。

[0015] 可选地,所述a组引针包括:第一a引针、第二a引针、第三a引针和第四a引针;

[0016] 所述第一a引针与基板管理控制器通信连接,所述第二a引针与PCIe X1 插槽通信连接,所述第三a引针和所述第四a引针各通信连接一个SATA 7pin连接器,每个SATA 7pin连接器可以连接一个SATA硬盘;

[0017] 所述b组引针包括:第五a引针、第六a引针、第七a引针和第八a引针;

[0018] 所述第五a引针和所述第六a引针各通信连接一个SFP+连接器;

[0019] 所述第七a引针和所述第八a引针各通信连接一个千兆物理接口;

[0020] 所述c组引针包括:第九a引针、第十a引针、第十一a引针、第十二a 引针、第十三a引针、第十四a引针、第十五a引针和第十六a引针;

[0021] 所述第九a引针、所述第十a引针、所述第十一a引针、所述第十二a引针、所述第十三a引针、所述第十四a引针、所述第十五a引针和所述第十六 a引针与一个PCIe X8插槽通信连接。

[0022] 可选地,所述处理器通过LPC总线与基板管理控制器通信连接,用于使所述处理器向所述基板管理控制器传递IPMI指令、端口80POST代码、传递主板串口信息,以及用于使处理器配置基板管理控制器中的寄存器;

[0023] 所述处理器通过PCIe总线与基板管理控制器通信连接,用于实现主板显示的功能;

[0024] 所述处理器通过USB总线与所述基板管理控制器通信连接,用于实现 KVM的功能;

[0025] 所述处理器通过I2C总线与所述基板管理控制器通信连接,用于使BMC 读取CPU内部的温度传感器所获取的温度数据;

[0026] 所述处理器的GPIO接口与所述基板管理控制器通信连接,用于使BMC 控制CPU的开关机信号和重启信号,以实现主板的开关机操作和重启操作;

[0027] 所述处理器通过UART串口与所述基板管理控制器通信连接,用于传递主板的串口信息并实现Serial Over Lan的功能;

[0028] 所述处理器的SPI总线与所述基板管理控制器SPI总线均与开关选择模块通信连接,所述开关选择模块与基本输入输出系统的闪存模块通信连接,所述开关选择模块用于在基板控制管理器的控制下可以选择基本输入输出系统的闪存模块与处理器通信连接或者与基板管理控制器通信连接,当主板正常运行时基本输入输出系统的闪存模块与所述处理器通信连接,当要通过基板管理控制器烧录时,基本输入输出系统的闪存模块与基板管理控制器通信连接;

[0029] 所述基板管理控制器通信连接有板载温度传感器和风扇接头,用于实现主板周围环境温度进行侦测,并根据侦测的温度来控制相应风扇的转速。

[0030] 可选地,所述第二serdes物理接口与一个PCIe X16插槽通信连接。

[0031] 可选地,所述a组引针包括:第一a引针、第二a引针、第三a引针和第四a引针;

[0032] 所述第一a引针与基板管理控制器通信连接,所述第二a引针与PCIe X4 插槽通信连接,所述第三a引针和所述第四a引针与一个网络控制芯片通信连接,所述网络控制芯片均通信连接两个网络接口连接器;

[0033] 所述b组a引针包括:第五a引针、第六a引针、第七a引针和第八a引针;

[0034] 所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针通信连接一个mini SAS HD连接器;

[0035] 在所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针均被配置为SATA协议时,所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针各用于与一个SATA硬盘通信连接;

[0036] 在所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针均被配置为X4 PCIE时,所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针用于与一个NVME盘通信连接;

[0037] 所述c组引针包括:第九a引针、第十a引针、第十一a引针、第十二a 引针、第十三a引针、第十四a引针、第十五a引针和第十六a引针;

[0038] 所述第九a引针、所述第十a引针、所述第十一a引针、所述第十二a引针、所述第十三a引针、所述第十四a引针、所述第十五a引针和所述第十六 a引针与一个PCIe X16槽通信连接。

[0039] 可选地,所述至少一个USB接口包括:第一USB接口、第二USB接口、第三USB接口和第四USB接口;

[0040] 所述处理器包括支持4组USB 2.0信号的接口和4组USB 3.0信号的接口;

[0041] 所述4组USB 2.0信号包括:第一USB 2.0信号、第二USB 2.0信号、第三USB 2.0信号和第四USB 2.0信号;

[0042] 所述4组USB 3.0信号包括:第一USB 3.0信号、第二USB 3.0信号、第三USB 3.0信号和第四USB 3.0信号;

[0043] 所述处理器支持第一USB 2.0信号的接口和所述第一USB 3.0信号的接口均与所述第一USB接口通信连接,所述处理器支持第二USB 2.0信号的接口和所述第二USB 3.0信号的接口均与所述第二USB接口通信连接,所述处理器支持第三USB 2.0信号的接口和所述第三USB 3.0信号的接口均与所述第三USB 接口通信连接,所述处理器支持所述第四USB 3.0信号的接口与所述第四USB 接口通信连接,所述处理器支持所述第四USB 2.0信号的接口与多路复用器通信连接,所述多路复用器与所述第四USB接口和基板管理控制器通信连接;

[0044] 所述处理器支持所述第四USB 2.0信号的接口通过基板管理控制器所控制的SEL信号来选择通信连接所述第四USB接口或基板管理控制器,当处理器使能KVM功能时所述处理器支持所述第四USB 2.0信号的接口通信连接所述基板管理控制器,当处理器使能KVM功能时所述处理器支持所述第四USB 2.0 信号的接口通信连接所述第四USB接口。

[0045] 本实用新型实施例提供的主板通过设置PCIe插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口和至少一个DDR插槽,能够丰富主板接口种类,使主板适于安装多种多功能的处理器。

附图说明

[0046] 图1为本申请一实施例的主板的结构框图。

具体实施方式

[0047] 为使本实用新型实施例的目的、技术方案和优点更加清楚,下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0048] 第一方面,本实施例提供一种适用于海光3100和3200系列CPU的主板,所述主板上固定设置有PCIe(peripheral component interconnect express,高速串行计算机扩展总线标准)插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口、至少一个DDR插槽和处理器。其中,所述至少一个DDR插槽用于支持RDIMM、LRDIMM或/和UDIMM内存条。

[0049] 在本实施例中,所述处理器为海光3100或3200系列CPU(central processing

unit,中央处理器);海光3100和3200系列CPU是高性能的8核16线程的 BGA CPU,特别适合高端工作站和低端服务器的开发;所述主板支持4条DDR4 RDIMM/LRDIMM/UDIMM内存,最大可以扩展512GB内存,单条可扩展 128GB,其最大速率支持到3200MHz;主板支持4个DDR4插槽,并提供高带宽的PCIe槽,具体可支持3个PCIe 3.0插槽,其中1个PCIe 3.0x16槽、1个PCIe 3.0x8槽和1个PCIe 3.0x1槽;所述主板还支持4个SATA硬盘,具体的,所述主板通过四个硬盘接口分别与4个SATA硬盘通信连接;所述主板还支持 2个板载的千兆网络接口,且该主板还支持4个USB 3.0接口,并支持远程的智慧的BMC管理系统。按照mATX的标准进行主板设计,具有良好的机箱兼容性。

[0050] 本实施例提供的主板通过设置PCIe插槽、至少一个硬盘接口、至少一个网络接口、至少一个USB接口和至少一个DDR插槽,能够丰富主板接口种类,使主板适于安装多种多功能的处理器。该主板既可以用于生产厂家内部CPU测试,也可以用于客户参考使用,以加快客户的开发进度,同时还能够便于CPU 性能的推广。

[0051] 所述处理器包括:第一serdes物理接口和第二serdes物理接口。所述第一 serdes (serial and deserial、串行/解串器)物理接口支持协议包括:PCIe(peripheral component interconnect express,高速串行计算机扩展总线标准)协议、SATA (Serial ATA,串行ATA)协议、XGMI(X Global Memory Interface,X全局内存接口)协议和XGBE(X Giga Byte Ethernet,X千兆以太网)协议,其中XGBE 网络协议包括:KR网络协议、KX网络协议、SGMII网络协议和SFI网络协议。所述第二serdes物理接口支持的协议包括:PCIe协议和XGMI协议。第二serdes 物理接口与一个PCIe X16插槽通信连接。所述第一serdes物理接口包括:a组引针、b组引针和c组引针。所述a组引针被配置为SATA协议或者PCIe协议;所述b组引针被配置为网络,所述网络包括:KR(10G-BASE KR)网络、KX(1000BASE-KX)网络、SGMII (Serial Gigabit Media Independent Interface,串行千兆媒体独立接口)网络或SFI (serial fiber optic interface,串行光纤接口)网络;所述c组引针被配置为PCIe总线。

[0052] 其中,所述a组引针包括:第一a引针、第二a引针、第三a引针和第四a 引针。所述第一a引针与基板管理控制器通信连接,所述第二a引针与PCIe X1 插槽通信连接,所述第三a引针和所述第四a引针各通信连接一个SATA 7PIN 连接器,每个SATA 7pin连接器可以连接一个SATA硬盘;所述b组引针包括:第五a引针、第六a引针、第七a引针和第八a引针;所述第五a引针、所述第六a引针各通信连接一个SFP+连接器,所述第七a引针和所述第八a引针各通信连接一个千兆PHY;进一步地,所述第七a引针和所述第八a引针被配置为支持10G KR协议、1G KX协议或1G SGMII协议,且所述第七a引针和所述第八a引针各通信连接支持相应协议的网络PHY;所述c组引针包括:第九 a引针、第十a引针、第十一a引针、第十二a引针、第十三a引针、第十四a 引针、第十五a引针和第十六a引针;所述第九a引针、所述第十a引针、所述第十一a引针、所述第十二a引针、所述第十三a引针、所述第十四a引针、所述第十五a引针和所述第十六a引针与一个PCIe X8插槽通信连接。

[0053] 在本实施例中,海光3100/3200 CPU均具有2个16lane的serdes信号,2 个16lane的serdes PHY (Physical、端口物理层)分别叫PHYA和PHYB。PHYA 和PHYB均支持多种协议,可以通过软件配置机进行选择。其中,PHYA的 lane0-3配置SATA协议或者PCIe协议;PHYA的 lane4-7配置为网络 (KR/KX/SFI)、SATA协议和PCIe协议;PHYA的lane8-15只配置为PCIe协议;PHYB的lane0-15配置为PCIe,也可以配置为XGMI在双路系统中用于 CPU互联。基于

CPU serdes的特性也可以设计出一种IO可灵活配置的主板,在本实施例中不做过多赘述。

[0054] 在CPU测试时,只需要测试PHY接口的其中一种功能即可以确认该PHY 接口的功能是正常的。在本实施例中,第一serdes物理接口的配置如下:PHYA0 连接BMC;PHYA1连接PCIe X1 slot;PHYA2和PHYA3各连接1个SATA 7PIN 联连接器,PHYA4和PHYA5各连接1个SFP +连接器,PHYA 6和PHYA7各连接1个千兆PHY (GIGA PHY),千兆PHY通过1000BASE-T连接RJ45 电口;PHYA8~15连接PCIe X8插槽;PHYB连接PCIe X16插槽。

[0055] 结合图1,所述至少一个USB接口包括:第一USB接口、第二USB接口、第三USB接口和第四USB接口。所述处理器包括支持4组USB 2.0信号的接口和4组USB 3.0信号的接口。所述4组USB 2.0信号包括:第一USB 2.0信号、第二USB 2.0信号、第三USB 2.0信号和第四USB 2.0信号。所述4组USB 3.0信号包括:第一USB 3.0信号、第二USB 3.0信号、第三USB 3.0信号和第四USB 3.0信号。

[0056] 所述处理器支持第一USB 2.0信号的接口和所述第一USB 3.0信号的接口均与所述第一USB接口通信连接,所述处理器支持第二USB 2.0信号的接口和所述第二USB 3.0信号的接口均与所述第二USB接口通信连接,所述处理器支持第三USB 2.0信号的接口和所述第三USB 3.0信号的接口均与所述第三USB 接口通信连接,所述处理器支持所述第四USB 3.0信号的接口与所述第四USB 接口通信连接,所述处理器支持所述第四USB 2.0信号的接口与多路复用器通信连接,所述多路复用器与所述第四USB接口和基板管理控制器通信连接;

[0057] 所述处理器支持所述第四USB 2.0信号的接口通过基板管理控制器所控制的SEL信号来选择通信连接所述第四USB接口或基板管理控制器,当处理器使能KVM功能时所述处理器支持所述第四USB 2.0信号的接口通信连接所述基板管理控制器,当处理器使能KVM功能时所述处理器支持所述第四USB 2.0 信号的接口通信连接所述第四USB接口。

[0058] 在本实施例中,结合图1,海光3100和3200系列CPU均4组USB 2.0信号和4组USB 3.0信号,且主板上设置有4个USB 3.0接口。CPU的USB2.0 port 0-2和USB 3.0 port 0-2分别直连接口0-2。CPU的USB 3.0 port3信号直连接口 3的,而USB 2.0 port3则通过一个MUX (多路复用器)连接BMC和接口3,并通过BMC控制的SEL信号来选择连接接口3还是BMC,当使能KVM功能时USB 2.0 port3连接BMC,不使能时连接接口3。

[0059] 实施例二

[0060] 本实施例与实施例一不同之处在于:所述处理器为海光3300系列CPU,以及所述第一serdes物理接口相关配置。

[0061] 具体的,结合图1,所述a组引针包括:第一a引针、第二a引针、第三a 引针和第四a引针。所述第一a引针与基板管理控制器通信连接,所述第二a 引针与PCIe X4插槽通信连接,所述第三a引针和所述第四a引针与一个网络控制芯片通信连接,所述网络控制芯片均通信连接两个网络接口连接器。

[0062] 所述b组引针包括:第五a引针、第六a引针、第七a引针和第八a引针。所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针通信连接一个mini SAS HD连接器。在所述第五a引针、所述第六a引针、所述第七 a引针和所述第八a引针均被配置为SATA协议时,所述第五a引针、所述第六 a引针、所述第七a引针和所述第八a引针各用于与一个SATA硬盘通信连接。在所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针均被配

置为X4 PCIe时,所述第五a引针、所述第六a引针、所述第七a引针和所述第八a引针用于与一个NVME盘通信连接。

[0063] 所述c组引针包括:第九a引针、第十a引针、第十一a引针、第十二a引针、第十三a引针、第十四a引针、第十五a引针和第十六a引针。所述第九a引针、所述第十a引针、所述第十一a引针、所述第十二a引针、所述第十三a引针、所述第十四a引针、所述第十五a引针和所述第十六a引针与一个PCIe X16槽通信连接。

[0064] 具体的,在本实施例中,serdes的配置如下:PHYA0连接BMC;PHYA1 连接PCIe X4 slot;PHYA2~3连接1个网络控制芯片I350,I350下面出两组 1000BASE-T连接2个千兆网络接口-RJ45连接器;PHYA4~7连接mini SAS HD 连接器,PHYA4~7配置为SATA时可以连接4个SATA硬盘,配置为X4 PCIe 时连接1个NVME盘;PHYA8~15连接X16 PCIe SLOT;PHYB连接X16 PCIe SLOT。

[0065] 结合图1,所述主板上设置有板载ASPEED AST2500管理芯片支持网络接口,可以远程对系统进行管理。BMC(Baseboard Management Controller,基板管理控制器)和中央处理器之间具有丰富的接口实现多种信息的交互。所述处理器通过LPC(Low pin count Bus,线性预测编码)总线与基板管理控制器通信连接,用于使所述处理器向所述基板管理控制器传递IPMI(Intelligent Platform Management Interface,智能平台管理接口)指令、端口80POST代码(80port post code)、传递主板串口信息,以及用于使处理器配置基板管理控制器中的寄存器;所述处理器通过PCIe总线与基板管理控制器通信连接,用于实现主板显示的功能;所述处理器通过USB总线与所述基板管理控制器通信连接,用于实现KVM(Keyboard Video Mouse,键盘、视频和鼠标)的功能;所述处理器通过I2C(Integrated Circuit)总线与所述基板管理控制器通信连接,用于使BMC读取CPU内部的温度传感器所获取的温度数据;所述处理器的GPIO(General-purpose input/output,通用输入/输出)接口与所述基板管理控制器通信连接,用于使BMC控制CPU的开关机信号和重启信号,以实现主板的开关机操作和重启操作;所述处理器通过UART(Universal Asynchronous Receiver/Transmitter,通用异步收发传输器)串口与所述基板管理控制器通信连接,用于传递主板的串口信息并实现Serial Over Lan(LAN上串行)的功能;所述处理器的SPI(serial peripheral interface,串行外围接口)总线与所述基板管理控制器SPI总线均与开关选择模块(SW,switch)通信连接,所述开关选择模块与基本输入输出系统的闪存模块(BIOS flash)通信连接,所述开关选择模块用于在基板控制管理器的控制下可以选择基本输入输出系统的闪存模块与处理器通信连接或者与基板管理控制器通信连接,当主板正常运行时基本输入输出系统的闪存模块与所述处理器通信连接,当要通过基板管理控制器烧录基本输入输出系统的闪存模块时,基本输入输出系统的闪存模块与基板管理控制器通信连接;所述基板管理控制器通信连接有板载温度传感器和风扇接头,用于实现主板周围环境温度进行侦测,并根据侦测的温度来控制相应风扇的转速。

[0066] 其中,本实施例中用CPU直出的采用UART串口来实现SOL(Serial Over LAN,LAN上串行),虽然多了1个接口,但是在LPC还没初始化完成的时候即可以开始工作,使操作人员能够看到更多的调试信息。

[0067] 实施例三

[0068] 本实施例提供一种服务器,所述服务器包括:机箱,以及实施例一或实施例二中的

主板。主板固定设置于所述机箱内。

[0069] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应该以权利要求要求的保护范围为准。

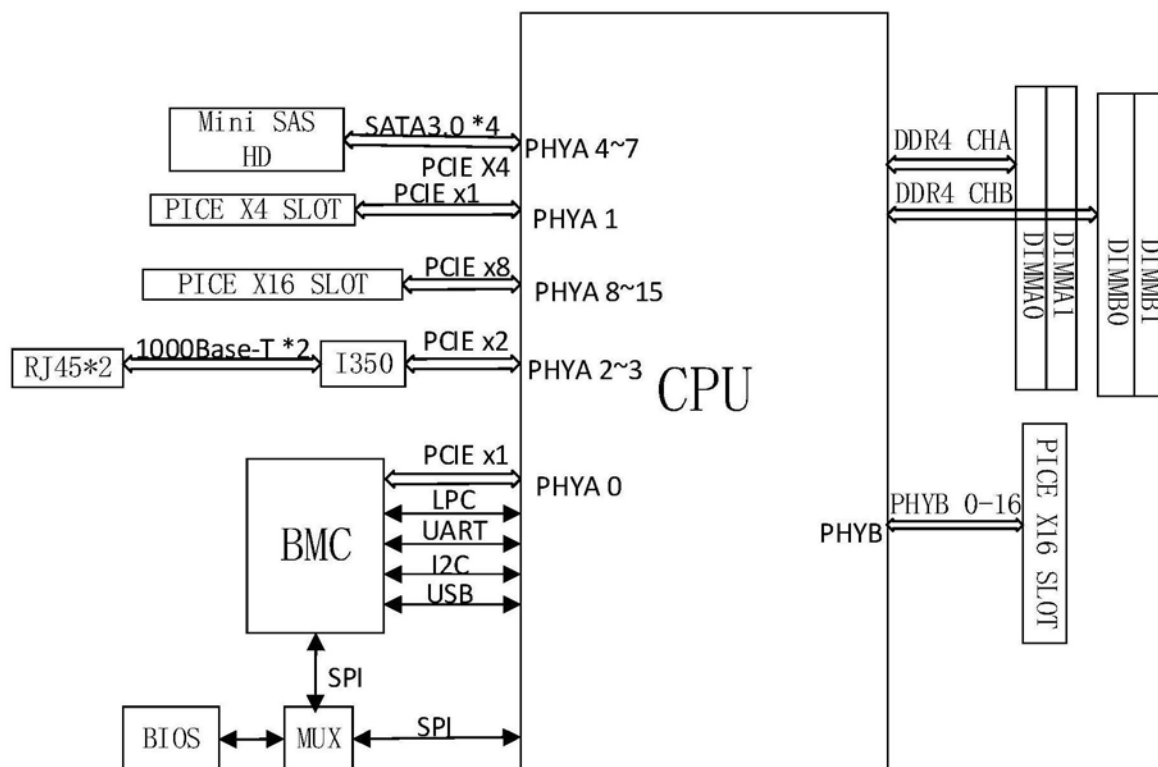


图1