[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/268

[12] 发明专利说明书

[21] ZL 专利号 97118948.X

[45] 授权公告日 2004 年 9 月 15 日

[11] 授权公告号 CN 1167107C

[22] 申请日 1997.9.29 [21] 申请号 97118948.X

[30] 优先权

[32] 1996.10.7 [33] US [31] 727159

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯州

[72] 发明人 布鲁斯·埃伦·布克

杰夫·托马斯·韦策尔

特里·格兰特·斯巴克斯

审查员 朱芳芳

[74] 专利代理机构 中原信达知识产权代理有限责任公司

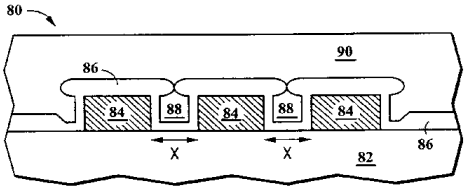
代理人 陆 弋

权利要求书 2 页 说明书 10 页 附图 5 页

[54] 发明名称 一种制造低介电常数中间层的集成电路结构的方法

[57] 摘要

一种含有低介电常数介质层的互连结构形成于集成电路的内部。与导电互连相邻的二氧化硅层部分被消除以露出氮化硅腐蚀停止层。在露出的氮化硅腐蚀停止层部分和导电互连上面形成一低介电常数介质层。去除介质层的一部分以露出导电互连的顶部表面，以在相邻导电互连间形成多个介质层部分。从而减小多个导电互连之间的交叉干扰，同时避免散热减少和机械张力增加产生的缺陷。



ISSN1008-4274

1. 一种用于形成半导体器件的方法，其特征在于该方法有以下步骤：

形成具有第一沟槽区和与第一沟槽区分离的第二沟槽区的第二介质层（18），所述第二介质层具有第一介电常数 e1；

在第一沟槽区中形成第一导电区（21），并在第二沟槽区中使用第一平面化处理形成第二导电区（21），第二导电区与第一导电区横向分离，其中第一导电区与第二导电区被第二介质层的中间部分分隔；

去除第二介质层的中间部分以在第一导电区与第二导电区之间形成间隙；

形成具有第二介电常数 e2 的第三介质层（22），其中 e2≤3.5 并且 e2<e1，第三介质层覆盖在第一导电区和第二导电区的上面，并且含有填充上述间隙的第一部分；

抛光第三介质层的顶部以露出第一导电区或第二导电区中至少一个的顶部表面，其中第三电介质层的第一部分保持在间隙内。

2. 如权利要求 1 所述的方法，其中形成第三介质层的步骤包括：

用从 HSQ，BCB，聚酚亚胺和 PAE 组成的集合中选择出来的材料形成介质层。

3. 如权利要求 1 所述的方法，其中形成第三介质层的步骤包括：

形成一介电常数 e≤2.7 的介质层。

4. 如权利要求 1 所述的方法，其中，形成第一导电区（21）的步骤还包括：形成第一接触部分（14）和第一互联部分（20）；形成第二导电区（21）的步骤还包括：形成第二接触部分（14）和第二互联部分（20）。

5. 一种用于形成半导体器件的方法，其特征在于包括以下各步骤：

形成第一介质层（34）；

在第一介质层中形成接触孔（38）；

在第一介质层的上面形成第二介质层（40），其中，第二介质层跨过接触孔，从而形成接触空隙（38）；

对第二介质层进行退火；

形成穿过第二介质层（40）的开孔，露出接触空隙，并形成互连沟槽（41）；以及

在接触空隙（38）和互连沟槽（41）内形成导电材料（48 或 49），从而形成一导电互连，其中，互连沟槽内的导电材料被第二介质层（40）隔开。

6. 如权利要求 5 所述的方法，其特征在于形成第二介质层的步骤包括：

采用低介电常数材料形成第二介质层，其介电常数 e≤2.7。

7. 如权利要求 6 所述的方法，其特征在于形成第二介质层的步骤包括：

采用旋涂聚酚亚胺形成第二介质层。

8. 一种用于形成集成电路结构的方法，其特征在于该法包括以下各步骤：

提供一半导体基片；

在该半导体基底的上面形成一第一介质层（62）；

在第一介质层（62）上面形成多个分立的导电部件（64），而多个分立导电部件以一第一距离 X 被分隔。

在多个分立导电部件上面淀积出一个非共形介质层（66）其中该非共形介质层是采用等离子增强化学气相淀积技术形成的，并在多个分立导电部件中至少两个导电部件之间形成一封闭空区，该空区的跨度至少为上述第一距离 X 的百分之 50；

在封闭空区和第一介质层上面形成一第二介质层（70）。

一种制造低介电常数中间层的集成电路结构的方法

技术领域

本发明一般涉及半导体的制作，更具体地说，它涉及一种在金属部件之间形成低介电常数区以减少电容耦合及交叉干扰的方法。

背景技术

现代集成电路在一单个芯片上含有成千上万个半导体器件，随着芯片中器件密度的增加，要求有更多的金属化层以使各器件互连。此外，随着集成电路器件密度的增加，为使芯片的尺寸达到最小，就必须减小金属层内各分离金属布线之间的水平距离。同时，为满足芯片对速度和特性的要求，则必须使金属化电阻和电容减至最小。在传统方法中，用于隔离同层内金属布线和不同层间金属布线的层间介质都采用高介电常数材料。例如，未掺杂或掺杂了的二氧化硅层如硼磷硅玻璃（BPSG）、磷硅玻璃（PSG）和经离子和化学汽相淀积的四乙基氧硅烷（TEOS）都已经被作为这种多金属布线结构的介质层使用。为满足半导体工业对增加集成电路器件密度和提高运行速度的持续要求，则需要具有低介电常数的新型介质材料以减少由交叉干扰和电容耦合造成的速度下降。

但是，由于机械强度太差，使得许多用于形成中间层和金属间介电层的低介电常数材料很难使用。此外，很多这种材料都有处理温度的限制，即，它们不能经受超过一定的在集成电路上形成时的温度的热处理。而且，很多该类材料的热传导性能也很差。所以，在高频运作时产生的热不能被有效地从集成电路中散发出去，进而电路的可靠性将成为一个问题。因此，需要一种用低介电常数的介质层形成互连结构的方法，因而减少机械强度差的缺点并改善散热。

发明内容

一般来说，本发明涉及一种在集成电路(IC）中形成互连结构的方法，它可以减少相邻金属布线间的 RC 延迟时间或交叉于抗。在本发明的一个实施例中，互连结构由具有高介电常数的第一介质层和具有低介电常数的第二介质层形成。在该优选实施例中，介电常数低的介质层主要形成于导电互连之间，基本上不在其上。低 K 值介质材料以这样一种方

式形成，即，在去除位于互连中间的高 K 值介质牺牲层之后，在导电部件之间将形成可供填充低 K 值介质材料的空间区域。利用上述方法还可以减少或消除导电部件上面的低 K 值介质材料。这种将低 K 值材料的位置选择在导电区之间而不是置于导电部件之上或之下的方法，它既可以保持低 K 值材料所具有的绝缘优点，同时也可以提高散热效率和机械强度。

在本发明的另一个实施例中，一种能够减少交叉于扰和 RC 延迟时间的互连结构的形成如下：先将第一介质层腐蚀出一个接触孔；然后淀积具有低介电常数的第二介质层。第二介质层的淀积应该是这样的，即，将第一介质层中的接触孔封住，以生成一个空隙区域（例如，第二介质可以是有硬聚合物骨架的低 k 值旋涂树脂）。然后除去一部分第二介质层以露出先前被第二介质层封住的接触孔。然后，在接触孔内形成一双列嵌入的金属互连。借此可将低 k 值的第二介质定位于导电区域之间，从而既可得到良好的绝缘性能又可改善散热及机械特性。

在本发明的又一实施例中，在相邻的导电金属互连线之间通过旋涂有硬聚合物骨架的树脂，可以形成空隙/空气区。该硬骨架材料在同一导电互连层内距离很近的金属导电部件之间形成空隙区域。根据组成空隙的原子气体含量及其形成的气压，空隙的介电常数将接近于 e=1，这正是在多晶硅和金属互连中减少交叉干扰和逆电容耦合的最佳介电常数。

在本发明的再一实施例中，在相邻导电互连布线的上面形成一非共形介质层，由此在同一导电互连层内距离很近的金属导电部件之间形成了空隙/空气区。然后在非共形介质层的上面形成一第二介质层，并经平面化处理形成完整的层间介质。然后，使第二介质层和非共形导电层构成图形以形成一个接触，或通过向接触孔内填充导电材料而形成一个导电互连。相邻两导电互连布线之间的空隙区域可减少其间的交叉于扰/电容，从而提高电路运作速度并避免逻辑交叉干扰错误。

根据本发明的一个方面，提供了一种用于形成半导体器件的方法（图 1－6），其特征在于该方法有以下步骤：

形成具有第一沟槽区和与第一沟槽区分离的第二沟槽区的第二介质层（18），所述第二介质层具有第一介电常数 e1；

在第一沟槽区中形成第一导电区（21，图 3 中的左部），并在第二沟槽区中使用第一平面化处理形成第二导电区(21，图 3 中的右部)，

第二导电区与第一导电区横向分离，其中第一导电区与第二导电区被第二介质层的中间部分分隔；

去除第二介质层的中间部分以在第一导电区与第二导电区之间形成间隙；

形成具有第二介电常数 e2 的第三介质层（22），其中 e2≤3.5 并且 e2<e1，第三介质层覆盖在第一导电区和第二导电区的上面，并且含有填充上述间隙的第一部分；

抛光第三介质层（图 6）的顶部以露出第一导电区或第二导电区中至少一个的顶部表面，其中第三电介质层的第一部分保持在间隙内。

根据本发明的一个方面，还提供了一种用于形成半导体器件的方法，其特征在于包括以下各步骤：

形成第一介质层（34）；

在第一介质层中形成接触孔（38）；

在第一介质层的上面形成第二介质层（40），其中，第二介质层跨过接触孔，从而形成接触空隙（38）；

对第二介质层进行退火；

形成穿过第二介质层（40）的开孔，露出接触空隙，并形成互连沟槽（41）；以及

在接触空隙（38）和互连沟槽（41）内形成导电材料（48 或 49），从而形成一导电互连，其中，互连沟槽内的导电材料被第二介质层（40）隔开。

根据本发明的一个方面，还提供了一种用于形成集成电路结构的方法，其特征在于该法包括以下各步骤：

提供一半导体基片；

在该半导体基底的上面形成一第一介质层（62）；

在第一介质层（62）上面形成多个分立的导电部件（64），而多个分立导电部件以一第一距离 X 被分隔。

在多个分立导电部件上面淀积出一个非共形介质层（66）其中该非共形介质层是采用等离子增强化学气相淀积技术形成的，并在多个分立导电部件中至少两个导电部件之间形成一封闭空区，该空区的跨度至少为上述第一距离 X 的百分之 50；

在封闭空区和第一介质层上面形成一第二介质层（70）。

附图说明

图 1－6 以剖面图表明根据本发明的一实施例制作互连结构的工艺步骤。

图 7－10 以剖面图表明根据本发明的另一实施例制作互连结构的工艺步骤。

图 11－15 以剖面图表明根据本发明的又一实施例制作互连结构的工艺步骤。

图 16 以剖面图表明根据本发明的一优选实施例的互连结构，其空气间隙是通过非共形淀积工艺所淀积的一种材料形成的。

为使说明简单明了，图中的元件未按比例画出。例如，为使图形清晰，一些元件的尺寸相对另一些元件被夸大了。另外，为方便起见，图中重复使用了参考标号以说明相应元件或类似元件。

具体实施方式

通过参考图 1－16，可以进一步了解本发明的实施例。

图 1－6 以剖面形式表明根据本发明的第一个实施例制作互连结构的工艺步骤。图 1 中画出的是集成电路结构的一部分 10，它包括一第一介质层 12，一腐蚀停止层 16，及一第二介质层 18。在图 1 中，采用常规的光刻和腐蚀技术在第一介质层 12，腐蚀停止层 16，及第二介质层 18 构成图形。在一个优选实施例中，利用含有氟化腐蚀物质的等离子腐蚀化学特性，可对第一介质层 12，腐蚀停止层 16，及第二介质层 18 同时进行构图和腐蚀。例如，对层 12、16 和 18 可在利用腐蚀气体如 CHF_3，CF_4，C_2F_6 和/或类似气体产生的等离子环境下进行构图。重要的是应注意，这种腐蚀过程在第一介质层 12 中的接触孔 14，它允许金属导电层随后淀积在图 1 中的接触孔内，从而形成导电接触孔 14。该随后淀积的导电层被用来与一个底部导电区（如另一个金属层，或是在一多晶硅层内掺杂的半导体区，或是半导体基片）制成电子接触/互连。掺杂区可以是一个双极型电极，一个良接触电极，一个源极/漏极，一个薄膜晶体管（TFT）节点或是一个类似的掺杂多晶硅或衬底部分，多晶硅也可用非晶硅，外延生长硅，或耐熔硅化含硅层替代。

在一实施例中，第一介质层门和第二介质层 18 是利用同一种材料形成的。例如，第一介质层 12 和第二介质层 18 可以是一硼磷硅玻璃（BPSG）层，多个四乙氧硅烷（TEOS）层，多个磷硅玻璃（PSG）层，

二氧化硅，氮化层，含氟氧化层，或类似的介质材料。从另一种形态来看，介质层 18 也可用与层 12 不同的材料制成。第一介质层 12 和第二介质层 18 是利用常规等离子淀积工艺，低压化学汽相淀积（LPCVD）工艺，或类似工艺而形成的。在一实施例中，腐蚀停止层 16 是等离子增强氮化硅层，而层 12 和 18 则是氧化硅层。另一方案，腐蚀停止层 16（在用于光刻工艺中也可起到抗反射涂层（ARC）的作用），也可以是一富硅氮化硅层；氮化铝层，或是任何可以作为深腐蚀停止层或化学机械抛光（CMP）停止层的介质层。当然，上面提到的氮氧化硅（SiON）或富硅氮氧化硅也可作为腐蚀停止或抗反射涂层（ARC）来使用。

在图 2 中，在层 18 内使用了另一种光刻胶和腐蚀工艺形成互连沟槽。图 1 中，穿过层 12 的开孔通到下层材料的接触开孔，而在图 2 中，穿过层 18 的开孔则是一互连沟槽。为形成嵌入金属（镶嵌）工艺的互连沟槽，利用一种腐蚀化学环境选择腐蚀第二介质层 18 至腐蚀停止层 16。这种腐蚀工艺在第二介质层 18 内限定了一个互连区域 20。重要的是应注意，双列嵌入金属工艺也可以采用其它与图 1－2 中所示的相类似的方法完成。图 1－2 的目的是任何形成具有接触区和互连沟槽的双列嵌入结构方法的代表。

图 3 中，一导电材料层淀积在接触部分 14 与互连部分 20。然后将该导电材料层通过 CMP 或/和腐蚀工艺被平面化，从而形成导电互连 21。在一实施例中，导电互连 21 的形成过程如下：首先在接触部分 14 互连部分 20 内淀积薄阻挡层接着淀积一较厚的更完全地填充导电部分 14 和互连部分 20 的导电层。互连 21 最好采用传统的化学机械抛光（CMP）技术，抗蚀剂背面蚀刻（REB）技术，和/或定时等离子腐蚀工艺。用作部分 14 和 20 的阻挡层可以是含有氮化钛，钛钨，钛，钽，氮化钽，氮化硅钽、氮化硅钛，氮化钨或其它类似材料的任何层或复合层。另外，在阻挡层上最好采用铜，金，银，钨，铝，及任何以此形成的复合材料或类似材料，作为较厚填充材料形成互连 21。而且，导电互连 21 可采用传统化学汽相淀积（CVD）技术，电极电镀技术，溅射技术，和/或选择淀积技术形成。

图 4 中，第 M 介质层 18 的剩余部分（指的是牺牲介质层部分）被有选择地去除以便露出腐蚀停止层 16 部分。采用传统的等离子和/或湿腐蚀技术可去除介质层 18 剩余部分。在一实施例中，介质层 18 的剩余部分是采用缓冲 HF 溶剂去除的，另一方案，介质层 18 的剩余部分也可采

用与用于限定互连 21 相同的腐蚀工艺进行去除。

图 5 中，在导电互连 21 的上面形成了一具有低介电常数 e 的第三介质层 22。在此所用的足够的低 k 值介质，其介电常数 e≤3.5。当使用介电常数 e≤3.0 的低 k 值介质时，将更加减少交叉干扰和电容耦合。最好从减少电容耦合的观点看，e≤2.7 的材料是最佳的层间介质材料。可以采用传统旋涂技术或化学汽相渡积技术形成第三介质层 22。最适合于层 22 的旋涂聚合物或旋涂玻璃（SOGS）是氢硅倍半噁烷（HSQ），苯并环丁烯（BCB），聚酸亚胺和聚芳基醚（PAE）。例如，在一实施例中，介质层 22 的材料为旋涂玻璃材料（如 HSQ），其介电常数约为 e=3.0。另一方案，介质层 22 也可以是热固树脂（如 BCB），其介电常数约为 e=2.6。还有，介质层 22 也可使用其介电常数约为 e=2.6 的聚芳基醚（如 PAE 或 PAE2）。重要的是应注意，e ≤ 3.5 的任何介电常数的介质都可用来改善介电常数为 3.9 到 4.3 之间的 TEOS 或二氧化硅的电容及交叉干扰。层 22 也可以是有机旋涂介质或用 CVD 技术形成的有机介质。

图 6 中，介质层 22 经平面化后，露出导电互连 21 的顶部。一般地，如图 6 所示，露出的互连 21 部分是导电互连部分 20 的顶部。在一个优选实施例中，采用了传统的等离子腐蚀技术和/或化学机械抛光对介质层 22 做平面化处理。如图 6 所示，这种平面化处理，其结果是具有较高介电常数（e＞3.5）的介质层 12 和 16 的上面形成了一具有低介电常数介质层 22（e<=3.5）的互连结构。另外，层 22 和/或图 6 中导电互连顶部也可以覆盖一层抗反射涂层（ARC）。可以高兴地看到；具有低介电常数的介质层 22 能够改善电路的性能，因为相邻互连布线之间的电容被低 k 值膜减小了。由于层 22 没有覆盖晶片的整个表面（如，20 的顶部未被图 6 中的层 22 所覆盖），使机械稳定性得到增加，并且使集成电路的散热特性也得到改善。在图 6 中，如果用铜作为导电互连，在图 6 所示结构的顶部则需要阻挡层以隔离铜与上覆盖材料。

图 7－10 以剖面图形式表明根据本发明的另一实施例制作互连结构的工艺步骤。图 7 中所示的是一集成电路结构的一个部分 30，它包括：一腐蚀停止层 32，一第一介质层 34，和一光刻胶层 36。利用传统的光刻构图和腐蚀技术，腐蚀腐蚀停止层 32 和第一介质层 34 以便在第一介质层 34 内形成接触部分 38，并露出下层导电区（图 7 中未画出），如金属互连、多晶硅或掺杂硅区。层 32 可以利用传统的等离子或化学汽相淀积技术形成，它可以是一层氮化硅、富硅氮化硅或氮化铝构成，并可起到

腐蚀停止层（ESL）和/或抗反射涂层（ARC）的作用。第一介质层 34 也是利用传统的化学汽相淀积（CVD）技术形成的，如等离子淀积、低压化学汽相淀积（LPCVD）或类似技术。它可由 BPSG，PSG，TEOS，含氟氧化物或类似介质材料及其复合层构成。

图 8 中，去除光刻胶掩模 36，而且在介质层 34 的上面形成了一低介电常数介质层 40。这样，接触部分 38 将被介质层 40 覆盖或“跨过”并保持未填充状态（即，从图 7 的接触部分 38 形成了一个如图 8 所示的空隙 38）。然后将抗反射涂层（ARC）42（也可作为硬掩模使用）淀积在介质层 40 的上面。在本发明的一个优选实施例中，介质层 40 的介电常数为 3.0 或更小，它可由任何 e≤3.5 的材料构成，从而使相邻导电部件之间保持电绝缘。在本发明的一个实施例中，介质层 40 由聚苯喹喔啉（PPQ）材料构成，其介电常数为 e=3.0。此外，介质层 4 0 也可为介电常数 e=2.6 的聚酚亚胺层。聚酚亚胺既可以由多胺酸溶剂形成，也可以由图 8 所示的全胺化聚酚亚胺形成。一般来说，用于制作图 8 中层 40 的旋涂材料可以是任何具有足够硬度的聚合物骨架材料，这样才可以最少部分形成图 8 中的空隙区 38。

为防止图 8 中的空气槽 38 起泡，应采用热等变率方法对层 40 进行退火处理。等变率起点应小于 100℃，并且在一选定的温度等变率时间周期之后达到 100℃到 300℃，以对层 40 进行去除溶剂退火。为防止空气槽 38 起泡，最好对其采用较缓等变率的热处理，而不是将其迅速暴露在高温下。也可在减压或减少陷入分子/原子的情况下，使用负压旋涂工艺以产生空隙 38。这种负压工艺可通过减小空隙 38 内高原子密度来减少起泡反应。

在图 9 中采用了传统的光刻构图和腐蚀技术对反射层 42 和介质层 40 进行构图和腐蚀，从而在介质层中限定互连 41 并重新露出接触部分 38（在图 8 中为空隙 38）。应重点注意的是，由于空隙 38 在图 8 中是被隔离的，所以不需要附加腐蚀形成到底部金属互连或掺杂硅区的接触孔。在本发明的一个实施例中，采用了含氧等离子对层 40 进行构图，而且用于限定介质层 40 内的开孔的光刻胶掩模 44 在对介质层 40 进行腐蚀的同时也被去除。因此，该实施例中，用于对介质层 40 进行构图的腐蚀工艺也同时去除了部分或全部的用于限定介质层 40 内开孔的光刻胶掩模 44。

图 10 中；在接触开孔 38 和互连区 41 内形成一阻挡层 49 和一导电材料薄膜。然后，阻挡层 49 的一部分和导电材料薄膜将被有选择地去除从而形成图 10 中的导电互连 48。在本发明的一个实施例中，导电互连 48 是采用传统等离子腐蚀技术形成的。另一方案是，导电互连 48 也可采用传统的化学机械抛光（CMP）技术形成。然后，在介质层 40 和导电互连 48 的上面形成一腐蚀停止层 46，或抗反射（ARC）层 46。然后，最好重复图 7－10 中的工艺步骤，以在导电互连 48 的上面形成一个附加导电互连。这样，就可以根据本发明形成具有多层互连的集成电路。由于低 k 值或低介电常数材料 40 是：（1）仅处于 48 区域之间（从而达到隔离的目的）；（2）并未形成于整个晶片的上面（它将导致机械稳定性和散热特性下降），所以图 10 所示最终结构具有现有技术所没有的优点。

图 11－15 是根据本发明的另一实施例制作互连结构的工艺步骤的截面图。图 11 中所示的是集成电路结构的一个部分 50，它包括：一第一介质层 52 和多个导电互连 54。首先，介质层 52 是采用传统等离子或化学汽相淀积（CVD）技术形成的，它可以由 BPSG，PSG，TEOS，氟化氧化硅或类似材料构成。而这些导电互连 54 也是采用传统的光刻构图和腐蚀技术形成的。它们可以用掺杂二氧化硅，金属，金属硅化物等类似材料构成。

图 12 中，在第一介质层 52 和多个导电互连 54 的上面形成了一任选腐蚀停止层 56。该任选腐蚀停止层 56 是采用传统等离子或低压化学汽相淀积技术形成的，其材料可以是二氧化硅，氮化硅，氮氧化硅或氮化铝。层 56 的材料最好选用二氧化硅。层 56 也可以被腐蚀形成图 12 中的侧壁隔片型。层 56 也可用来对与区域 54 的对不准接触进行补偿。如图 14 所示，如果图 13 的空气区 60 被暴露给接触孔，并且使用了高共形金属淀积工艺，则可能产生电短路。为防止这种电短路问题，隔片或层 56 还获得附带的好处，即，它可对光刻接触对准进行补偿，这就使得空隙不被暴露或基本不暴露，解决了金属淀积问题。

图 13 中，在腐蚀停止层 56 的上面形成了一具有低介电常数的第二介质层 58，在腐蚀停止层 56 和第二介质层 58 之间形成空隙 60。更具体地说，如图 13 所示，空隙 60 形成于相互距离很近的各导电互连 54 之间，此“很近的距离”是随用于层 58 的旋涂树脂的聚合物骨架硬度而改变的。另外，如图 12 所示，空隙 60 也可以沿着某一给定导电互连 54 的侧壁而形成，并由此形成隔片。在本发明的一个实施例中，介质 58 采用

了 PPQ 材料，其介电常数小于或等于 3.5。当层 58 被旋涂在腐蚀停止层 56 上后，介质层 58 将被置于温度范围为 100-250℃的环境中进行大约 30 分钟的退火处理。另一方案是，介质层 58 也可采用介电常数小于或等于 3.0 的预酚亚胺化聚酚亚胺材料。也可以采用热等变率处理或负压淀积的方法以避免或至少能够减少空隙 60 的起泡问题。

图 14 中，在第二介质层 58 的上面又形成了一第三介质层 62。介质层 62 可采用传统等离子或低压化学汽相淀积技术形成，其材料可以是 BPSG，PSG，TEOS，硅烷，氟化氧化硅，上述介质的复合物或类似介质。然后，用传统的光刻和构图技术形成穿通第三介质层 62，第二介质层 58 和腐蚀停止层 56 的通孔，从而露出下层的导电互连 54 的一部分。如图 12 中所讨论的一样，层 56 也可以对定位不准问题进行改进。然后在通孔的内壁上形成一阻挡层 64，进而在阻挡层 64 的上面形成导电填充材料 66。接下来，阻挡层 64 和导电填充材料 66 的一部分将被有选择地去除，以在开孔内形成导电通路 68。阻挡层 64 可以是钛和氮化钛的复合层，或氮化钽层、氮化钨层或如前所述材料层。导电填充材料 66 可采用传统淀积技术形成，它可以是铜，钨，铝或类似导电体层，或复合导电层构成。

图 15 中，在导电通路 68 的上面又形成了一个阻挡层 70 和一个导电材料层 72。阻挡层 70 和导电材料层 72 被传统光刻构图和腐蚀技术进行构图后，形成导电互连 74。阻挡层 70 采用传统技术形成，它可以是钛和氮化钛的复合层，或氮化钨、氮化钽或类似材料的层。与之类似，导电材料层 72 也是采用传统淀积技术形成的，它也可以由钨，铝，铜，银，金等类似材料构成。

图 16 以剖面图表明根据本发明的另一实施例制作的互连结构。图 16 所示的是集成电路的一个部分 80，该集成电路包括一第一介质层 82，一非共形介质层 86，多个导电互连 84 和一第三介质层 90。第一介质层 82 是采用传统技术而形成于半导体基片之上的，它可以是 BPSG 层，PSG 层，氟化氧化物或类似材料层。多个导电互连线则可采用常现光刻构图和腐蚀技术形成。该各个导电互连布线可由掺杂多晶硅，铝，钨，金属硅化物或多晶硅与金属硅化物的复合物等材料构成。

如图 16 所示，在多个导电互连线 84 中，至少有两个是以距离 X 分隔的。然后，在多个导电互连线 84 的上面将形成非共形介质层 66，从而在多个导电互连线 84 中至少在两个导电互连线之间形成一封闭空区

88。封闭空区 88 的跨度至少超过第一距离 X（它将两相邻导电互连线分隔开来）的 60%。非共形介质层 86 的淀积最好能够使封闭空区的跨度占第一距离 X 的 70%，80%或 90%。在本发明的一个优选实施例中，非共形介质层 86 是在等离子增强化学汽相淀积（CVD）中采用硅烷作为源气体淀积而形成的。另外，源气体也可以采用其它能够增强非共形淀积的材料。接下来，在非共形介质层 86 的上面形成第三介质层 90 并经传统技术抛光被平面化。在本发明的一个实施例中，第三介质层 90 是采用传统的化学机械抛光（CMP）被平面化的。此外，也可采用传统的等离子腐蚀技术对其进行平面化。如图 16 所示，最终形成的互连结构在其相邻导电互连线之间（此处正需要提高绝缘性）含有空区，这些空区的介电常数非常合适（大约为 1.0）。因此，可以减少距离很近的相邻导电互连线 84 之间的 RC 时间延迟和交叉于扰。

显然，本发明提供了许多结构和方法，能够用来减少集成电路基片上金属部件之间的交叉于扰和电容耦合，尽管对本发明的描述主要是通过参考优选实施例进行的，但这并不意味着本发明仅限于这些说明的实施例。本领域的技术人员会认识到可以对其做出不脱离本发明精神和范围的修改和变换。如在图一中，可以在层 20 形成之后再对层 12 和 16 开槽，从而使图 6 中层 22 的开孔比图 4 中画出的开孔较深一些。此较深区域可以进一步改善部件 20 的隔离。所以，对其形式或内容所做的修改和变换不会脱离本发明所附权利要求的精神和范围。

图 1

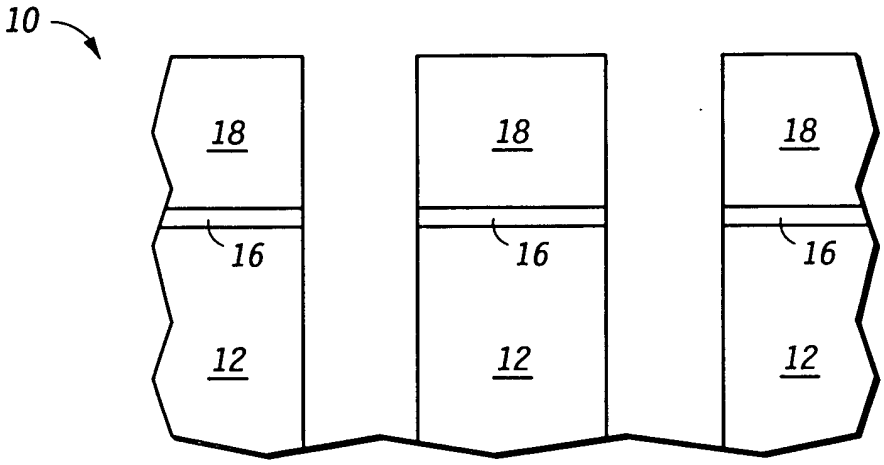

10
18
18
18
16
16
16
12
12
12

图 2

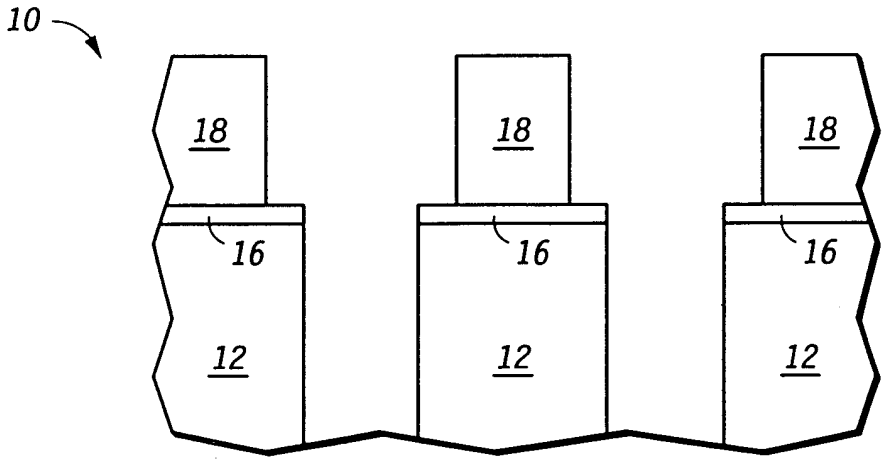

10
18
18
18
16
16
16
12
12
12

图 3

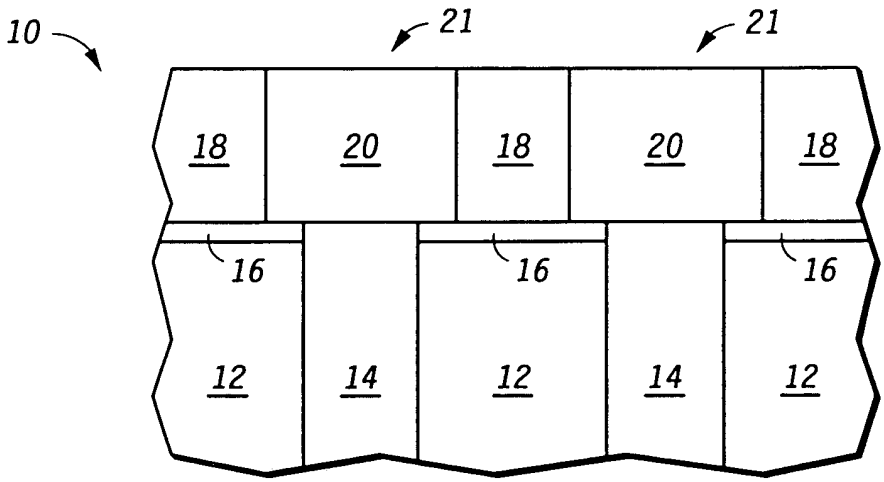

10
21
21
18
20
18
20
18
16
16
16
12
14
12
14
12

图 4

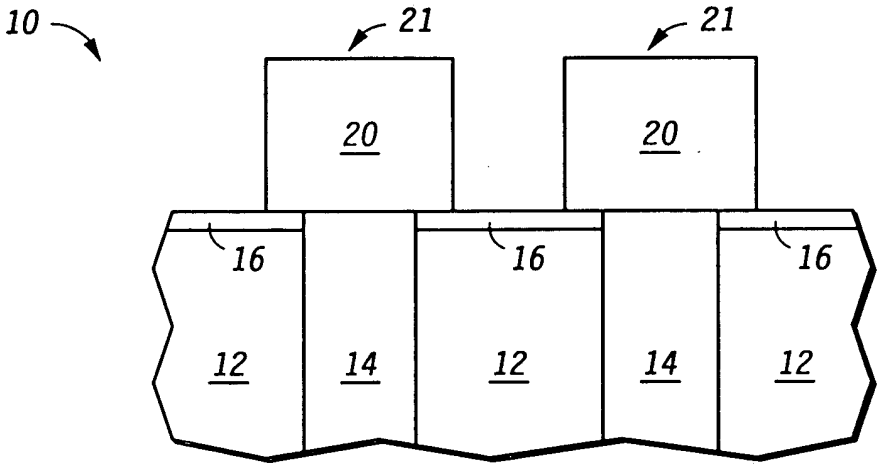

10
21
21
20
20
16
16
16
12
14
12
14
12

图 5

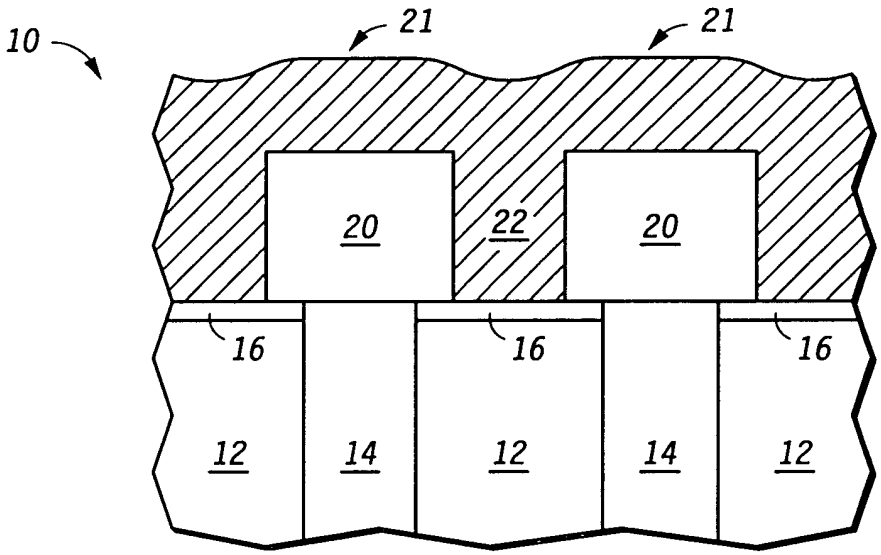

10
21
21
20
22
20
16
16
16
12
14
12
14
12

图 6

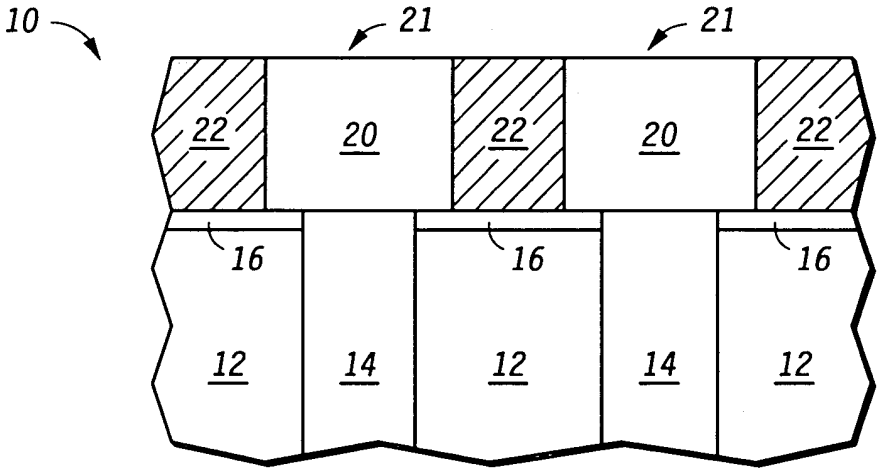

10
21
21
22
20
22
20
22
16
16
16
12
14
12
14
12

图 7

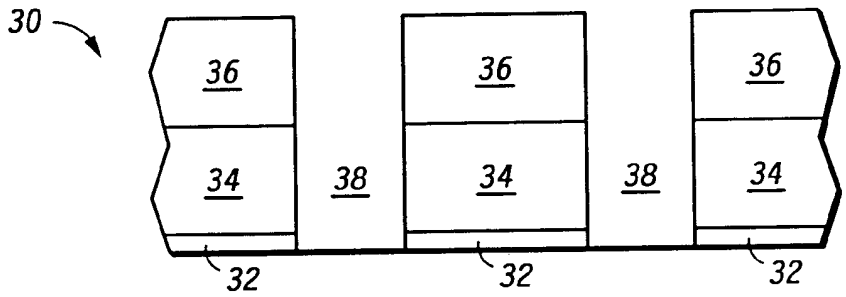

30
36
36
36
34
38
34
38
34
32
32
32

图 8

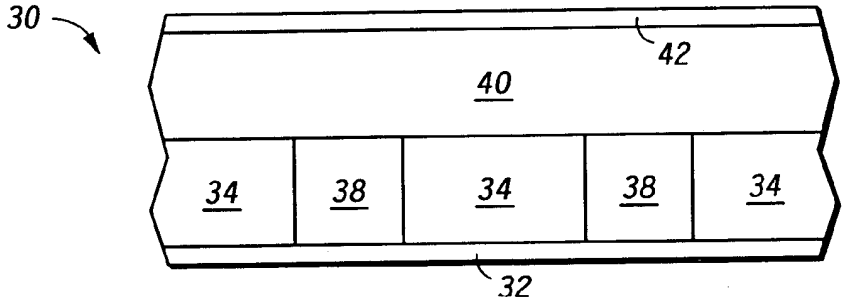

30
42
40
34
38
34
38
34
32

图 9

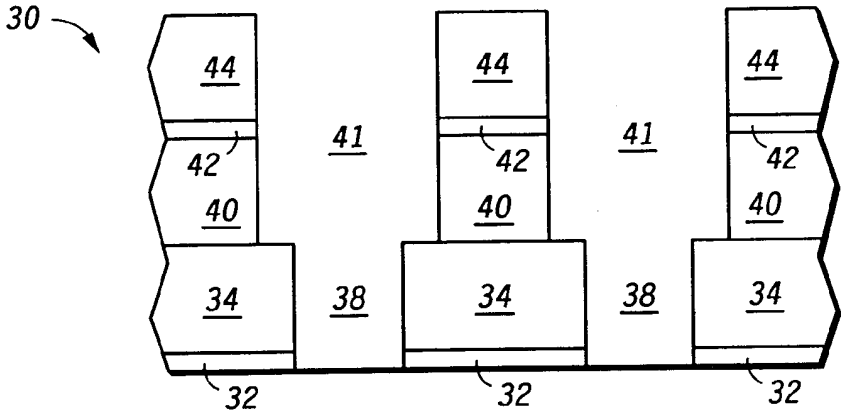

30
44
44
44
41
41
42
42
42
40
40
40
34
38
34
38
34
32
32
32

图 10

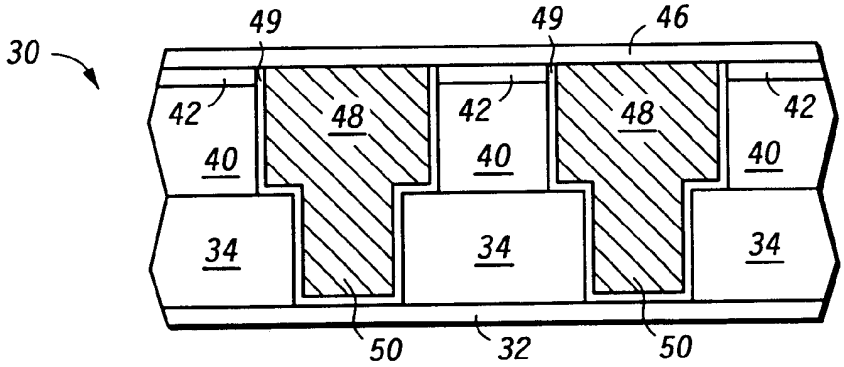

30
49
49
46
42
48
42
48
42
40
40
40
34
34
34
50
32
50

图 11

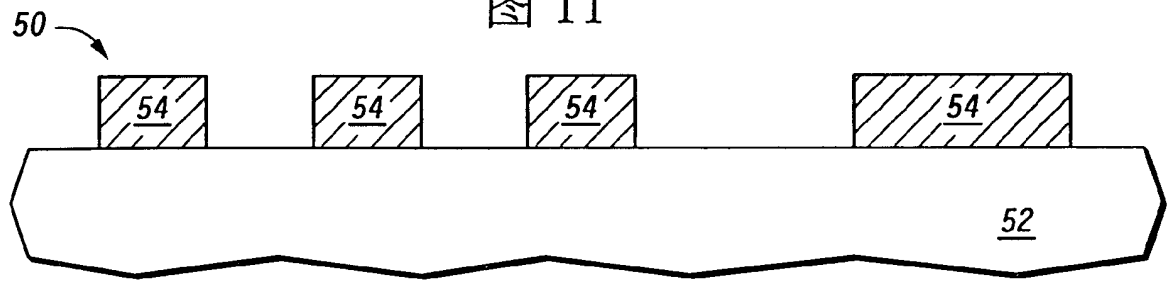


图 12

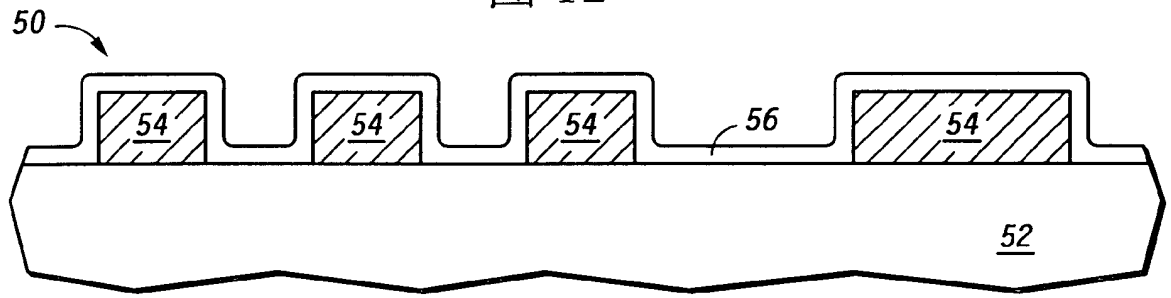


图 13

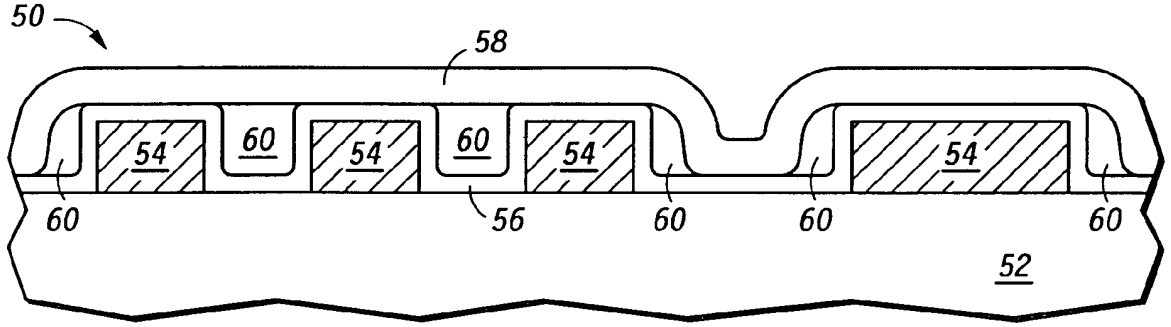


图 14

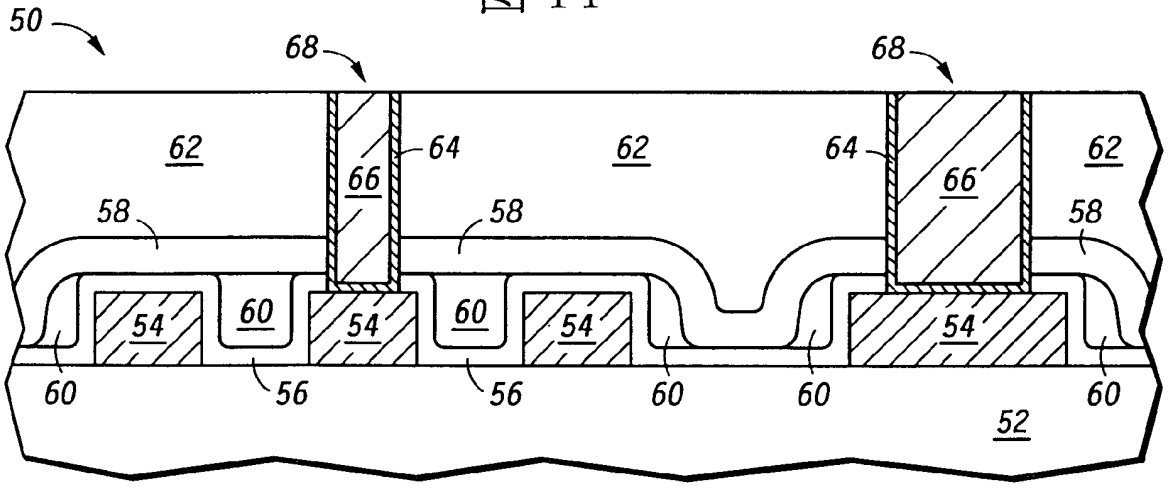


图 15

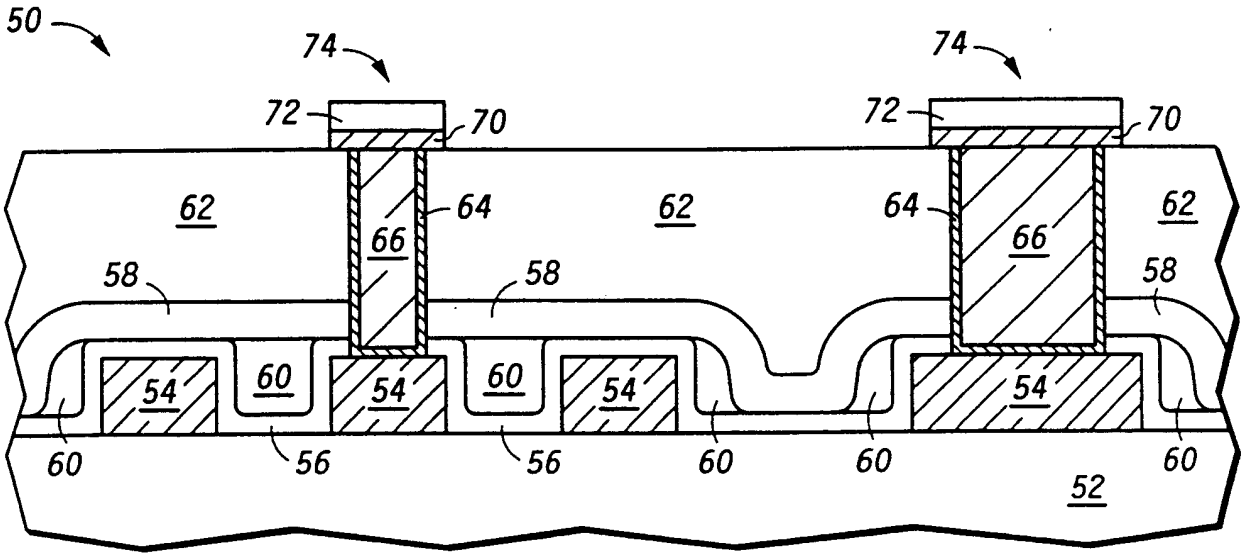
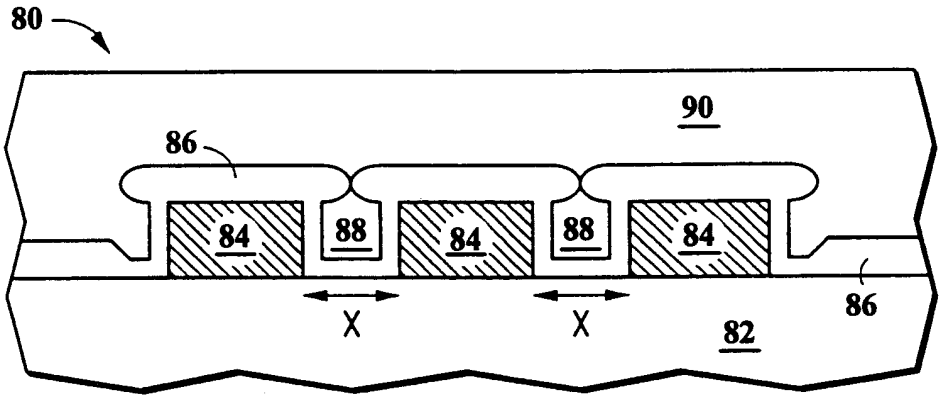

50
74
74
72
70
72
70
62
64
62
64
62
66
66
58
58
58
54
60
54
60
54
54
60
60
60
60
56
56
52

图 16


80
90
86
84
88
84
88
84
86
X
X
82