

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-102798

(P2011-102798A)

(43) 公開日 平成23年5月26日(2011.5.26)

(51) Int.Cl.

G O 1 R 31/3183 (2006.01)

F I

G O 1 R 31/28

Q

テーマコード (参考)

2 G 1 3 2

審査請求 未請求 請求項の数 15 O L (全 20 頁)

(21) 出願番号 特願2010-242747 (P2010-242747)
 (22) 出願日 平成22年10月28日 (2010.10.28)
 (31) 優先権主張番号 12/616, 451
 (32) 優先日 平成21年11月11日 (2009.11.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390005175
 株式会社アドバンテスト
 東京都練馬区旭町 1 丁目 3 2 番 1 号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 川端 雅之
 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式
 会社アドバンテスト内
 (72) 発明者 岡安 俊幸
 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式
 会社アドバンテスト内
 Fターム(参考) 2G132 AA11 AE06 AE08 AE14 AG04
 AL00 AL32

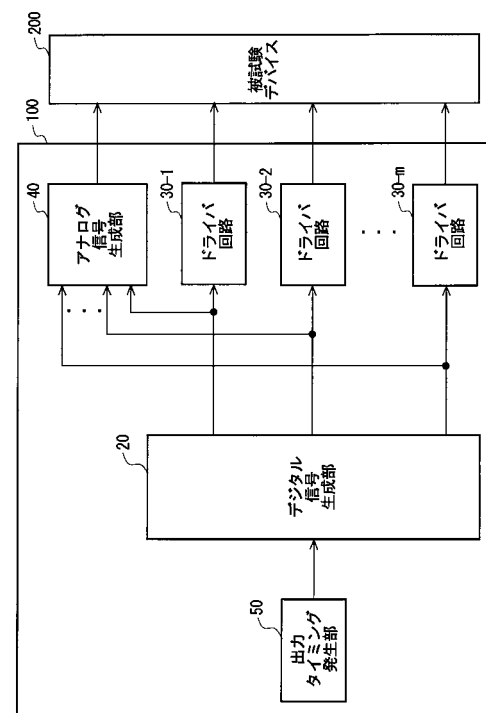
(54) 【発明の名称】 試験装置および電子デバイス

(57) 【要約】

【課題】 デジタル多重信号からアナログ試験信号を生成する。

【解決手段】 被試験デバイスを試験する試験装置であって、 n ビット（但し、 n は1以上の整数）のデジタル試験信号を1つ以上並列に出力するデジタル信号生成部と、被試験デバイスの複数のデジタル端子にそれぞれ接続される m 個のドライバ回路と、デジタル信号生成部が出力するデジタル試験信号に基づく $n \times m$ ビット（但し、 m は2以上の整数）のデジタル多重信号をアナログ信号に変換してアナログ試験信号を生成するアナログ信号生成部とを備える試験装置を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

被試験デバイスを試験する試験装置であって、
n ビット（但し、n は 1 以上の整数）のデジタル試験信号を 1 つ以上並列に出力するデジタル信号生成部と、
前記被試験デバイスの複数のデジタル端子にそれぞれ接続される複数のドライバ回路と、
前記デジタル信号生成部が前記複数のドライバ回路に対して出力する前記デジタル試験信号に基づく $n \times m$ ビット（但し、m は 2 以上の整数）のデジタル多重信号をアナログ信号に変換してアナログ試験信号を生成するアナログ信号生成部と
を備える試験装置。

10

【請求項 2】

前記デジタル試験信号の論理値を変化させる出力タイミング信号を生成する出力タイミング発生部をさらに備え、
前記デジタル信号生成部は、前記出力タイミング信号に基づいて、前記デジタル多重信号を前記アナログ信号生成部および前記複数のドライバ回路に入力する請求項 1 に記載の試験装置。

【請求項 3】

前記アナログ信号生成部は、前記出力タイミング発生部から前記出力タイミング信号を取得し、前記出力タイミング信号のエッジタイミングで前記デジタル多重信号をアナログ試験信号に変換する請求項 2 に記載の試験装置。

20

【請求項 4】

前記アナログ信号生成部は、前記デジタル試験信号のうちの 1 つの前記デジタル試験信号のエッジタイミングで、前記デジタル多重信号をアナログ試験信号に変換する請求項 1 から 3 のいずれか一項に記載の試験装置。

【請求項 5】

前記アナログ信号生成部は、前記デジタル試験信号のビット周期の $1/n$ 倍の周期で前記デジタル多重信号を前記アナログ試験信号に変換する請求項 1 から 4 のいずれか一項に記載の試験装置。

【請求項 6】

前記アナログ信号生成部は、前記複数のドライバ回路のうちの一つに入力される n ビット幅のデジタル試験信号に基づいて $n \times m$ ビット周期ごとにデジタル多重信号を生成する請求項 1 から 5 のいずれか一項に記載の試験装置。

30

【請求項 7】

前記被試験デバイスのデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する複数のコンパレータと、
それぞれの前記比較結果と予め定められた期待値とを比較した比較データを出力する複数のデジタル信号比較部と、

対応する前記比較データを記憶する複数の記憶部と、

前記被試験デバイスのアナログ出力端子から出力されるアナログ信号を受け、前記アナログ信号を $k \times m$ ビット（ただし、k は 1 以上の整数）のデジタル変換信号に変換し、前記デジタル変換信号を m 個に分割した分割データを前記複数のデジタル信号比較部のそれぞれに入力するアナログ信号受信部と

40

をさらに備え、

前記複数のデジタル信号比較部のそれぞれは、前記分割データを前記複数の記憶部のいずれかに記憶させる請求項 1 から 6 のいずれか一項に記載の試験装置。

【請求項 8】

前記被試験デバイスのデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する複数のコンパレータと、

それぞれの前記比較結果と予め定められた期待値とを比較した比較データを出力する複

50

数のデジタル信号比較部と、

対応する前記比較データを記憶する複数の記憶部と、

前記被試験デバイスのアナログ出力端子から出力されるアナログ信号を受け、前記アナログ信号を $k \times m$ ビット（ただし、 k は 1 以上の整数）のデジタル変換信号に変換し、前記デジタル変換信号を m 個に分割した分割データを前記複数のデジタル信号比較部のそれぞれに inputs するアナログ信号受信部と

をさらに備え、

前記複数のデジタル信号比較部のそれぞれは、前記分割データと前記予め定められた期待値とを比較した比較データを前記複数の記憶部のいずれかに記憶させる請求項 1 から 6 のいずれか一項に記載の試験装置。

【請求項 9】

前記アナログ信号生成部は、デジタルアナログ変換器と低域通過出力フィルタとを有し、

前記デジタルアナログ変換器は、前記デジタル多重信号を前記アナログ試験信号に変換し、前記低域通過出力フィルタを介して、前記アナログ試験信号を前記被試験デバイスのアナログ入力端子に inputs し、

前記アナログ信号受信部は、低域通過入力フィルタとアナログデジタル変換器とを有し、

前記アナログデジタル変換器は、前記低域通過入力フィルタを介して前記被試験デバイスのアナログ端子から出力されたアナログ信号を受け取り、前記デジタル端子から出力される信号の論理値の変化タイミングに同期した入力タイミング信号に応じて前記デジタル変換信号に変換する請求項 7 または 8 に記載の試験装置。

【請求項 10】

前記低域通過出力フィルタおよび前記低域通過入力フィルタとして機能する低域通過フィルタを備え、

前記被試験デバイスのアナログ端子に前記アナログ試験信号を inputs する場合には、前記低域通過フィルタは前記デジタルアナログ変換器が出力する前記アナログ試験信号の inputs を受けて前記アナログ端子に出力し、

前記被試験デバイスのアナログ端子から出力されるアナログ信号を受ける場合には、前記低域通過フィルタは前記アナログ端子から受けたアナログ信号を受けて前記アナログデジタル変換器に出力する請求項 9 に記載の試験装置。

【請求項 11】

前記デジタルアナログ変換器の出力信号および前記アナログ端子の出力信号のいずれを前記低域通過フィルタに inputs するかを切り替える入力切替部と、

前記低域通過フィルタが出力する信号を前記アナログデジタル変換器および前記アナログ端子のいずれに inputs するかを切り替える出力切替部と

をさらに備え、

前記アナログ信号生成部が前記アナログ端子に前記アナログ試験信号を inputs する場合には、前記入力切替部は前記デジタルアナログ変換器の出力信号を前記低域通過フィルタに inputs し、かつ、前記出力切替部は前記低域通過フィルタが出力する信号を前記アナログ端子に inputs し、

前記アナログ信号受信部が、前記アナログ端子が出力する信号を受信する場合には、前記入力切替部は前記アナログ端子の出力信号を前記低域通過フィルタに inputs し、かつ、前記出力切替部は前記低域通過フィルタが出力する信号を前記アナログデジタル変換器に inputs する請求項 10 に記載の試験装置。

【請求項 12】

前記アナログ端子に前記アナログ信号生成部を接続するか否かを切り替える入出力切替部と

をさらに備え、

前記入出力切替部が前記アナログ端子に前記アナログ信号生成部を接続する場合には、

10

20

30

40

50

前記入力切替部は前記デジタルアナログ変換器の出力信号を前記低域通過フィルタに入力し、かつ、前記出力切替部は前記低域通過フィルタが出力する信号を前記アナログ端子に入力し、

前記入出力切替部が前記アナログ端子に前記アナログ信号生成部を接続しない場合には、前記入力切替部は前記アナログ端子の出力信号を前記低域通過フィルタに入力し、かつ、前記出力切替部は前記低域通過フィルタが出力する信号を前記アナログデジタル変換器に入力する請求項 1 1 に記載の試験装置。

【請求項 1 3】

被試験デバイスのデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する複数のコンパレータと、

それぞれの前記比較結果と予め定められた期待値とを比較した比較データを出力する複数のデジタル信号比較部と、

対応する前記比較データを記憶する記憶部と、

前記被試験デバイスのアナログ出力端子から出力されるアナログ信号を受け、前記アナログ信号を $k \times m$ ビット（ただし、 k は 1 以上の整数）のデジタル変換信号に変換し、前記デジタル変換信号を m 個に分割した分割データを前記複数のデジタル信号比較部のそれぞれに入力するアナログ信号受信部と

を備え、

前記複数のデジタル信号比較部のそれぞれは、前記分割データを前記記憶部に記憶させる試験装置。

【請求項 1 4】

被試験デバイスのデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する複数のコンパレータと、

それぞれの前記比較結果と予め定められた期待値とを比較した比較データを出力する複数のデジタル信号比較部と、

対応する前記比較データを記憶する記憶部と、

前記被試験デバイスのアナログ出力端子から出力されるアナログ信号を受け、前記アナログ信号を $k \times m$ ビット（ただし、 k は 1 以上の整数）のデジタル変換信号に変換し、前記デジタル変換信号を m 個に分割した分割データを前記複数のデジタル信号比較部のそれぞれに入力するアナログ信号受信部と

を備え、

前記複数のデジタル信号比較部のそれぞれは、前記分割データと予め定められた期待値とを比較した比較データを前記記憶部に記憶させる試験装置。

【請求項 1 5】

n ビット（但し、 n は 1 以上の整数）のデジタル試験信号を 1 つ以上並列に出力するデジタル信号生成部と、

被試験デバイスの複数のデジタル端子にそれぞれ接続される複数のドライバ回路と、

前記デジタル信号生成部が前記複数のドライバ回路に対して出力する前記デジタル試験信号に基づく $n \times m$ ビット（但し、 m は 2 以上の整数）のデジタル多重信号をアナログ信号に変換してアナログ試験信号を生成するアナログ信号生成部と

を備える電子デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置および電子デバイスに関する。

【背景技術】

【0002】

試験装置は、電子デバイス等の被試験デバイスに予め定められた試験パターンの試験信号を入力し、当該試験信号に応じて被試験デバイスが出力する信号を期待値と比較することにより被試験デバイスの良否を判定する（例えば、引用文献 1 参照）。

10

20

30

40

50

引用文献 1 国際公開第 2000/058741 号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0003】

ところが、被試験デバイスがデジタル回路およびアナログ回路を有する場合、試験装置は、デジタル回路にはデジタル試験信号を入力し、アナログ回路にはアナログ試験信号を入力する。試験装置は、デジタル試験信号を生成する回路およびアナログ試験信号を生成する回路を備えるので、回路規模が大きくなるという課題がある。

【0004】

また、デジタル試験信号を被試験デバイスに入力する場合と、アナログ試験信号を被試験デバイスに入力する場合とで、被試験デバイスに供給するドライバ回路を共用する試験装置においては、一つのドライバ回路がデジタル信号出力機能とアナログ信号出力機能とを有している。従って、ドライバ回路の規模を抑えながらデジタル試験信号に求められる性能とアナログ試験信号に求められる性能とを両立させることが困難である。また、被試験デバイスの一つのデジタル端子に入力するデジタル試験信号パターンを用いてアナログ試験信号を生成するので、高い周波数のアナログ試験信号を生成することができないという課題があった。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の第 1 の態様においては、被試験デバイスを試験する試験装置であって、 n ビット（但し、 n は 1 以上の整数）のデジタル試験信号を 1 つ以上並列に出力するデジタル信号生成部と、被試験デバイスの複数のデジタル端子にそれぞれ接続される複数のドライバ回路と、デジタル信号生成部が複数のドライバ回路に対して出力するデジタル試験信号に基づく $n \times m$ ビット（但し、 m は 2 以上の整数）のデジタル多重信号をアナログ信号に変換してアナログ試験信号を生成するアナログ信号生成部とを備える試験装置を提供する。

【0006】

試験装置は、デジタル試験信号の論理値を変化させる出力タイミング信号を生成する出力タイミング発生部をさらに備え、デジタル信号生成部は、出力タイミング信号に基づいて、デジタル多重信号をアナログ信号生成部および複数のドライバ回路に入力してもよい。

【0007】

アナログ信号生成部は、例えば、デジタル試験信号のうちの 1 つのデジタル試験信号のエッジタイミングで、デジタル多重信号をアナログ試験信号に変換する。アナログ信号生成部は、デジタル試験信号のビット周期の $1/n$ 倍の周期でデジタル多重信号をアナログ試験信号に変換してもよい。アナログ信号生成部は、出力タイミング発生部から出力タイミング信号を取得し、出力タイミング信号のエッジタイミングでデジタル多重信号をアナログ試験信号に変換してもよい。また、アナログ信号生成部は、複数のドライバ回路のうちの一つに入力される n ビット幅のデジタル試験信号に基づいて、 $n \times m$ ビット周期ごとにデジタル多重信号を生成してもよい。

【0008】

試験装置は、被試験デバイスのデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する複数のコンパレータと、それぞれの比較結果と予め定められた期待値とを比較した比較データを出力する複数のデジタル信号比較部と、対応する比較データを記憶する複数の記憶部と、被試験デバイスのアナログ出力端子から出力されるアナログ信号を受け、アナログ信号を $k \times m$ ビット（ただし、 k は 1 以上の整数）のデジタル変換信号に変換し、デジタル変換信号を m 個に分割した分割データをそれぞれのデジタル信号比較部に入力するアナログ信号受信部とをさらに備え、それぞれのデジタル信号比較部は、分割データを複数の記憶部のいずれかに記憶させてもよい。また、デジタル信号比較部は、分割データと予め定められた期待値とを比

10

20

30

40

50

較した比較データを複数の記憶部のいずれかに記憶させてもよい。

【0009】

アナログ信号生成部は、例えば、デジタルアナログ変換器と低域通過出力フィルタとを有し、デジタルアナログ変換器は、デジタル多重信号をアナログ試験信号に変換し、低域通過出力フィルタを介して、アナログ試験信号を被試験デバイスのアナログ入力端子に投入し、アナログ信号受信部は、低域通過入力フィルタとアナログデジタル変換器とを有し、アナログデジタル変換器は、低域通過入力フィルタを介して被試験デバイスのアナログ端子から出力されたアナログ信号を受け取り、デジタル端子から出力される信号の論理値の変化タイミングに同期した入力タイミング信号に応じてデジタル変換信号に変換する。

【0010】

試験装置は、低域通過出力フィルタおよび低域通過入力フィルタとして機能する低域通過フィルタを備え、被試験デバイスのアナログ端子にアナログ試験信号を入力する場合には、低域通過フィルタはデジタルアナログ変換器が出力するアナログ試験信号の入力を受けてアナログ端子に出力し、被試験デバイスのアナログ端子から出力されるアナログ信号を受ける場合には、低域通過フィルタはアナログ端子から受けたアナログ信号を受けてアナログデジタル変換器に出力してもよい。

【0011】

また、試験装置は、デジタルアナログ変換器の出力信号およびアナログ端子の出力信号のいずれを低域通過フィルタに入力するかを切り替える入力切替部と、低域通過フィルタが出力する信号をアナログデジタル変換器およびアナログ端子のいずれに入力するかを切り替える出力切替部とをさらに備え、アナログ信号生成部がアナログ端子にアナログ試験信号を入力する場合には、入力切替部はデジタルアナログ変換器の出力信号を低域通過フィルタに入力し、かつ、出力切替部は低域通過フィルタが出力する信号をアナログ端子に投入し、アナログ信号受信部が、アナログ端子が出力する信号を受信する場合には、入力切替部はアナログ端子の出力信号を低域通過フィルタに入力し、かつ、出力切替部は低域通過フィルタが出力する信号をアナログデジタル変換器に入力してもよい。

【0012】

さらに、試験装置は、アナログ端子にアナログ信号生成部を接続するか否かを切り替える入出力切替部とをさらに備え、入出力切替部がアナログ端子にアナログ信号生成部を接続する場合には、入力切替部はデジタルアナログ変換器の出力信号を低域通過フィルタに入力し、かつ、出力切替部は低域通過フィルタが出力する信号をアナログ端子に投入し、入出力切替部がアナログ端子にアナログ信号生成部を接続しない場合には、入力切替部はアナログ端子の出力信号を低域通過フィルタに入力し、かつ、出力切替部は低域通過フィルタが出力する信号をアナログデジタル変換器に入力してもよい。

【0013】

本発明の第2の態様においては、被試験デバイスのデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する複数のコンパレータと、それぞれの比較結果と予め定められた期待値とを比較した比較データを出力する複数のデジタル信号比較部と、対応する比較データを記憶する記憶部と、被試験デバイスのアナログ出力端子から出力されるアナログ信号を受け、アナログ信号を $k \times m$ ビット（ただし、 k は1以上の整数）のデジタル変換信号に変換し、デジタル変換信号を m 個に分割した分割データをそれぞれのデジタル信号比較部に入力するアナログ信号受信部とを備え、それぞれのデジタル信号比較部は、分割データを記憶部に記憶させる試験装置を提供する。デジタル信号比較部は、分割データと予め定められた期待値とを比較した比較データを記憶部に記憶させてもよい。

【0014】

本発明の第3の態様においては、 n ビット（但し、 n は1以上の整数）のデジタル試験信号を1つ以上並列に出力するデジタル信号生成部と、被試験デバイスの複数のデジタル端子にそれぞれ接続される複数のドライバ回路と、デジタル信号生成部が複数のドライバ回路に対して出力するデジタル試験信号に基づく $n \times m$ ビット（但し、 m は2以上の整数

10

20

30

40

50

）のデジタル多重信号をアナログ信号に変換してアナログ試験信号を生成するアナログ信号生成部とを備える電子デバイスを提供する。

【００１５】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【００１６】

【図１】本実施形態に係る試験装置１００および被試験デバイス２００の構成を示す。

【図２Ａ】デジタル試験信号およびアナログ試験信号の関係の一例である。

【図２Ｂ】図２Ａのデジタル試験信号のうちの一つのデジタル試験信号のエッジタイミングで変換したアナログ試験信号を示す。

10

【図２Ｃ】デジタル試験信号が２ビット幅の場合に生成されるアナログ試験信号を示す。

【図２Ｄ】デジタル試験信号が２ビット幅の場合に生成されるアナログ試験信号の他の一例を示す。

【図３】試験装置１００の構成の他の一例を示す。

【図４】試験装置１００の構成の他の一例を示す。

【図５】試験装置１００の構成の他の一例を示す。

【図６】デジタル信号比較部７０の構成の一例を示す。

【図７】アナログ信号生成部４０の構成の一例を示す。

【図８】アナログ信号受信部９０の構成の一例を示す。

20

【図９Ａ】アナログ信号生成部４０およびアナログ信号受信部９０の構成の他の一例を示す。

【図９Ｂ】アナログ信号生成部４０およびアナログ信号受信部９０の構成の他の一例を示す。

【図９Ｃ】アナログ信号生成部４０およびアナログ信号受信部９０の構成の他の一例を示す。

【図１０Ａ】アナログ信号生成部４０およびアナログ信号受信部９０の構成の他の一例を示す。

【図１０Ｂ】アナログ信号生成部４０およびアナログ信号受信部９０の構成の他の一例を示す。

30

【図１１】アナログ信号生成部４０およびアナログ信号受信部９０の構成の他の一例を示す。

【発明を実施するための形態】

【００１７】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【００１８】

図１は、本実施形態に係る試験装置１００および被試験デバイス２００の構成を示す。試験装置１００は、試験信号を被試験デバイス２００に入力する。試験装置１００は、試験信号に応じて被試験デバイス２００が出力する信号に基づいて被試験デバイス２００の良否を判定する。

40

【００１９】

試験装置１００は、あらかじめメモリ等に記憶させた試験パターンに応じて論理値が変化するデジタル試験信号を被試験デバイス２００の複数のデジタル端子に入力する。試験装置１００は、デジタル試験信号に応じて被試験デバイス２００のデジタル端子から出力されるデジタル信号を予め定められた期待値と比較することにより、被試験デバイス２００が有するデジタル回路の良否を判定してよい。

【００２０】

また、試験装置１００は、予め定められたアナログ試験信号を被試験デバイス２００の

50

アナログ端子に入力する。試験装置 100 は、アナログ試験信号に応じて被試験デバイス 200 のアナログ端子から出力されるアナログ信号を予め定められた期待値と比較することにより、被試験デバイス 200 が有するアナログ回路の良否を判定してもよい。

【0021】

試験装置 100 は、デジタル信号生成部 20、 m 個 (m は 2 以上の整数) のドライバ回路 30 (30-1、30-2、 $\dots$ 、30- m)、アナログ信号生成部 40、および出力タイミング発生部 50 を備える。デジタル信号生成部 20 は n ビット (但し、 n は 1 以上の整数) のデジタル試験信号を 1 つ以上並列に出力する。デジタル信号生成部 20 はあらかじめメモリに記憶された試験パターンに応じて、例えば「0」または「1」に論理値が変化するデジタル試験信号を生成する。デジタル信号生成部 20 は、被試験デバイス 200 のそれぞれのデジタル端子に対して、「0」または「1」のいずれかの論理値に対応する電圧に順次変化する 1 ビット幅のデジタル試験信号を出力してよい。

10

【0022】

デジタル信号生成部 20 は、被試験デバイス 200 のそれぞれのデジタル端子に対応する、複数ビット幅のデジタル試験信号を出力してもよい。例えば、 $n = 2$ の場合、デジタル信号生成部 20 は $n^2 = 4$ 種類の論理値を有するデジタル試験信号を出力する。

【0023】

また、デジタル信号生成部 20 は、複数ビット幅のうちの一部のビットにドライバ回路 30 を制御する信号を含めてもよい。例えば、デジタル信号生成部 20 は、複数ビット幅のうち 1 ビットを用いて、ドライバ回路 30 をイネーブルにするか否かを制御する。

20

【0024】

ドライバ回路 30 は、被試験デバイス 200 の複数のデジタル端子にそれぞれ接続される。それぞれのドライバ回路 30 はデジタル信号生成部 20 からデジタル試験信号を受け取り、被試験デバイス 200 の対応するデジタル端子にデジタル試験信号を入力する。

【0025】

アナログ信号生成部 40 は、それぞれのドライバ回路 30 と並列にデジタル信号生成部 20 に接続される。アナログ信号生成部 40 は、デジタル信号生成部 20 が出力するデジタル試験信号に基づく $n \times m$ ビットのデジタル多重信号をアナログ信号に変換してアナログ試験信号を生成する。アナログ信号生成部 40 は、生成したアナログ試験信号を被試験デバイス 200 のアナログ端子に入力する。

30

【0026】

具体的には、アナログ信号生成部 40 は、デジタル信号生成部 20 が出力する m 個のドライバ回路 30 に対して出力される n ビット幅のデジタル多重信号を受ける。例えば、アナログ信号生成部 40 は、 $n = 1$ の場合には、ドライバ回路 30-1 に対応するデジタル試験信号を最下位ビット、ドライバ回路 30- m に対応するデジタル試験信号を最上位ビットとする m ビット幅のデジタル多重信号を受ける。

【0027】

アナログ信号生成部 40 は、当該デジタル多重信号を一定の時間間隔でアナログ信号に変換する。例えば、アナログ信号生成部 40 は m ビットのデジタル多重信号から 2^m の階調を有するアナログ試験信号を生成する。具体的には、 $n = 1$ で $m = 8$ の場合には、アナログ信号生成部 40 は $2^8 = 256$ 階調のアナログ試験信号を生成する。

40

【0028】

1 階調に相当する電圧幅が 0.01 V の場合、アナログ信号生成部 40 は 8 ビット幅のデータを受けて、0 V 以上 2.55 V 以下の電圧のアナログ試験信号を生成してよい。例えば、アナログ信号生成部 40 はデジタル信号生成部 20 から「10000000」のデータを受け取ると、1.28 V のアナログ試験信号を生成する。

【0029】

アナログ信号生成部 40 は、 $2^{n \times m}$ の値に応じた階調数のアナログ試験信号を生成してよい。例えば、 $n = 2$ 、 $m = 6$ の場合には、アナログ信号生成部 40 は $2^{12} = 4096$ 階調のアナログ試験信号を生成する。アナログ信号生成部 40 は、デジタル多重信号の

50

値に単位階調に相当する電圧差を乗算した電圧のアナログ試験信号を生成してよい。アナログ信号生成部40は、デジタル多重信号の値に対応する電圧値を格納したテーブルに基づいて、デジタル多重信号に対して非線形に電圧値が変化するアナログ試験信号に変換してもよい。

【0030】

アナログ信号生成部40は一定の時間間隔でデジタル試験信号を受け取りアナログ試験信号に変換することにより、時間間隔に応じた周波数のアナログ試験信号を生成することができる。例えば、デジタル信号生成部20が1GHzの周波数のデジタル試験信号を出力する場合、標本化定理から明らかなように、アナログ信号生成部40は500MHz以下の周波数のアナログ試験信号を生成することができる。

10

【0031】

出力タイミング発生部50は、デジタル試験信号の論理値を変化させる出力タイミング信号を生成する。デジタル信号生成部20は、出力タイミング信号に基づいて、デジタル試験信号をアナログ信号生成部40および複数のドライバ回路30に入力してよい。例えば、被試験デバイス200の動作周波数が1GHzである場合、出力タイミング発生部50は1GHzの周期1psごとに発生するエッジを有する出力タイミング信号を生成する。デジタル信号生成部20は、当該出力タイミング信号のエッジタイミングで試験パターンに応じた論理値に変化するデジタル試験信号を生成する。

【0032】

一例として、アナログ信号生成部40は、デジタル試験信号のうちの1つのエッジタイミングでデジタル多重信号をアナログ試験信号に変換する。具体的には、アナログ信号生成部40は、ドライバ回路30-1に入力されるデジタル試験信号のエッジタイミングで、ドライバ回路30-2からドライバ回路30-mに対応する $n \times (m-1)$ ビット幅のデジタル多重信号をアナログ試験信号に変換してよい。例えば、ドライバ回路30-1に入力されるデジタル試験信号のパターンが「010101・・・」である場合、アナログ信号生成部40は、当該デジタル試験信号の論理値が「0」から「1」に変化するタイミングで、デジタル多重信号をアナログ試験信号に変換する。

20

【0033】

以上のように、試験装置100は、被試験デバイス200の複数のデジタル端子に入力されるデジタル試験信号を用いてアナログ試験信号を生成することができる。つまり、試験装置100は、アナログ回路を有する被試験デバイス200を試験する場合に、任意波形発生器として機能する。アナログ信号生成部40が複数のドライバ回路30とデジタル信号生成部20を共用することにより、試験装置100は回路規模を低減することができる。

30

【0034】

従って、試験装置100は、回路規模を抑えながら、被試験デバイス200の試験内容に応じて、同時に出力するデジタル試験信号の数とアナログ試験信号の数との割合を最適に配分することができる。また、試験装置100は、被試験デバイス200のアナログ回路の試験に適した特性を有し、かつ、高い周波数のアナログ試験信号を出力することができる。

40

【0035】

試験装置100は、被試験デバイス200が有するデジタル端子およびアナログ端子の数に応じて、アナログ信号生成部40が共用するドライバ回路30の数を選択してもよい。また、試験装置100は、被試験デバイス200の試験に必要なアナログ試験信号の電圧値および階調数に応じて、アナログ信号生成部40が共用するドライバ回路30の数を選択してもよい。

【0036】

図2Aは、デジタル試験信号およびアナログ試験信号の関係の一例である。同図は、 $n=1$ 、 $m=8$ の場合を示す。同図において、サイクル番号は、デジタル信号生成部20がデジタル試験信号の出力を開始してから何番目のデータであるかを示す。デジタル試験信

50

号 k は、ドライバ回路 30- k に入力されるデジタル試験信号を示す。

【0037】

図 2 A において、アナログ信号生成部 40 は、デジタル試験信号の論理値が変化するタイミングごとに、デジタル多重信号をアナログ試験信号に変換する。例えば、サイクル番号が「1」において、ドライバ回路 30-1 からドライバ回路 30-8 に対応するデジタル試験信号を多重化したデジタル多重信号は 01111000 である。

【0038】

アナログ信号生成部 40 は、デジタル多重信号の値に単位階調あたりの電圧幅を乗算した値の電圧を有するアナログ試験信号を生成する。01111000 は 10 進数の 120 に相当する。従って、アナログ信号生成部 40 は、単位階調あたりの電圧幅が 0.01 V である場合には、当該サイクルにおいて 1.2 V の電圧のアナログ試験信号を生成してよい。

10

【0039】

アナログ信号生成部 40 は、後続のそれぞれのサイクルにおいて、デジタル多重信号の値に対応する電圧のアナログ試験信号にデジタル多重信号を変換する。つまり、アナログ信号生成部 40 は、順次 113、166、165、92、・・・に 0.01 V を乗算した値の電圧のアナログ試験信号を生成する。以上のようにして、アナログ信号生成部 40 は複数のドライバ回路 30 に対応するデジタル試験信号を用いてアナログ試験信号を生成することができる。

【0040】

20

図 2 B は、図 2 A のデジタル試験信号のうちの一つのデジタル試験信号のエッジタイミングで変換したアナログ試験信号を示す。アナログ信号生成部 40 は、ドライバ回路 30-1 に入力されるデジタル試験信号が 0 から 1 に変化するエッジタイミングで、ドライバ回路 30-2 からドライバ回路 30-8 が出力する 7 ビットのデジタル多重信号をアナログ試験信号に変換する。

【0041】

例えば、サイクル番号が「1」および「2」の期間において、ドライバ回路 30-1 に入力されるデジタル試験信号 1 が「0」から「1」に変化する。アナログ信号生成部 40 は、デジタル試験信号 1 が「0」から「1」に変化するタイミングで、デジタル試験信号 2 からデジタル試験信号 8 までの 7 ビット幅のデータ 0111100 に対応する値の電圧のアナログ試験信号を生成する。

30

【0042】

図 2 B において、アナログ信号生成部 40 は、順次、7 ビット幅のデジタル多重データを 10 進数に変換した値である 108、83、46、84 に 0.01 V を乗算した電圧のアナログ試験信号を生成する。この場合、図 2 A の場合に比べると、階調数が 256 から 128 に低減するとともに、生成されるアナログ試験信号の周波数が $1/2$ になることがわかる。

【0043】

図 2 C は、デジタル試験信号が 2 ビット幅の場合に生成されるアナログ試験信号を示す。同図において、アナログ信号生成部 40 は、ドライバ回路 30-1 からドライバ回路 30-4 に入力される 2×4 ビットのデジタル多重信号をアナログ試験信号に変換する。

40

【0044】

例えば、サイクル番号「1」においては、ドライバ回路 30-1 からドライバ回路 30-4 のそれぞれに対応して、アナログ信号生成部 40 は 00、10、11、01 の 2 ビットデータを受け取る。アナログ信号生成部 40 は、当該 2 ビットデータに基づく 01111000 をデジタル多重信号としてよい。アナログ信号生成部 40 は、デジタル多重信号 01111000 に対応する電圧のアナログ試験信号を生成する。

【0045】

図 2 D は、デジタル試験信号が 2 ビット幅の場合に生成されるアナログ試験信号の他の一例を示す。デジタル信号生成部 20 が出力するデジタル試験信号が n ビット幅の場合、

50

アナログ信号生成部 40 は、デジタル試験信号のビット周期の $1/n$ 倍の周期でデジタル多重信号をアナログ試験信号に変換してよい。ここで、デジタル試験信号のビット周期とは、デジタル試験信号の論理値が変化するタイミングの最小の間隔である。図 2 D においては、アナログ信号生成部 40 は、デジタル試験信号の論理値が変化するタイミング間隔の $1/2$ のタイミング間隔でデジタル多重信号をアナログ試験信号に変換する。

【0046】

具体的には、アナログ信号生成部 40 は、デジタル信号生成部 20 から受け取ったそれぞれのドライバ回路 30 に対応するデジタル試験信号をパラレル／シリアル変換する。アナログ信号生成部 40 は、パラレル／シリアル変換した 4 ビットのデジタル多重信号をアナログ試験信号に変換する。

10

【0047】

例えば、サイクル番号 1 においては、ドライバ回路 30-1 からドライバ回路 30-4 のそれぞれに対応して、アナログ信号生成部 40 は 00、10、11、01 の 2 ビットデータを受け取る。アナログ信号生成部 40 は、当該サイクル内において、それぞれの 2 ビットデータの最下位ビットからなる 4 ビットデータに相当する電圧のアナログ試験信号を生成する。続いて、同一のサイクル内において、それぞれの 2 ビットデータの最上位ビットからなる 4 ビットデータに対応する電圧のアナログ試験信号を生成する。以上の動作により、アナログ信号生成部 40 はデジタル試験信号の周波数よりも高い周波数のアナログ試験信号を生成することができる。

【0048】

20

図 3 は、試験装置 100 の構成の他の一例を示す。同図において、アナログ信号生成部 40 は、出力タイミング発生部 50 から出力タイミング信号を取得する。アナログ信号生成部 40 は、出力タイミング発生部 50 から取得した出力タイミング信号のエッジタイミングでデジタル多重信号をアナログ試験信号に変換する。本構成においては、アナログ信号生成部 40 はデジタル信号生成部 20 が出力するすべてのデジタル試験信号を用いてアナログ試験信号を生成することができるので、図 1 の構成に比べてアナログ試験信号の階調数を増やすことができる。

【0049】

図 4 は、試験装置 100 の構成の他の一例を示す。同図において、アナログ信号生成部 40 は、出力タイミング発生部 50 が出力する出力タイミング信号のエッジタイミングで、ドライバ回路 30-1 に入力される複数ビット幅のデジタル試験信号をアナログ試験信号に変換する。例えば、デジタル信号生成部 20 がドライバ回路 30-1 に対して 8 ビット幅のデジタル試験信号を出力する場合、アナログ信号生成部 40 は当該デジタル試験信号に基づいて 256 階調のアナログ試験信号を生成することができる。

30

【0050】

アナログ信号生成部 40 は、複数のドライバ回路のうちの一つに入力される n ビット幅のデジタル試験信号に基づいて、 $n \times m$ ビット周期ごとにシリアル／パラレル変換することによりデジタル多重信号を生成してもよい。具体的には、アナログ信号生成部 40 は、ドライバ回路 30-1 に入力されるデジタル多重信号を、アナログ試験信号の階調数に応じたビット数ごとにシリアル／パラレル変換してよい。より具体的には、アナログ信号生成部 40 は、アナログ試験信号の階調数が $2^{n \times m}$ である場合に、デジタル試験信号を $n \times m$ ビットごとにシリアル／パラレル変換してよい。

40

【0051】

例えば、アナログ信号生成部 40 は、 $2^8 = 256$ 階調のアナログ試験信号を生成する場合、0000111100110011 のデジタル試験信号から「00001111」、「00110011」の複数の 8 ビットのデジタル多重信号を生成する。アナログ信号生成部 40 は、生成したデジタル多重信号に対応する値の電圧のアナログ試験信号を生成してよい。

【0052】

図 5 は、試験装置 100 の構成の他の一例を示す。同図において、試験装置 100 は、

50

入力タイミング発生部 52、コンパレータ 60 (60-1、60-2、・・・、60-m)、デジタル信号比較部 70 (70-1、70-2、・・・、70-m)、記憶部 80 (80-1、80-2、・・・、80-m)、およびアナログ信号受信部 90 をさらに備える。それぞれのコンパレータ 60 は、対応するドライバ回路 30 とともに、被試験デバイス 200 の対応するデジタル端子に接続される。

【0053】

m 個のコンパレータ 60 は、被試験デバイス 200 のデジタル端子から出力される信号を受け取り、受け取った信号の電圧と予め定められた閾値電圧との比較結果を出力する。コンパレータ 60 は、例えば、対応するドライバ回路 30 が出力したデジタル試験信号に応じて被試験デバイス 200 が出力するデジタル信号を受け取る。コンパレータ 60 は、受け取ったデジタル信号の電圧が閾値電圧以上の場合には比較結果の論理値を 1 として、デジタル信号の電圧が閾値電圧未満の場合には比較結果の論理値を 0 としてよい。

10

【0054】

m 個のデジタル信号比較部 70 は、それぞれの比較結果と予め定められた期待値とを比較した比較データを出力する。例えば、デジタル信号比較部 70 は、デジタル信号生成部 20 が生成するデジタル試験信号の試験パターンに対応する期待値を保持し、対応するコンパレータ 60 から取得した比較結果の論理値と当該期待値とを順次比較する。デジタル信号比較部 70 は、比較結果が一致している場合には論理値を 0 として、比較結果が一致していない場合には論理値を 1 とする比較データを生成してよい。

【0055】

20

複数の記憶部 80 は、対応するデジタル信号比較部 70 から受け取った比較データを記憶する。試験装置 100 は、記憶部 80 が記憶した比較データに基づいて被試験デバイス 200 の良否を判定してもよい。例えば、試験装置 100 は記憶部 80 に記憶された比較データが一定値以上の確率で一致している場合に、被試験デバイス 200 を良品であると判定する。試験装置 100 は、それぞれの記憶部 80 に格納された比較データに基づいて、被試験デバイス 200 の対応するデジタル端子から信号を出力する回路の良否を判定してもよい。

【0056】

アナログ信号受信部 90 は、被試験デバイス 200 のアナログ出力端子から出力されるアナログ信号を受け、アナログ信号を $k \times m$ ビット (ただし、 k は 1 以上の整数) のデジタル変換信号に変換する。具体的には、アナログ信号受信部 90 は、当該アナログ信号の周波数の 2 倍以上の周波数で当該アナログ信号をサンプリングする。アナログ信号受信部 90 は、サンプリングしたアナログ信号をアナログ/デジタル変換する。アナログ信号受信部 90 は、入力タイミング発生部 52 が生成する入力タイミング信号のエッジタイミングで、アナログ/デジタル変換をしてよい。

30

【0057】

アナログ信号受信部 90 はサンプリングしたアナログ信号を予め定められた階調数のデジタル変換信号に変換する。例えば、予め定められた階調数が 256 であり、1 階調に相当する電圧が 0.01 V である場合には、アナログ信号受信部 90 は 0 V から 2.55 V までの範囲のアナログ信号を 8 ビットのデジタル変換信号に変換する。アナログ信号受信部 90 がサンプリングしたアナログ信号の電圧値が 1.28 V である場合には、アナログ信号受信部 90 は 10000000 で表されるデジタル変換信号を出力する。

40

【0058】

アナログ信号受信部 90 は、デジタル変換信号を m 個に分割した分割データをそれぞれのデジタル信号比較部 70 に入力する。ここで、m は先の階調数に応じた値であってよい。具体的には、アナログ信号受信部 90 は、 2^m が階調数に等しくなるように m を選択してよい。先の例の場合、アナログ信号受信部 90 は $m = 8$ とすることにより、8 ビットのデジタルデータを 1 ビットずつに分割して、デジタル信号比較部 70-1 からデジタル信号比較部 70-8 のそれぞれに入力してよい。

【0059】

50

図 6 は、デジタル信号比較部 70 の構成の一例を示す。それぞれのデジタル信号比較部 70 は、被試験デバイス 200 から受け取った信号の電圧と予め定められた閾値電圧との比較結果を対応するコンパレータ 60 から受け取る。また、それぞれのデジタル信号比較部 70 は、対応する分割データをアナログ信号受信部 90 から受け取る。

【0060】

それぞれのデジタル信号比較部 70 は、受け取った比較結果または分割データを予め定められた期待値と比較する。デジタル信号比較部 70 は、比較した比較データを複数の記憶部 80 のいずれかに記憶させる。デジタル信号比較部 70 は、被試験デバイス 200 から受け取るべきアナログ信号に対応する期待値を保持して、アナログ信号受信部 90 から受けた分割データを当該期待値と比較してよい。

10

【0061】

デジタル信号比較部 70 は、分割データと予め定められた期待値との差が予め定められた範囲内であるか否かに応じて、記憶部 80 に記憶させる比較データの論理値を決定してよい。試験装置 100 は、記憶部 80 に記憶された比較データの論理値に基づいて、被試験デバイス 200 のアナログ回路の良否を判定してもよい。

【0062】

デジタル信号比較部 70 は、分割データを期待値と比較することなく、受け取った分割データをそのまま記憶部 80 に記憶させてもよい。この場合、試験装置 100 は、入力されるアナログ波形を解析するデジタイザとして機能する。

【0063】

デジタル信号比較部 70 は、入力されるデータ種別に応じて動作を切り替えてもよい。例えば、デジタル信号比較部 70 は、被試験デバイス 200 のデジタル端子から出力されたデジタル信号を受けた場合には、受けたデジタル信号を予め定められた期待値と比較して、比較した結果に応じた比較データを記憶部 80 に記憶させる。また、デジタル信号比較部 70 は、被試験デバイス 200 のアナログ端子が出力したアナログ信号に応じたデジタル変換信号をアナログ信号受信部 90 から受けた場合には、受け取ったデジタル変換信号を予め定められた期待値と比較しないで記憶部 80 に記憶させる。

20

【0064】

以上のように、試験装置 100 は、複数のデジタル信号比較部 70 を用いて、被試験デバイスのアナログ端子から出力されるアナログ信号をデジタルデータとして記憶させ、アナログ波形の観測または測定を可能にする。従って、試験装置 100 は、回路規模を抑えながら、被試験デバイス 200 の試験内容に応じて、同時に被試験デバイス 200 から入力を受けるデジタル信号の数とアナログ信号の数との割合を最適に配分することができる。

30

【0065】

図 7 は、アナログ信号生成部 40 の構成の一例を示す。アナログ信号生成部 40 は、デジタルアナログ変換器 42、低域通過出力フィルタ 44、および出力増幅器 46 を有する。デジタルアナログ変換器 42 は、デジタル多重信号をアナログ試験信号に変換する。デジタルアナログ変換器 42 は、低域通過出力フィルタ 44 を介して、アナログ試験信号を被試験デバイス 200 のアナログ入力端子に入力する。

40

【0066】

低域通過出力フィルタ 44 は、デジタルアナログ変換器 42 から受け取ったアナログ試験信号の高周波成分を除去する。低域通過出力フィルタ 44 は、高周波成分を除去した信号を出力増幅器 46 に入力してもよい。出力増幅器 46 は低域通過出力フィルタ 44 から受けた信号を増幅して、被試験デバイス 200 のアナログ入力端子に入力する。

【0067】

図 8 は、アナログ信号受信部 90 の構成の一例を示す。アナログ信号受信部 90 は、入力増幅器 92、低域通過入力フィルタ 94、およびアナログデジタル変換器 96 を有する。アナログデジタル変換器 96 は、低域通過入力フィルタ 94 を介して被試験デバイス 200 のアナログ端子から出力されたアナログ信号を受け取る。また、アナログデジタル変

50

換器 96 は、被試験デバイス 200 のデジタル端子から出力される信号の論理値の変化タイミングに同期した入力タイミング信号に応じてデジタル変換信号に変換する。

【0068】

アナログデジタル変換器 96 は、入力タイミング発生部 52 が発生する入力タイミング信号のエッジタイミングで被試験デバイス 200 のデジタル端子から出力される信号をサンプリングしてよい。アナログデジタル変換器 96 は、サンプリングしたアナログ信号を予め定められた階調数に対応する複数のビット数のデジタル変換信号に変換してよい。

【0069】

図 9A および図 9B は、アナログ信号生成部 40 およびアナログ信号受信部 90 の構成の他の一例を示す。同図において、アナログ信号生成部 40 およびアナログ信号受信部 90 は、低域通過出力フィルタ 44 および低域通過入力フィルタ 94 として機能する低域通過フィルタ 110 を備える。

10

【0070】

低域通過フィルタ 110 は、アナログ信号生成部 40 が被試験デバイス 200 のアナログ端子にアナログ試験信号を入力する場合には、デジタルアナログ変換器 42 が出力するアナログ試験信号の入力を受けてアナログ端子に出力する（図 9A）。低域通過フィルタ 110 は、アナログ信号受信部 90 が被試験デバイス 200 のアナログ端子から出力されるアナログ信号を受ける場合には、アナログ端子から受けたアナログ信号を受けてアナログデジタル変換器に出力する（図 9B）。

【0071】

20

図 9A および図 9B において、試験装置 100 は出力切替部 120 および入力切替部 130 をさらに備える。入力切替部 130 は、デジタルアナログ変換器 42 の出力信号およびアナログ端子の出力信号のいずれを低域通過フィルタ 110 に入力するかを切り替える。また、出力切替部 120 は、低域通過フィルタ 110 が出力する信号をアナログデジタル変換器 96 およびアナログ端子のいずれに入力するかを切り替える。

【0072】

アナログ信号生成部 40 がアナログ端子にアナログ試験信号を入力する場合には、入力切替部 130 は、デジタルアナログ変換器 42 の出力信号を低域通過フィルタ 110 に入力する。また、出力切替部 120 は、低域通過フィルタ 110 が出力する信号をアナログ端子に入力する。アナログ信号受信部 90 が、アナログ端子が出力する信号を受信する場合には、入力切替部 130 は、アナログ端子の出力信号を低域通過フィルタ 110 に入力する。また、出力切替部 120 は、低域通過フィルタ 110 が出力する信号をアナログデジタル変換器 96 に入力する。

30

【0073】

試験装置 100 は、アナログ端子にアナログ試験信号を入力するか否かに応じて、出力切替部 120 および入力切替部 130 の極性を切り替えてよい。アナログ信号生成部 40 およびアナログ信号受信部 90 が低域通過フィルタ 110 を共用することによって、アナログ信号生成部 40 およびアナログ信号受信部 90 は回路規模を削減するとともに、消費電力を低減することができる。

【0074】

40

図 9C は、アナログ信号生成部 40 およびアナログ信号受信部 90 の構成の他の一例を示す。試験装置 100 は、入力切替部 130 および出力切替部 120 を制御することにより、被試験デバイス 200 のアナログ出力端子から出力される信号を試験装置 100 内で折り返して、被試験デバイス 200 のアナログ入力端子に入力することができる。当該構成により、試験装置 100 は、被試験デバイス 200 のアナログ回路のループバック試験をすることができる。

【0075】

図 10A および図 10B は、アナログ信号生成部 40 およびアナログ信号受信部 90 の構成の他の一例を示す。同図において、試験装置 100 は入出力切替部 140 をさらに備える。入出力切替部 140 は、アナログ端子にアナログ信号生成部 40 を接続するか否か

50

を切り替える。入出力切替部 140 がアナログ端子にアナログ信号生成部 40 を接続する場合には、入力切替部 130 はデジタルアナログ変換器 42 の出力信号を低域通過フィルタ 110 に入力する。また、出力切替部 120 は低域通過フィルタ 110 が出力する信号をアナログ端子に入力する（図 10A）。

【0076】

入出力切替部 140 がアナログ端子にアナログ信号生成部 40 を接続しない場合には、入力切替部 130 はアナログ端子の出力信号を低域通過フィルタ 110 に入力する。また、出力切替部 120 は低域通過フィルタ 110 が出力する信号をアナログデジタル変換器 96 に入力する（図 10B）。試験装置 100 は、アナログ試験信号を被試験デバイス 200 に入力する場合と被試験デバイス 200 が出力するアナログ信号を受ける場合とにおいて、出力切替部 120 および入力切替部 130 を入出力切替部 140 に同期して切り替えることにより、アナログ入出力端子を介して被試験デバイス 200 を試験することができる。

10

【0077】

図 11 は、アナログ信号生成部 40 およびアナログ信号受信部 90 の構成の他の一例を示す。同図において、入出力切替部 140 は、アナログ信号生成部 40 を被試験デバイス 200 のアナログ入出力端子に接続するか否かを切り替える。

【0078】

試験装置 100 がアナログ試験信号を被試験デバイス 200 に入力する場合には、入出力切替部 140 はアナログ信号生成部 40 を被試験デバイス 200 に接続する。アナログ信号受信部 90 が被試験デバイス 200 から出力されるアナログ信号を受け取る場合には、入出力切替部 140 はアナログ信号生成部 40 を被試験デバイス 200 に接続しない。

20

【0079】

試験装置 100 は、アナログ信号生成部 40 が生成した信号を、入出力切替部 140 を介してアナログ信号受信部 90 に折り返してもよい。試験装置 100 は、折り返されたアナログ信号をデジタル信号比較部 70 に入力することにより、アナログ信号生成部 40 が生成するアナログ信号の特性を測定することができる。

【0080】

また、試験装置 100 は、アナログ信号生成部 40 が生成した予め定められた周波数のアナログ信号をアナログ信号受信部 90 に折り返し、折り返されたアナログ信号をデジタル信号比較部 70 に入力してもよい。試験装置 100 は、折り返されたアナログ信号を予め定められた期待値と比較することにより、アナログ信号生成部 40 およびアナログ信号受信部 90 のキャリブレーションをすることができる。

30

【0081】

以上のように、試験装置 100 は、回路規模を抑えながら、被試験デバイス 200 の試験内容に応じて、同時に被試験デバイス 200 に出力するデジタル試験信号の数とアナログ試験信号の数との割合、および、同時に被試験デバイス 200 から入力されるデジタル信号の数とアナログ信号の数との割合を最適に配分することができる。

【0082】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

40

【0083】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

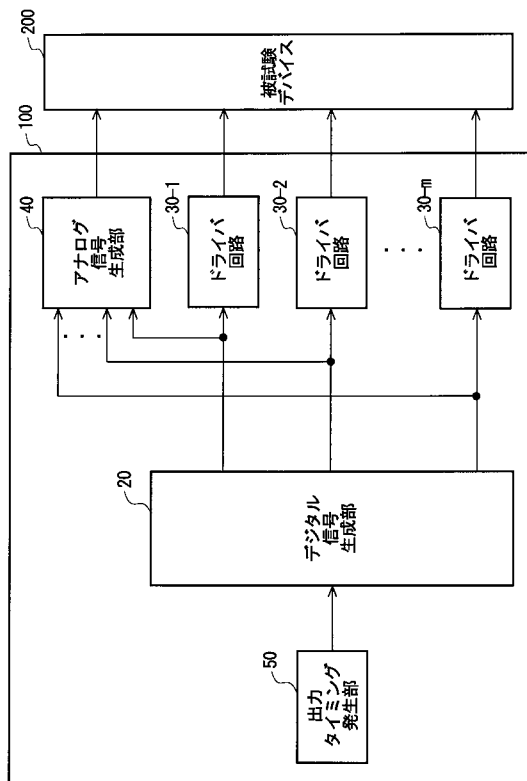
50

【符号の説明】

【0084】

20 デジタル信号生成部、30 ドライバ回路、40 アナログ信号生成部、42 デジタルアナログ変換器、44 低域通過出力フィルタ、46 出力増幅器、50 出力タイミング発生部、52 入力タイミング発生部、60 コンパレータ、70 デジタル信号比較部、80 記憶部、90 アナログ信号受信部、92 入力増幅器、94 低域通過入力フィルタ、96 アナログデジタル変換器、100 試験装置、110 低域通過フィルタ、120 出力切替部、130 入力切替部、140 入出力切替部、200 被試験デバイス

【図1】



【図2A】

サイクル番号	1	2	3	4	5	6	7	8	...
デジタル試験信号 1	0	1	0	1	0	1	0	1	...
デジタル試験信号 2	0	0	1	0	0	0	0	0	...
デジタル試験信号 3	0	0	1	1	1	1	0	0	...
デジタル試験信号 4	1	0	0	0	1	0	1	1	...
デジタル試験信号 5	1	1	0	0	1	1	0	0	...
デジタル試験信号 6	1	1	1	1	0	0	1	0	...
デジタル試験信号 7	1	1	0	0	1	1	0	0	...
デジタル試験信号 8	0	0	1	1	0	0	1	1	...
アナログ試験信号	120	113	166	165	92	85	168	137	...

【図 2 B】

サイクル番号	1	2	3	4	5	6	7	8	...
デジタル試験信号 1	0	1	0	1	0	1	0	1	...
デジタル試験信号 2	0	0	1	1	0	0	0	0	...
デジタル試験信号 3	0	0	1	1	1	1	0	0	...
デジタル試験信号 4	1	1	0	0	1	1	1	1	...
デジタル試験信号 5	1	1	0	0	1	1	0	0	...
デジタル試験信号 6	1	1	1	1	0	0	1	1	...
デジタル試験信号 7	1	1	0	0	1	1	0	0	...
デジタル試験信号 8	0	0	1	1	0	0	1	1	...
アナログ試験信号	108	83	46	84	...	...	...	...	...

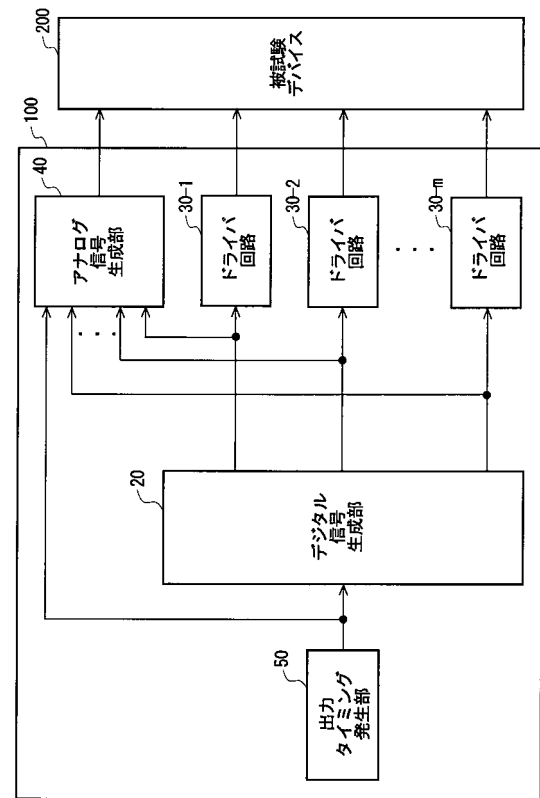
【図 2 D】

サイクル番号	1	2	3	4	5	6	7	8	...								
デジタル試験信号 1	0	1	0	1	0	1	0	1	...								
デジタル試験信号 2	0	0	1	1	1	0	0	0	...								
デジタル試験信号 3	0	0	1	1	1	1	0	0	...								
デジタル試験信号 4	1	0	0	0	1	0	1	1	...								
デジタル試験信号 5	1	0	0	1	1	0	0	0	...								
デジタル試験信号 6	1	1	1	1	0	0	1	0	...								
デジタル試験信号 7	1	1	0	0	1	1	0	0	...								
デジタル試験信号 8	0	0	1	1	0	0	1	1	...								
アナログ試験信号	12	6	13	4	2	13	3	12	14	2	15	0	0	14	1	10	...

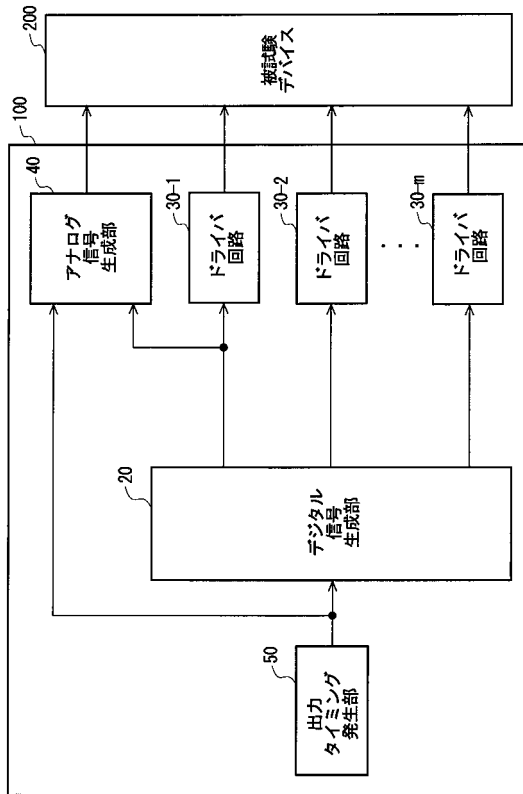
【図 2 C】

サイクル番号	1	2	3	4	5	6	7	8	...
デジタル試験信号 1	0	1	0	1	0	1	0	1	...
デジタル試験信号 2	0	0	1	0	0	0	0	0	...
デジタル試験信号 3	0	0	1	1	1	1	0	0	...
デジタル試験信号 4	1	1	0	0	1	1	0	0	...
デジタル試験信号 5	1	1	1	1	0	0	1	0	...
デジタル試験信号 6	1	1	0	0	1	1	0	0	...
デジタル試験信号 7	1	1	0	0	1	1	0	0	...
デジタル試験信号 8	0	0	1	1	0	0	1	1	...
アナログ試験信号	120	113	166	165	92	85	168	137	...

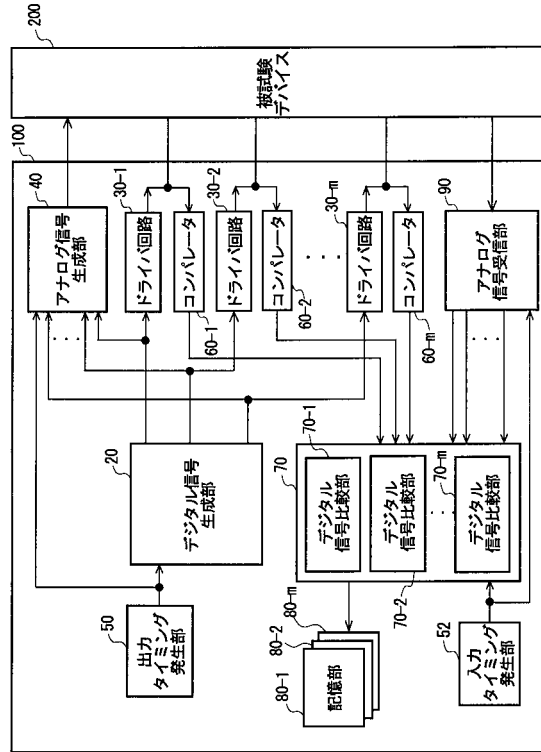
【図 3】



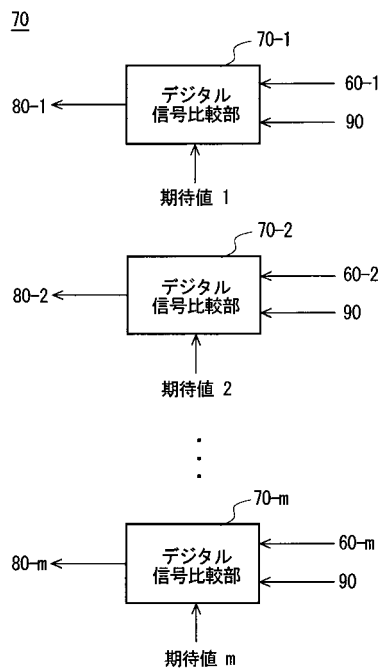
【図 4】



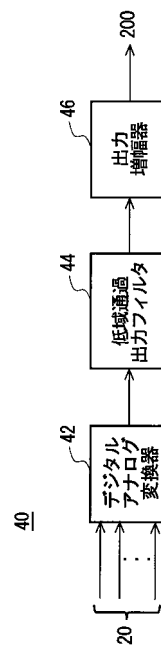
【図 5】



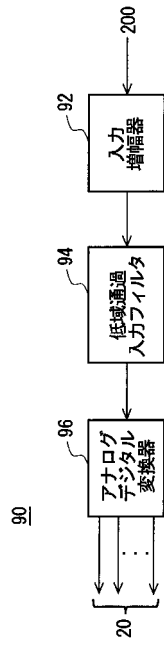
【図 6】



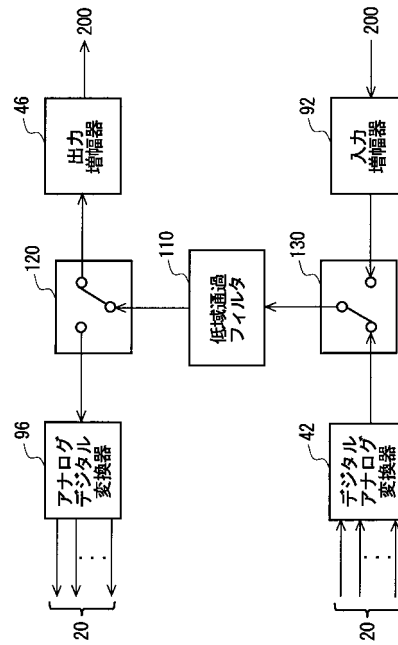
【図 7】



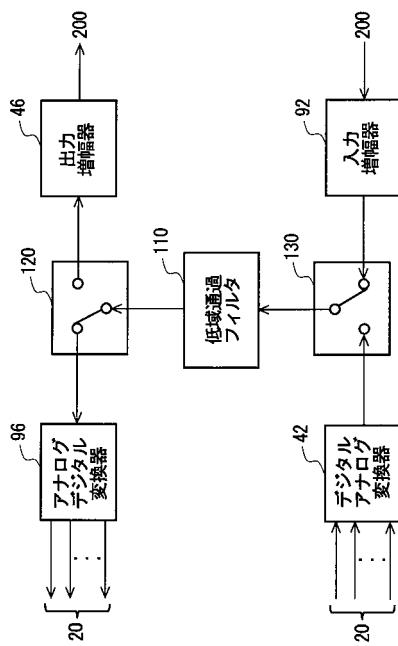
【図 8】



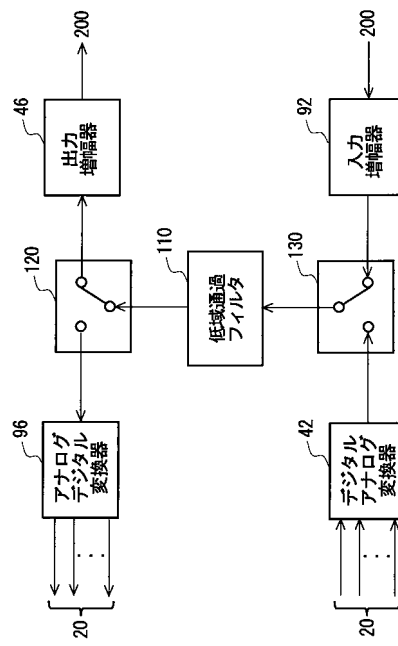
【図 9 A】



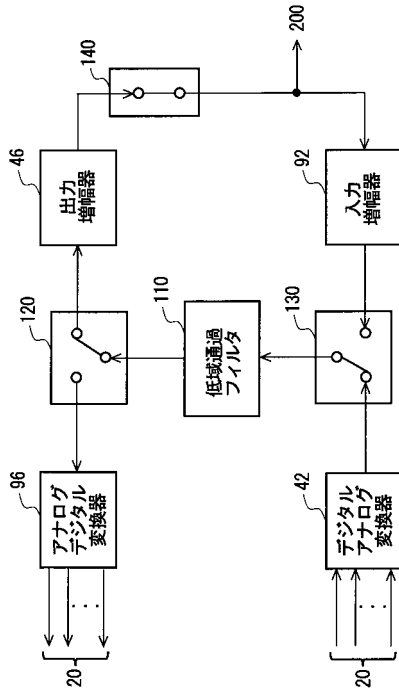
【図 9 B】



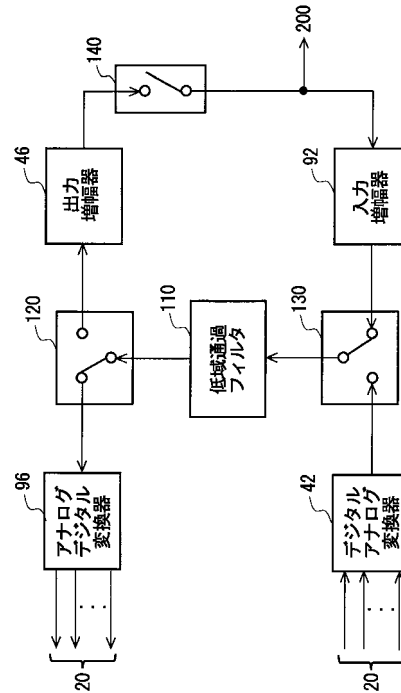
【図 9 C】



【図10A】



【図10B】



【図11】

