

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年9月18日(18.09.2014)

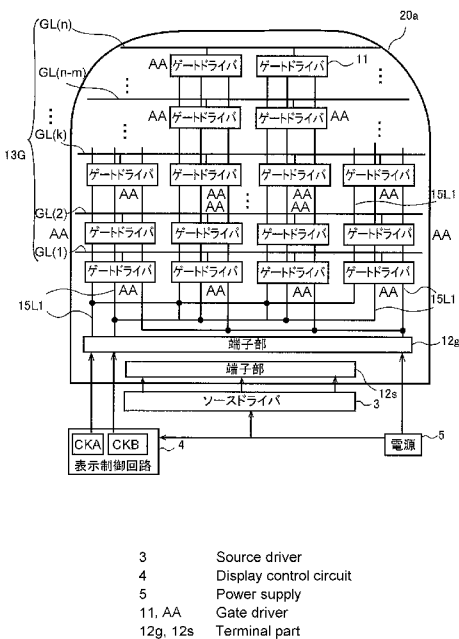


(10) 国際公開番号  
WO 2014/142183 A1

- (51) 国際特許分類:  
G09F 9/30 (2006.01) G02F 1/1368 (2006.01)  
G02F 1/133 (2006.01) G09G 3/20 (2006.01)  
G02F 1/1345 (2006.01) G09G 3/36 (2006.01)
  - (21) 国際出願番号: PCT/JP2014/056527
  - (22) 国際出願日: 2014年3月12日(12.03.2014)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2013-054294 2013年3月15日(15.03.2013) JP  
特願 2013-208585 2013年10月3日(03.10.2013) JP
  - (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
  - (72) 発明者: 田中 耕平(TANAKA Kohhei), 吉田 秀史(YOSHIDA Hidefumi).
  - (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜2丁目2番28号堂島アクシビル インテリクス特許法律事務所 Osaka (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE, MANUFACTURING METHOD FOR ACTIVE MATRIX SUBSTRATE, AND DISPLAY PANEL

(54) 発明の名称: アクティブマトリクス基板、アクティブマトリクス基板の製造方法、及び表示パネル



(57) Abstract: The objective of the present invention is to improve the degree of freedom when designing an active matrix substrate with the aim of narrowing the frame of the active matrix substrate. Gate line groups and source line groups, which are arranged so as to intersect with the gate line groups, are formed in this active matrix substrate. At least some of the gate line groups are formed at a length shorter than the maximum length of the width in the direction in which the gate lines extend in the active matrix substrate. Furthermore, pixel electrodes, which are connected to the gate lines and the source lines, and gate line drive units (11), which are provided inside the display region and which switch the gate lines to a selected or a non-selected state in response to a supplied control signal, are provided in the active matrix substrate. A first terminal part (12s), which outputs a data signal from a source driver, and a second terminal part (12g), which outputs a control signal from a display control circuit, are provided to an edge of the frame region of the display region.

(57) 要約: アクティブマトリクス基板の狭額縁化を図り、アクティブマトリクス基板のデザイン等の設計の自由度を向上させる技術を提供することを課題とする。アクティブマトリクス基板は、ゲート線群と、ゲート線群と交差するように配列されたソース線群とが形成されている。ゲート線群のうち、少なくとも一部のゲート線群は、アクティブマトリクス基板における、ゲート線の延伸方向の幅の最大長より短い長さで形成されている。また、アクティブマトリクス基板には、ゲート線とソース線とに接続された画素電極が形成され、表示領域内に設けられ、供給される制御信号に応じてゲート線

を選択又は非選択の状態に切り替えるゲート線駆動部(11)が形成されている。表示領域の額縁領域の1辺には、ソースドライバからのデータ信号を出力する第1端子部(12s)と、表示制御回路からの制御信号を出力する第2端子部(12g)とが設けられている。

WO 2014/142183 A1

## 明 細 書

発明の名称：

アクティブマトリクス基板、アクティブマトリクス基板の製造方法、及び表示パネル

### 技術分野

[0001] 本発明は、アクティブマトリクス基板、アクティブマトリクス基板の製造方法、及び表示パネルに関する。

### 背景技術

[0002] 従来より、アクティブマトリクス基板の隣接する2つの辺にゲートドライバとソースドライバとが形成された表示パネルが知られている。特開2012-103335号公報には、矩形のコーナー部がカットされた異形六角形の表示領域を有する表示装置が開示されている。この表示装置のTFT基板において隣接する2つの辺の額縁領域に、ゲートドライバとソースドライバとが配置されている。TFT基板において、ゲートドライバが配置された1辺の側から横方向に複数の走査線が延在し、ソースドライバが配置された1辺の側から縦方向に複数の映像信号線が延在している。各走査線は、TFT基板の額縁領域に沿うように形成された配線を介してゲートドライバと接続されている。

### 発明の開示

[0003] 特開2012-103335号公報のように、TFT基板の外形に応じた長さの走査線を形成することで、従来の矩形状のディスプレイとは異なる形状のディスプレイを設計することができる。しかしながら、特開2012-103335号公報のように、TFT基板において、ソースドライバが配置される辺とは異なる辺の額縁領域にゲートドライバを配置すると、走査線とゲートドライバとを接続する配線等をTFT基板の額縁領域に沿って引き回すことになるため、狭額縁化を図ることが困難となり、ディスプレイの外形のデザインも制約を受ける。

- [0004] 本発明は、アクティブマトリクス基板の狭額縁化を図り、アクティブマトリクス基板のデザイン等の設計の自由度を向上させる技術を提供することを目的とする。
- [0005] 第1の発明に係るアクティブマトリクス基板は、複数のゲート線を含むゲート線群と、複数のソース線を含むソース線群とが行列状に配置され、前記ゲート線と前記ソース線とに接続された画素電極が配置された表示領域を有し、前記表示領域の外側にある額縁領域の一辺に設けられ、前記ソース線群にデータ信号を供給する第1端子部と、前記第1端子部と同じ辺に設けられ、制御信号を供給する第2端子部と、前記ゲート線毎に前記表示領域内に形成され、前記制御信号に応じて、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部と、を備え、前記ゲート線群のうち、少なくとも一部のゲート線群は、前記表示領域において前記ゲート線が延伸する第1方向の幅の最大長より短い。つまり、第1の発明に係るアクティブマトリクス基板は、少なくとも一部のゲート線群が、表示領域の第1方向の幅より短く構成されていればよく、例えば、矩形以外の表示領域を有するものや、矩形の表示領域であってゲート線が分断されているもの等が含まれる。
- [0006] 第2の発明は、第1の発明において、前記表示領域内に非表示領域を有し、前記ソース線群のうち一部のソース線は、前記非表示領域が配置されている列の前記第1端子部側の第1表示領域において前記第1端子部から延伸し、その延伸する第2方向の端部は、前記第1表示領域における前記非表示領域側の端部近傍に位置し、他の列に配置されているソース線群の一部は、前記第1端子部から延伸し、前記非表示領域に対して前記第1表示領域とは反対側の第2表示領域まで延設されている。
- [0007] 第3の発明は、第1の発明において、前記表示領域内に非表示領域を有し、前記非表示領域が配置されている列の表示領域のうち、前記非表示領域に対し前記第1端子部側の第1表示領域に配置されている前記ソース線は、前記第1端子部から延伸し、その延伸する第2方向の端部が、前記第1表示領

域における前記非表示領域側の端部近傍に位置し、前記非表示領域に対し前記第 1 表示領域とは反対側の第 2 表示領域に配置されている前記ソース線は、前記第 2 表示領域における前記非表示領域側の端部近傍から延伸し、前記第 2 方向の端部が、前記非表示領域に対し前記第 1 端子部とは反対側の前記第 2 表示領域の端部近傍に位置し、前記第 1 表示領域に配置されている前記ソース線と、前記第 2 表示領域に配置されている前記ソース線とは、前記非表示領域の外周に沿うように前記第 1 表示領域から前記第 2 表示領域まで形成された迂回配線によって接続されている。

[0008] 第 4 の発明は、第 2 発明において、前記ソース線と略平行となるように前記第 2 端子部から延伸し、前記ゲート線駆動部と接続された配線群を備え、同じ行の前記画素電極と接続された前記ゲート線の少なくとも一部は、不連続な部分ゲート線で構成され、前記部分ゲート線は、互いに異なる前記ゲート線駆動部が接続されており、前記配線群のうち一部の配線は、前記第 1 表示領域において前記第 2 端子部から延伸し、その延伸方向の端部は、前記第 1 表示領域における前記非表示領域側の端部近傍に位置し、他の列に配置されている配線群のうちの一部は、前記第 2 端子部から延伸し、前記第 2 表示領域まで延設されている。

[0009] 第 5 の発明は、第 3 の発明において、前記迂回配線は、前記ゲート線駆動部が形成されていない画素領域に形成されている。

[0010] 第 6 の発明は、第 1 から第 5 のいずれかの発明において、前記表示領域の外周部の少なくとも一部に配置された前記ゲート線駆動部は、他のゲート線駆動部の駆動周波数より高い駆動周波数で前記選択信号を出力する。

[0011] 第 7 の発明は、第 2 から第 5 のいずれかの発明において、前記表示領域を前記第 1 方向又は前記第 2 方向に沿って分割してなる複数の分割領域において、前記分割領域ごとに前記ゲート線群が形成され、前記複数の分割領域のうち一部の分割領域に配置されている前記ゲート線駆動部は、前記制御信号に応じて第 1 の駆動周波数で前記選択信号を出力し、他の分割領域に配置されている前記ゲート線駆動部は、前記制御信号に応じて前記第 1 の駆動周

波数より低い第2の駆動周波数で前記選択信号を出力し、前記一部の分割領域における前記ソース線には、前記第1の駆動周波数で前記データ信号が供給され、前記他の分割領域における前記ソース線には、前記第2の駆動周波数で前記データ信号が供給される。

[0012] 第8の発明は、第7の発明において、前記一部の分割領域における前記ゲート線群と、前記他の分割領域における前記ゲート線群との境界が非直線状となるように、前記他の分割領域における前記ゲート線群が、前記一部の分割領域まで形成されている。

[0013] 第9の発明は、第1から第8のいずれかの発明において、前記ゲート線駆動部は、前記制御信号に応じて、少なくとも一部のフレームにおいて前記ゲート線を非選択の状態にする前記選択信号を出力する。

[0014] 第10の発明は、第1の発明において、前記ソース線群のうち、少なくとも一部のソース線群は、他のソース線群よりも短く、前記一部のゲート線群は、前記他のソース線群が配置された領域において、前記一部のソース線群が配置された列と交差しない行に配置されており、前記第1端子部は、前記一部のゲート線群が選択状態に切り替えられる期間において、前記一部のソース線群に対し、振幅が最小となるデータ信号を供給する。

[0015] 第11の発明は、第1の発明において、前記ゲート線ごとに複数の前記ゲート線駆動部が設けられ、前記表示領域において、前記複数のゲート線駆動部の間に非表示領域を有し、前記額縁領域において、前記第1端子部が設けられた辺に対向する一辺に設けられ、前記データ信号が供給される第3端子部をさらに備え、前記ソース線群のうち前記非表示領域において分断された前記ソース線は、前記第1端子部と反対側から前記第3端子部を介して前記データ信号が供給される。

[0016] 第12の発明は、第11の発明において、前記表示領域において前記非表示領域を複数有し、前記非表示領域の各々は、当該非表示領域において交差する前記ゲート線と前記ソース線とが互いに異なる。

[0017] 第13の発明に係るアクティブマトリクス基板の製造方法は、略同じ長さ

を有し、一定間隔に配置された複数のゲート線を生成する工程と、略同じ長さを有し、前記ゲート線と交差するように一定間隔に配置された複数のソース線を生成する工程と、前記ゲート線と前記ソース線とが配置された表示領域に設けられ、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部を生成する工程と、を含む第1のアクティブマトリクス基板を形成する形成工程と、前記第1のアクティブマトリクス基板における前記複数のゲート線のうち、少なくとも一部のゲート線が、前記ゲート線が延伸する方向における前記表示領域の幅の最大長より短くなるように、前記第1のアクティブマトリクス基板の一部を除去して第2のアクティブマトリクス基板を生成する除去工程と、を含む。

[0018] 第14の発明は、第13の発明において、前記ゲート線駆動部を生成する工程は、前記ゲート線ごとに設けられ、前記ゲート線に前記選択信号を出力する第1のゲート線駆動回路を生成する工程と、前記ゲート線群のうち、互いに隣接する一部のゲート線ごとに設けられ、前記ゲート線に前記選択信号を出力する第2のゲート線駆動回路を生成する工程とを含み、前記第1のアクティブマトリクス基板において前記第2のゲート線駆動回路が形成されている部分と、前記第2のゲート線駆動回路が形成されていない部分との間を前記ゲート線に沿って切断する切断工程をさらに含み、前記除去工程は、前記切断工程の後に行う。

[0019] 第15の発明は、第14の発明において、前記ゲート線駆動部を生成する工程は、前記第1のゲート線駆動回路及び前記第2の駆動回路の組を複数生成する工程を含み、前記複数の組の間を前記ソース線に沿って切断する工程をさらに含み、前記除去工程は、前記切断工程及び前記切断する工程の後に行う。

[0020] 第16の発明は、第13の発明において、前記ゲート線駆動部を生成する工程は、前記ゲート線ごとに複数の前記ゲート線駆動部を生成し、前記複数のゲート線駆動部の間を前記ソース線に沿って切断する切断工程をさらに含み、前記除去工程は、前記切断工程の後に行う。

[0021] 第17の発明に係るアクティブマトリクス基板の製造方法は、領域ごとに、略同じ長さを有し、一定間隔に配置された複数のゲート線を生成する工程と、前記領域ごとに、略同じ長さを有し、前記ゲート線と交差するように一定間隔に配置された複数のソース線を生成する工程と、前記領域ごとに、当該領域における前記ソース線にデータ信号を供給する端子部を生成する工程と、前記領域において前記ゲート線と前記ソース線とが配置された表示領域に設けられ、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部を生成する工程と、を含む第1のアクティブマトリクス基板を形成する形成工程と、前記形成工程により形成された第1のアクティブマトリクス基板においていずれかの前記領域と前記領域の間を前記ソース線に沿って切断する切断工程と、前記切断工程による切断によって得られるアクティブマトリクス基板において、少なくとも一部のゲート線が、前記ゲート線が延伸する方向における前記表示領域の幅の最大長より短くなるように、前記アクティブマトリクス基板の一部を除去して第2のアクティブマトリクス基板を生成する除去工程と、を含む。

[0022] 第18の発明に係る表示パネルは、第1から第12のいずれかの発明に係るアクティブマトリクス基板と、カラーフィルタと共通電極とを備える対向基板と、前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、を備える。

[0023] 本発明の構成によれば、アクティブマトリクス基板の狭額縁化を図り、アクティブマトリクス基板のデザイン等の設計の自由度を向上させることができる。

### 図面の簡単な説明

[0024] [図1]図1は、第1実施形態に係る液晶表示装置の概略構成を示した図である。

[図2]図2は、第1実施形態に係るアクティブマトリクス基板の概略構成図である。

[図3]図3は、第1実施形態に係るアクティブマトリクス基板の概略構成図で

ある。

[図4]図4は、第1実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図5A]図5Aは、第1実施形態におけるゲートドライバの配置例を示す図である。

[図5B]図5Bは、第1実施形態におけるゲートドライバの配置例を示す図である。

[図5C]図5Cは、第1実施形態におけるゲートドライバの配置例を示す図である。

[図6]図6は、図5Bに示したTF T-Aが形成されている画素領域を拡大した平面図である。

[図7A]図7Aは、図6におけるTF T-P I Xの部分をI-I線で切断した断面図である。

[図7B]図7Bは、図6におけるコンタクト部CH1をII-II線で切断した断面図である。

[図7C]図7Cは、図6におけるTF T-Aの部分をIII-III線で切断した断面図である。

[図7D]図7Dは、図6におけるコンタクト部CH2をIV-IV線で切断した断面図である。

[図8A]図8Aは、図5Bに示した画素領域204Rを拡大した平面図である。  
。

[図8B]図8Bは、図5Bに示した画素領域205Rを拡大した平面図である。  
。

[図8C]図8Cは、図5Aに示した画素領域203Gを拡大した平面図である。  
。

[図8D]図8Dは、図5Cに示した画素領域205Bを拡大した平面図である。  
。

[図8E]図8Eは、図5Bに示した画素領域203Bを拡大した平面図である

。

[図8F]図8Fは、図5Aに示した画素領域201R及び201Gを拡大した平面図である。

[図9]図9は、図4に示すゲートドライバがゲート線を走査する際のタイミングチャートである。

[図10]図10は、第2実施形態におけるアクティブマトリクス基板の概略構成図である。

[図11]図11は、図10に示すアクティブマトリクス基板の駆動タイミングを示す図である。

[図12A]図12Aは、第3実施形態におけるアクティブマトリクス基板の概略構成図である。

[図12B]図12Bは、第3実施形態における表示パネルにおける非表示領域部分の断面の一例を示す模式図である。

[図12C]図12Cは、第3実施形態における表示パネルにおける非表示領域部分の断面の一例を示す模式図である。

[図13]図13は、図12Aに示すアクティブマトリクス基板の駆動タイミングを示す図である。

[図14]図14は、第4実施形態におけるアクティブマトリクス基板の概略構成図である。

[図15]図15は、図14に示すアクティブマトリクス基板の一部を拡大した模式図である。

[図16]図16は、図15に示す画素領域の一部を拡大した模式図である。

[図17]図17は、第5実施形態におけるアクティブマトリクス基板の概略構成図である。

[図18]図18は、第6実施形態におけるアクティブマトリクス基板の概略構成図である。

[図19]図19は、第7実施形態におけるアクティブマトリクス基板の概略構成図である。

[図20]図20は、第7実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図21A]図21Aは、図20に示すゲートドライバがゲート線を走査する際のタイミングチャートである。

[図21B]図21Bは、図20に示すゲートドライバがゲート線を走査する際のタイミングチャートである。

[図22A]図22Aは、図20に示すゲートドライバの配置例を示す図である。

[図22B]図22Bは、図20に示すゲートドライバの配置例を示す図である。

[図23A]図23Aは、図19に示すアクティブマトリクス基板に表示する動画データの一例を示す図である。

[図23B]図23Bは、図19に示すアクティブマトリクス基板に動画を表示する際の駆動タイミングを示す図である。

[図24A]図24Aは、図19に示すアクティブマトリクス基板に表示する静止画データの一例を示す図である。

[図24B]図24Bは、図19に示すアクティブマトリクス基板に静止画を表示する際の1フレーム目の駆動タイミングを示す図である。

[図24C]図24Cは、図19に示すアクティブマトリクス基板に静止画を表示する際の2～60フレーム目の駆動タイミングを示す図である。

[図25]図25は、図19に示すアクティブマトリクス基板において動画を表示させる一部の表示領域を示す図である。

[図26]図26は、図25に示すアクティブマトリクス基板に表示するデータの一例を示す図である。

[図27A]図27Aは、図25に示すアクティブマトリクス基板における領域Pの2～60フレームの駆動タイミングを示す図である。

[図27B]図27Bは、図25に示すアクティブマトリクス基板における領域P以外の領域の2～60フレームの駆動タイミングを示す図である。

[図28A]図28Aは、第8実施形態におけるアクティブマトリクス基板の概略構成図である。

[図28B]図28Bは、図28Aに示されるアクティブマトリクス基板の一部を拡大した模式図である。

[図29]図29は、第8実施形態の応用例に係るアクティブマトリクス基板の概略構成図である。

[図30A]図30Aは、第9実施形態における第2の製造方法を説明する図である。

[図30B]図30Bは、第9実施形態における第2の製造方法を説明する図である。

[図30C]図30Cは、第9実施形態における第2の製造方法を説明する図である。

[図30D]図30Dは、第9実施形態における第2の製造方法を説明する図である。

[図31A]図31Aは、第9実施形態における応用例1の第1のアクティブマトリクス基板の概略構成図である。

[図31B]図31Bは、図31Aに示される第1のアクティブマトリクス基板を切断した図である。

[図31C]図31Cは、図31Bに示される、切断された第1のアクティブマトリクス基板の一方から生成された第2のアクティブマトリクス基板の概略構成図である。

[図31D]図31Dは、図31Bに示される、切断された第1のアクティブマトリクス基板の他方から生成された第2のアクティブマトリクス基板の概略構成図である。

[図31E]図31Eは、図31Aに示される、第1のアクティブマトリクス基板をディスプレイに用いる場合の概略構成図である。

[図32]図32は、第9実施形態の応用例2に係る第1のアクティブマトリクス基板の概略構成図である。

[図33A]図33Aは、第9実施形態の応用例3に係る第1のアクティブマトリクス基板の概略構成図である。

[図33B]図33Bは、図33Aに示される第1のアクティブマトリクス基板を切断した図である。

[図34A]図34Aは、第9実施形態の応用例1に係る第1のアクティブマトリクス基板の概略構成図である。

[図34B]図34Bは、図34に示される第1のアクティブマトリクス基板を切断した図である。

[図35A]図35Aは、変形例1におけるアクティブマトリクス基板の概略構成図である。

[図35B]図35Bは、変形例1におけるソース線の他の配線例を示す図である。

[図36A]図36Aは、変形例2におけるアクティブマトリクス基板の概略構成図である。

[図36B]図36Bは、変形例2におけるソース線の他の配線例を示す図である。

### 発明を実施するための形態

[0025] 本発明の一実施形態に係るアクティブマトリクス基板は、複数のゲート線を含むゲート線群と、複数のソース線を含むソース線群とが行列状に配置され、前記ゲート線と前記ソース線とに接続された画素電極が配置された表示領域を有し、前記表示領域の外側にある額縁領域の一辺に設けられ、前記ソース線群にデータ信号を供給する第1端子部と、前記第1端子部と同じ辺に設けられ、制御信号を供給する第2端子部と、前記ゲート線毎に前記表示領域内に形成され、前記制御信号に応じて、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部と、を備え、前記ゲート線群のうち、少なくとも一部のゲート線群は、前記表示領域において前記ゲート線が延伸する第1方向の幅の最大長より短い（第1の構成）。

[0026] 第1の構成によれば、アクティブマトリクス基板には、アクティブマトリクス基板の第1方向の幅の最大長より短い長さのゲート線を含むゲート線群と、ゲート線と交差するソース線群が形成されている。つまり、アクティブ

マトリクス基板には、例えば、矩形以外の表示領域を有するものや、矩形の表示領域であってゲート線が分断されているもの等が含まれる。各ゲート線は、表示領域内に形成されているゲート線駆動部により、額縁領域の1辺に設けられた第2端子部から供給される制御信号に応じて順次選択され、各ソース線には、第2端子部と同じ辺に設けられた第1端子部からデータ信号が供給される。従って、アクティブマトリクス基板の第1方向の幅の最大長より短いゲート線が形成されている部分があっても、ゲート線駆動部とゲート線とを接続するための配線等を額縁領域に沿って形成する必要がない。また、額縁領域の1辺からデータ信号と制御信号がソース線とゲート線駆動部にそれぞれ供給されるため、他の辺について狭額縁化を図ることができる。その結果、アクティブマトリクス基板のデザイン等の設計の自由度を向上させることができる。

[0027] 第2の構成は、第1の構成において、前記表示領域内に非表示領域を有し、前記ソース線群のうち一部のソース線は、前記非表示領域が配置されている列の前記第1端子部側の第1表示領域において前記第1端子部から延伸し、その延伸する第2方向の端部は、前記第1表示領域における前記非表示領域側の端部近傍に位置し、他の列に配置されているソース線群の一部は、前記第1端子部から延伸し、前記非表示領域に対して前記第1表示領域とは反対側の第2表示領域まで延設されている、こととしてもよい。

[0028] 第2の構成によれば、非表示領域が形成されている列の第1表示領域のソース線は、第1端子部から第1表示領域の非表示領域側の端部まで形成され、第2表示領域には、他の列のソース線が延設されることによりソース線が形成される。そのため、非表示領域が形成されている列の表示領域に対してもデータ信号を供給することができる。

[0029] 第3の構成は、第1の構成において、前記表示領域内に非表示領域を有し、前記非表示領域が配置されている列の表示領域のうち、前記非表示領域に対し前記第1端子部側の第1表示領域に配置されている前記ソース線は、前記第1端子部から延伸し、その延伸する第2方向の端部が、前記第1表示領

域における前記非表示領域側の端部近傍に位置し、前記非表示領域に対し前記第1表示領域とは反対側の第2表示領域に配置されている前記ソース線は、前記第2表示領域における前記非表示領域側の端部近傍から延伸し、前記第2方向の端部が、前記非表示領域に対し前記第1端子部とは反対側の前記第2表示領域の端部近傍に位置し、前記第1表示領域に配置されている前記ソース線と、前記第2表示領域に配置されている前記ソース線とは、前記非表示領域の外周に沿うように前記第1表示領域から前記第2表示領域まで形成された迂回配線によって接続されている、こととしてもよい。

[0030] 第3の構成によれば、非表示領域が形成された列の第1表示領域と第2表示領域には、迂回配線を介して接続されたソース線が形成される。そのため、非表示領域が形成された列の表示領域に対してもデータ信号を供給することができる。

[0031] 第4の構成は、第2の構成において、前記ソース線と略平行となるように前記第2端子部から延伸し、前記ゲート線駆動部と接続された配線群を備え、同じ行の前記画素電極と接続された前記ゲート線の少なくとも一部は、不連続な部分ゲート線で構成され、前記部分ゲート線は、互いに異なる前記ゲート線駆動部が接続されており、前記配線群のうち一部の配線は、前記第1表示領域において前記第2端子部から延伸し、その延伸方向の端部は、前記第1表示領域における前記非表示領域側の端部近傍に位置し、他の列に配置されている配線群のうちの一部は、前記第2端子部から延伸し、前記第2表示領域まで延設されている、こととしてもよい。

[0032] 第4の構成によれば、同じ行のゲート線の少なくとも一部は、不連続な部分ゲート線で構成され、各部分ゲート配線は異なるゲート線駆動部と接続される。また、非表示領域が形成されている列の第1表示領域の配線は、第2端子部から第1表示領域の非表示領域側の端部まで形成され、第2表示領域には、他の列の配線が延設される。そのため、第1表示領域に配置される部分ゲート線と接続されるゲート線駆動部には、第1表示領域において第2端子部から延伸された配線により制御信号を供給することができる。また、第

2表示領域に配置される部分ゲート線と接続されるゲート線駆動部は、非表示領域が形成されていない他の列の配線によって制御信号を供給することができる。

[0033] 第5の構成は、第3の構成において、前記迂回配線は、前記ゲート線駆動部が形成されていない画素領域に形成されている、こととしてもよい。

[0034] 第5の構成によれば、ゲート線駆動部が形成されていない画素領域に迂回配線が形成される。そのため、ゲート線駆動部が形成された画素領域と迂回配線が形成された画素領域の開口率の差を小さくすることができ、輝度むらを軽減することができる。

[0035] 第6の構成は、第1から第5のいずれかの構成において、前記表示領域の外周部の少なくとも一部に配置された前記ゲート線駆動部は、他のゲート線駆動部の駆動周波数より高い駆動周波数で前記選択信号を出力する、こととしてもよい。

[0036] 第6の構成によれば、表示領域の外周部の少なくとも一部に配置されたゲート線駆動部は、他のゲート線駆動部の駆動周波数より高い駆動周波数で選択信号を出力する。そのため、液晶層を封止するシール材の不純物が表示領域の外周付近に混入されている場合であっても、シール材の不純物の影響による表示むらを軽減することができる。

[0037] 第7の構成は、第2から第5のいずれかの構成において、前記表示領域を前記第1方向又は前記第2方向に沿って分割してなる複数の分割領域において、前記分割領域ごとに前記ゲート線群が形成され、前記複数の分割領域のうちの一部の分割領域に配置されている前記ゲート線駆動部は、前記制御信号に応じて第1の駆動周波数で前記選択信号を出力し、他の分割領域に配置されている前記ゲート線駆動部は、前記制御信号に応じて前記第1の駆動周波数より低い第2の駆動周波数で前記選択信号を出力し、前記一部の分割領域における前記ソース線には、前記第1の駆動周波数で前記データ信号が供給され、前記他の分割領域における前記ソース線には、前記第2の駆動周波数で前記データ信号が供給される、こととしてもよい。

- [0038] 第7の構成によれば、分割領域ごとに、分割領域におけるソース線に対して第1の駆動周波数又は第2の駆動周波数でデータ信号が供給される。また、分割領域ごとに設けられたゲート線駆動部は、第1の駆動周波数又は第2の駆動周波数で選択信号を出力する。そのため、例えば、分割領域に動画を表示させる場合には第1の駆動周波数でその分割領域にデータを書き込み、静止画を表示させる場合には第2の駆動周波数でその分割領域にデータを書き込むことが可能となり、静止画表示領域におけるデータの書き込みを動画表示領域と同様の駆動周波数で行う場合と比べて消費電力を軽減させることができる。
- [0039] 第8の構成は、第7の構成において、前記一部の分割領域における前記ゲート線群と、前記他の分割領域における前記ゲート線群との境界が非直線状となるように、前記他の分割領域における前記ゲート線群が、前記一部の分割領域まで形成されている、こととしてもよい。
- [0040] 第8の構成によれば、第1の駆動周波数でゲート線駆動部が動作する分割領域と、第2の駆動周波数でゲート線駆動部が動作する分割領域とにおけるゲート線群の境界が非直線状となるようにゲート線群が形成される。そのため、駆動周波数が異なる領域の境界を視認されにくくすることができる。
- [0041] 第9の構成は、第1から第8のいずれかの構成において、前記ゲート線駆動部は、前記制御信号に応じて、少なくとも一部のフレームにおいて前記ゲート線を非選択の状態にする前記選択信号を出力する、こととしてもよい。
- [0042] 第9の構成によれば、少なくとも一部のフレームにおいて、ゲート線を非選択状態にすることができる。そのため、例えば、静止画を表示する場合、一部のフレームの間はゲート線を選択状態に切り替え、他のフレームの間はゲート線を非選択の状態に切り替えることにより、ゲート線を選択する状態に切り替える際の消費電力を軽減することができる。
- [0043] 第10の構成は、第1の構成において、前記ソース線群のうち、少なくとも一部のソース線群は、他のソース線群よりも短く、前記一部のゲート線群は、前記他のソース線群が配置された領域において、前記一部のソース線群

が配置された列と交差しない行に配置されており、前記第1端子部は、前記一部のゲート線群が選択状態に切り替えられる期間において、前記一部のソース線群に対し、振幅が最小となるデータ信号を供給する、こととしてもよい。

[0044] 第10の構成によれば、ソース線群のうち、少なくとも一部のソース線群は他のソース線群よりも短く、一部のゲート線群は、一部のソース線群が配置される列と交差しない行に配置される。つまり、他のソース線群が配置される領域におけるゲート線は、一部のソース線群が配置される領域よりも多いため、一部のソース線群が配置される領域は、他のソース線群が配置される領域よりもゲート線が選択状態に切り替えられる期間が短くなる。一部のゲート線群が選択状態に切り替えられる期間において、一部のソース線群に対して振幅が最小となるデータ信号が供給されるため、一部のソース線群が配置される領域の消費電力を軽減することができる。

[0045] 第11の構成は、第1の構成において、前記ゲート線ごとに複数の前記ゲート線駆動部が設けられ、前記表示領域において、前記複数のゲート線駆動部の間に非表示領域を有し、前記額縁領域において、前記第1端子部が設けられた辺に対向する一辺に設けられ、前記データ信号が供給される第3端子部をさらに備え、前記ソース線群のうち前記非表示領域において分断された前記ソース線は、前記第1端子部と反対側から前記第3端子部を介して前記データ信号が供給される、こととしてもよい。

[0046] 第11の構成によれば、アクティブマトリクス基板は、ゲート線ごとに複数のゲート線駆動部を有し、当該複数のゲート線駆動部の間に非表示領域を有する。また、額縁領域において第1端子部が設けられた辺に対向する一辺に第3端子部を備える。非表示領域によって分断されたソース線は、第3端子部を介して第1端子部と反対側からデータ信号が供給される。非表示領域が形成されることによりソース線が分断されても、分断されたソース線に対しては第3端子部を介してデータ信号を供給することができる。また、非表示領域に他の列のソース線を引き回したり、非表示領域において分断された

ソース線を接続する迂回配線を設ける必要がないため、ソース線の寄生容量を低減することができる。また、ゲート線ごとの複数のゲート線駆動部の間に非表示領域が設けられるため、非表示領域において分断されたゲート線は、複数のゲート線駆動部のいずれかによって選択状態又は非選択状態に切り替えることができる。従って、非表示領域においてゲート線及びソース線が分断されても適切に画像を表示することができる。

[0047] 第12の構成は、第11の構成において、前記表示領域において前記非表示領域を複数有し、前記非表示領域の各々は、当該非表示領域において交差する前記ゲート線と前記ソース線とが互いに異なる、こととしてもよい。

[0048] 第12の構成によれば、アクティブマトリクス基板において、表示領域内に複数の非表示領域を有し、各々の非表示領域において交差するゲート線とソース線とが互いに異なる。従って、各々の非表示領域において分断されたゲート線は、当該ゲート線に対して設けられた複数のゲート線駆動回路のいずれかによって選択状態又は非選択状態に切り替えられ、各々の非表示領域において分断されたソース線は、第1端子部又は第3端子部からデータ信号が供給されるので、非表示領域近傍の表示領域にも確実に画像を表示することができる。

[0049] 本発明の一実施形態に係るアクティブマトリクス基板の製造方法は、略同じ長さを有し、一定間隔に配置された複数のゲート線を生成する工程と、略同じ長さを有し、前記ゲート線と交差するように一定間隔に配置された複数のソース線を生成する工程と、前記ゲート線と前記ソース線とが配置された表示領域に設けられ、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部を生成する工程と、を含む第1のアクティブマトリクス基板を形成する形成工程と、前記第1のアクティブマトリクス基板における前記複数のゲート線のうち、少なくとも一部のゲート線が、前記ゲート線が延伸する方向における前記表示領域の幅の最大長より短くなるように、前記第1のアクティブマトリクス基板の一部を除去して第2のアクティブマトリクス基板を生成する除去工程と、を含む（第13の構成）。なお

、形成工程における工程の順序はこれに限定されず、順序不同でもよい。

[0050] 第13の構成によれば、形成工程によって略矩形状の表示領域を有する第1のアクティブマトリクス基板が生成される。除去工程において、第1のアクティブマトリクス基板の一部を除去することにより、少なくとも一部のゲート線が、ゲート線が延伸する方向の表示領域の幅の最大長より短い第2のアクティブマトリクス基板が生成される。表示領域内にゲート線駆動部が設けられているため、ゲート線の長さが互いに異なっていても各ゲート線を選択又は非選択の状態に切り替えることができる。そのため、ゲート線駆動部とゲート線との間の配線の引き回しを考慮することなく、略矩形状の表示領域を有する第1のアクティブマトリクス基板からデザイン性の高い第2のアクティブマトリクス基板を容易に生成することができる。

[0051] 第14の構成は、第13の構成において、前記ゲート線駆動部を生成する工程は、前記ゲート線ごとに設けられ、前記ゲート線に前記選択信号を出力する第1のゲート線駆動回路を生成する工程と、前記ゲート線群のうち、互いに隣接する一部のゲート線ごとに設けられ、前記ゲート線に前記選択信号を出力する第2のゲート線駆動回路を生成する工程とを含み、前記第1のアクティブマトリクス基板において前記第2のゲート線駆動回路が形成されている部分と、前記第2のゲート線駆動回路が形成されていない部分との間を前記ゲート線に沿って切断する切断工程をさらに含み、前記除去工程は、前記切断工程の後に行う、こととしてもよい。

[0052] 第14の構成によれば、ゲート線駆動部を生成する工程において、ゲート線ごとに設けられる第1のゲート線駆動回路が生成され、互いに隣接する一部のゲート線ごとに設けられる第2のゲート線駆動回路が生成される。切断工程により、第2のゲート線駆動回路が形成された部分と第2のゲート線駆動回路が形成されていない部分の間をゲート線に沿って切断した後、除去工程が行われる。従って、必要に応じて第1のアクティブマトリクス基板を切断工程によって切断することにより、第1のアクティブマトリクス基板よりも画素数が小さい第2のアクティブマトリクス基板を生成することができる。

ので、ディスプレイのサイズ（画素数）ごとにアクティブマトリクス基板を製造する場合と比べ、製造ラインの効率化を図り、製造コストを低減することができる。また、第1のアクティブマトリクス基板を切断することで、表示装置に有用な複数の第2のアクティブマトリクス基板を得ることができる。

- [0053] 第15の構成は、第14の構成において、前記ゲート線駆動部を生成する工程は、前記第1のゲート線駆動回路及び前記第2の駆動回路の組を複数生成する工程を含み、前記複数の組の間を前記ソース線に沿って切断する工程をさらに含み、前記除去工程は、前記切断工程及び前記切断する工程の後に行う、こととしてもよい。
- [0054] 第15の構成によれば、ゲート線駆動部を生成する工程において、第1のゲート線駆動回路及び第2のゲート線駆動回路の組が複数生成される。そして、第1のアクティブマトリクス基板において、複数の組の間をソース線に沿って切断し、当該切断及び前記切断工程の後に除去工程を行う。これにより、第1のアクティブマトリクス基板から少なくとも4つの第2のアクティブマトリクス基板を生成することができる。
- [0055] 第16の構成は、第13の構成において、前記ゲート線駆動部を生成する工程は、前記ゲート線ごとに複数の前記ゲート線駆動部を生成し、前記複数のゲート線駆動部の間を前記ソース線に沿って切断する切断工程をさらに含み、前記除去工程は、前記切断工程の後に行う、こととしてもよい。
- [0056] 第16の構成によれば、ゲート線駆動部を生成する工程において、ゲート線ごとに複数のゲート線駆動部が生成され、切断工程により複数のゲート線駆動部の間をソース線に沿って切断した後、除去工程が行われる。従って、必要に応じて第1のアクティブマトリクス基板を切断工程によって切断することにより、第1のアクティブマトリクス基板よりも画素数が小さい第2のアクティブマトリクス基板を生成することができる。そのため、ディスプレイのサイズ（画素数）ごとにアクティブマトリクス基板を製造する場合と比べ、製造ラインの効率化を図り、製造コストを低減することができる。

[0057] 本発明の一実施形態に係るアクティブマトリクス基板の製造方法は、基板における領域ごとに、略同じ長さを有し、一定間隔に配置された複数のゲート線を生成する工程と、前記領域ごとに、略同じ長さを有し、前記ゲート線と交差するように一定間隔に配置された複数のソース線を生成する工程と、前記領域ごとに、当該領域における前記ソース線にデータ信号を供給する端子部を生成する工程と、前記領域において前記ゲート線と前記ソース線とが配置された表示領域に設けられ、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部を生成する工程と、を含む第1のアクティブマトリクス基板を形成する形成工程と、前記形成工程により形成された第1のアクティブマトリクス基板においていずれかの前記領域と前記領域の間を前記ソース線に沿って切断する切断工程と、前記切断工程による切断によって得られるアクティブマトリクス基板において、少なくとも一部のゲート線が、前記ゲート線が延伸する方向における前記表示領域の幅の最大長より短くなるように、前記アクティブマトリクス基板の一部を除去して第2のアクティブマトリクス基板を生成する除去工程と、を含む（第17の構成）。

[0058] 第17の構成によれば、形成工程によって、基板における領域ごとに、ゲート線及びソース線と、ソース線にデータ信号を供給する端子部と、ゲート線を駆動するゲート線駆動部とが形成された第1のアクティブマトリクス基板が生成される。また、切断工程により第1のアクティブマトリクス基板におけるいずれかの領域と領域の間を切断して得られたアクティブマトリクス基板の一部を、少なくとも一部のゲート線がゲート線の延伸方向における表示領域の幅の最大長より短くなるように除去工程によって除去する。第1のアクティブマトリクス基板のいずれかの領域と領域の間を切断することにより、切断後のアクティブマトリクス基板におけるゲート線は、当該ゲート線に設けられたゲート線駆動部によって選択又は非選択の状態に切り替えられ、切断後のアクティブマトリクス基板におけるソース線には、当該ソース線に対して設けられた端子部を介してデータ信号が供給される。従って、切断

後のアクティブマトリクス基板における各画素に画像を表示させることができる。また、切断後のアクティブマトリクス基板の表示領域内に、ゲート線ごとにゲート線駆動部が設けられているため、ゲート線の長さが互いに異なっても各ゲート線を選択又は非選択の状態に切り替えることができる。そのため、ゲート線駆動部とゲート線との間の配線の引き回しを考慮することなく、切断後のアクティブマトリクス基板からデザイン性の高い第2のアクティブマトリクス基板を容易に生成することができる。

[0059] 本発明の一実施形態に係る表示パネルは、第1から第12のいずれかの構成のアクティブマトリクス基板と、カラーフィルタと共通電極とを備える対向基板と、前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、を備える（第18の構成）。

[0060] 第18の構成によれば、アクティブマトリクス基板には、アクティブマトリクス基板の第1方向の幅の最大長より短い長さのゲート線を含むゲート線群と、ゲート線と交差するソース線群が形成されている。各ゲート線は、表示領域内に形成されているゲート線駆動部により、額縁領域の1辺に設けられた第2端子部から供給される制御信号に応じて順次選択され、各ソース線には、第2端子部と同じ辺に設けられた第1端子部からデータ信号が供給される。従って、アクティブマトリクス基板の第1方向の幅の最大長より短いゲート線が形成されている部分があっても、ゲート線駆動部とゲート線とを接続するための配線等を額縁領域に沿って形成する必要がない。また、額縁領域の1辺からデータ信号と制御信号がソース線とゲート線駆動部にそれぞれ供給されるため、他の辺について狭額縁化を図ることができる。その結果、アクティブマトリクス基板のデザイン等の設計の自由度を向上させることができる。

[0061] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0062] <第1実施形態>

(液晶表示装置の構成)

図1は、本実施形態に係る液晶表示装置の概略構成を示した上面図である。液晶表示装置1は、表示パネル2、ソースドライバ3、表示制御回路4、及び電源5を有する。表示パネル2は、アクティブマトリクス基板20aと、対向基板20bと、これら基板に挟持された液晶層（図示略）とを有する。図1において図示を省略しているが、アクティブマトリクス基板20aの下面側と対向基板20bの上面側には、偏光板が設けられている。対向基板20bには、ブラックマトリクスと、赤（R）、緑（G）、青（B）の3色のカラーフィルタと、共通電極（いずれも図示略）が形成されている。

[0063] 図1に示すように、表示パネル2は、紙面において左右の上端部分が円弧状に形成されている。表示パネル2のアクティブマトリクス基板20aは、ソースドライバ3と電氣的に接続されている。表示制御回路4は、表示パネル2、ソースドライバ3、及び電源5と電氣的に接続されている。表示制御回路4は、ソースドライバ3と、アクティブマトリクス基板20aに形成されている後述のゲートドライバ（ゲート線駆動部の一例）とに制御信号を出力する。制御信号には、表示パネル2に画像を表示するためのリセット信号（CLR）、クロック信号（CKA, CKB）、データ信号等が含まれる。電源5は、表示パネル2、ソースドライバ3、及び表示制御回路4と電氣的に接続されており、各々に電源電圧信号を供給する。

[0064] （アクティブマトリクス基板の構成）

図2は、アクティブマトリクス基板20aの概略構成を示す上面図である。図2に示すように、アクティブマトリクス基板20aにおけるY軸正方向の左右の端部は、円弧状に形成されている。アクティブマトリクス基板20aにおいて、X軸方向の一端から他端までゲート線13G群が一定の間隔で略平行に形成されている。ゲート線13G群のうち、円弧状の部分に形成された一部のゲート線群13G\_aは、アクティブマトリクス基板20aにおけるX軸方向の幅の最大長 $l_{max}$ より短く、他のゲート線13G\_b群は、最大長 $l_{max}$ と略同じ長さに形成されている。

[0065] また、図2に示すように、ゲート線13G群と交差するようにソース線1

5 S群が形成されている。ゲート線13Gとソース線15Sとで囲まれる領域が1つの画素を形成し、全画素領域が表示パネル2の表示領域となる。

[0066] 図3は、ソース線15Sの図示を省略したアクティブマトリクス基板20aと、アクティブマトリクス基板20aと接続されている各部の概略構成を示す上面図である。図3の例に示すように、ゲート線13Gの間、つまり、表示領域内には、ゲートドライバ11が形成されている。この例では、GL(1)~GL(k)のゲート線13Gには、4つのゲートドライバ11がそれぞれ接続されており、GL(n-m)~GL(n)のゲート線13Gには、2つのゲートドライバ11がそれぞれ接続されている。

[0067] アクティブマトリクス基板20aの表示領域のうち、ソースドライバ3が設けられている辺の側の額縁領域には、端子部12g(第2端子部)が形成されている。端子部12gは、制御回路4及び電源5と接続されている。端子部12gは、制御回路4及び電源5から出力される制御信号(CKA、CKB)や電源電圧信号等の信号を受け取る。端子部12gに入力された制御信号(CKA、CKB)及び電源電圧信号等の信号は、配線15L1を介して各ゲートドライバ11に供給される。ゲートドライバ11は、供給される信号に応じて、接続されているゲート線13Gに対し、選択又は非選択の状態を示す選択信号を出力するとともに、次段のゲート線13Gにセット信号を出力する。以下の説明では、一のゲート線13Gに選択信号を出力する動作を、ゲート線13Gの駆動と呼ぶことがある。

[0068] また、アクティブマトリクス基板20aにおいて、ソースドライバ3が設けられている辺の側の額縁領域には、ソースドライバ3と各ソース線15Sとを接続する端子部12s(第1端子部)が、形成されている。ソースドライバ3は、表示制御回路4から入力される制御信号に応じて、各ソース線15S(図2参照)にデータ信号を出力する。

[0069] 図3に示すように、本実施形態では、表示領域内において、GL(1)~GL(n)の各ゲート線13Gに対し、複数のゲートドライバ11が接続されている。同一のゲート線13Gに接続されているゲートドライバ11は同

期しており、これらゲートドライバ11から出力されるセット信号によって、1本のゲート線13Gが同時に駆動される。本実施形態では、ゲートドライバ11の各々が1本のゲート線13Gを駆動する負荷が略均等となるように、略等間隔にゲート線13Gに接続されている。

[0070] (ゲートドライバ11の構成)

ここで、本実施形態におけるゲートドライバ11の構成について説明する。図4は、GL(n-1)とGL(n-2)のゲート線13G間に配置され、GL(n-1)のゲート線13Gを駆動する1つのゲートドライバ11の等価回路の一例を示す図である。図4に示すように、ゲートドライバ11は、スイッチング素子として薄膜トランジスタ(TFT:Thin Film Transistor)で構成されたTFT-A~TFT-Jと、キャパシタCbstと、端子111~120と、ローレベルの電源電圧信号が入力される端子群とを有する。

[0071] 端子111、112は、前段のGL(n-2)のゲート線13Gを介してセット信号(S)を受け取る。なお、GL(1)のゲート線13Gに接続されているゲートドライバ11の端子111、112は、表示制御回路4から出力されるゲートスタートパルス信号(S)を受け取る。端子113~115は、表示制御回路4から出力されるリセット信号(CLR)を受け取る。端子116、117は、入力されるクロック信号(CKA)を受け取る。端子118、119は、入力されるクロック信号(CKB)を受け取る。端子120は、セット信号(OUT)を後段のゲート線13Gに出力する。

[0072] クロック信号(CKA)とクロック信号(CKB)は、一水平走査期間毎に位相が反転する2相のクロック信号である(図9参照)。図4は、GL(n-1)のゲート線13Gを駆動するゲートドライバ11を例示しているが、GL(n)を駆動する後段のゲートドライバ11の場合、端子116、117は、クロック信号(CKB)を受け取り、そのゲートドライバ11の端子118、119は、クロック信号(CKA)を受け取る。つまり、ゲートドライバ11の端子116及び117と端子118及び119は、隣接する

行のゲートドライバ11が受け取るクロック信号と逆位相のクロック信号を受け取る。

[0073] 図4において、TFT-Bのソース端子と、TFT-Aのドレイン端子と、TFT-Cのソース端子と、TFT-Fのゲート端子とが接続されている配線をnet Aと称する。また、TFT-Cのゲート端子と、TFT-Gのソース端子と、TFT-Hのドレイン端子と、TFT-Iのソース端子と、TFT-Jのソース端子とが接続されている配線をnet Bと称する。

[0074] TFT-Aは、2つのTFT (A1, A2) を直列に接続して構成されている。TFT-Aの各ゲート端子は端子113と接続され、A1のドレイン端子はnet Aと接続され、A2のソース端子は電源電圧端子VSSに接続されている。

[0075] TFT-Bは、2つのTFT (B1, B2) を直列に接続して構成されている。TFT-Bの各ゲート端子とB1のドレイン端子は端子111と接続され(ダイオード接続)、B2のソース端子はnet Aに接続されている。

[0076] TFT-Cは、2つのTFT (C1, C2) を直列に接続して構成されている。TFT-Cの各ゲート端子はnet Bと接続され、C1のドレイン端子はnet Aと接続され、C2のソース端子は電源電圧端子VSSに接続されている。

[0077] キャパシタCbstは、一方の電極がnet Aと接続され、他方の電極が端子120と接続されている。

[0078] TFT-Dは、ゲート端子が端子118と接続され、ドレイン端子は端子120と接続され、ソース端子は電源電圧端子VSSに接続されている。

[0079] TFT-Eは、ゲート端子が端子114と接続され、ドレイン端子は端子120と接続され、ソース端子は電源電圧端子VSSに接続されている。

[0080] TFT-Fは、ゲート端子がnet Aと接続され、ドレイン端子は端子116と接続され、ソース端子が出力端子120と接続されている。

[0081] TFT-Gは、2つのTFT (G1, G2) を直列に接続して構成されている。TFT-Gの各ゲート端子とG1のドレイン端子は端子119と接続

され（ダイオード接続）、 $G2$ のソース端子は $net\ B$ に接続されている。

[0082]  $TFT-H$ は、ゲート端子が端子117と接続され、ドレイン端子は $net\ B$ と接続され、ソース端子は電源電圧端子 $VSS$ に接続されている。

[0083]  $TFT-I$ は、ゲート端子が端子115と接続され、ドレイン端子は $net\ B$ と接続され、ソース端子は電源電圧端子 $VSS$ に接続されている。

[0084]  $TFT-J$ は、ゲート端子が端子112と接続され、ドレイン端子は $net\ B$ と接続され、ソース端子は電源電圧端子 $VSS$ に接続されている。

[0085] （ゲートドライバの全体レイアウト）

次に、表示領域におけるゲートドライバ11の各素子の配置について説明する。図5A～図5Cは、 $GL(n)$ と $GL(n-1)$ 、 $GL(n-1)$ と $GL(n-2)$ のゲート線13G間に配置されている1つのゲートドライバ11の配置例を示す図である。図5A～図5Cでは、便宜上、 $GL(n)$ と $GL(n-1)$ の間の画素領域211R～217Bと、 $GL(n-1)$ と $GL(n-2)$ の間の画素領域201R～207Bとが分離されて記載されているが、実際は $GL(n-1)$ のゲート線13Gにおいて重ね合わされ、上下の画素領域は連続している。なお、画素領域を示す符号に含まれるR、G、Bは、対向基板20bに形成されているカラーフィルタ（図示略）の色を示している。

[0086] 図5A～図5Cに示すように、画素領域211R～217B（以下、上段画素領域と称する）と画素領域201R～207B（以下、下段画素領域と称する）には、ソース線15Sとゲート線13Gとが交差する近傍において、画像を表示するための画像表示用 $TFT$ （以下、 $TFT-PIX$ と称する）が形成されている。

[0087] また、上段画素領域と下段画素領域において、1つのゲートドライバ11を構成する素子（ $TFT-A$ ～ $TFT-J$ 、キャパシタ $Cbst$ ）が分散して配置されている。これら画素領域のうち、クロック信号（ $CKA$ 、 $CKB$ ）、リセット信号（ $CLR$ ）、電源電圧信号のいずれかの信号を受け取るスイッチング素子（ $TFT-A$ 、 $C$ ～ $F$ 、 $H$ ～ $J$ 、 $Cbst$ ）が配置される画

素領域には、これら信号を供給するための配線 15 L 1 が形成されている。配線 15 L 1 は、ソース線 15 S と略平行となるように上段画素領域及び下段画素領域にわたって形成されている。また、上段画素領域と下段画素領域において、net A 及び net B の配線 13 N が形成されている。配線 13 N は、上段画素領域及び下段画素領域において、ゲート線 13 G と略平行となるように、net A 及び net B に接続される素子 (TFT-A~C, F, G~J, Cbst) が配置される画素領域にわたって形成されている。

[0088] なお、本実施形態では、ゲートドライバ 11 のうち、TFT-D、TFT-F、TFT-H、及び TFT-G のそれぞれに供給されるクロック信号が、隣接する行のゲートドライバ 11 のこれら TFT のそれぞれに供給されるクロック信号と逆位相となるように配置される。つまり、TFT-D、TFT-F、TFT-H、及び TFT-G は、隣接する行のこれら TFT が形成される画素領域と水平方向にずれた画素領域に配置される。

[0089] 具体的には、図 5 A に示すように、上段画素領域の TFT-D は、画素領域 211 R と 211 G に形成されているのに対し、下段画素領域の TFT-D は、画素領域 201 B と 202 R とに形成されている。上段画素領域の TFT-F は、画素領域 213 G に形成されているのに対し、下段画素領域の TFT-F は、画素領域 203 R に形成されている。

また、図 5 C に示すように、上段画素領域の TFT-H は、画素領域 215 G 及び 215 B に形成されているのに対し、下段画素領域の TFT-H は、画素領域 206 R 及び 206 G に形成されている。上段画素領域の TFT-G は、画素領域 216 G に形成されているのに対し、下段画素領域の TFT-G は、画素領域 205 B に形成されている。このように構成することで、上段画素領域の TFT-D にはクロック信号 (CKA) が供給され、下段画素領域の TFT-D には、クロック信号 (CKA) とは逆位相となるクロック信号 (CKB) が供給される。TFT-F、TFT-H、TFT についても、図 5 A 及び図 5 C に示すように上段画素領域と下段画素領域とで逆位相のクロック信号 (CKA 又は CKB) が供給される。

[0090] また、上段画素領域のTFT-B及びTFT-Jは、GL(n-1)のゲート線13Gと接続され、下段画素領域のTFT-B及びTFT-Jは、GL(n-2)のゲート線13Gと接続されている。また、上段画素領域のTFT-D及びTFT-Fは、GL(n)のゲート線13Gと接続され、下段画素領域のTFT-D及びTFT-Fは、GL(n-1)のゲート線13Gと接続されている。下段画素領域に配置されたゲートドライバ11は、GL(n-2)のゲート線13Gを介してセット信号(S)を受け取り、GL(n)のゲート線13Gにセット信号(S)を出力してGL(n-1)のゲート線13Gを駆動する。上段画素領域に配置されたゲートドライバ11は、GL(n-1)のゲート線13Gを介してセット信号(S)を受け取り、GL(n+1)のゲート線13Gにセット信号(S)を出力してGL(n)のゲート線13Gを駆動する。

[0091] 次に、ゲートドライバ11を構成する各素子の具体的な接続方法について説明する。図6は、図5Bに示したTFT-Aが形成されている画素領域204G及び204Bの部分を拡大した平面図である。TFT-AとTFT-H、I、Jは、2つの画素領域を用いて構成され、接続方法が共通しているため、TFT-Aを用いて説明を行う。なお、図6において、二点鎖線で示す領域BMは、対向基板20bに形成されているブラックマトリクス(図示略)によって遮光される領域(以下、遮光領域BM)である。遮光領域BMは、ゲート線13G、ゲートドライバ11を構成する各素子、及びソース線15Sが形成されている領域を含む。

[0092] 図6に示すように、ゲート線13Gとソース線15Sとが交差する近傍には、画像表示用のTFT-PIXが形成されている。TFT-PIXと画素電極17とはコンタクト部CH1において接続されている。また、各画素領域には、ソース線15Sと略平行であり、ゲート線13Gと交差するように配線15L1が形成されている。画素領域204Gにおける配線15L1には電源電圧信号(VSS)が供給され、画素領域204Bにおける配線15L1にはリセット信号(CLR)が供給される。

[0093] 図6に示すように、TFT-Aのゲート端子13gは、画素領域204Bから画素領域204Gにわたって形成されている。画素領域204G及び204Bには、ソース線15S及び配線15L1と交差し、ゲート線13Gと略平行に配線13Nが形成されている。配線13Nは、上述したnetA及びnetBの配線である。TFT-Aは、画素領域204Bのコンタクト部CH2において配線15L1と接続され、画素領域204Gのコンタクト部CH2において配線13Nと接続されている。また、本実施形態では、画素電極17と、TFT-Aと配線13N及び15L1の間にはシールド層16が形成されている。

[0094] ここで、図6におけるTFT-PIXの部分をI-I線で切断した断面図を図7Aに示し、コンタクト部CH1をII-II線で切断した断面図を図7Bに示す。また、図6におけるTFT-Aの部分をIII-III線で切断した断面図を図7Cに示し、コンタクト部CH2をIV-IV線で切断した断面図を図7Dに示す。

[0095] 図7A、7C、及び7Dに示すように、基板20上にゲート配線層13が形成されることで、ゲート線13Gと、TFT-Aのゲート端子13gと、配線13Nとが形成される。図7A及び図7Cに示すように、ゲート配線層13の上層において、TFT-PIXが形成される部分とTFT-Aが形成される部分には、ゲート絶縁膜21を介して酸化物半導体からなる半導体層14が形成されている。また、半導体層14が形成された基板20上には、半導体層14の上部で離間するようにソース配線層15が形成されている。これにより、図7A～図7Cに示すように、ソース線15SとTFT-PIXのソースドレイン端子15SDと、TFT-Aのソースドレイン端子15sd(15sd<sub>1</sub>, 15sd<sub>2</sub>含む)と、配線15L1とが形成される。

[0096] 図7Dに示すように、画素領域204Bのコンタクト部CH2においては、ゲート配線層13の表面まで貫通するコンタクトホールH2がゲート絶縁膜21に形成されている。ソース配線層15(15L1)は、コンタクトホールH2においてゲート配線層13(13g)と接するようにゲート絶縁膜

21上に形成されている。これにより、画素領域204Bのコンタクト部CH2において、TFT-Aのゲート端子13gと配線15L1とが接続される。また、画素領域204Gのコンタクト部CH2においても同様に、ソース配線層15で構成されたTFT-AのA1側のドレイン端子15sd<sub>1</sub>と、ゲート配線層13で構成された配線13Nとが接続される。これにより、TFT-Aは、netAと接続され、配線15L1を介してリセット信号(CLR)が供給される。

[0097] また、図7A～図7Dに示すように、ソース配線層15の上層には、ソース配線層15を覆うように保護層22と保護層23とが積層されている。保護層22は、例えばSiO<sub>2</sub>等の無機絶縁膜で構成されている。保護層23は、例えばポジ型の感光性樹脂膜等の有機絶縁膜で構成されている。さらに、図7A～図7Dに示すように、保護層23の上層にはシールド層16が形成されている。シールド層16は、例えばITO等の透明導電膜で構成されている。そして、シールド層16の上層には、例えばSiO<sub>2</sub>などの無機絶縁膜で構成されている層間絶縁層24が形成されている。層間絶縁層24の上層には、図7C及び図7Dに示すように、ITO等の透明導電膜からなる画素電極17が形成されている。

[0098] 図7Bに示すように、コンタクト部CH1においては、TFT-PIXのドレイン端子15Dの上部において、層間絶縁層24とシールド層16と保護層22、23とを貫通するコンタクトホールH1が形成されている。画素電極17は、コンタクトホールH1においてドレイン端子15Dと接するように層間絶縁層24の上層に形成されている。シールド層16の形成によって、画素電極17とシールド層16との間に容量Csが形成され、容量Csによって画素電極17の電位が安定化される。

[0099] このように、TFT-Aと、TFT-Aと接続される配線13N及び配線15L1とが2つの画素領域にわたって形成されることで、1つの画素領域に形成する場合と比べて開口率の低下が抑制される。また、画素電極17とTFT-Aと配線13N及び配線15L1との間にシールド層16が形成さ

れているため、TFT-A等と画素電極17との間の干渉が低減される。

[0100] (TFT-B)

次に、TFT-Bの接続方法について説明する。図8Aは、図5Bに示した画素領域204Rを拡大した平面図である。図8Aにおいて遮光領域BMの図示は省略されている。図8Aに示すように、画素領域204Rには、上述した画素領域204Gと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ソース配線層15によって、TFT-Bのソースドレイン端子15sd(15sd<sub>1</sub>, 15sd<sub>2</sub>含む)が形成されている。ゲート配線層13によって、TFT-Bのゲート端子13gと、GL(n-2)のゲート線13G及び配線13Nが形成されている。

[0101] B1側のドレイン端子15sd<sub>1</sub>は、GL(n-2)のゲート線13G及び配線13Nと交差するように形成されている。コンタクト部CH3及びCH4には、上述のコンタクト部CH2と同様、ゲート配線層13とソース配線層15とを接続するためのコンタクトホールH2がゲート絶縁膜21に形成されている。

[0102] ドレイン端子15sd<sub>1</sub>は、コンタクト部CH3において、GL(n-2)のゲート線13Gと接続され、コンタクト部CH4において、ゲート端子13gと接続されている。また、B2側のソース端子15sd<sub>2</sub>は、コンタクト部CH2において配線13Nと接続されている。これにより、TFT-Bは、netAに接続され、GL(n-2)のゲート線13Gを介してセット信号(S)を受け取る。

[0103] (TFT-C)

次に、TFT-Cの接続方法について説明する。図8Bは、図5Bに示した画素領域205Rを拡大した平面図である。図8Bにおいて遮光領域BMの図示は省略されている。図8Bに示すように、画素領域205Rには、上述した画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層

13により、TFT-Cのゲート端子13gと、ゲート線13G及び配線13N(13Na, 13Nb)とが形成されている。ソース配線層15により、TFT-Cのソースドレイン端子15sd(15sd<sub>1</sub>, 15sd<sub>2</sub>含む)と配線15L1とが形成されている。コンタクト部CH2において、C1側のドレイン端子15sd<sub>1</sub>と配線13Naは接続されている。TFT-Cは、配線13Naによりnet Aと接続され、配線13Nbによりnet Bと接続される。また、TFT-Cは、配線15L1を介して電源電圧信号(VSS)が供給される。

[0104] (TFT-F)

次に、TFT-Fの接続方法について説明する。図8Cは、図5Aに示した画素領域203Rを拡大した平面図である。図8Cにおいて遮光領域BMの図示は省略されている。図8Cに示すように、画素領域203Rには、画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-P1Xと画素電極17とが接続されている。また、ゲート配線層13により、TFT-Cのゲート端子13gと、ゲート線13G及び配線13Nとが形成されている。ソース配線層15により、TFT-Fのソース端子15s及びドレイン端子15dと配線15L1とが形成されている。

[0105] コンタクト部CH5には、上述したコンタクト部CH2と同様、ゲート配線層13とソース配線層15とを接続するコンタクトホールH2が形成されている。コンタクト部CH5において、TFT-Fのソース端子15sとGL(n-1)のゲート線13Gとが接続され、TFT-Fのゲート端子はnet Aと接続される。TFT-Fのドレイン端子は、配線15L1を介してクロック信号(CKA)が供給される。また、TFT-Fは、コンタクト部CH5を介してGL(n-1)のゲート線13Gにセット信号を出力する。

[0106] (TFT-G)

次に、TFT-Gの接続方法について説明する。図8Dは、図5Cに示した画素領域205Bを拡大した平面図である。図8Dにおいて遮光領域BMの図示は省略されている。図8Dに示すように、画素領域205Bには、画

素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、TFT-Gのゲート端子13gと、ゲート線13G及び配線13Nが形成されている。ソース配線層15により、TFT-Gのソースドレイン端子15sd(15sd<sub>1</sub>, 15sd<sub>2</sub>含む)と配線15L1とが形成されている。コンタクト部CH2において、TFT-GのG2側のソース端子15sd<sub>2</sub>は配線13Nと接続されている。また、TFT-Gのゲート端子13gは、コンタクト部CH4において、G1側のドレイン端子15sd<sub>1</sub>及び配線15L1と接続されている。これにより、TFT-Gは、netBと接続され、配線15L1を介してクロック信号(CKB)が供給される。

[0107] (Cbst)

次に、キャパシタCbstの接続方法について説明する。図8Eは、図5Bに示した画素領域203Bを拡大した平面図である。図8Eにおいて遮光領域BMの図示は省略されている。画素領域203Bには、上述した画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、キャパシタCbstを構成する一方の電極13cと、ゲート線13G及び配線13Nとが形成されている。ソース配線層15により、キャパシタCbstの他方の電極15cと、接続部15Lcと、配線15L2とが形成されている。図8Eに示すように、接続部15Lcは、配線13Nと略同じ幅を有し、電極15cからコンタクト部CH2まで延伸されて形成され、コンタクト部CH2において配線13Nと接続されている。また、配線15L2は、接続部15Lcのコンタクト部CH2側の端部からコンタクト部CH1の近傍まで延伸されて形成されている。本実施形態では、配線15L2を形成することにより、キャパシタCbstが形成される画素領域の開口率と他の画素領域との開口率を合わせるようにしている。コンタクト部CH2において、電極15cは接続部15Lcによって配線13Nと接続されている。これにより、キャパシタCbstは、netAと接続される。

[0108] (TFT-D, E)

次に、TFT-D及びTFT-Eの接続方法について説明する。TFT-DとTFT-Eは、上述したTFT-Aと同様、隣接する2つの画素領域にわたってゲート端子13gが形成され、一方の画素領域に形成された配線15L1とゲート端子13gが接続されている。TFT-D及びTFT-Eは、ゲート端子に供給される信号がリセット信号(CLR)であるかクロック信号(CKA)であるかの違いであるため、以下、TFT-Dの接続方法について説明する。

[0109] 図8Fは、図5Aに示した画素領域201B及び202Rを拡大した平面図である。図8Fにおいて遮光領域BMの図示は省略されている。画素領域201B及び202Rは、上述した画素領域204G及び204Bと同様、ソース配線層15により、TFT-Dのソース端子15s及びドレイン端子15dと配線15L1とが形成されている。ドレイン端子15dは、画素領域201Bにおけるコンタクト部CH5において、GL(n-1)のゲート線13Gと接続されている。TFT-Dは、画素領域201B及び202Rにおける配線15L1を介して電源電圧信号(VSS)、クロック信号(CKA)が供給され、クロック信号(CKA)がHレベルになるタイミングでコンタクト部CH5を介してGL(n-1)のゲート線13GにLレベルの電位(VSS)を出力する。

[0110] 以上が、ゲートドライバ11の構成及び各素子の接続例である。なお、TFT-B~TFT-E、TFT-F、TFT-G、キャパシタCbst、TFT-Dが形成される画素領域において説明を省略したが、TFT-Aが形成される画素領域と同様、これら画素領域についてもソース配線層15の上層に、保護層22及び23、シールド層16、層間絶縁膜24、画素電極17が積層されている。

[0111] (ゲートドライバ11の動作)

次に、図4及び図9を参照しつつ、1つのゲートドライバ11の動作について説明する。図9は、ゲートドライバ11がゲート線13Gを走査する際

のタイミングチャートである。図9において、 $t_3$ から $t_4$ の期間がGL ( $n$ ) のゲート線13Gが選択されている期間である。表示制御回路4から供給される、一水平走査期間毎に位相が反転するクロック信号(CKA)とクロック信号(CKB)とが端子116~119を介してゲートドライバ11に入力される。また、図9では図示を省略しているが、一垂直走査期間毎に一定期間H (High) レベルとなるリセット信号(CLR)が表示制御回路4から端子113~115を介してゲートドライバ11に入力される。リセット信号(CLR)が入力されると、net A、net B、ゲート線13GはL (Low) レベルに遷移する。

[0112] 図9の時刻 $t_0$ から $t_1$ において、Lレベルのクロック信号(CKA)が端子116、117に入力され、Hレベルのクロック信号(CKB)が端子118、119に入力される。これにより、TFT-Gがオン状態となり、TFT-Hがオフ状態となるためnet BはHレベルに充電される。また、TFT-CとTFT-Dがオン状態となり、TFT-Fがオフ状態となるためnet AはLレベルの電源電圧(VSS)に充電され、端子120からLレベルの電位が出力される。

[0113] 次に、時刻 $t_1$ において、クロック信号(CKA)がHレベルとなり、クロック信号(CKB)がLレベルになると、TFT-Gがオフ状態となり、TFT-Hがオン状態となるため、net BはLレベルに充電される。そして、TFT-CとTFT-Dがオフ状態となるためnet Aの電位はLレベルに維持され、端子120はLレベルの電位を維持する。

[0114] 時刻 $t_2$ において、クロック信号(CKA)がLレベル、クロック信号(CKB)がHレベルとなり、GL ( $n-1$ ) のゲート線13Gを介してセット信号(S)が端子111、112に入力される。これにより、TFT-Bがオン状態となり、net AがHレベルに充電される。また、TFT-Jがオン状態となり、TFT-Gがオン状態、TFT-Hがオフ状態となるためnet BがLレベルに維持された状態となる。TFT-CとTFT-Fはオフ状態となるため、net Aの電位は下がらずに維持される。この間、TFT

T-Dはオン状態となっているため、端子120からLレベルの電位が出力される。

[0115] 時刻 $t_3$ において、クロック信号(CKA)がHレベルとなり、クロック信号(CKB)がLレベルとなると、TFT-Fがオン状態となり、TFT-Dがオフ状態となる。net Aと端子120の間にはキャパシタCbstが設けられているため、TFT-Fの端子116の電位の上昇に伴って、net Aはクロック信号(CKA)のHレベルより高い電位まで充電される。この間、TFT-GとTFT-Jがオフ状態、TFT-Hがオン状態となるため、net Bの電位はLレベルで維持される。TFT-Cはオフ状態であるためnet Aの電位は下がらず、クロック信号(CKA)のHレベルの電位が端子120から出力される。これにより、端子120と接続されているGL(n)のゲート線13GはHレベルに充電され、選択された状態となり、GL(n+1)の端子111、112にセット信号(S)が出力される。

[0116] 時刻 $t_4$ において、クロック信号(CKA)がLレベルとなり、クロック信号(CKB)がHレベルになると、TFT-Gがオン状態となり、TFT-Hがオフ状態となるためnet BはHレベルに充電される。これによりTFT-Cはオン状態となりnet AはLレベルに充電される。この間、TFT-Dがオン状態、TFT-Fがオフ状態となるため、端子120からLレベルの電位が出力され、GL(n)のゲート線13GはLレベルに充電される。

[0117] このように、ゲートドライバ11の端子120からセット信号(S)がゲート線13Gに出力されることにより、そのゲート線13Gが選択された状態となる。液晶表示装置1は、各ゲート線13Gに接続されている複数のゲートドライバ11によってゲート線13Gを順次走査し、ソースドライバ3によって各ソース線15Sにデータ信号を供給することにより表示パネル2に画像を表示する。

[0118] 上述した第1実施形態では、表示領域内において、1本のゲート線13Gを駆動する複数のゲートドライバ11がゲート線13G間に形成されている

。そのため、表示パネル2の外形の幅に応じて、ゲート線13Gの長さが決められている場合でも、各々のゲート線13Gは、表示領域内のゲートドライバ11から出力されるセット信号によって順次選択される。

[0119] また、各ゲートドライバ11に対して供給されるクロック信号や電源電圧信号等の制御信号は、表示パネル2において、ソースドライバ3が設けられている1辺の側から入力される。そのため、ソースドライバ3が設けられていない他の3辺の額縁領域について狭額縁化を図ることができ、ゲートドライバ11の配置によって表示パネル2の外形のデザインが制限されず、設計の自由度を向上させることができる。

[0120] <第2実施形態>

図10は、本実施形態におけるアクティブマトリクス基板の概略構成を示す上面図である。この図において、第1実施形態と同様の構成には、第1実施形態と同じ符号を付している。以下、第1実施形態と異なる構成について説明する。本実施形態に係るアクティブマトリクス基板120aは、図10に示すように、アクティブマトリクス基板120aにおいて、ゲート線13Gの延伸方向(X軸方向)に平行な辺のうち、ソースドライバ3とは反対側の辺が凹凸形状に形成されている。そして、アクティブマトリクス基板120aにおける凹部と凸部のX軸方向の幅と略同じ長さのゲート線13G群が、その幅の各列(以下、列S1、S2、S3、S4)に形成されている。すなわち、図10の例では、各ゲート線13Gは、アクティブマトリクス基板120aにおけるゲート線13Gの延伸方向(X軸方向)の幅の最大長 $l_{ma}$ より短い長さに形成されている。

[0121] ゲート線13G群は、各列においてY軸方向に一定の間隔で略平行に配列されている。列S1と列S3は、GL(1)~GL(n+a)行のゲート線13Gが配列されている。列S2と列S4は、G(1)~G(n)行のゲート線13Gが配列されている。また、図10において図示を省略しているが、アクティブマトリクス基板120aには、ゲート線13G群と交差するようにY軸に平行なソース線15S群が形成され、また、ソースドライバ3側

の額縁領域には端子部 1 2 s が形成されている。

[0122] また、図 1 0 では簡略化して記載しているが、表示領域内には、第 1 実施形態と同様、S 1 ~ S 4 の各列に配列されたゲート線 1 3 G の間にゲートドライバ 1 1 が形成され、各列に配置されているゲートドライバ 1 1 は、配線 1 5 L 1 (図 3 等参照) によって接続されている。各列に配列されたゲートドライバ 1 1 は、配線 1 5 L 1 を介してクロック信号や電源電圧信号等の制御信号が端子部 1 2 g から供給される。従って、この例では、列 S 1 に配列された各ゲート線 1 3 G は、ゲートドライバ群 1 1 \_\_ s 1 によって順次走査され、列 S 2 に配列された各ゲート線 1 3 G は、ゲートドライバ群 1 1 \_\_ s 2 によって順次走査される。また、列 S 3 に配列された各ゲート線 1 3 G は、ゲートドライバ群 1 1 \_\_ s 3 によって順次走査され、列 S 4 に配列された各ゲート線 1 3 G は、ゲートドライバ群 1 1 \_\_ s 4 によって順次走査される。

[0123] なお、図 1 0 の例では、1 つのゲート線 1 3 G に対し、1 つのゲートドライバ 1 1 が接続されている例を示しているが、1 つのゲート線 1 3 G に対し、複数のゲートドライバ 1 1 が接続されていてもよい。また、1 つのゲート線 1 3 G は、少なくとも 1 つのゲートドライバ 1 1 のスイッチング素子が形成可能な長さであればよい。

[0124] 図 1 1 は、アクティブマトリクス基板 1 2 0 a の駆動タイミングを例示した図である。S 1 と S 3 の列のゲートドライバ群 1 1 \_\_ s 1, 1 1 \_\_ s 3 は、制御信号に応じて、GL ( 1 ) ~ GL ( n + a ) 行までゲート線 1 3 G を順次駆動してセット信号を出力する。S 2 と S 4 の列のゲートドライバ群 1 1 \_\_ s 2, 1 1 \_\_ s 4 は、制御信号に応じて、GL ( 1 ) ~ GL ( n ) 行までゲート線 1 3 G を順次駆動してセット信号を出力する。これにより、図 1 1 に示すように、列 S 2 と S 4 は、走査開始時 t 0 から t 1 のタイミングで走査が終了され、列 S 1 と S 3 は、t 2 のタイミングで走査が終了される。

[0125] ソースドライバ 3 は、列 S 1 及び S 3 に形成されているソース線 1 5 S (図示略) に対し、GL ( 1 ) ~ GL ( n + a ) のゲート線 1 3 G の走査期間

t<sub>0</sub>～t<sub>2</sub>まで、映像信号に応じた列S<sub>1</sub>及びS<sub>3</sub>のデータ信号S<sub>1</sub>\_\_D、S<sub>3</sub>\_\_Dを出力する。そして、列S<sub>2</sub>及びS<sub>4</sub>に形成されているソース線15S（図示略）に対しては、GL（1）～GL（n）のゲート線13Gの走査期間t<sub>0</sub>～t<sub>1</sub>まで、映像信号に応じた列S<sub>2</sub>及びS<sub>4</sub>のデータ信号S<sub>2</sub>\_\_D、S<sub>4</sub>\_\_Dを出力し、走査終了後のt<sub>1</sub>～t<sub>2</sub>の間は、信号の振幅が最小となるデータ信号を出力する。例えば、アクティブマトリクス基板120aがノーマリブラックの表示モードであれば、t<sub>1</sub>以降は、黒を示すデータ信号を出力するようにしてもよい。

[0126] 上述した第2実施形態のように、アクティブマトリクス基板120aの1辺が凹凸形状を有する場合、凹凸部分の幅に応じた長さのゲート線13Gをアクティブマトリクス基板120aに形成し、ゲート線13Gの間にゲートドライバ11を形成することで、凹凸部分の幅に応じた表示領域ごとに表示を制御することができる。また、凹部が形成された列（S<sub>2</sub>、S<sub>4</sub>）のゲート線13Gの走査時間は、凸部が形成された列（S<sub>1</sub>、S<sub>3</sub>）のゲート線13Gの走査時間より短くなる。上述した第2実施形態では、凹部が形成された列のゲート線の走査が終了した後は、凸部が形成された列の走査が終了するまで、信号の振幅が最小となるデータ信号を出力するため、凹部が形成された列のソース線15Sを駆動する消費電力を低減させることができる。

[0127] <第3実施形態>

本実施形態では、表示領域内に非表示領域が形成されているアクティブマトリクス基板の例について説明する。図12Aは、本実施形態におけるアクティブマトリクス基板の概略構成を示す上面図である。図12Aにおいて、第1実施形態と同様の構成には、第1実施形態と同じ符号を付している。以下、第1実施形態と異なる構成について説明する。

[0128] 本実施形態に係るアクティブマトリクス基板220aは、図12Aに示すように、破線で示す表示領域200内に非表示領域300が形成されている。

[0129] 図12Bは、図12Aに示すI-I線で切断した場合の表示パネル2の断

面を表す図である。図12Bに示すように、本実施形態では、アクティブマトリクス基板220aの基板20上の表示領域200には、ゲート配線層13、ソース配線層15、半導体層14等からなる素子層10が形成され、非表示領域300には素子層10は形成されていない。アクティブマトリクス基板20aと対向基板20bの間の液晶層40は、非表示領域300と表示領域200に形成されている。対向基板20b側の偏光板30Aとアクティブマトリクス基板20a側の偏光板30Bは、表示領域200に形成され、非表示領域300の部分には孔300Hが形成されている。このように、本実施形態における表示パネル2は、基板20と対向基板20bにおいて非表示領域300の部分に孔300Hが形成されておらず、非表示領域300の部分には、素子層10と偏光板30A、30Bとが形成されていない構成となっている。

[0130] なお、非表示領域300が設けられた表示パネル2の構成は、図12Bに示した構成に限らず、例えば、図12Cに示す構成であってもよい。図12Cでは、基板20と対向基板20bにおいて非表示領域300の部分に孔300Hが形成されている。また、対向基板20bとアクティブマトリクス基板20aとの間において、非表示領域300と表示領域200との境界部分には、液晶層40を封止するシール材50が形成されている。このように、表示パネル2の表示領域の内側に非表示領域が形成されていれば、図12B及び図12Cのいずれの構成であってもよい。

[0131] 図12Aに戻り、説明を続ける。アクティブマトリクス基板220aにおいて、非表示領域300が形成された列S3と、非表示領域300が形成されていない列S1、S2、S4に、各列の幅と略同じ長さのゲート線13G群が形成されている。すなわち、各ゲート線13Gは、アクティブマトリクス基板220aにおけるゲート線13Gの延伸方向(X軸方向)の幅の最大長 $l_{max}$ より短い長さに形成されている。ゲート線13G群は、各列においてY軸方向に一定の間隔で略平行に配列されている。列S1とS2とS4は、GL(1)~GL(n+a)のゲート線13Gが配列されている。列S

3において、非表示領域300を挟む、端子部12g側の領域S32には、GL(1)~GL(k)のゲート線13Gが配列され、額縁領域301側の領域S31には、GL(n)~GL(n+a)のゲート線13Gが配列されている。なお、図12Aの例では、列S1~S4におけるゲート線は、隣接する列との境界近傍で分断されているが、領域S31におけるゲート線以外のゲート線は分断されていなくてもよい。

[0132] また、便宜上、図示を省略しているが、アクティブマトリクス基板220aの各列には、第1実施形態と同様に、Y軸に平行なソース線15S群が形成され、ソースドライバ3側の額縁領域には端子部12sが形成されている。また、ゲート線13Gの間には、配線15L1(図3、5A~5C等参照)によって各々接続されたゲートドライバ11が形成されている。

[0133] なお、列S3において、領域S31に配置されたゲートドライバ11は、領域S32に配置されたゲートドライバ11と接続されず、額縁領域301に引き回された配線15L1を介して、列S2におけるGL(n)のゲート線13Gに接続されたゲートドライバ11と接続されている。領域S31に配列されたゲートドライバ11は、列S2と額縁領域301に形成された配線15L1を介してクロック信号や電源電圧信号等の制御信号が端子部12gから供給される。そして、領域S31のGL(n+a)のゲート線13Gに接続されたゲートドライバ11は、列S2におけるGL(n+a)のゲート線13Gに接続されたゲートドライバ11からセット信号(S)を受ける。つまり、領域S31におけるゲート線13Gの走査方向は他の領域の走査方向とは逆方向となる。

[0134] また、列S3における領域S31には、列S2及びS4に形成され、額縁領域301まで引き回されたソース線15Sが形成されている。そのため、領域S31に形成されているソース線15Sと領域S32のソース線15Sとは接続されていない。従って、領域S32には、ソースドライバ3側からゲート線13Gの走査方向に沿ってデータ信号が供給されるが、領域S31には、列S2、S4のソース線15Sを介して額縁領域301側からデータ

信号が供給される。つまり、領域S31は、ゲート線13Gの走査方向が他の領域の走査方向とは逆方向となるため、GL(n+a)からGL(n)の順にデータが書き込まれる。そのため、ソースドライバ3は、領域S31におけるGL(n)からGL(n+a)の各行に書き込むべきデータを、領域S31におけるGL(n+a)からGL(n)のゲート線13Gの各駆動タイミングで、GL(n+a)からGL(n)の順に書き込むように並び替えたデータ信号を送出する。

[0135] 図13は、図12のアクティブマトリクス基板220aの駆動タイミングを例示した図である。列S1の各ゲートドライバ11は、制御信号に応じて、GL(1)~GL(n+a)行のゲート線13Gを順次走査する。列S3における領域S32の各ゲートドライバ11は、制御信号に応じて、GL(1)~GL(k)行のゲート線13Gを順次走査する。列S2の各ゲートドライバ11は、制御信号に応じて、GL(1)~GL(n+a)行のゲート線13Gを順次走査する。そして、列S3における領域S31の各ゲートドライバ11は、列S2におけるGL(n+a)行のゲート線13Gを走査するゲートドライバ11からのセット信号(S)を受け、額縁領域301に形成された配線15L1を介して供給される制御信号に応じて、GL(n+a)~GL(n)行のゲート線13Gを順次走査する。

[0136] これにより、図13に示すように、領域S32におけるGL(1)~GL(k)のゲート線13Gの走査は、走査開始t0からt1のタイミングで終了し、列S1、S2、S4におけるGL(1)~GL(n+a)のゲート線13Gの走査は、t2(>t1)のタイミングで終了する。そして、領域S31におけるGL(n+a)~GL(n)のゲート線13Gの走査は、列S2の走査が終了するt2から開始され、t3(>t2)のタイミングで終了する。

[0137] ソースドライバ3は、領域S32に形成されているソース線15Sに対し、GL(1)~GL(k)の走査期間t0~t1まで、映像信号に応じた領域S32のデータ信号S32\_Dを出力し、t1以降は、信号の振幅が最小

となるデータ信号を出力する。また、列S1に形成されているソース線15Sに対しては、GL(1)~GL(n+a)の走査期間t0~t2まで、映像信号に応じた列S1のデータ信号S1\_\_Dを出力し、t2以降は、信号の振幅が最小となるデータ信号を出力する。信号の振幅が最小となるデータ信号としては、例えば、アクティブマトリクス基板220aがノーマリブラックの表示モードであれば、黒を示すデータ信号を出力するようにしてもよい。そして、列S2及びS4に形成されているソース線15Sに対しては、GL(1)~GL(n+a)の走査期間t0~t2まで、映像信号に応じた列S2、S4のデータ信号S2\_\_D、S4\_\_Dを出力し、t2以降は、映像信号に応じた領域S31のデータ信号S31\_\_Dを出力する。

[0138] 上述した第3実施形態のように、表示領域内に非表示領域が形成されている場合であっても、非表示領域が形成されている列の表示領域(S31, S32)に対してゲート線13Gとソース線15Sとを形成し、他の列の表示領域と同様に駆動させることができる。そのため、ゲートドライバ11の配置や、ソース線15S及びゲート線13Gの引き回しによる制約を受けることなく表示パネル2を設計することができる。

[0139] <第4実施形態>

上述した第3実施形態では、非表示領域300が形成されていない列のソース線15Sを額縁領域301まで引き回し、非表示領域300が形成された列に折り返すことで、非表示領域300が形成された列のソースドライバ3と反対側の領域S31にソース線15Sを形成する例であった。本実施形態では、非表示領域300が形成されていない列のソース線15Sを額縁領域301まで引き回すことなく、非表示領域300が形成されている列にソース線15Sを形成する例を説明する。図14は、本実施形態におけるアクティブマトリクス基板の概略構成を示す上面図である。図14において、第1実施形態及び第3実施形態と同様の構成には、第1実施形態及び第3実施形態と同じ符号を付している。以下、第3実施形態と異なる構成について説明する。

[0140] 図14に示すように、本実施形態におけるアクティブマトリクス基板320aは、第3実施形態と同様、表示領域200内に非表示領域300が形成されている。アクティブマトリクス基板320aにおける列S1、S4は、列の幅と略同じ長さのゲート線13G群が形成され、列S1、S4における各ゲート線13Gの間にはゲートドライバ11が形成されている。また、この例では、列S2において、非表示領域300が形成されているGL(k+1)~GL(n)までの各行は、列S2の幅と略同じ長さのゲート線13Gが形成されている。そして、列S2、S3において、非表示領域300が形成されている行以外の部分は、列S2及び列S3にわたってゲート線13Gが形成されている。列S2及び列S3における各ゲート線13Gの間には、列S2においてゲートドライバ11が形成されている。従って、この例では、非表示領域300が形成されている列S3の領域S31、S32には、ゲートドライバ11は形成されていない。なお、図14の例では、列S1とS2との境界近傍、列S3とS4との境界近傍、及び非表示領域300が形成されている部分においてゲート線13Gが分断されているが、非表示領域300が形成されている部分以外は分断されていなくてもよい。

[0141] また、図14に示すように、列S3には、領域S32における端子部12g側の端部から領域S31における額縁領域301側の端部近傍まで、非表示領域300の外周に沿うように迂回する迂回配線15SL、13n(図15参照)を介して接続されたソース線15Sが形成されている。以下、領域S32におけるソース線15Sの接続について具体的に説明する。

[0142] 図15は、非表示領域300のX軸方向の長さが6画素分(RGB×2)に相当する長さであり、非表示領域300のY軸方向の長さが3画素分に相当する長さである場合の例を示している。なお、図15では、便宜上、ゲートドライバ11の記載を省略しているが、ゲート線13Gの間にはゲートドライバ11が形成されている。

[0143] 図15に示すように、列S3の領域S32と領域S31に形成されているソース線15Sは、列S2、S4の画素領域まで形成された迂回配線13n

と、その画素領域に形成された迂回配線 15 SL を介して接続されている。迂回配線 15 SL が形成される画素領域は、ゲートドライバ 11 のスイッチング素子が形成されていない画素領域である。ここで、図 15 における画素領域 250 を拡大した模式図を図 16 に示す。

[0144] 図 16 に示すように、画素領域 250 は、ゲートドライバ 11 が形成されていない画素領域である。画素領域 250 には、画素領域 250 を構成するソース線 15 S の間に、ソース配線層 15 からなる迂回配線 15 SL がソース線 15 S と略平行に形成されている。そして、コンタクト部 CH2 を介して迂回配線 15 SL と接続される迂回配線 13 n が、ゲート線 13 G と略平行に形成されている。迂回配線 13 n は、ゲート配線層 13 からなり、コンタクト部 CH2 は、第 1 実施形態の図 7 D と同様に形成されている。迂回配線 13 n は、図 15 に示す列 S3 の画素領域 251 に形成されているソース線 15 S まで形成されており、画素領域 251 のソース線 15 S とコンタクト部 CH2 (図示略) を介して接続されている。迂回配線 15 SL、13 n は、ゲートドライバ 11 のスイッチング素子が形成されている画素領域の開口率と略同じ開口率となるように、クロック信号や電源電圧信号の配線 15 L1 と同様の位置及び大きさに形成されている。

[0145] このように、ゲートドライバ 11 が形成されていない画素領域に迂回配線 15 SL、13 n を形成することにより、非表示領域 300 が形成された列にソース線 15 S を引き回し、ソースドライバ 3 からのデータ信号を供給することができる。また、第 4 実施形態では、非表示領域 300 が形成されている列にはゲートドライバ 11 が形成されないため、第 3 実施形態のように、非表示領域 300 が形成されている列の領域 S31、32 のゲートドライバ 11 に制御信号を供給する配線 15 L1 を額縁領域 301 に折り返して引き回す必要がなく、第 3 実施形態と比べて狭額縁化を図ることができる。また、ゲートドライバ 11 が形成されている画素領域の開口率と略同じ開口率となるように、迂回配線 15 SL、13 n が形成されるため、輝度むら等を抑制することができる。

## [0146] &lt;第5実施形態&gt;

本実施形態では、表示領域の一部の領域を第1の駆動周波数で駆動し、他の領域を第1の駆動周波数より低い第2の駆動周波数で駆動させる例について説明する。以下、前述した実施形態と同様の構成については同じ符号を用い、前述した実施形態と異なる構成について説明を行う。

[0147] 表示パネル2の液晶層は、対向基板20bとアクティブマトリクス基板20aの間に、樹脂からなるシール材を用いて封入される。液晶層をシール材によって封入する際、シール材近傍の液晶層に、シール材の不純物が混入する可能性がある。その結果、液晶層のシール材近傍の部分は、他の部分と比べて実効電圧が低くなることがある。低消費電力化を図るため、表示パネル2の表示を60Hzで駆動させず、1Hzで駆動させるようすると、シール材近傍の部分の表示速度が遅くなる現象が生じる。

[0148] 本実施形態では、表示領域200の外周の一部を他の領域の駆動周波数（例えば、1Hz）より高い駆動周波数（例えば、60Hz）で駆動させる例について説明する。図17は、本実施形態におけるアクティブマトリクス基板420aの概略構成を示す上面図である。アクティブマトリクス基板420aにおいて、矩形領域501、502は、シール材が形成されている額縁領域（以下、シール材領域501、502と称する。）を示している。シール材領域501、502と表示領域200との境界から予め定められた幅の領域S1、S2（以下、シール材近傍領域と称する）には、その幅の長さを有するゲート線13G群が形成されている。また、表示領域200において、シール材近傍領域S1、S2を除いた領域S3には、領域S3の幅を有するゲート線13G群が形成されている。そして、シール材近傍領域S1、S2と領域S3における各ゲート線13Gの間には、1つのゲート線13Gを駆動する少なくとも1つのゲートドライバ11が形成されている。

[0149] 図17の例では、簡略化して記載されているが、領域ごとのゲートドライバ11は、配線15L1（図3、5A～5C等参照）を介して接続され、配線15L1によって端子部12gからの制御信号が各ゲートドライバ11に

供給される。また、図17の例では図示を省略しているが、表示領域200には、ゲート線13Gと交差するようにソース線15S群と、ソースドライバ3側の額縁領域に端子部12sが形成されている。

[0150] 例えば、60Hz相当の動画を表示する場合、領域S3を1Hzで駆動し、シール材近傍領域S1、S2を60Hzで駆動するとき、表示制御回路4は、シール材近傍領域S1、S2のゲートドライバ11に対しては、シール材近傍領域S1、S2の各ゲート線13Gを60Hzで駆動させる制御信号を端子部12gを介して入力する。領域S3のゲートドライバ11に対しては、領域S3のゲート線13Gを1Hzで駆動させる制御信号を端子部12gを介して入力する。ソースドライバ3は、シール材近傍領域S1、S2と領域S3のソース線15S（図示略）に対し、外部から入力される映像信号のフレーム毎に、そのフレームにおける各領域に表示すべき動画データを示すデータ信号を供給する。この場合、領域S3におけるゲート線13Gは1Hzで駆動されるが、シール材近傍領域S1、S2におけるゲート線13Gは60Hzで駆動されるため、シール材近傍領域S1、S2の表示速度が領域S3より遅くなる現象を抑制することができる。

[0151] また、例えば、1Hz相当の画像や静止画を表示する場合には、上記と同様、表示制御回路4は、シール材近傍領域S1、S2のゲートドライバ11に対しては、シール材近傍領域S1、S2のゲート線13Gを60Hzで駆動させる制御信号を、端子部12gを介して入力する。領域S3のゲートドライバ11に対しては、領域S3のゲート線13Gを1Hzで駆動させる制御信号を端子部12gを介して入力する。

[0152] この場合、ソースドライバ3は、ソース線15S（図示略）毎のバッファ回路（図示略）を有する。ソースドライバ3は、外部から入力される1Hz相当の画像データのうち、シール材近傍領域S1、S2のソース線15Sに対して送出すべき画像データをバッファ回路（図示略）に保持しておく。そして、シール材近傍領域S1、S2のソース線15S（図示略）に対しては、バッファ回路（図示略）に保持されている画像データを読み出し、1/60

秒毎にその画像データを示すデータ信号を供給する。これにより、シール材近傍領域S1、S2には、同じ画像が60回書き込まれる。一方、領域S3のソース線15S（図示略）に対しては、1秒毎に、領域S3のソース線15Sに対して送出すべき画像データを供給する。この場合、ソースドライバ3は、1Hz相当の駆動周波数でデータ信号を送出し、領域S3におけるゲートドライバ11は、ゲート線13Gを1Hz相当の駆動周波数で駆動することができる。そのため、上記した60Hz相当の動画を表示する場合と比べ、領域S3の表示制御にかかる消費電力を低減させることができる。

[0153] なお、上述した第5実施形態では、シール材近傍領域として、表示領域200においてY軸に平行な2辺近傍の領域を例に挙げて説明したが、表示領域200においてX軸に平行な2辺近傍の領域であってもよいし、表示領域200の4辺近傍の領域であってもよい。

[0154] <第6実施形態>

上述した第5実施形態の図17では、領域S1～S3のゲート線13Gは、領域の幅と略同じ長さとなるように形成されている例を説明した。図17の例では、1Hz相当で駆動される領域S1、S2と、60Hz相当で駆動される領域S3との境界が直線状であるため、その境界部分が人の目に感知されやすい。そのため、本実施形態では、駆動周波数が異なる領域の境界が非直線状となるようにゲート線13Gを形成する例を説明する。

[0155] 図18は、本実施形態におけるアクティブマトリクス基板421aの概略構成を示す上面図である。図18において、第5実施形態と同様の構成については同じ符号を付している。第5実施形態と同様、シール材近傍領域S1、S2におけるソース線15S（図示略）は、60Hz相当の駆動周波数でデータ信号が供給され、領域S3におけるソース線15S（図示略）は、1Hz相当の駆動周波数でデータ信号が供給される。

[0156] 図18に示すように、領域S3におけるゲート線群13G\_\_3は、領域S3を含み、シール材近傍領域S1、S2の一部に重なるように形成されている。シール材近傍領域S1、S2におけるゲート線群13G\_\_1、13G\_\_

2は、シール材領域501、502の境界からゲート線群13G\_3の端部の間に形成されている。

[0157] ゲート線群13G\_1、13G\_2と、ゲート線群13G\_3との境界が非直線状となるように、ゲート線群13G\_1、13G\_2、13G\_3の各ゲート線13Gの長さは決められている。つまり、駆動周波数が低い領域（以下、第1領域）と、その領域より駆動周波数が高い隣接領域（以下、第2領域）のゲート線群の境界が非直線状となるように、第1領域に形成されるゲート線が、第2領域の一部まで形成されている。

[0158] ゲート線群13G\_1、13G\_2に接続されているゲートドライバ11に対しては、ゲート線群13G\_1、13G\_2を60Hz相当の駆動周波数で駆動させる制御信号が、端子部12gを介して表示制御回路4から供給される。また、ゲート線群13G\_3に接続されているゲートドライバ11に対しては、ゲート線群13G\_3を1Hz相当の駆動周波数で駆動させる制御信号が、端子部12gを介して表示制御回路4から供給される。

[0159] これにより、領域S3においてゲート線群13G\_3が形成された部分の画素領域は、1Hz相当の駆動周波数でゲート線13Gが駆動され、1Hz相当の駆動周波数でデータ信号が送出されるため、1/60回だけデータが書き込まれる。領域S1においてゲート線群13G\_3が形成された部分の画素領域は、60Hz相当の駆動周波数でデータ信号が送出されるが、1Hz相当の駆動周波数でゲート線13Gが駆動されるため、1/60回しかデータの書き込みはなされず、59/60回はデータの書き込みがなされない。

[0160] なお、上記とは逆に、ゲート線群13G\_1、13G\_2と、ゲート線群13G\_3との境界が非直線状となるように、ゲート線群13G\_1、13G\_2が、領域S3の一部まで形成されている場合、領域S3においてゲート線群13G\_1、13G\_2が形成された部分の画素領域は、1Hz相当の駆動周波数でデータ信号が送出されるにも関わらず、60Hz相当の駆動周波数でゲート線13Gが駆動される。その結果、データ信号が送出されて

いない期間に、共通電極の電圧等が意に反して書き込まれることが生じうる。そのため、第2領域を駆動するためのゲート線が、第1領域の一部にまで形成されないように構成すればよい。

[0161] <第7実施形態>

上述した第6実施形態では、表示領域における列に応じて異なる駆動周波数で駆動させる例について説明した。本実施形態では、表示領域における列及び行に応じて異なる駆動周波数で駆動させる例について説明する。

[0162] 図19は、本実施形態におけるアクティブマトリクス基板の概略構成を示す上面図である。図19の例では、アクティブマトリクス基板520aの表示領域200をX軸方向に沿って4分割し、分割した各領域の幅に相当するGL(1)~GL(n)のゲート線13G群が領域毎に形成されている。以下、これら各領域を構成する列を、S1、S2、S3、S4と称する。この例では、各列におけるゲート線13Gは、アクティブマトリクス基板520aのX軸方向の幅(最大長lmax)より短い長さを有する。

[0163] また、図19の例では簡略化して記載されているが、各列におけるゲート線13Gとゲート線13Gの間には、少なくとも1つのゲートドライバ11'が形成されており、各列におけるゲートドライバ11'は、第1実施形態と同様、配線15L1(図3, 5A~5C等参照)によって接続されている。各列におけるゲートドライバ11'は、表示制御回路4からの制御信号を、配線15L1を介して受け取る。各列におけるゲート線13G群は、各列のゲートドライバ11'によって、一定の駆動周波数でGL(1)からGL(n)の順に走査される。

[0164] また、図19の例では、図示を省略しているが、表示領域200には、ゲート線13G群と交差するように、Y軸方向に平行なソース線15S群が形成され、ソースドライバ3側の額縁領域には、ソースドライバ3からのデータ信号をソース線15Sに供給する端子部12sが形成されている。ソースドライバ3は、各ソース線15S(図示略)に対するデータ信号を一定の駆動周波数で入力する。

- [0165] 次に、本実施形態におけるゲートドライバ11'の構成について説明する。図20は、ゲートドライバ11'の等価回路の一例を示す図である。この例において、ゲートドライバ11'は、GL(n-1)とGL(n)のゲート線13Gの間に形成されている。ゲートドライバ11'は、GL(n-1)のゲート線13Gを走査するゲートドライバ11'（前段のゲートドライバ）からセット信号(S)を受け取り、制御信号に応じてGL(n)のゲート線13Gを駆動し、GL(n+1)のゲート線13Gを駆動するゲートドライバ11'（次段のゲートドライバ）にセット信号(S)を出力する。
- [0166] 図20に示すように、ゲートドライバ11'は、TFTで構成されたTFT-A~TFT-Mのスイッチング素子と、キャパシタCbstと、端子111~124と、ローレベルの電源電圧信号(VSS)が入力される端子群とを有する。つまり、ゲートドライバ11'は、図9に示す第1実施形態のゲートドライバ11のスイッチング素子に加え、TFT-K、TFT-L、TFT-Mと、端子121~124を備える。
- [0167] 端子121は、表示制御回路4から出力される行選択信号(EN)を受け取る。行選択信号(EN)は、VDD(Hレベル)又はVSS(Lレベル)を示す電源電圧信号である。端子122は、表示制御回路4から出力されるリセット信号(CLR)を受け取る。端子123は、次段のゲートドライバ11'の端子124から、TFT-Mのオンオフを切り替える信号(R)を受け取る。
- [0168] 図20において、TFT-Kは、ゲート端子がnetAに接続され、ドレイン端子は、端子121に接続されている。また、TFT-Kのソース端子は、TFT-L及びTFT-Mのドレイン端子と、端子120とに接続されている。端子120は、GL(n)のゲート線13Gと接続されている。
- [0169] TFT-Lは、ゲート端子が端子122と接続され、ドレイン端子はTFT-K、TFT-Mのソース端子と、端子120と接続され、ソース端子は電源電圧端子VSSに接続されている。TFT-Mは、ゲート端子が端子123と接続され、ドレイン端子はTFT-K、TFT-Lのソース端子と端

子120と接続され、ソース端子は電源電圧端子VSSに接続されている。

[0170] この例において、キャパシタCbstの一方の電極と、TFT-E、TFT-Dのドレイン端子と、TFT-Fのソース端子とが接続されている配線をnetCと称する。

[0171] 行選択信号(EN)は、GL(n)のゲート線13Gの駆動のオン/オフを制御する信号である。例えば、GL(n)のゲート線13Gの走査時に、VDD(Hレベル)を示す行選択信号(EN)がゲートドライバ11'に入力されると、GL(n)のゲート線13Gは、クロック信号(CKA、CKB)に応じて、LレベルからHレベルに遷移し駆動する。GL(n)のゲート線13Gの走査時に、VSS(Lレベル)を示す行選択信号(EN)がゲートドライバ11'に入力されると、GL(n)のゲート線13GはLレベルを維持する。以下、ゲートドライバ11'の具体的な動作について説明する。

[0172] 図21Aは、VDD(Hレベル)を示す行選択信号(EN)がゲートドライバ11'に入力された場合のゲート線13Gの走査を示すタイミングチャートである。図21Aにおいて、t3からt4の期間がGL(n)のゲート線13Gが選択されている期間である。表示制御回路4から供給される、一水平走査期間毎に位相が反転するクロック信号(CKA)とクロック信号(CKB)とが端子116~119を介してゲートドライバ11'に入力される。また、図21Aでは図示を省略しているが、一垂直走査期間毎に一定期間Hレベルとなるリセット信号(CLR)が表示制御回路4から端子113~115、122を介してゲートドライバ11'に入力される。リセット信号(CLR)が入力されると、netA、netB、netC及びゲート線13GはLレベルに遷移する。

[0173] 図21Aの時刻t0からt1において、Lレベルのクロック信号(CKA)が端子116、117に入力され、Hレベルのクロック信号(CKB)が端子118、119に入力される。これにより、TFT-Gがオン状態となり、TFT-Hがオフ状態となるため、netBはHレベルに充電される。

また、TFT-CとTFT-Dがオン状態となり、TFT-Fがオフ状態となるためnet AはLレベルの電源電圧(VSS)に充電され、端子120からLレベルの電位が出力される。

[0174] 次に、時刻t1において、クロック信号(CKA)がHレベルとなり、クロック信号(CKB)がLレベルになると、TFT-Gがオフ状態となり、TFT-Hがオン状態となるため、net BはLレベルに充電される。そして、TFT-CとTFT-Dがオフ状態となるためnet A、net Cの電位はLレベルに維持される。TFT-LとTFT-Mがオフ状態であるため、端子120はLレベルの電位を維持する。

[0175] 時刻t2において、クロック信号(CKA)がLレベル、クロック信号(CKB)がHレベルとなり、net C(n-1)を介してセット信号(S)が端子111、112に入力される。これにより、TFT-Bがオン状態となり、net AがHレベルに充電される。また、TFT-Jがオン状態となり、TFT-Gがオン状態、TFT-Hがオフ状態となるため、net BはLレベルに維持される。また、TFT-CとTFT-Fはオフ状態となるため、net Aの電位は下がらずに維持される。そして、TFT-LとTFT-Mがオフ状態であるため、端子120からGL(n)のゲート線13Gにnet AのHレベルの電位が出力される。この間、TFT-Dはオン状態となっているため、net CのLレベルの電位が、次段のゲートドライバ11'の端子111、112と前段のゲートドライバ11'の端子123に端子124から出力される。

[0176] 時刻t3において、クロック信号(CKA)がHレベルとなり、クロック信号(CKB)がLレベルとなると、TFT-Fがオン状態となり、TFT-Dがオフ状態となる。net Aと端子124の間にはキャパシタCbstが設けられているため、TFT-Fの端子116の電位の上昇に伴って、net Aはクロック信号(CKA)のHレベルより高い電位まで充電され、net CもHレベルに充電される。この間、TFT-GとTFT-Jがオフ状態、TFT-Hがオン状態となるため、net Bの電位はLレベルで維持さ

れる。TFT-Cはオフ状態であるため、net Aの電位は下がらない。その結果、TFT-LとTFT-Mがオフ状態であるため、クロック信号(CKA)のHレベルの電位がGL(n)のゲート線13Gに端子120から出力される。また、net CのHレベルの電位が、次段のゲートドライバ11'のセット信号(S)として、端子124から次段のゲートドライバ11'の端子111、112に入力される。また、net CのHレベルの電位は、前段のゲートドライバ11'の信号(R)として、端子124から前段のゲートドライバ11'の端子123に出力される。これにより、前段のゲートドライバ11'のTFT-Mがオン状態となり、GL(n-1)のゲート線13Gの電位がHレベルからLレベルに遷移する。GL(n)のゲート線13Gは、Hレベルに充電されて選択された状態となる。

[0177] 時刻t4において、クロック信号(CKA)がLレベルとなり、クロック信号(CKB)がHレベルになると、TFT-Gがオン状態となり、TFT-Hがオフ状態となるため、net BはHレベルに充電される。これにより、TFT-Cはオン状態となり、net Aの電位は、HレベルからLレベルに遷移する。また、TFT-Dがオン状態、TFT-Fがオフ状態となるため、net Cの電位はHレベルからLレベルに遷移する。端子123には、net C(n+1)のHレベルの電位(VDD)が与えられ、TFT-Mがオン状態となる。これにより、GL(n)のゲート線13Gに、端子120からLレベルの電位が出力され、GL(n)のゲート線13GはLレベルに充電される。また、net CのLレベルの電位は、次段のゲートドライバ11'と前段のゲートドライバ11'に端子124から出力される。

[0178] 図21Bは、VSS(Lレベル)を示す行選択信号(EN)がゲートドライバ11'に入力された場合のゲート線13Gの走査を示すタイミングチャートである。図21Bにおいて、時刻t2までは図21Aと同様であるため説明を省略する。

[0179] 時刻t2において、クロック信号(CKA)がLレベル、クロック信号(CKB)がHレベルとなり、net C(n-1)を介してセット信号(S)

が端子111、112に入力される。これにより、TFT-Bがオン状態となり、net AがHレベルに充電されるが、端子121にはLレベルの行選択信号(EN)が入力されているため、端子120からは、net AのLレベルの電位がGL(n)のゲート線13Gに出力される。

[0180] また、時刻t3において、クロック信号(CKA)がHレベルとなり、クロック信号(CKB)がLレベルになると、TFT-Fがオン状態となり、TFT-Dがオフ状態となる。net Aはクロック信号(CKA)のHレベルより高い電位まで充電され、net CもHレベルに充電されるが、端子121にはLレベルの行選択信号(EN)が入力されている。そのため、端子120からは、Lレベルの電位がGL(n)のゲート線13Gに出力される。また、net CのHレベルの電位は、次段のゲートドライバ11'のセット信号(S)として端子124から出力され、前段のゲートドライバ11'の信号(R)として端子124から出力される。従って、VSS(Lレベル)の行選択信号(EN)を入力することにより、GL(n)のゲート線13Gは、Lレベルの電位が維持されるため駆動されない。

[0181] このように、本実施形態におけるゲートドライバ11'のTFT-K、TFT-L、TFT-Mからなる回路部分は、表示制御回路4から供給される行選択信号(EN)に応じてGL(n)のゲート線13Gを選択又は非選択の状態に切り替える信号を出力し、ゲートドライバ11'における他の回路部分は、表示制御回路4からのスタートパルス又は前段のゲートドライバ11'からのセット信号(S)と、表示制御回路4からのクロック信号とに基づいて次段のゲートドライバ11'にセット信号を出力する。

[0182] 次に、表示領域200内におけるゲートドライバ11'の配置例について説明する。図22A、図22Bは、GL(n-1)~GL(n+1)のゲート線13Gの間にゲートドライバ11'を配置する場合の全体レイアウトを示す図である。便宜上、図22Aと22Bとに分けて記載しているが、実際は、図22Aの列200xと、図22Bの列200xの部分において連続している。

[0183] 図22A及び図22Bにおいて、ソース線15Sとゲート線13Gとで構成される各画素領域には、画素電極17が形成されている。各ゲート線13Gの間には、1つのゲートドライバ11'を構成する素子群が形成されている。なお、図22A及び図22Bでは、便宜上、ドライバ11'におけるスイッチング素子の”TF T-”の文字は省略して記載しているが、図22A及び図22Bに示すA~Mは、図20に示したゲートドライバ11'のTF T-A~TF T-Mを示している。GL(n-1)とGL(n)のゲート線13Gの間に形成されているゲートドライバ11'は、GL(n-1)のゲート線13Gを駆動する前段のゲートドライバ11'からセット信号(S)を受け取り、制御信号(CKA、CKB、EN、CLR、VSS)に応じて、GL(n)のゲート線を駆動し、GL(n+1)のゲート線13Gを駆動する次段のゲートドライバ11'にセット信号(S)を出力する。

[0184] 図20に示したゲートドライバ11'の各素子は、各々異なる画素領域に分散して配置されている。各行のゲートドライバ11'は、スイッチング素子(TF T-D、TF T-F、TF T-G、TF T-H)に入力されるクロック信号(CKA、CKB)が、前段及び次段のこれらスイッチング素子に入力されるクロック信号(CKA、CKB)と逆位相となるように配置されている。なお、図22A及び図22Bにおいて、ゲートドライバ11'の各素子は、配置される画素領域における画素電極17と重ならない位置に記載しているが、第1実施形態(図7A~7D参照)で説明したように、画素電極17と各素子との間にはシールド層16が設けられているため、画素電極17と重なって各素子を配置しても画素電極17との干渉は防止される。

[0185] クロック信号(CKA、CKB)、リセット信号(CLR)、行選択信号(EN)、電源電圧信号(VSS)のいずれかの信号を受け取る素子が配置される画素領域には、これら信号を供給するための配線15L1が形成されている。配線15L1は、ソース線15Sと略平行となるように、GL(n-1)~GL(n+1)においてゲートドライバ11'が形成されている画素領域にわたって形成されている。

- [0186] また、図9に示したゲートドライバ11と同様、ゲートドライバ11'におけるnet A、net B、net Cの配線は、ゲート配線層13からなる配線13Nによって形成されている。配線13Nは、ゲート線13Gと略平行となるように、net A、net B、net Cに接続される素子が配置される画素領域にわたって形成されている。
- [0187] 次に、図19に示す表示領域200に動画(60Hz相当)を表示する場合について説明する。図23Aは、表示領域200における列S1~S4の各領域に書き込むべき各フレームのデータを例示した図である。列S1の領域には、V101、V102...V160のデータがF1~F60のフレーム毎に書き込まれる。列S2の領域には、V201、V202...V260のデータがF1~F60のフレーム毎に書き込まれる。列S3の領域には、V301、V302...V360のデータがF1~F60のフレーム毎に書き込まれる。列S4の領域には、V401、V402...V460のデータがF1~F60のフレーム毎に書き込まれる。
- [0188] 図23Bは、表示領域200を60Hzの駆動周波数で駆動する場合の駆動タイミングを示す図である。列S1~S4の各領域に60Hz相当の動画を表示する場合、各列の各ゲートドライバ11'の端子121には、GL(1)~GL(n)のゲート線13Gを走査する間、VDD(Hレベル)を示す行選択信号(EN)が表示制御回路4から入力される。また、各列のゲート線13Gを60Hzの駆動周波数で駆動するように、クロック信号(CKA、CKB)が各ゲートドライバ11'に供給される。これにより、列S1~S4における各ゲートドライバ11'は、クロック信号(CKA、CKB)に応じて、各列におけるゲート線13Gを駆動周波数60Hzで走査し、図23Bに示すように、GL(1)~GL(n)の順にゲート線13Gが駆動される。
- [0189] また、各列の領域に形成されているソース線15S(図22参照)に対し、図23Aに示した各フレームのデータ信号が60Hzの駆動周波数でソースドライバ3から入力される。これにより、図23Bに示すように、1~6

0フレームの各フレームにおいて、各列のGL(1)～GL(n)のゲート線13Gが順次駆動されるタイミングで、各列のソース線15S(図22参照)に出力された各フレームのデータ信号のデータが画素領域に書き込まれる。

[0190] 次に、図19に示す表示領域200に静止画を表示する場合のデータの書き込みについて説明する。図24Aは、表示領域200における列S1～S4の各領域に書き込むべきフレームのデータを例示した図である。本実施形態では、静止画データを書き込む場合、1フレーム目だけ各列の領域にデータを書き込み、2～60フレームはデータの書き込みを行わないように制御する。そのため、列S1～S4の各領域の1フレーム目の走査が終了するまで、ソースドライバ3は、フレームF1のV101、V201、V301、V401の各データのデータ信号を出力し、2～60フレームの間は、例えば、共通電極の電位に相当するデータ信号を出力する。

[0191] 図24Bは、1フレーム目の駆動タイミングを示す図である。図24Bに示すように、1フレーム目では、各列におけるゲートドライバ11'に対し、VDD(Hレベル)を示す行選択信号(EN)が表示制御回路4から入力される。また、各列のゲート線13Gを60Hzの駆動周波数で駆動するように、各ゲートドライバ11'にクロック信号(CKA、CKB)が供給される。また、各列の領域に形成されているソース線15S(図22参照)に対し、図24Aに示した1フレーム目のデータ信号が60Hzの駆動周波数でソースドライバ3から入力される。これにより、図24Bに示すように、GL(1)～GL(n)のゲート線13Gが順次駆動されるタイミングで、各列におけるソース線15S(図22A、22B参照)に出力された1フレーム目のデータ信号のデータが画素領域に書き込まれる。

[0192] 2フレーム目から60フレーム目までは、表示制御回路4は、VSS(Lレベル)を示す行選択信号(EN)を各列におけるゲートドライバ11'に出力し、ソースドライバ3は、共通電極の電位を示すデータ信号をソース線15S(図22A、22B参照)に出力する。これにより、図24Cに示す

ように、各列におけるGL (1) ~GL (n) のゲート線13Gは駆動されず、各列におけるソース線15S (図22A、22B参照) に出力されたデータ信号のデータは書き込まれない。このように、静止画を表示する場合には、1フレーム目だけゲート線13Gを駆動させ、2~60フレームの間はゲート線13Gの駆動を停止させることにより、省電力化を図ることができる。なお、2~60フレーム目までの間、ゲート線13Gの駆動を停止させるため、表示制御回路4において、2~60フレーム目までの間は、クロック信号 (CKA, CKB) の供給を停止させるようにしてもよい。このように構成することにより、より消費電力を低減させることができる。

[0193] 次に、アクティブマトリクス基板520aにおいて、図25に示す表示領域200における領域Pに60Hz相当の動画を表示し、他の領域には静止画を表示させる場合について説明する。図25の例において、領域Pは、列S2、S3の領域におけるGL (k) ~GL (l) のゲート線13G群を含む。

[0194] 図26は、表示領域200における列S1~S4の各領域に書き込むべき各フレームのデータを例示した図である。列S1及びS4の領域は静止画を表示するため、図26に示すように、1フレーム目だけ列S1、S4の領域にデータを書き込み、2~60フレームはデータの書き込みを行わないように制御する。

[0195] ソースドライバ3は、列S1、S2の各領域のゲート線13Gの1フレーム目の走査が終了するまで、列S1、S2におけるソース線15S (図22A、22B参照) に対し、フレームF1のV101、V401の各データのデータ信号を出力する。

[0196] 列S2、S4において領域Pは動画を表示し、領域P以外の領域には静止画を表示するため、ソースドライバ3は、列S2、S3のゲート線13Gの1フレーム目の走査が終了するまで、列S2、S3におけるソース線15S (図22A、22B参照) に対し、列S2、S3の各領域に表示すべきV201、V301を示すデータ信号を出力する。

- [0197] 表示制御回路4は、1フレーム目は、VDD（Hレベル）を示す行選択信号（EN）を列S1～S4におけるゲートドライバ11'に入力し、60Hzの駆動周波数でゲート線13Gを駆動するようにクロック信号（CKA、CKB）を供給する。これにより、図23Bで示したように、各列におけるゲート線13Gが順次駆動されるタイミングで、1フレーム目の各列に対するデータ（V101～V401）が表示領域200に書き込まれる。
- [0198] 2フレーム目以降は、列S1、S4におけるソース線15S（図22A、22B参照）に対し、ソースドライバ3は、共通電極の電位に相当するデータ信号を出力する。また、列S2、S3におけるソース線15S（図22A、22B参照）に対し、ソースドライバ3は、列S2、S3の領域Pの部分に表示すべき各フレームのデータV202～V260、V302～V360を示すデータ信号を出力する。
- [0199] 表示制御回路4は、2フレーム目以降は、列S1、S4におけるゲートドライバ11'に対しては、VSS（Lレベル）を示す行選択信号（EN）を供給する。また、列S2、S3におけるゲートドライバ11'に対しては、GL（1）～GL（k-1）のゲート線13Gの走査期間は、VSS（Lレベル）を示す行選択信号（EN）を供給し、GL（k）～GL（l）のゲート線13Gの走査期間は、VDD（Hレベル）を示す行選択信号（EN）を供給する。そして、GL（l+1）～GL（n）のゲート線13Gの走査期間は、VSS（Lレベル）を示す行選択信号（EN）を供給する。
- [0200] これにより、2～60フレーム目においては、列S2及び列S3の領域は、図27Aに示すように、フレーム毎に、GL（k）～GL（l）のゲート線13Gの走査期間だけ行選択信号（EN）がHレベルとなり、GL（k）～GL（l）のゲート線13Gが順次駆動されるタイミングで、領域Pにデータが書き込まれる。一方、列S1及び列S4の領域は、2～60フレーム目においては、図27Bに示すように、GL（1）～GL（n）のゲート線13Gが走査される間、行選択信号（EN）がLレベルとなるため、列S1及び列S4におけるゲート線13Gは駆動されず、データの書き込みがなさ

れない。

[0201] <第8実施形態>

上述した第3実施形態及び第4実施形態では、額縁領域において端子部12gが設けられた辺に端子部12sを設け、端子部12sを介してソース線15Sにデータ信号を供給する例を説明した。本実施形態では、第3実施形態及び第4実施形態と同様、表示領域内に非表示領域を有する場合において、端子部12sが設けられた辺に対向する辺にもデータ信号を供給する端子部を設け、両方の端子部からデータ信号をソース線15Sに供給する例を説明する。

[0202] 図28Aは、本実施形態におけるアクティブマトリクス基板と、アクティブマトリクス基板に接続された各部とを模式的に表した概略構成図である。図28Aに例示するように、アクティブマトリクス基板620aは、第3実施形態と同様、複数のゲート線13Gと複数のソース線15Sとが形成されている。この例では、表示領域200に、ゲートドライバ群11A、11B、11Cが設けられている。ゲートドライバ群の各々は、ゲート線13Gごとに設けられたゲートドライバ11を含む。ゲートドライバ群における各ゲートドライバ11は上述した配線15L1を介して接続されている。

[0203] アクティブマトリクス基板620aは、データ信号を供給する端子部12sa、12sbを有する。端子部12sa、12sbは、額縁領域において、ゲート線13Gの延伸方向（x軸方向）に略平行な2つの辺に設けられている。アクティブマトリクス基板620aの外側において、端子部12saが設けられた辺にソースドライバ3aが設けられている。端子部12saは、ソースドライバ3aと接続されている。また、アクティブマトリクス基板620aの外側において、端子部12sbが設けられた辺にはソースドライバ3bが設けられている。端子部12sbは、ソースドライバ3bと接続されている。ソースドライバ3aとソースドライバ3bは、同じデータ信号を同時に端子部12sa、12sbに各々出力する。

[0204] なお、図28Aに示す例では、端子部12gの図示を省略しているが、端

子部 1 2 g は、端子部 1 2 s a が設けられている額縁領域に設けられている。また、この例において、電源 5（図 1 4 等参照）の図示を省略しているが、第 3 実施形態と同様、端子部 1 2 g が設けられた辺に電源 5 が設けられている。アクティブマトリクス基板 6 2 0 a、表示制御回路 4、及びソースドライバ 3 a、3 b は、電源 5 から電源電圧信号が供給される。

[0205] アクティブマトリクス基板 6 2 0 a は、ゲートドライバ群 1 1 A と 1 1 B の間に非表示領域 3 0 0 a、3 0 0 b と、ゲートドライバ群 1 1 B と 1 1 C の間に非表示領域 3 0 0 c とを有する。非表示領域 3 0 0 a、3 0 0 b、3 0 0 c で交差するゲート線 1 3 G 及びソース線 1 5 S は、非表示領域 3 0 0 a、3 0 0 b、3 0 0 c において分断されている。

[0206] 非表示領域 3 0 0 a、3 0 0 b、3 0 0 c が配置されていない部分のソース線 1 5 S は、端子部 1 2 s a から端子部 1 2 s b まで延伸され、端子部 1 2 s a と端子部 1 2 s b に接続される。従って、非表示領域 3 0 0 a、3 0 0 b、3 0 0 c が配置されていない部分のソース線 1 5 S は、ソースドライバ 3 a から出力されるデータ信号が端子部 1 2 s a を介して供給されるとともに、ソースドライバ 3 b から出力されるデータ信号が端子部 1 2 s b を介して供給される。

[0207] 非表示領域 3 0 0 a、3 0 0 b、3 0 0 c において分断されたソース線 1 5 S のうち、端子部 1 2 s a 側のソース線 1 5 S は端子部 1 2 s a と接続され、ソースドライバ 3 a からデータ信号が供給される。また、端子部 1 2 s b 側のソース線 1 5 S は、端子部 1 2 s b と接続され、ソースドライバ 3 b からデータ信号が供給される。

[0208] ここで、図 2 8 A における非表示領域 3 0 0 a、3 0 0 b が配置されている部分を拡大した模式図を図 2 8 B に示す。図 2 8 B に例示するように、アクティブマトリクス基板 6 2 0 a において、非表示領域 3 0 0 a の x 軸方向の幅 R 1、非表示領域 3 0 0 b の x 軸方向の幅 R 2 に配置されているソース線 1 5 S は、非表示領域 3 0 0 a、3 0 0 b の境界近傍で途切れている。非表示領域 3 0 0 a において分断されたソース線 1 5 S のうち、端子部 1 2 s

a側に配置されているソース線15Sは、端子部12saを介してデータ信号が供給され、端子部12sb側に配置されているソース線15Sは、端子部12sbを介してデータ信号が供給される。

[0209] また、非表示領域300a、300bが配置されている行のゲート線13G (GL(k-3)~GL(k-1)、GL(k-10)~GL(k-5))は、非表示領域300a、300bの境界近傍で分断されている。この例では、非表示領域300aにおいて分断された左側(x軸負方向側)のGL(k-3)~GL(k-1)のゲート線13Gは、ゲートドライバ群11AにおけるGL(k-3)~GL(k-1)を駆動するゲートドライバ11によって駆動される。一方、非表示領域300aにおいて分断された右側(x軸正方向側)のGL(k-3)~GL(k-1)のゲート線13Gは、ゲートドライバ群11BにおけるGL(k-3)~GL(k-1)を駆動するゲートドライバ11によって駆動される。

[0210] また、非表示領域300bにおいて分断された左側(x軸負方向側)のGL(k-10)~GL(k-5)のゲート線13Gは、ゲートドライバ群11AにおけるGL(k-10)~GL(k-5)を駆動するゲートドライバ11によって駆動される。一方、非表示領域300bにおいて分断された右側(x軸正方向側)のGL(k-10)~GL(k-5)のゲート線13Gは、ゲートドライバ群11BにおけるGL(k-10)~GL(k-5)を駆動するゲートドライバ11によって駆動される。

[0211] 図28A、Bに例示したように、一のゲート線13Gに複数のゲートドライバ11を設け、複数のゲートドライバの間に複数の非表示領域を設ける場合には、各々の非表示領域において交差するゲート線13G及びソース線15Sが互いに異なるように非表示領域を配置すればよい。このように配置することにより、非表示領域において分断された左側のゲート線13Gを、非表示領域の左側に配置されているゲートドライバ11によって駆動し、非表示領域において分断された右側のゲート線13Gを、非表示領域の右側に配置されているゲートドライバ11によって駆動することができる。また、非

表示領域において分断されたソース線15Sのうち端子部12sa側のソース線15Sには、ソースドライバ3aからデータ信号を供給し、端子部12sb側のソース線15Sには、ソースドライバ3bからデータ信号を供給することができる。そのため、非表示領域が配置されている部分に他の列のソース線15Sを引き回したり、非表示領域において分断されたソース線15Sに迂回配線を設ける必要がなく、ソース線15Sの寄生容量を低減することができる。

[0212] <第8実施形態の応用例1>

上述した第8実施形態では、非表示領域が配置されていない部分のソース線15Sは、端子部12sa及び端子部12sbを介してソースドライバ3a、3bからのデータ信号が供給される例を説明したが、非表示領域が配置されていない部分のソース線15Sは、ソースドライバ3a、3bのいずれか一方からデータ信号が供給されるように構成してもよい。この場合、他方のソースドライバは、非表示領域が配置されていない部分のソース線15Sに対するデータ信号の出力を停止する。また、非表示領域が配置されていない部分のソース線15Sは、端子部12sa又は端子部12sbのいずれか一方に接続し、他方と接続しないように構成してもよい。

[0213] <第8実施形態の応用例2>

上述した第8実施形態の例では、アクティブマトリクス基板620aは、略長方形の形状を有し、表示領域内に非表示領域を有する例を説明したが、例えば、図29に例示するように、台形状を有し、表示領域200内に非表示領域を有するアクティブマトリクス基板621aであってもよい。

[0214] 図29の例では、端子部12sbは、アクティブマトリクス基板621aの略平行な2つの辺のうち、短辺側の額縁領域に配置され、端子部12saは、長辺側の額縁領域に配置されている。端子部12sbは、アクティブマトリクス基板621aにおいて、短辺の長さと同幅を有する領域R30に形成されているソース線15Sと接続されている。端子部12saは、アクティブマトリクス基板621aにおいて、領域R30を除く領域R31及

びR 3 2に形成されているソース線1 5 Sと接続されている。なお、図2 9において図示を省略しているが、端子部1 2 s aが配置される額縁領域には端子部1 2 gが設けられている。

[0215] また、図2 9の例において図示を省略しているが、上述した図2 8 Aと同様、端子部1 2 s aは、アクティブマトリクス基板6 2 1 aの外側であって、端子部1 2 s aが配置された辺に設けられたソースドライバ3 aと接続されている。また、端子部1 2 s bは、アクティブマトリクス基板6 2 1 aの外側であって、端子部1 2 s bが配置された辺に設けられたソースドライバ3 bと接続されている。端子部1 2 s aは、ソースドライバ3 aから出力されるデータ信号を、領域R 3 1及びR 3 2に形成されているソース線1 5 Sに供給し、端子部1 2 s bは、ソースドライバ3 bから出力されるデータ信号を領域R 3 0に形成されているソース線1 5 Sに供給する。

[0216] 図2 9に例示するように、アクティブマトリクス基板6 2 1 aが略長方形の形状ではないため、領域R 3 1及びR 3 2におけるソース線1 5 Sは、領域R 3 0における非表示領域が配置されていない部分のソース線1 5 Sよりも短くなっているが、一方の端子部1 2 s aに接続されることにより、これらソース線1 5 Sに対してもデータ信号を供給することができる。

[0217] <第9実施形態>

上述した第1実施形態のアクティブマトリクス基板2 0 aの外形は、図2に示すように、左右の上端部分が円弧状を有し、円弧状の部分を除く他の部分の幅が略同等となっている。このアクティブマトリクス基板2 0 aに形成されている表示領域も外形と同様の形状を有する。以下、このようなアクティブマトリクス基板2 0 aの製造方法の一例について説明する。

[0218] (第1の製造方法)

まず、略長方形の基板2 0上に、図7 A~7 Dに示すように、ゲート配線層1 3、ゲート絶縁膜2 1、半導体層1 4、ソース配線層1 5、保護層2 2、保護層2 3、シールド層1 6、層間絶縁層2 4、画素電極1 7の各層を順次形成して、略長方形の表示領域を有するアクティブマトリクス基板(第

1のアクティブマトリクス基板)を形成する。つまり、第1のアクティブマトリクス基板には、略同じ長さを有し、一定間隔に配列された複数のゲート線13Gと、略同じ長さを有し、ゲート線13Gと交差するように一定間隔に配列された複数のソース線15Sが形成されるとともに、表示に必要な各層が形成されている。

[0219] 次に、第1のアクティブマトリクス基板にレジストを塗布し、上記形状に対応する所定のマスクパターンを用いてドライエッチングする。ドライエッチングした際、除去されなかった層に対してはウェットエッチングを用いて不要部分を除去してもよい。これにより、基板20に形成された各層は、図2に示すアクティブマトリクス基板20aの外形と同様の形状にエッチングされる。つまり、一部のゲート線13Gがゲート線13Gの延伸方向における表示領域の最大長より短くなるように、第1のアクティブマトリクス基板に形成された各層の一部が除去される。そして、第1のアクティブマトリクス基板上の全ての層がエッチングされた後、基板20を所定形状に加工する。基板20にレジストを塗布し、上記所定のマスクパターンを用いて基板20をフッ酸、あるいはフッ化水素アンモニウム及び/又はリン酸アンモニウム塩を含有するエッチング液によりエッチングする。これにより、基板20が所定形状にエッチングされ、図2に例示するアクティブマトリクス基板20a(第2のアクティブマトリクス基板)が形成される。なお、基板20の切断は、フッ酸等によるエッチングの方法に限らず、ダイヤモンドカッターを用いて切断してもよいし、グラインダーを用いて切断をしてもよい。

[0220] また、第1のアクティブマトリクス基板の生成後、第1のアクティブマトリクス基板、第1のアクティブマトリクス基板に対向基板を貼り合わせたもの、又は第1のアクティブマトリクス基板と対向基板との間に液晶層が封入された表示パネルに対し、所定形状となるようにダイヤモンドカッター又はグラインダー等を用いた切断を行うようにしてもよい。あるいは、レジストを塗布し、上記所定のマスクパターンを用いてフッ酸、又はフッ化水素アンモニウム及び/又はリン酸アンモニウム塩を含有するエッチング液によりエ

ッチングしてもよい。

[0221] 上記第1の製造方法は、略長方形の基板20上に全ての層を形成して略長方形の表示領域を有する第1のアクティブマトリクス基板を生成した後、少なくとも一部のゲート線13Gが、ゲート線13Gの延伸方向における表示領域の幅の最大長よりも短くなるように、第1のアクティブマトリクス基板の一部を除去し、第2のアクティブマトリクス基板を生成する。以下に説明する第2の製造方法では、基板20上に各層を形成するごとに、当該層の一部を除去することにより、第2のアクティブマトリクス基板を生成する。以下、第2の製造方法について説明する。

[0222] (第2の製造方法)

まず、略長方形の基板20にゲート配線層13を形成する。図30Aは、基板20上にゲート配線層13が形成された状態を模式的に表した上面図である。ゲート配線層13の形成により、図30Aに示すように、略平行に一定の間隔で、略同じ長さの複数のゲート線13Gが形成される。ゲート配線層13の形成後、ゲート配線層13の上にレジストを塗布し、所定のマスクパターンを用いてゲート配線層13をエッチングする。これにより、図30Bに示すように、図30Aにおいて、所定のマスクパターンに対応する形状Pより外側に形成されているゲート線13Gの部分が除去される。その結果、円弧状の部分のゲート線13Gは、他のゲート線13Gより短くなる。

[0223] 続いて、図7A～7Dに示すように、ゲート配線層13の上層に、ゲート絶縁膜21を形成した後、ゲート絶縁膜21の上にレジストを塗布し、所定のマスクパターンを用いてゲート絶縁膜21をエッチングする。これにより、所定のマスクパターンに対応する形状Pより外側に形成されているゲート絶縁膜21が除去される（図示略）。

[0224] 続いて、図7A～7Dに示すように、ゲート絶縁膜21の上層に、半導体層14を形成した後、半導体層14上にレジストを塗布し、所定のマスクパターンを用いて半導体層14をエッチングする。これにより、所定のマスクパターンに対応する形状Pより外側に形成されている半導体層14が除去さ

れる（図示略）。

[0225] 次に、半導体層 14 の上層に、ソース配線層 15 を形成する。これにより、図 30C に示すように、ゲート線 13G と交差するように一定の間隔で略同じ長さのソース線 15S が形成される。ソース配線層 15 の形成後、ソース配線層 15 の上にレジストを塗布し、所定のマスクパターンを用いてソース配線層 15 をエッチングする。これにより、図 30D に示すように、図 30C において、所定のマスクパターンに対応する形状 P より外側に形成されているソース配線層 15 が除去される。

[0226] ソース配線層 15 をエッチング後、図 7A～図 7D に示すように、保護層 22、保護層 23、シールド層 16、層間絶縁層 24、画素電極 17、コンタクトホール H1、H2 を順次形成する（図示略）。各層が形成されるごとにレジストを塗布し、所定のマスクパターンでエッチングする。これにより、基板 20 上の各層は、図 2 に示すアクティブマトリクス基板 20a の外形と同様の形状にエッチングされる。そして、第 1 の製造方法と同様、基板 20 にレジストを塗布し、所定のマスクパターンで基板 20 をエッチングすることにより、最終的に第 2 のアクティブマトリクス基板を生成する。

[0227] <第 9 実施形態の応用例>

上述した第 9 実施形態では、ディスプレイのサイズ（画素数）ごとに上述した製造方法を用いてアクティブマトリクス基板を生成しなければならない。そのため、複数のサイズのディスプレイに対応するアクティブマトリクス基板を製造する場合には、ディスプレイのサイズに応じて複数の製造ラインが必要となる。本応用例では、ある画素数（第 1 の画素数）のディスプレイに対応する第 1 のアクティブマトリクス基板を切断し、第 1 の画素数より小さい第 2 の画素数のディスプレイに対応する複数の第 2 のアクティブマトリクス基板を生成する例について説明する。

[0228] （応用例 1）

図 31A は、本応用例における第 1 のアクティブマトリクス基板の一例を示す模式図である。図 31A においてソース線 15S の図示は省略している

が、第1のアクティブマトリクス基板の一例であるアクティブマトリクス基板720aには、ゲート線13Gと交差するように複数のソース線15Sが形成されている。

[0229] アクティブマトリクス基板720aは、GL(1)~GL(n)のゲート線13Gを有する。また、アクティブマトリクス基板720aは、ゲートドライバ群11 $\alpha$ 、11 $\beta$ を有する。ゲートドライバ群11 $\alpha$ は、GL(1)~GL(n)のゲート線13Gごとに設けられたゲートドライバ11を含む。また、ゲートドライバ群11 $\beta$ は、GL(k+1)~GL(n)のゲート線13Gごとに設けられたゲートドライバ11を含む。ゲートドライバ群11 $\alpha$ 及び11 $\beta$ における各ゲートドライバ11は、上述した第1実施形態と同様、配線15L1によって接続されている。

[0230] GL(1)のゲート線13Gを駆動するゲートドライバ群11 $\alpha$ のゲートドライバ11に、配線15L1を介してスタートパルス信号が入力されると、ゲートドライバ群11 $\alpha$ の各ゲートドライバ11によってGL(1)から順にゲート線13Gが駆動される。GL(n)のゲート線13Gを駆動するゲートドライバ群11 $\beta$ のゲートドライバ11に、配線15L1を介してスタートパルス信号が入力されると、ゲートドライバ群11 $\beta$ の各ゲートドライバ11によってGL(n)から順にゲート線13Gが駆動される。

[0231] アクティブマトリクス基板720aから第2の画素数に対応するアクティブマトリクス基板を生成する場合、ゲートドライバ群11 $\beta$ が形成された部分と、ゲートドライバ群11 $\beta$ が形成されていない部分との間をゲート線13Gに沿って切断する。この例では、例えば、アクティブマトリクス基板720aを、GL(k)とGL(k+1)のゲート線13Gの間の切断線Hを基準とする位置で切断する。アクティブマトリクス基板720aが切断されると、図31Bに示すように、2つのアクティブマトリクス基板721a、722aが生成される。上述した第9実施形態の第1の製造方法と同様、所定のマスクパターンを用いてアクティブマトリクス基板721a、722aをエッチングすることにより、図2に例示するアクティブマトリクス基板2

0 aの外形と同様の形状を有するアクティブマトリクス基板7 2 1 a, 7 2 2 a(図3 1 C、3 1 D参照)(第2のアクティブマトリクス基板)が生成される。

[0232] アクティブマトリクス基板7 2 1 aをディスプレイに用いる場合には、図3 1 Cに示すように、額縁領域においてGL (n)のゲート線1 3 Gが配置されている辺に端子部1 2 gを設け、ゲートドライバ群1 1  $\beta$ と端子部1 2 gとを接続する。表示制御回路4から出力されるスタートパルス信号は、端子部1 2 gを介して、ゲートドライバ群1 1  $\beta$ のGL (n)のゲート線1 3 Gを駆動するゲートドライバ1 1に供給される。また、表示制御回路4から出力される制御信号(クロック信号等)は、端子部1 2 gを介してゲートドライバ群1 1  $\beta$ に供給される。これにより、GL (n)からGL (k + 1)の順にゲート線1 3 Gが順次駆動される。このとき、アクティブマトリクス基板7 2 1 aにおけるゲートドライバ群1 1  $\alpha$ に制御信号は供給されず駆動しない。

[0233] 一方、アクティブマトリクス基板7 2 2 aをディスプレイに用いる場合には、図3 1 Dに示すように、アクティブマトリクス基板7 2 2 aにおいて、額縁領域におけるGL (1)のゲート線1 3 Gが配置されている辺に端子部1 2 gを設け、ゲートドライバ群1 1  $\alpha$ と端子部1 2 gとを接続する。表示制御回路4から出力されるスタートパルス信号は、端子部1 2 gを介して、ゲートドライバ群1 1  $\alpha$ のGL (1)のゲート線1 3 Gを駆動するゲートドライバ1 1に供給される。また、表示制御回路4から出力される制御信号(クロック信号等)は、端子部1 2 gを介してゲートドライバ群1 1  $\alpha$ に供給される。これにより、GL (1)からGL (k)の順にゲート線1 3 Gが順次駆動される。

[0234] なお、図3 1 Aに示すアクティブマトリクス基板7 2 0 aをディスプレイに用いる場合には、図3 1 Eに示すように、額縁領域においてGL (1)のゲート線1 3 Gが配置されている辺に端子部1 2 gを設け、ゲートドライバ群1 1  $\alpha$ と端子部1 2 gとを接続する。表示制御回路4からのスタートパル

ス信号は、端子部 1 2 g を介して GL ( 1 ) のゲート線 1 3 G を駆動するゲートドライバ 1 1 に供給される。そして、表示制御回路 4 からの制御信号（クロック信号等）に応じて、GL ( 1 ) から GL ( n ) の順にゲート線 1 3 G が駆動される。この場合、ゲートドライバ群 1 1  $\beta$  には制御信号が供給されず駆動しない。

[0235] (応用例 2)

上述した応用例 1 では、アクティブマトリクス基板 7 2 0 a を、ゲート線 1 3 G の延伸方向と略平行に切断する例を説明したが、ゲート線 1 3 G の延伸方向と略直交する方向に切断して複数の第 2 のアクティブマトリクス基板を生成してもよい。

[0236] この場合には、例えば、図 3 2 に例示するように、アクティブマトリクス基板 7 2 0 a において、ゲート線 1 3 G の延伸方向と略直交する切断線 H で分けられる左右の各領域に、GL ( 1 ) ~ GL ( n ) のゲート線 1 3 G ごとに設けられたゲートドライバ 1 1 を含むゲートドライバ群 1 1  $\alpha$  とゲートドライバ群 1 1  $\gamma$  とを形成してもよい。また、例えば、アクティブマトリクス基板 7 2 0 a において、切断線 H で分けられる左右の各領域に、奇数行のゲート線 1 3 G ごとに設けられたゲートドライバ 1 1 を含むゲートドライバ群と、偶数行のゲート線 1 3 G ごとに設けられたゲートドライバ 1 1 を含むゲートドライバ群の組を複数設けてもよい（図示略）。要するに、第 1 のアクティブマトリクス基板において、ゲート線ごとに複数のゲートドライバ 1 1 を形成し、当該複数のゲートドライバの間をソース線 1 5 S に沿って切断することにより複数の第 2 のアクティブマトリクス基板を生成すればよい。

[0237] (応用例 3)

上述した応用例 1、2 では、アクティブマトリクス基板 7 2 0 a を上下又は左右に切断して 2 つのアクティブマトリクス基板を生成する例を説明したが、第 1 のアクティブマトリクス基板を上下左右に切断して 4 つの第 2 のアクティブマトリクス基板を生成してもよい。

- [0238] 図33Aは、本応用例に係る第1のアクティブマトリクス基板の概略構成を模式的に表した上面図である。図33Aにおいて、ソース線15Sの図示は省略している。図33Aにおいて、一点鎖線H1、H2は切断する基準となる位置を示しており、以下、切断線H1、H2と称する。
- [0239] 図33Aにおいて、第1のアクティブマトリクス基板の一例であるアクティブマトリクス基板820aは、ゲート線13Gの延伸方向と略直交する切断線H1で分けられる左右の各領域に、ゲートドライバ群11 $\alpha$ L、11 $\beta$ Lと、ゲートドライバ群11 $\alpha$ R、11 $\beta$ Rとが形成されている。ゲートドライバ群11 $\alpha$ L、11 $\alpha$ Rは、GL(1)~GL(n)のゲート線13Gごとに設けられたゲートドライバ11を含む。ゲートドライバ群11 $\beta$ L、11 $\beta$ Rは、GL(n)~GL(k+1)のゲート線ごとに設けられたゲートドライバ11を含む。つまり、アクティブマトリクス基板820aには、ゲート線13Gごとに設けられたゲートドライバ(第1のゲート線駆動回路)と、互いに隣接する一部のゲート線13Gごとに設けられたゲートドライバ(第2のゲート線駆動回路)の組(11 $\alpha$ Lと11 $\beta$ L、11 $\alpha$ Rと11 $\beta$ R)が複数形成されている。
- [0240] GL(1)のゲート線13Gを駆動するゲートドライバ11に、配線15L1を介してスタートパルス信号が入力されると、ゲートドライバ群11 $\alpha$ L、11 $\alpha$ Rの各ゲートドライバ11は、GL(1)から順にゲート線13Gを駆動する。GL(n)のゲート線13Gを駆動するゲートドライバ11に、配線15L1を介してスタートパルス信号が入力されると、ゲートドライバ群11 $\beta$ L、11 $\beta$ Rの各ゲートドライバ11は、GL(n)から順にゲート線13Gを駆動する。
- [0241] 切断線H1、H2の位置を基準として、アクティブマトリクス基板820aを切断することにより、図33Bに示すように、アクティブマトリクス基板821a、822a、823a、824aが生成される。つまり、アクティブマトリクス基板820aにおいて、第1のゲート線駆動回路及び第2のゲート線駆動回路の組の間をソース線15S(図示略)に沿って切断するこ

とにより、第2のアクティブマトリクス基板の一例である4つのアクティブマトリクス基板821a、822a、823a、824aが生成される。アクティブマトリクス基板820aの切断により、GL(k)とGL(k+1)の間の画素領域が失われ、アクティブマトリクス基板821a、822aには、GL(k+2)~GL(n)のゲート線13Gが配置され、アクティブマトリクス基板821a、822aには、GL(1)~GL(k)のゲート線13Gが配置されている。

[0242] アクティブマトリクス基板821aには、ゲートドライバ群11βLと、ゲートドライバ群11αLの一部が設けられている。アクティブマトリクス基板822aには、ゲートドライバ群11βRと、ゲートドライバ群11αRの一部が設けられている。アクティブマトリクス基板821a、822aをディスプレイに用いる場合には、上述した図31Cに示したアクティブマトリクス基板721aと同様、アクティブマトリクス基板821a、822aにおいて、ゲートドライバ群11βL、11βRと各々接続する端子部12gを設ける。そして、ゲートドライバ群11βL、11βRによってGL(n)~GL(k+2)の順にゲート線13Gを順次駆動させるように構成する。

[0243] 一方、アクティブマトリクス基板823aには、ゲートドライバ群11αLの一部が設けられ、アクティブマトリクス基板824aには、ゲートドライバ群11αRの一部が設けられている。アクティブマトリクス基板823a、824aにおけるゲートドライバ群11αL、11αRの各々は、GL(1)~GL(k)のゲート線13Gに対して設けられたゲートドライバ11を含む。アクティブマトリクス基板823a、824aをディスプレイに用いる場合には、上述した図31Dに示したアクティブマトリクス基板722aと同様、アクティブマトリクス基板823aとアクティブマトリクス基板824aにおいて、ゲートドライバ群11αL、11αRの各々と接続する端子部12gを設ける。そして、ゲートドライバ群11αL、11αRによってGL(1)~GL(k)の順にゲート線13Gを駆動させるように構

成する。

[0244] 上述した応用例1～3に示したように、1つのアクティブマトリクス基板（第1のアクティブマトリクス基板）を切断することにより、第1のアクティブマトリクス基板よりもサイズの小さい複数のアクティブマトリクス基板（第2のアクティブマトリクス基板）を生成することができる。そのため、ディスプレイのサイズ（画素数）ごとにアクティブマトリクス基板を製造する場合と比べ、製造ラインが効率化され、製造コストを低減することができる。

[0245] なお、第1のアクティブマトリクス基板の切断により、切断部分の画素が失われる。そのため、切断部分によって失われる画素数分を考慮して第1のアクティブマトリクス基板を設計することが好ましい。例えば、図33Aに例示したアクティブマトリクス基板820aが、画素数「8K4K」（7680×4320）のディスプレイに対応する場合、アクティブマトリクス基板820aの画素数を、 $(8K + 100 \text{画素}) \times (4K + 50 \text{画素})$ 等のように、画素数「8K4K」（7680×4320）よりも増やしておく。このアクティブマトリクス基板820aを、画素数「8K4K」（7680×4320）のディスプレイに利用する場合には、余分な画素（100×50）の部分は黒色の画像を表示すればよい。また、図33Bに示すように、このアクティブマトリクス基板820aを切断し、画素数「4K2K」（4096×2160）のディスプレイに対応する4つのアクティブマトリクス基板821a～824aを生成する場合には、余分な画素（100×50画素）を利用して切断すればよい。

[0246] （応用例4）

第1のアクティブマトリクス基板には、ソースドライバ3からのデータ信号をソース線15Sに供給する端子部12sの配線パターンが形成される。上述した応用例2のように第1のアクティブマトリクス基板をソース線15Sに沿って切断すると、端子部12sの配線パターンも切断され、切断後のアクティブマトリクス基板においてデータ信号を供給することができない画

素が生じる場合がある。本応用例では、切断後のアクティブマトリクス基板において、データ信号が供給されない画素が生じないように第1のアクティブマトリクス基板を生成する例について説明する。

[0247] 図34Aは、本応用例に係る第1のアクティブマトリクス基板の一部を例示した模式図である。第1のアクティブマトリクス基板の一例であるアクティブマトリクス基板920aの額縁領域には、ソースドライバ（図示略）からデータ信号が供給される端子部12s\_\_1、12s\_\_3、12s\_\_4、12s\_\_6～12s\_\_8と、複数の端子部を含む端子群12s\_\_2、12s\_\_5が形成されている。以下、端子部を区別しないときは端子部12sと称する。この例において、1つの端子部12sは、例えば、360本のソース線15Sと接続される。端子群12s\_\_2、12s\_\_5は、14個の端子部12sを含む。

[0248] アクティブマトリクス基板920aには、端子部12sに接続されたソース線15Sが形成され、ソース線15Sと交差するように複数のゲート線13Gが形成されている。ゲート線13Gは、一点鎖線H10、H11、H12、H13で示す各位置で分断されている。この例では、例えば、分断された各列には1080本のゲート線13Gが各々配置されている。

[0249] アクティブマトリクス基板920aは、分断されたゲート線13Gごとに、1又は複数のゲートドライバ11が設けられている。端子部12s\_\_1、端子群12s\_\_2、端子部12s\_\_3に接続されたソース線15Sと交差するゲート線13Gには、ゲートドライバ群11a、11bが接続されている。また、端子部12s\_\_4に接続されたソース線15Sと交差するゲート線13Gには、ゲートドライバ群11cが接続されている。端子群12s\_\_5、端子部12s\_\_6に接続されたソース線15Sと交差するゲート線13Gには、ゲートドライバ群11d、11eが接続されている。端子部12s\_\_7に接続されたソース線15Sと交差するゲート線13Gには、ゲートドライバ群11fが接続されている。端子部12s\_\_8に接続されたソース線15Sと交差するゲート線13Gには、ゲートドライバ群11gが接続されて

いる。ゲートドライバ群における各ゲートドライバ11は配線15L1を介して接続されている。なお、図34Aにおいて図示を省略しているが、端子部12sが設けられている額縁領域には、ゲートドライバ群にクロック信号を含む制御信号を供給する端子部12g（図2等参照）が設けられる。

[0250] アクティブマトリクス基板920aから第1の画素数（例えば3840×1080）のディスプレイ用のアクティブマトリクス基板を生成する場合には、図34AにおけるH13とH10の間の画素領域の位置でアクティブマトリクス基板920aを切断する。これにより、H13とH10の間の画素領域、つまり、ゲートドライバ群11fによって駆動される画素領域が切断され、32個の端子部12s（12s\_\_1～12s\_\_6）とゲートドライバ群11a～11eによって駆動されるアクティブマトリクス基板が生成される。

[0251] また、アクティブマトリクス基板920aから、第1の画素数より小さい第2の画素数（例えば1920×1080）のディスプレイ用のアクティブマトリクス基板を二つ生成する場合には、図34AにおけるH11とH12の間の画素領域の位置でアクティブマトリクス基板920aを切断するとともに、H10の右側の画素領域の位置でアクティブマトリクス基板920aを切断する。これにより、ゲートドライバ群11cによって駆動される画素領域と、ゲートドライバ群11gによって駆動される画素領域が切断され、図34Bに示すように、16個の端子部12s（12s\_\_1～12s\_\_3）とゲートドライバ群11a, 11bによって駆動される第2の画素数のアクティブマトリクス基板921aと、16個の端子部12s（12s\_\_5～12s\_\_7）とゲートドライバ群11d～11fによって駆動される第2の画素数のアクティブマトリクス基板922aとが生成される。

[0252] そして、上述した第1の製造方法と同様、所定のマスクパターンを用い、切断後のアクティブマトリクス基板の一部を、ドライエッチング等を用いて除去することにより、少なくとも一部のゲート線13Gが、ゲート線13Gの延伸方向における表示領域の幅の最大長より短い第2のアクティブマトリ

クス基板が生成される。なお、切断後のアクティブマトリクス基板に対向基板を貼り合せた後、又は、切断後のアクティブマトリクス基板と対向基板との間に液晶を注入した後に、上述した第1の製造方法と同様、所定形状となるように切断して第2のアクティブマトリクス基板を生成してもよい。

[0253] このように、アクティブマトリクス基板920aにおいて、第1の画素数及び第2の画素数に各々対応する位置でゲート線13Gが分断されるように、領域ごとにゲート線13Gを形成し、各領域のゲート線13Gごとにゲートドライバ11を設けることにより、切断後のアクティブマトリクス基板における各ゲート線13Gを駆動することができる。また、領域ごとに、ゲート線13Gと交差するソース線15Sに対してデータ信号を供給する端子部12sを設けることにより、切断後のアクティブマトリクス基板における全てのソース線15Sにデータ信号を供給することができ、画像を表示できない画素をなくすことができる。また、切断後における画素の数、位置をH11～H13で示されるようなゲート線13Gの分断位置により確定することができる。

[0254] 上記の例では、1つの端子部12sと接続されるソース線15Sの数が同じである場合について説明した。1つの端子部12sの出力数が同じであることにより、各端子部12sに対して同一のソースドライバを使うことができるので、製造コストの低減、設計の効率化、表示の均一化を図ることができる。しかしながら、切断により不要となる画素領域を最小限に抑えるため、端子部12s\_\_4、及び端子部12s\_\_7の端子数を少なくすることも可能である。この場合、端子部12s\_\_4及び端子部12s\_\_7と、他の端子部とで出力数が異なるソースドライバを用意すればよい。

[0255] <変形例>

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。以下、本発明の変形例について説明

する。

[0256] (1) 上述した第2実施形態では、アクティブマトリクス基板20aにおいて、ゲート線13Gの延伸方向(X軸方向)に平行な1辺が凹凸形状に形成されている例であったが、例えば、図35Aに示すように、アクティブマトリクス基板121aにおいて、ソース線15Sの延伸方向(Y軸方向)に平行な2辺が凹凸形状に形成されていてもよい。図35Aに示すように、アクティブマトリクス基板121aのY軸に平行な2辺の一部が内側に窪んで形成された部分を、以下、非表示領域310A、310Bと称する。

[0257] アクティブマトリクス基板121aの表示領域200において、非表示領域310A、310BのX軸方向の幅と略同じ長さのゲート線13Gが、非表示領域310A、310Bが位置する列S1、S4に形成されている。また、表示領域200において、列S1と列S4の間の領域を分割した列S2、S3には、各列の幅と略同じ長さのゲート線13Gが形成されている。つまり、各ゲート線13の長さは、アクティブマトリクス基板121aにおけるX軸方向の幅の最大長 $l_{max}$ より短い。

[0258] 各列におけるゲート線13Gとゲート線13Gの間には、第1実施形態と同様、少なくとも1つのゲートドライバ11が形成されている。各列におけるゲートドライバ11は、配線15L1(図3、5A~5C等参照)を介して接続されている。列S1、S4の額縁領域301側の領域S31a、31bにおけるゲートドライバ11は、第3実施形態と同様、列S2、S3におけるゲートドライバ11を接続する配線15L1が額縁領域301まで引き回され、領域S31a、31bに折り返されることにより列S2、S3におけるゲートドライバ11と接続されている。また、非表示領域310A、310Bが形成された列S1、S4における領域S31a、S31bのソース線15Sは、第3実施形態と同様、列S2、S3におけるソース線15Sが額縁領域301まで引き回され、領域S31a、S31bに折り返されることにより形成されている。

[0259] 領域S31a、S31bに配列されたゲートドライバ11は、列S3、S

2から額縁領域301に引き回された配線15L1を介してクロック信号や電源電圧信号等の制御信号が端子部12gから供給される。そして、領域S31a、S31bのG(n+a)のゲート線13Gに接続されたゲートドライバ11は、列S3、S2におけるG(n+a)のゲート線13Gに接続されたゲートドライバ11からセット信号(S)を受ける。また、領域S31a、S31bのソース線15Sは、額縁領域301まで引き回された列S3、S2のソース線15Sからデータ信号を受ける。

[0260] なお、図35Aに示した構成に替えて、図35Bに示すように構成してもよい。図35Bの例では、列S2及び列S3において、非表示領域S310A、310Bが形成されている行(GL(k)~GL(n))のゲート線13Gは、列S2及び列S3の幅と略同じ長さに形成されている。そして、非表示領域300が形成されている行以外の部分は、列S1及び列S2、列S3及び列S4のそれぞれにわたってゲート線13Gが形成されている。列S1及び列S2における各ゲート線13Gの間には、列S2においてゲートドライバ11が形成されている。列S3及び列S4における各ゲート線13Gの間には、列S3においてゲートドライバ11が形成されている。従って、この例では、非表示領域310A、310Bが形成されている列S1の領域S31b、S32bと、列S4の領域S31a、S32aには、ゲートドライバ11は形成されない。

[0261] この場合には、図35Bに示すように、列S1における領域S32b、S31bのソース線15Sを、第4実施形態と同様、列S2の画素領域に形成された迂回配線15SL、13n(図15、16参照)を介して接続するようにしてもよい。また、列S4における領域S32a、S31aのソース線15Sを、列S3の画素領域に形成された迂回配線15SL、13n(図15、16参照)を介して接続するようにしてもよい。迂回配線15SL、13n(図15、16参照)は、列S2、S3の画素領域のうち、ゲートドライバ11のスイッチング素子が形成されていない画素領域に形成されている。また、迂回配線15SL、13n(図15、16参照)は、スイッチング

素子が形成されている画素領域の開口率と略同じとなるように形成されている。

[0262] (2) 上述した第3実施形態では、表示領域200内に1つの非表示領域300が形成されている例であったが、図36Aに示すように、アクティブマトリクス基板221aの表示領域200内に、複数の非表示領域300a、300bが形成されていてもよい。図36Aの例では、アクティブマトリクス基板221aにおいて、非表示領域300a、300bが形成されている列S2、S4には、非表示領域300a、300bのX軸方向の幅と略同じ長さのゲート線13Gが形成されている。非表示領域300a、300bが形成されていない列S1、S3、S5には、略同じ長さのゲート線13Gが形成されている。各ゲート線13Gの長さは、少なくとも1つのゲートドライバ11を形成可能な長さである。

[0263] 図36Aでは、一部のソース線15Sしか記載されていないが、各列のゲート線13Gと交差するようにソース線15Sが形成されている。また、図36Aでは図示を省略しているが、ソースドライバ3からのデータ信号を各ソース線15Sに供給する端子部12sは、端子部12gが形成されている額縁領域に配置されている。列S2、S4における額縁領域301側の領域S31a、S31bのソース線15Sは、第3実施形態と同様、列S1、S3のいずれかのソース線15Sが額縁領域301まで引き回され、領域S31a、31bに折り返されることにより形成されている。また、領域S31a、31bにおけるゲートドライバ11は、第3実施形態と同様、列S3、S1におけるゲートドライバ11を接続する配線15L1が額縁領域301まで引き回され、領域S31a、31bに折り返されることにより列S3、S1におけるゲートドライバ11と接続されている。

[0264] なお、図36Aに示した構成に替えて図36Bに示すように構成してもよい。図36Bの例では、列S3には、列S3の幅と略同じ長さのゲート線13Gが形成されている。列S1、S5において、非表示領域S300a、300bが形成されている行(GL(k)~GL(n))のゲート線13Gは

、列S 1及び列S 5の幅と略同じ長さに形成されている。そして、列S 3を除き、非表示領域300が形成されている行以外の部分は、列S 1及び列S 2、列S 4及び列S 5のそれぞれにわたってゲート線13Gが形成されている。列S 1及び列S 2における各ゲート線13Gの間には、列S 1においてゲートドライバ11が形成されている。列S 4及び列S 5における各ゲート線13Gの間には、列S 5においてゲートドライバ11が形成されている。従って、この例では、非表示領域300a、300bが形成されている列S 2の領域S 31b、S 32bと、列S 4の領域S 31a、S 32aには、ゲートドライバ11は形成されない。

[0265] この場合には、図36Bに示すように、第4実施形態と同様、非表示領域300aを挟む領域S 31aとS 32aにおけるソース線15Sを、列S 3の画素領域に形成された迂回配線15SL、13b（図15、16参照）を介して接続するようにしてもよい。また、非表示領域300bを挟む領域S 31bと32bにおけるソース線15Sを列S 1の画素領域に形成された迂回配線15SL、13b（図15、16参照）を介して接続するようにしてもよい。

[0266] （3）上述した第1実施形態において、ゲートドライバ11に替えて、第7実施形態におけるゲートドライバ11'を用いるように構成してもよい。ゲートドライバ11'を用いることにより、表示領域200におけるゲート線13G群を行毎に駆動させることができる。

[0267] （4）上述した第7実施形態において、静止画を表示させる場合、1フレーム目だけ任意のゲート線を駆動させ、2から60フレームにおいては、その任意のゲート線の駆動を停止させる例を説明したが、以下のようにしてもよい。例えば、1から2フレーム目まで任意のゲート線を駆動させ、3から60フレームの間は、その任意のゲート線の駆動を停止させるようにしてもよい。要するに、駆動周波数に応じて、少なくとも一部のフレームにおいて、任意のゲート線の駆動を停止させるように構成すればよい。

[0268] （5）上述した第1から第9実施形態では、ゲートドライバ11、11'

を構成するスイッチング素子の半導体層 1 4 は、酸化物半導体で構成されている例について説明したが、半導体層 1 4 としては、ポリシリコンやアモルファスシリコン等で構成してもよい。

[0269] (6) 上述した第 1 から第 9 実施形態では、アクティブマトリクス基板 2 0 a の基板 2 0 上にはゲート線 1 3 G、ソース線 1 5 S、ゲートドライバ 1 1、ゲートドライバ 1 1 に対する制御信号等が入力される端子部 1 2 g、ソース線 1 5 S に対するデータ信号等が入力される端子部 1 2 s が形成される例について説明したが、これら以外にソースドライバ 3 及び表示制御回路 4 が形成されていてもよい。

[0270] (7) 上述した第 1 から第 9 実施形態では、表示パネル 2 が液晶パネルの例を説明したが、有機 E L (Electro-Luminescence) 等を用いたアクティブマトリクス基板を駆動する表示方式のパネルであってもよい。

[0271] (8) 上述した第 1 から第 7 実施形態及び変形例におけるアクティブマトリクス基板及び表示パネルは、スマートフォンのディスプレイ、車両のスピードメータ、パチンコ台やゲーム機等のディスプレイに利用されうる。

[0272] (9) 上述した第 9 実施形態、第 9 実施形態の応用例 1 ~ 4 において、少なくとも一部のゲート線 1 3 G が、ゲート線 1 3 G の延伸方向における表示領域の幅の最大長より短くなるように、アクティブマトリクス基板の一部を除去する例を説明したが、略矩形状のディスプレイに用いられるアクティブマトリクス基板を生成する場合には、アクティブマトリクス基板の一部を除去する工程を行わないようにする。つまり、例えば、図 3 1 A に示す第 1 のアクティブマトリクス基板 7 2 0 a を切断線 H で示される位置を基準に切断することにより得られるアクティブマトリクス基板 (図 3 1 B の 7 2 1 a、7 2 2 a) をディスプレイに用いてもよいし、図 3 2 に示す第 1 のアクティブマトリクス基板 7 2 0 a を切断線 H で示される位置を基準に切断して得られるアクティブマトリクス基板をディスプレイに用いてもよい。また、図 3 3 A に示す第 1 のアクティブマトリクス基板 8 2 0 a を線 H 1、H 2 で示される位置を基準に切断することにより得られるアクティブマトリクス基板 (

図33Bの821a～824a)をディスプレイに用いてもよい。また、図34Aに示すアクティブマトリクス基板920aを線H13で示される位置を基準に切断して得られるアクティブマトリクス基板、又は線H11、H12、H10で示される位置を基準に切断することにより得られるアクティブマトリクス基板(図34Bの921a, 922a)をディスプレイに用いてもよい。

### 産業上の利用可能性

[0273] 本発明は、液晶や有機EL等を用いた表示パネルを備えるディスプレイに利用され得る。

## 請求の範囲

### [請求項1]

複数のゲート線を含むゲート線群と、複数のソース線を含むソース線群とが行列状に配置され、前記ゲート線と前記ソース線とに接続された画素電極が配置された表示領域を有し、

前記表示領域の外側にある額縁領域の一辺に設けられ、前記ソース線群にデータ信号を供給する第1端子部と、

前記第1端子部と同じ辺に設けられ、制御信号を供給する第2端子部と、

前記ゲート線毎に前記表示領域内に形成され、前記制御信号に応じて、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部と、を備え、

前記ゲート線群のうち、少なくとも一部のゲート線群は、前記表示領域において前記ゲート線が延伸する第1方向の幅の最大長より短い、アクティブマトリクス基板。

### [請求項2]

前記表示領域内に非表示領域を有し、

前記ソース線群のうち一部のソース線は、前記非表示領域が配置されている列の前記第1端子部側の第1表示領域において前記第1端子部から延伸し、その延伸する第2方向の端部は、前記第1表示領域における前記非表示領域側の端部近傍に位置し、

他の列に配置されているソース線群の一部は、前記第1端子部から延伸し、前記非表示領域に対して前記第1表示領域とは反対側の第2表示領域まで延設されている、請求項1に記載のアクティブマトリクス基板。

### [請求項3]

前記表示領域内に非表示領域を有し、

前記非表示領域が配置されている列の表示領域のうち、前記非表示領域に対し前記第1端子部側の第1表示領域に配置されている前記ソース線は、前記第1端子部から延伸し、その延伸する第2方向の端部が、前記第1表示領域における前記非表示領域側の端部近傍に位置し

、  
前記非表示領域に対し前記第1表示領域とは反対側の第2表示領域に配置されている前記ソース線は、前記第2表示領域における前記非表示領域側の端部近傍から延伸し、前記第2方向の端部が、前記非表示領域に対し前記第1端子部とは反対側の前記第2表示領域の端部近傍に位置し、

前記第1表示領域に配置されている前記ソース線と、前記第2表示領域に配置されている前記ソース線とは、前記非表示領域の外周に沿うように前記第1表示領域から前記第2表示領域まで形成された迂回配線によって接続されている、請求項1に記載のアクティブマトリクス基板。

[請求項4] 前記ソース線と略平行となるように前記第2端子部から延伸し、前記ゲート線駆動部と接続された配線群を備え、

同じ行の前記画素電極と接続された前記ゲート線の少なくとも一部は、不連続な部分ゲート線で構成され、

前記部分ゲート線は、互いに異なる前記ゲート線駆動部が接続されており、

前記配線群のうち一部の配線は、前記第1表示領域において前記第2端子部から延伸し、その延伸方向の端部は、前記第1表示領域における前記非表示領域側の端部近傍に位置し、

他の列に配置されている配線群のうちの一部は、前記第2端子部から延伸し、前記第2表示領域まで延設されている、請求項2に記載のアクティブマトリクス基板。

[請求項5] 前記迂回配線は、前記ゲート線駆動部が形成されていない画素領域に配設されている、請求項3に記載のアクティブマトリクス基板。

[請求項6] 前記表示領域の外周部の少なくとも一部に配置された前記ゲート線駆動部は、他のゲート線駆動部の駆動周波数より高い駆動周波数で前記選択信号を出力する、請求項1から5のいずれか一項に記載のアク

ティブマトリクス基板。

[請求項7]

前記表示領域を前記第1方向又は前記第2方向に沿って分割してなる複数の分割領域において、前記分割領域ごとに前記ゲート線群が形成され、

前記複数の分割領域のうちの一部の分割領域に配置されている前記ゲート線駆動部は、前記制御信号に応じて第1の駆動周波数で前記選択信号を出力し、他の分割領域に配置されている前記ゲート線駆動部は、前記制御信号に応じて前記第1の駆動周波数より低い第2の駆動周波数で前記選択信号を出力し、

前記一部の分割領域における前記ソース線には、前記第1の駆動周波数で前記データ信号が供給され、前記他の分割領域における前記ソース線には、前記第2の駆動周波数で前記データ信号が供給される、請求項2から5のいずれか一項に記載のアクティブマトリクス基板。

[請求項8]

前記一部の分割領域における前記ゲート線群と、前記他の分割領域における前記ゲート線群との境界が非直線状となるように、前記他の分割領域における前記ゲート線群が、前記一部の分割領域まで形成されている、請求項7に記載のアクティブマトリクス基板。

[請求項9]

前記ゲート線駆動部は、前記制御信号に応じて、少なくとも一部のフレームにおいて前記ゲート線を非選択の状態にする前記選択信号を出力する、請求項1から8のいずれか一項に記載のアクティブマトリクス基板。

[請求項10]

前記ソース線群のうち、少なくとも一部のソース線群は、他のソース線群よりも短く、

前記一部のゲート線群は、前記他のソース線群が配置された領域において、前記一部のソース線群が配置された列と交差しない行に配置されており、

前記第1端子部は、前記一部のゲート線群が選択状態に切り替えられる期間において、前記一部のソース線群に対し、振幅が最小となる

データ信号を供給する、請求項 1 に記載のアクティブマトリクス基板。

[請求項11] 前記ゲート線ごとに複数の前記ゲート線駆動部が設けられ、  
前記表示領域において、前記複数のゲート線駆動部の間に非表示領域を有し、

前記額縁領域において、前記第 1 端子部が設けられた辺に対向する一辺に設けられ、前記データ信号が供給される第 3 端子部をさらに備え、

前記ソース線群のうち前記非表示領域において分断された前記ソース線は、前記第 1 端子部と反対側から前記第 3 端子部を介して前記データ信号が供給される、請求項 1 に記載のアクティブマトリクス基板。

[請求項12] 前記表示領域において前記非表示領域を複数有し、  
前記非表示領域の各々は、当該非表示領域において交差する前記ゲート線と前記ソース線とが互いに異なる、請求項 11 に記載のアクティブマトリクス基板。

[請求項13] 略同じ長さを有し、一定間隔に配置された複数のゲート線を生成する工程と、

略同じ長さを有し、前記ゲート線と交差するように一定間隔に配置された複数のソース線を生成する工程と、

前記ゲート線と前記ソース線とが配置された表示領域に設けられ、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部を生成する工程と、を含む第 1 のアクティブマトリクス基板を形成する形成工程と、

前記第 1 のアクティブマトリクス基板における前記複数のゲート線のうち、少なくとも一部のゲート線が、前記ゲート線が延伸する方向における前記表示領域の幅の最大長より短くなるように、前記第 1 のアクティブマトリクス基板の一部を除去して第 2 のアクティブマトリ

クス基板を生成する除去工程と、

を含むアクティブマトリクス基板の製造方法。

[請求項14]

前記ゲート線駆動部を生成する工程は、

前記ゲート線ごとに設けられ、前記ゲート線に前記選択信号を出力する第1のゲート線駆動回路を生成する工程と、

前記ゲート線群のうち、互いに隣接する一部のゲート線ごとに設けられ、前記ゲート線に前記選択信号を出力する第2のゲート線駆動回路を生成する工程とを含み、

前記第1のアクティブマトリクス基板において前記第2のゲート線駆動回路が形成されている部分と、前記第2のゲート線駆動回路が形成されていない部分との間を前記ゲート線に沿って切断する切断工程をさらに含み、

前記除去工程は、前記切断工程の後に行う、請求項13に記載のアクティブマトリクス基板の製造方法。

[請求項15]

前記ゲート線駆動部を生成する工程は、前記第1のゲート線駆動回路及び前記第2の駆動回路の組を複数生成する工程を含み、

前記複数の組の間を前記ソース線に沿って切断する工程をさらに含み、

前記除去工程は、前記切断工程及び前記切断する工程の後に行う、請求項14に記載のアクティブマトリクス基板の製造方法。

[請求項16]

前記ゲート線駆動部を生成する工程は、前記ゲート線ごとに複数の前記ゲート線駆動部を生成し、

前記複数のゲート線駆動部の間を前記ソース線に沿って切断する切断工程をさらに含み、

前記除去工程は、前記切断工程の後に行う、請求項13に記載のアクティブマトリクス基板の製造方法。

[請求項17]

領域ごとに、略同じ長さを有し、一定間隔に配置された複数のゲート線を生成する工程と、

前記領域ごとに、略同じ長さを有し、前記ゲート線と交差するように一定間隔に配置された複数のソース線を生成する工程と、

前記領域ごとに、当該領域における前記ソース線にデータ信号を供給する端子部を生成する工程と、

前記領域において前記ゲート線と前記ソース線とが配置された表示領域に設けられ、前記ゲート線を選択又は非選択の状態に切り替える選択信号を出力するゲート線駆動部を生成する工程と、を含む第1のアクティブマトリクス基板を形成する形成工程と、

前記形成工程により形成された第1のアクティブマトリクス基板においていずれかの前記領域と前記領域の間を前記ソース線に沿って切断する切断工程と、

前記切断工程による切断によって得られるアクティブマトリクス基板において、少なくとも一部のゲート線が、前記ゲート線が延伸する方向における前記表示領域の幅の最大長より短くなるように、前記アクティブマトリクス基板の一部を除去して第2のアクティブマトリクス基板を生成する除去工程と、

を含むアクティブマトリクス基板の製造方法。

[請求項18]

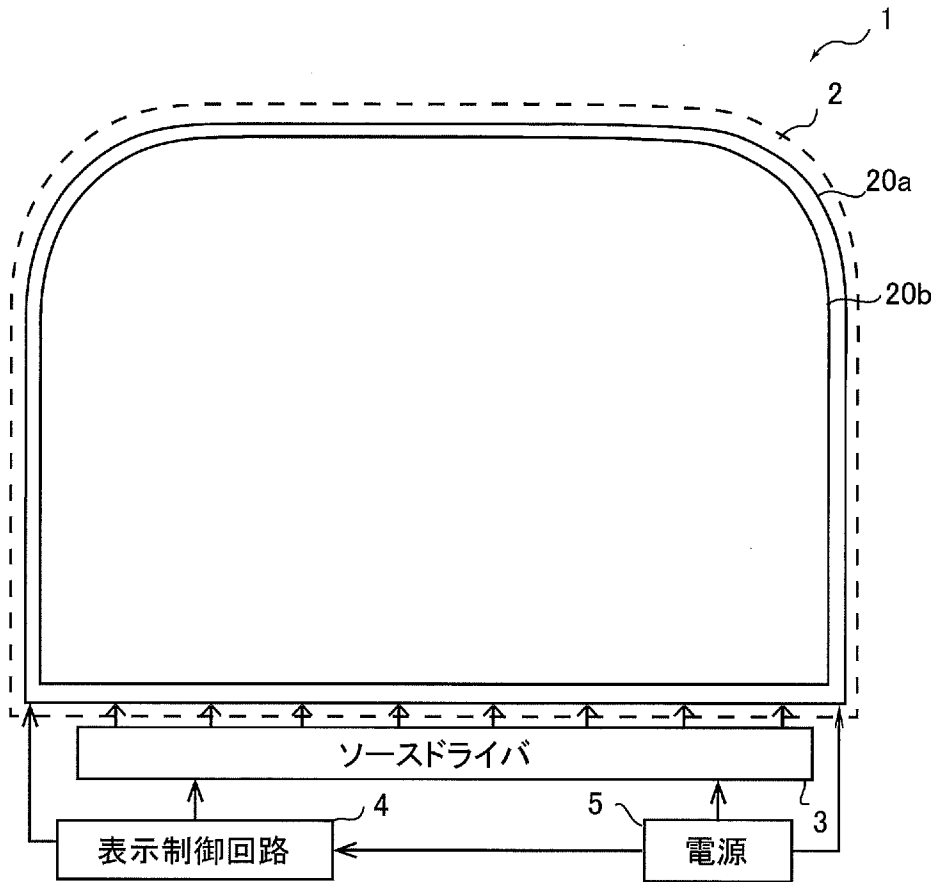
請求項1から12のいずれか一項に記載のアクティブマトリクス基板と、

カラーフィルタと共通電極とを備える対向基板と、

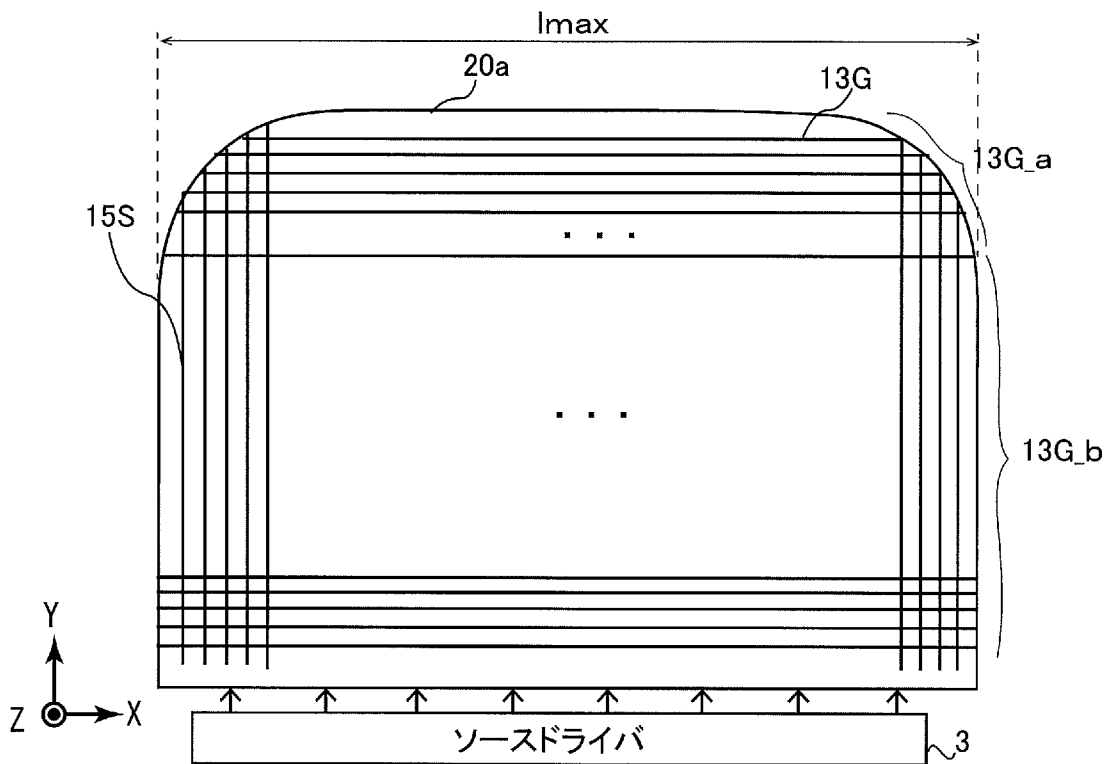
前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、

を備える表示パネル。

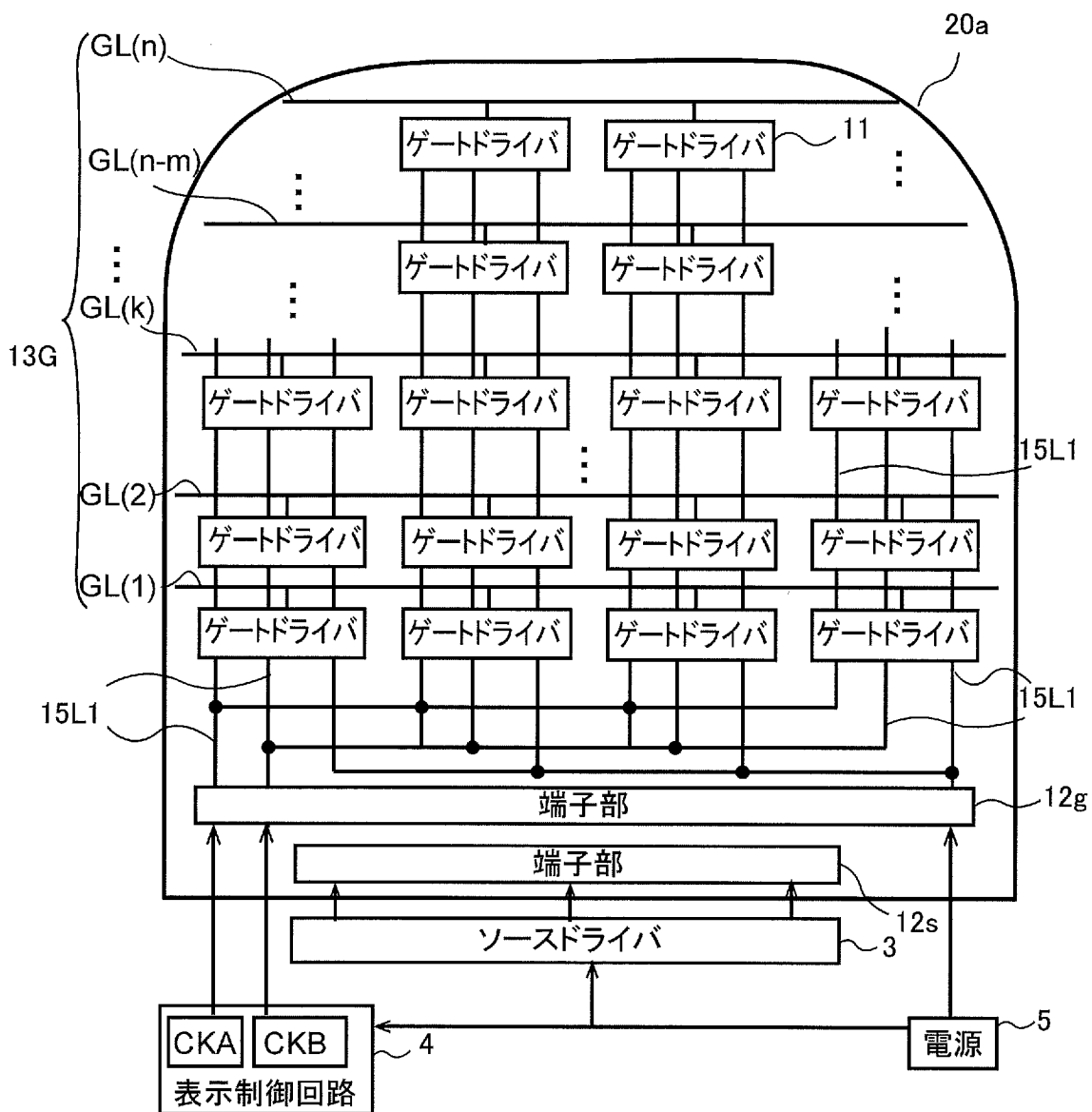
[図1]



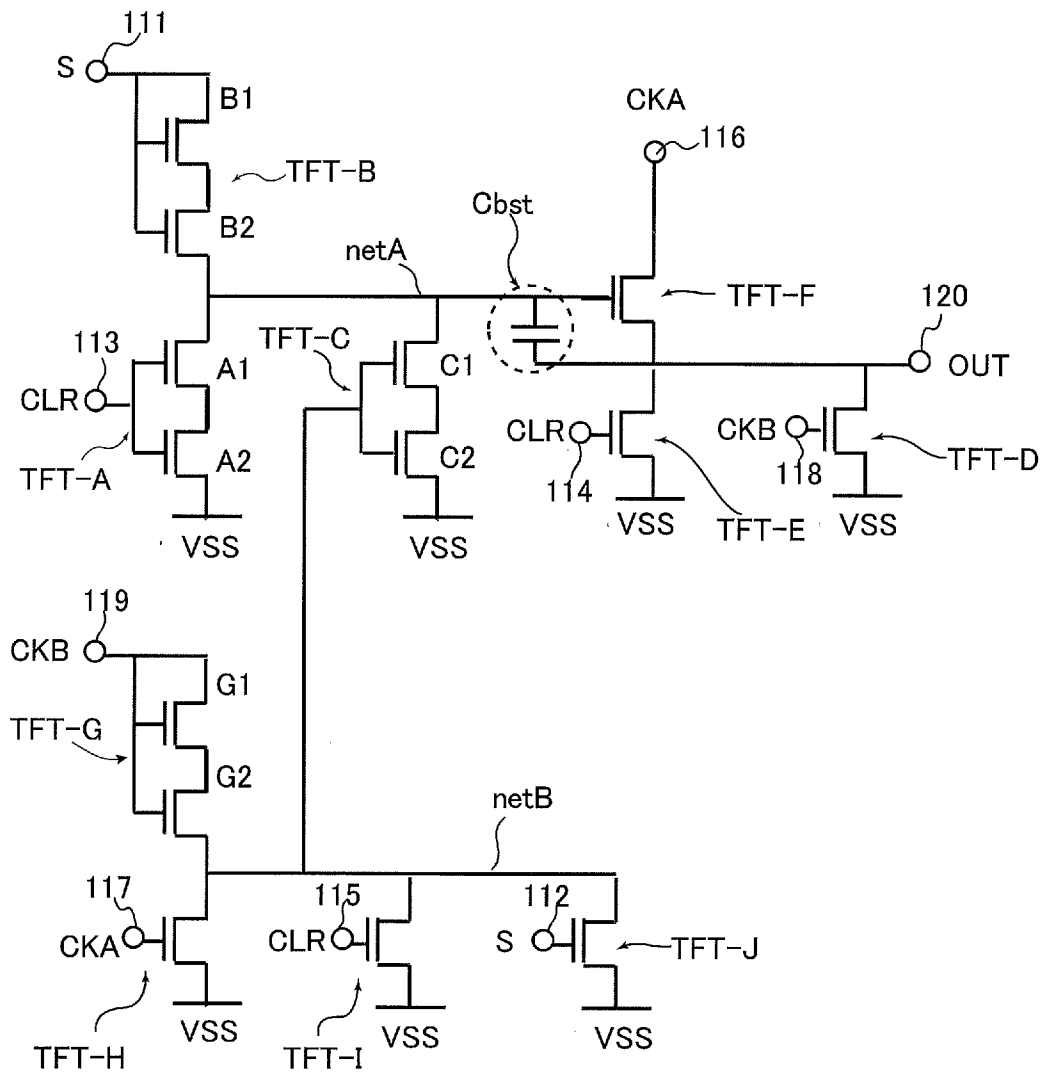
[図2]



[図3]

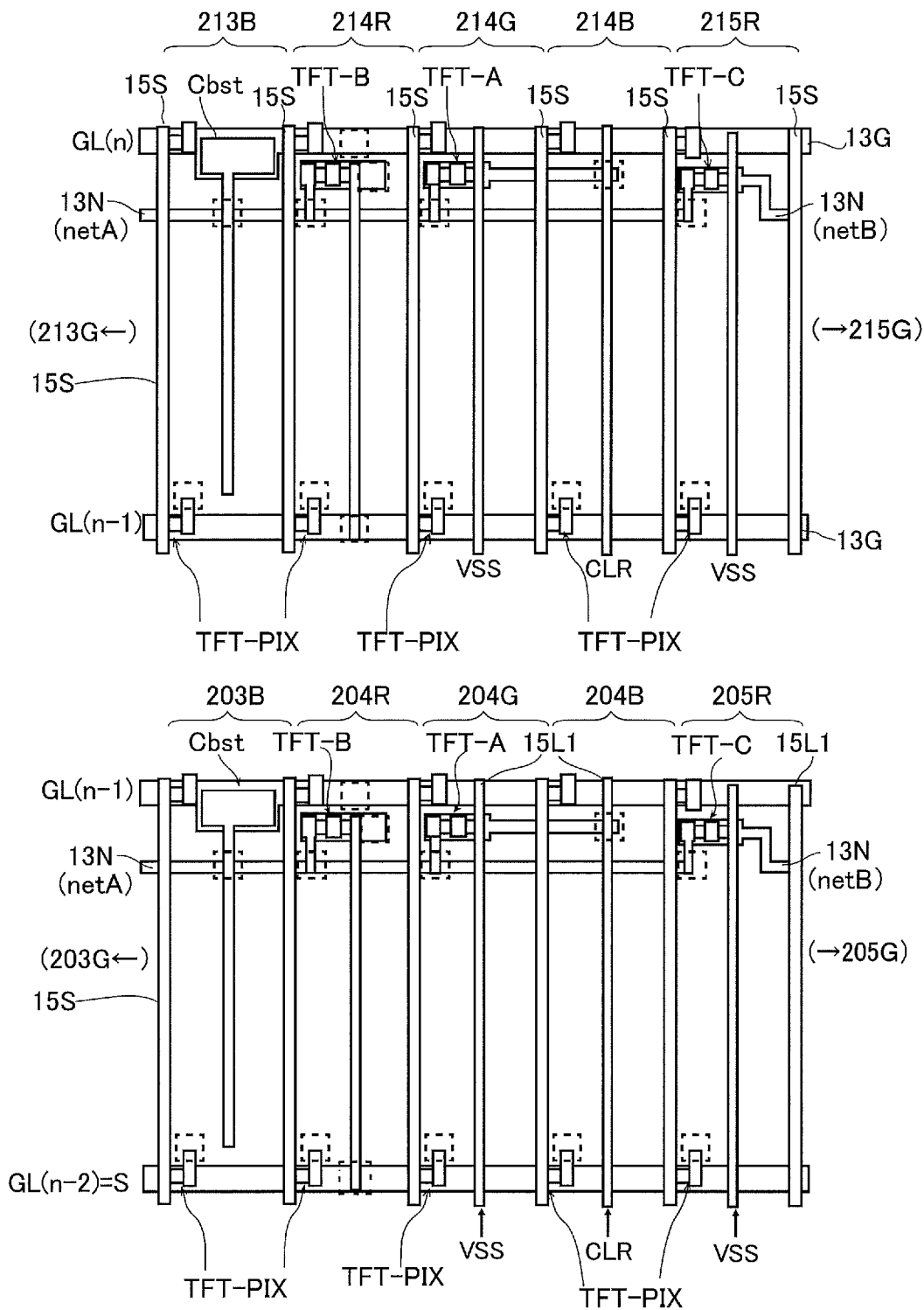


[図4]

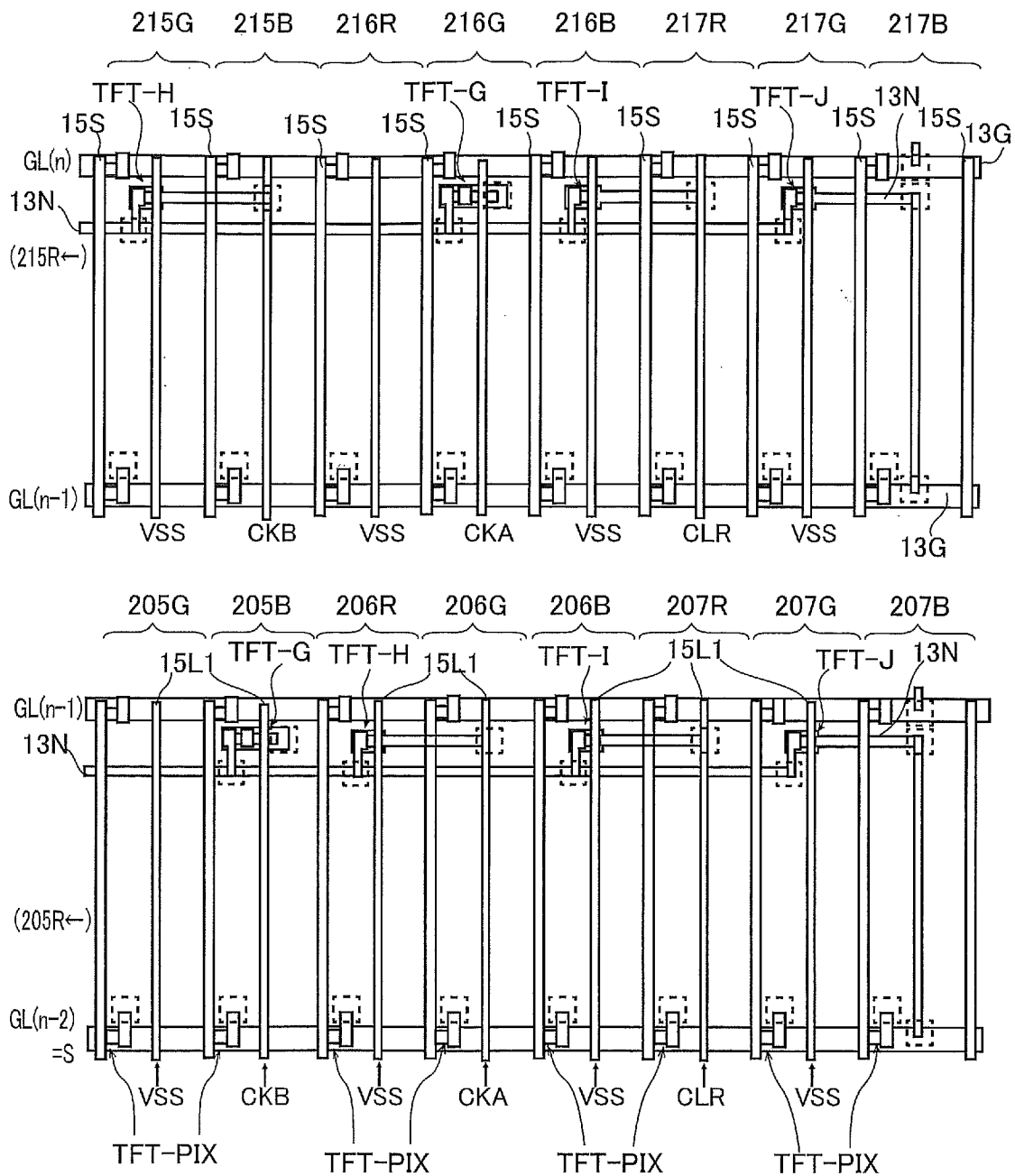




[図5B]

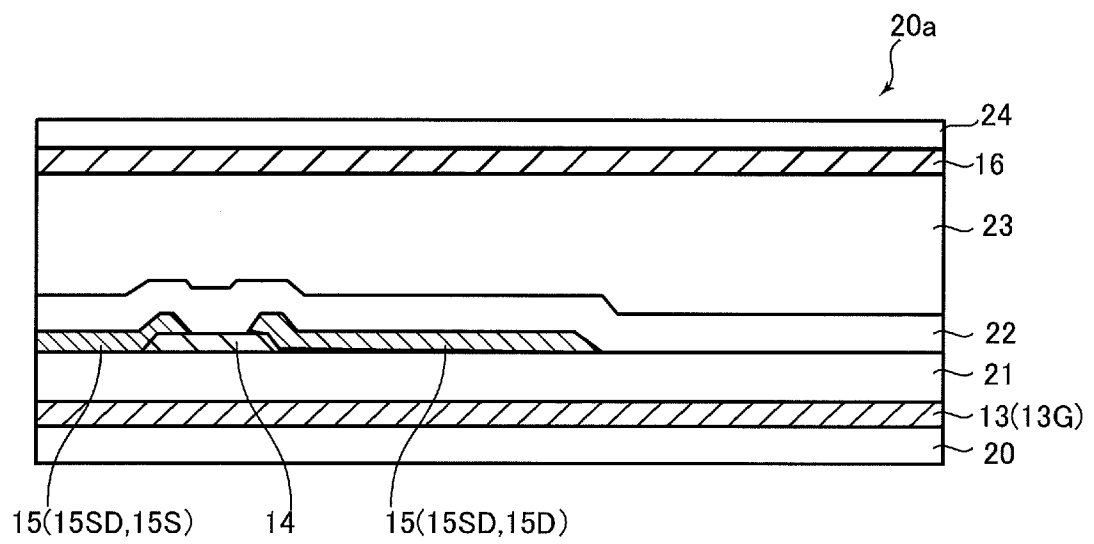


[図5C]

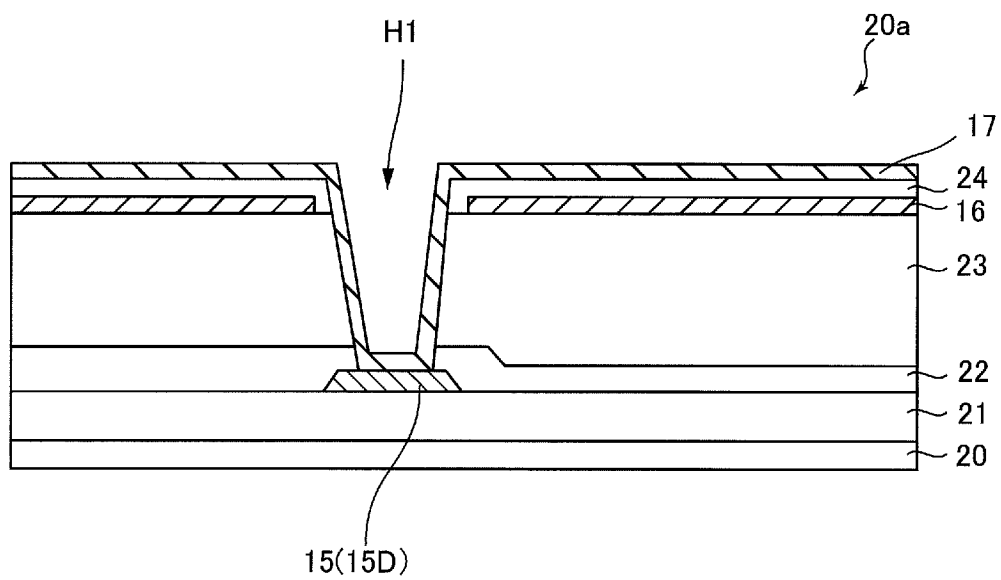




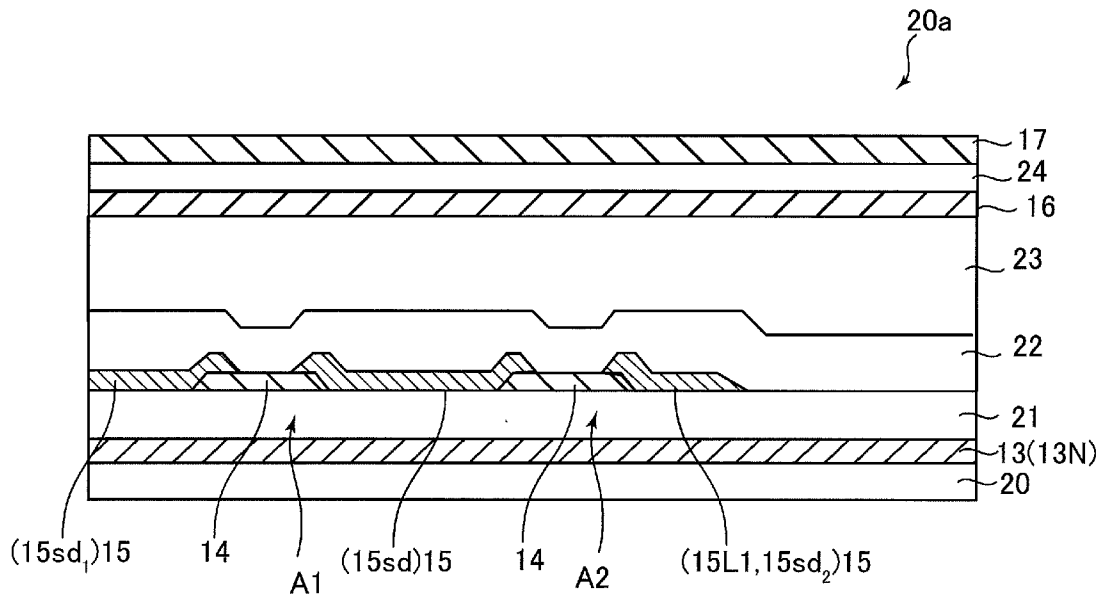
[図7A]



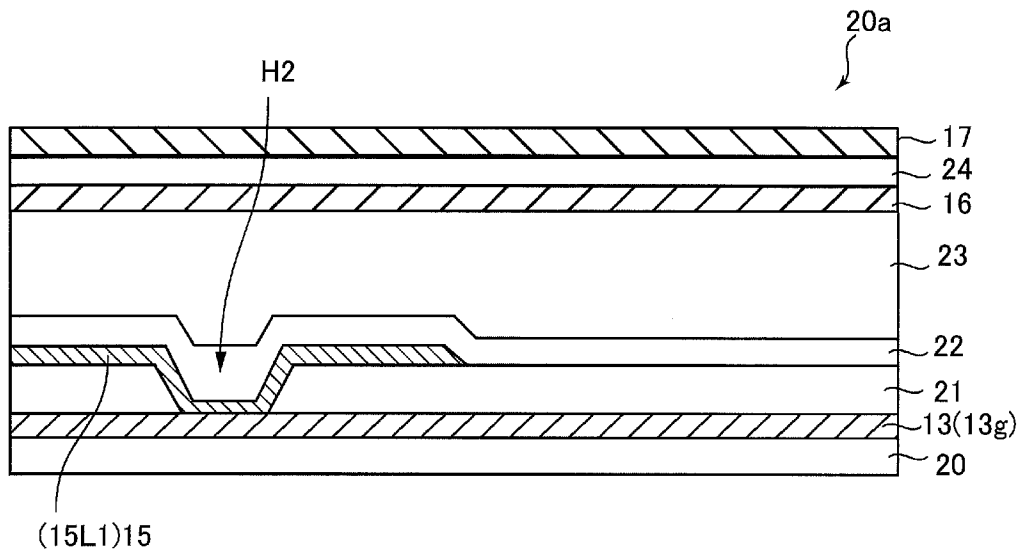
[図7B]



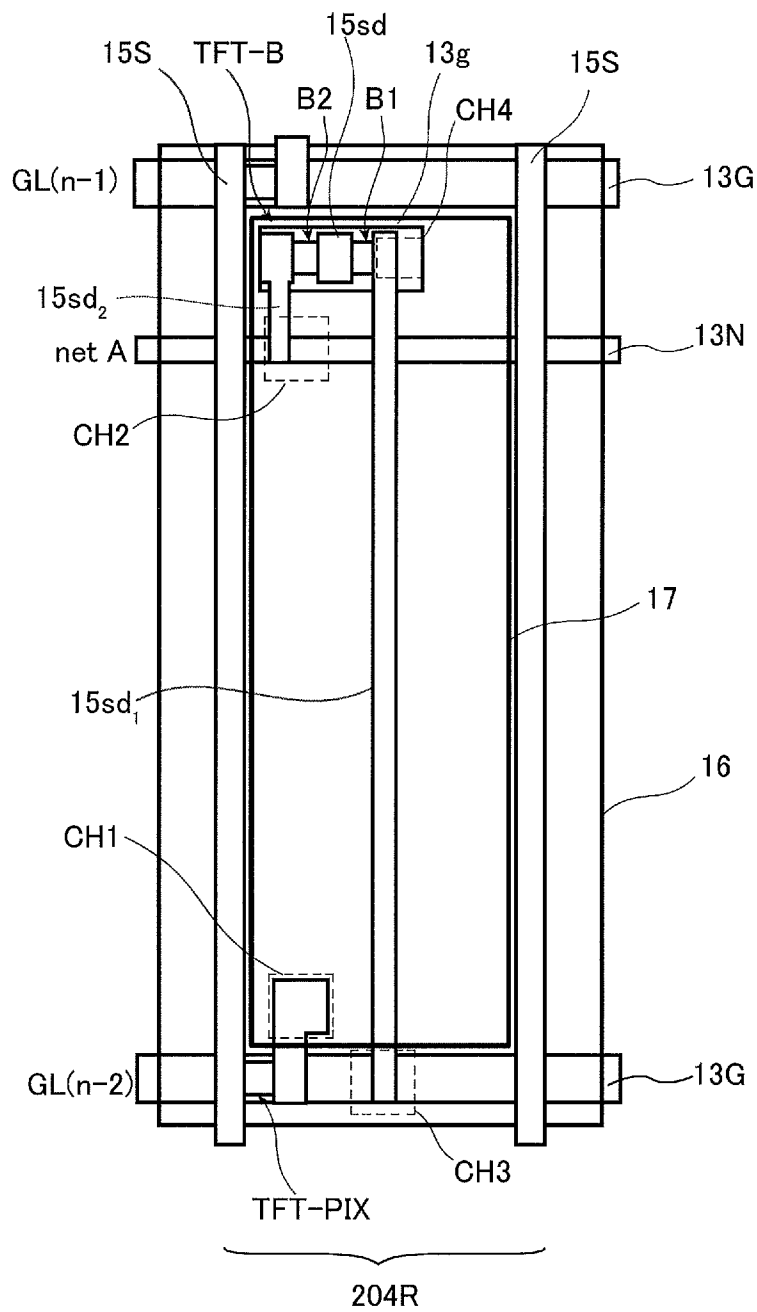
[図7C]



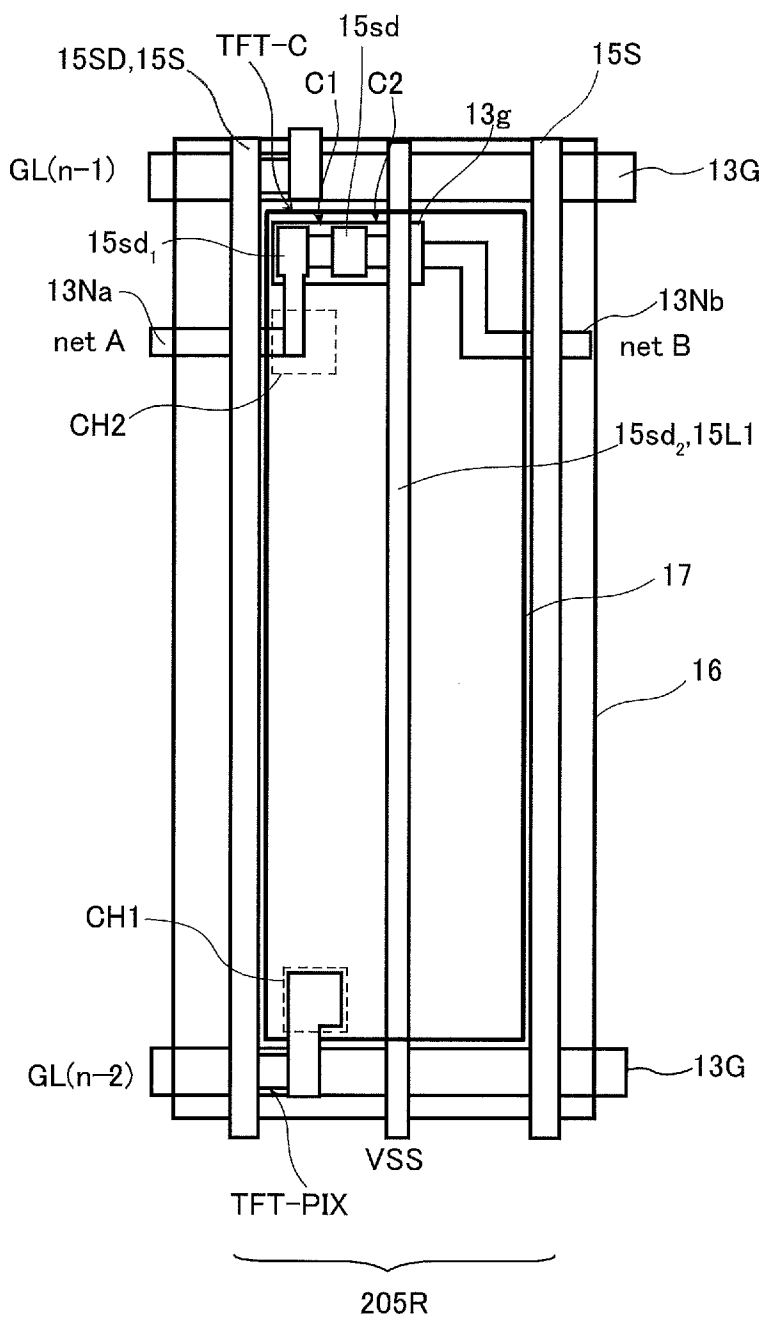
[図7D]



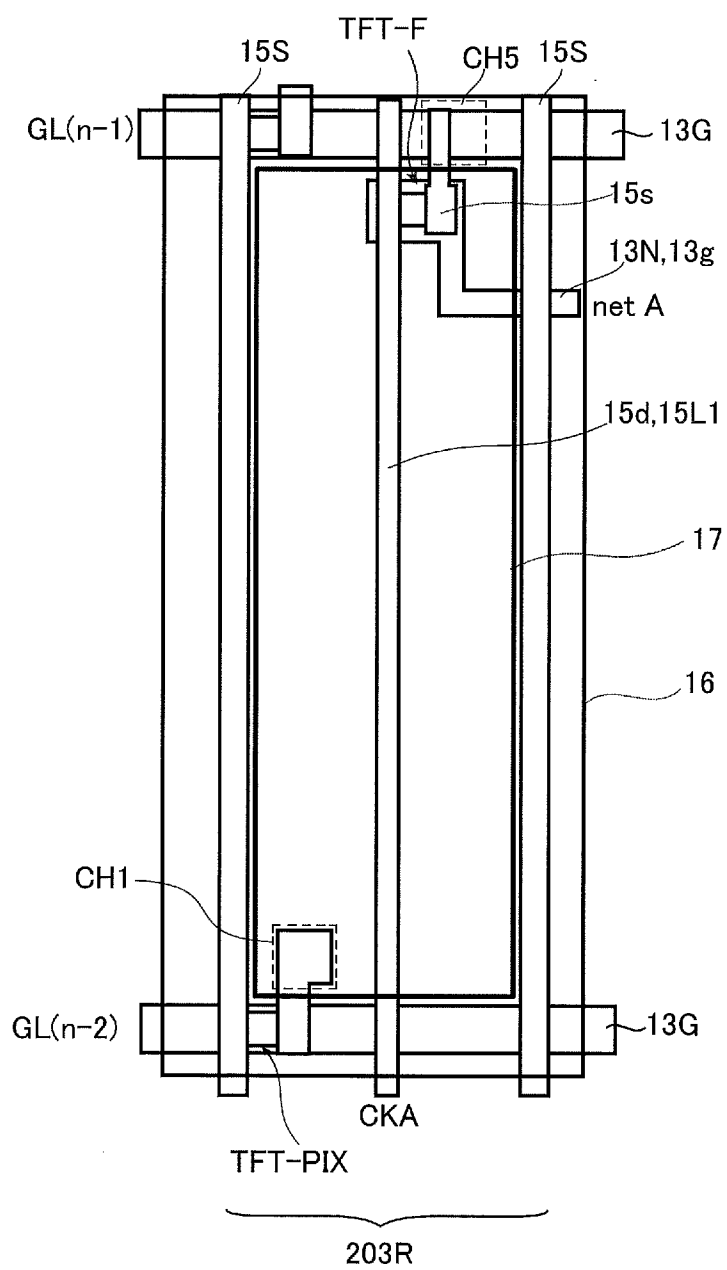
[図8A]



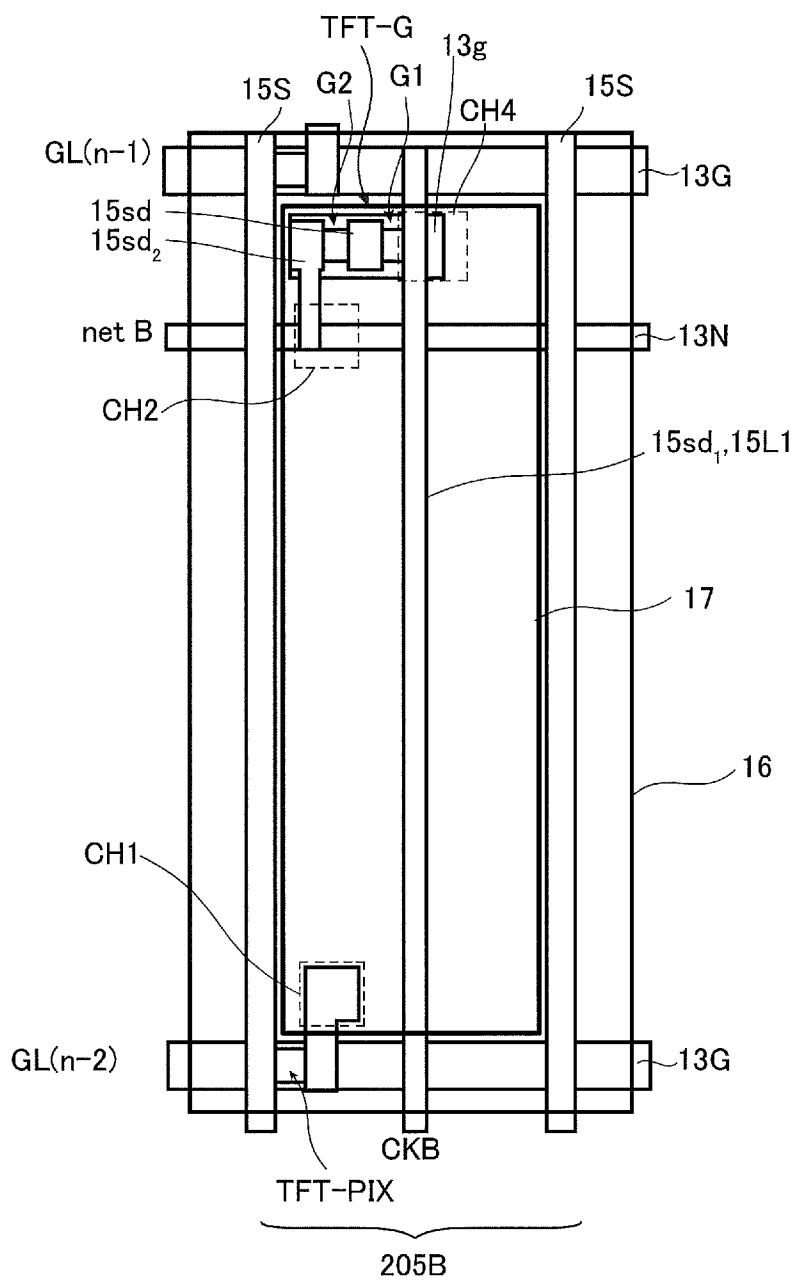
[図8B]



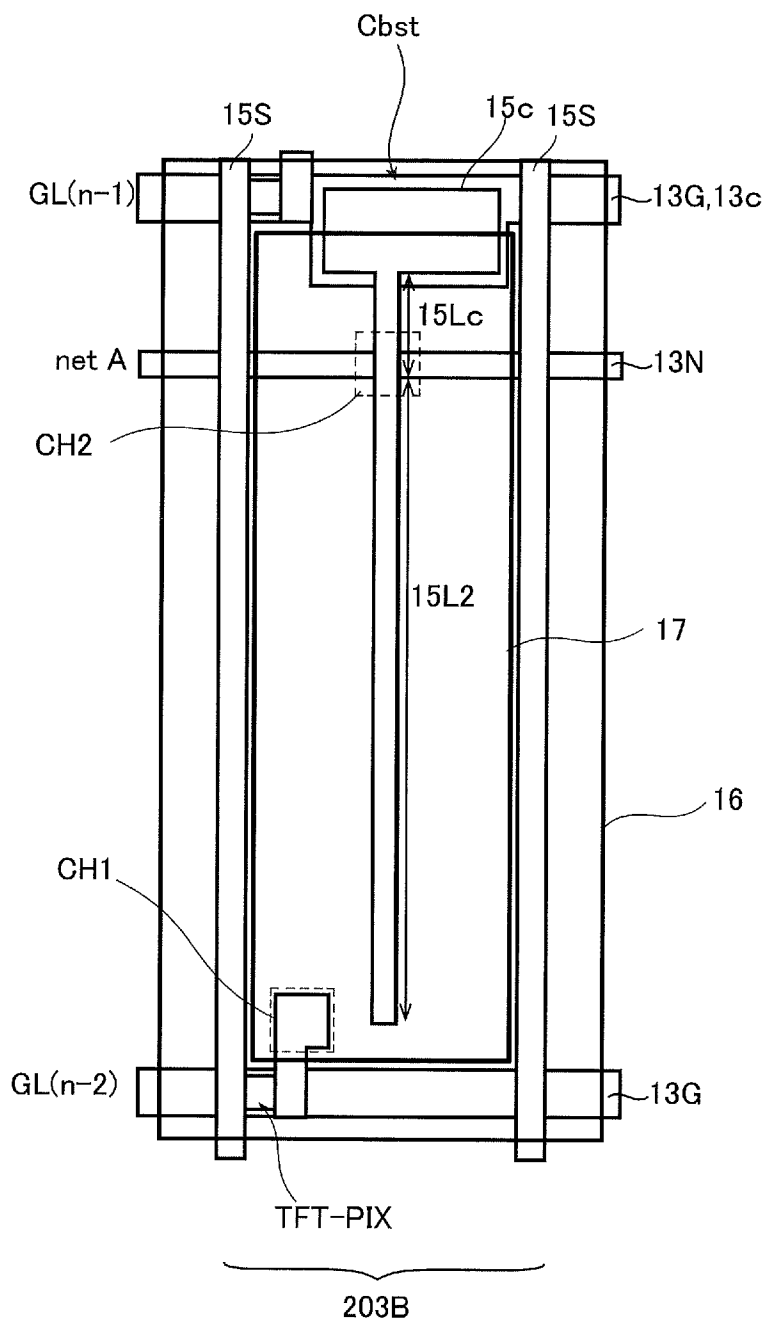
[図8C]



[図8D]

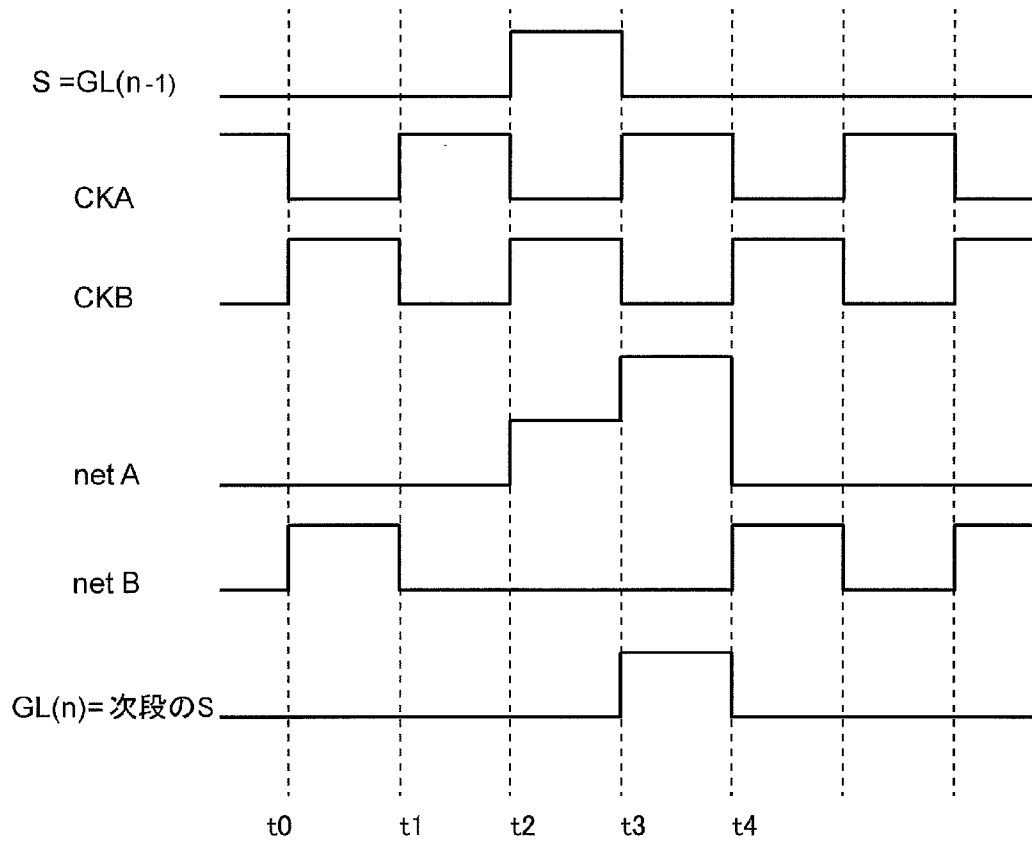


[図8E]

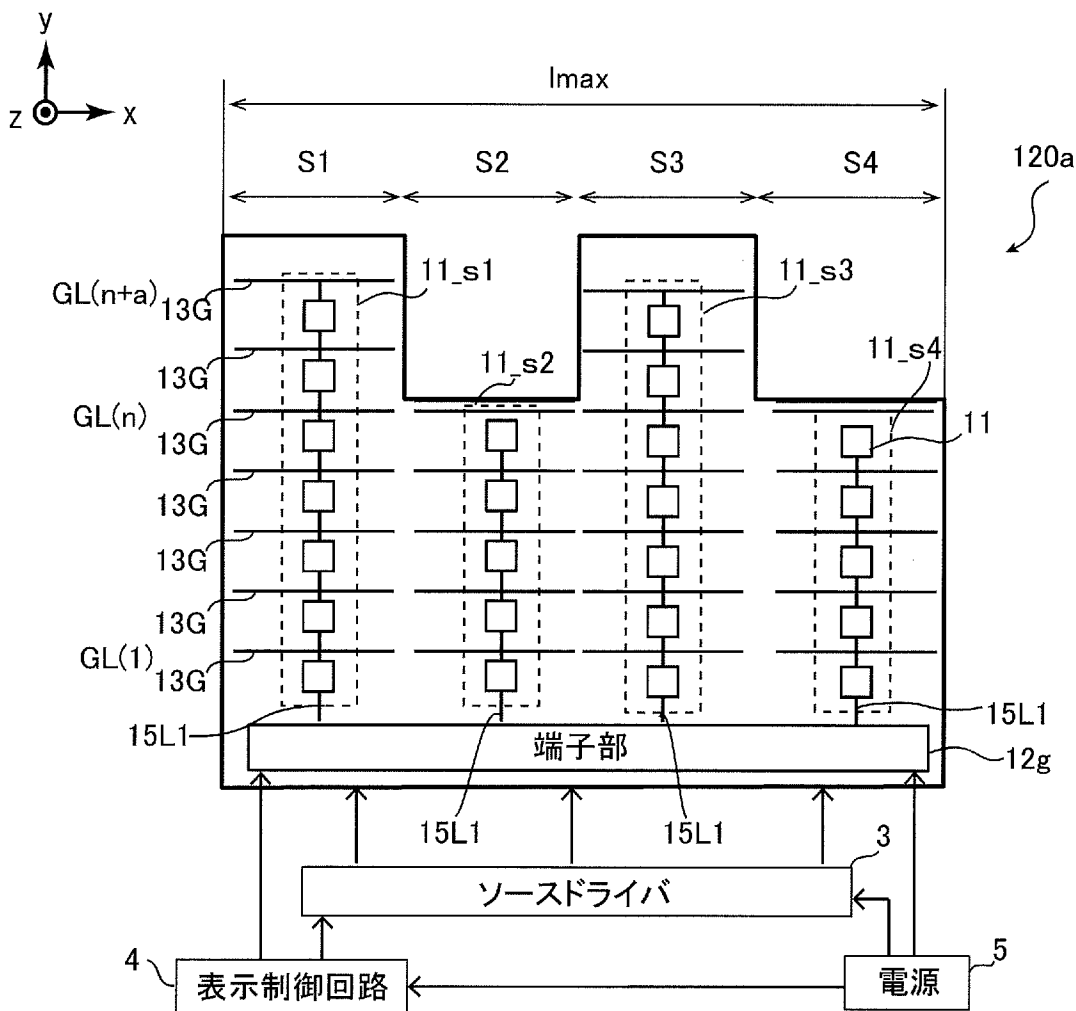




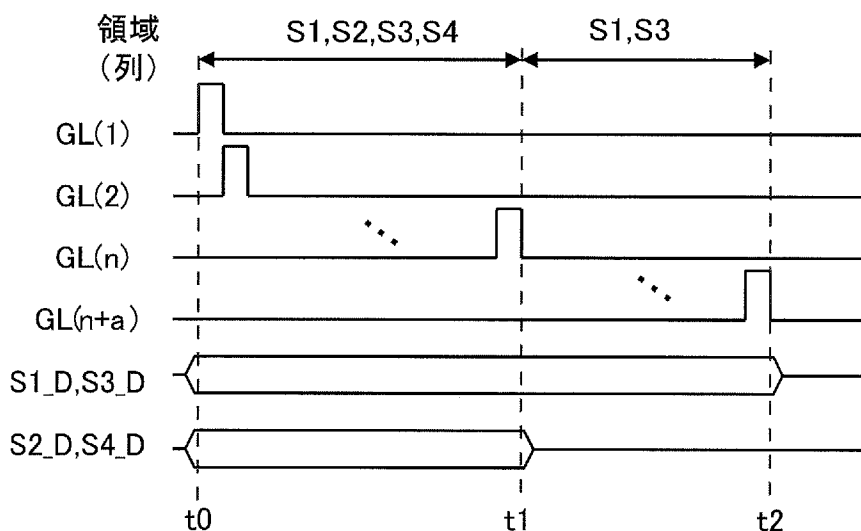
[図9]



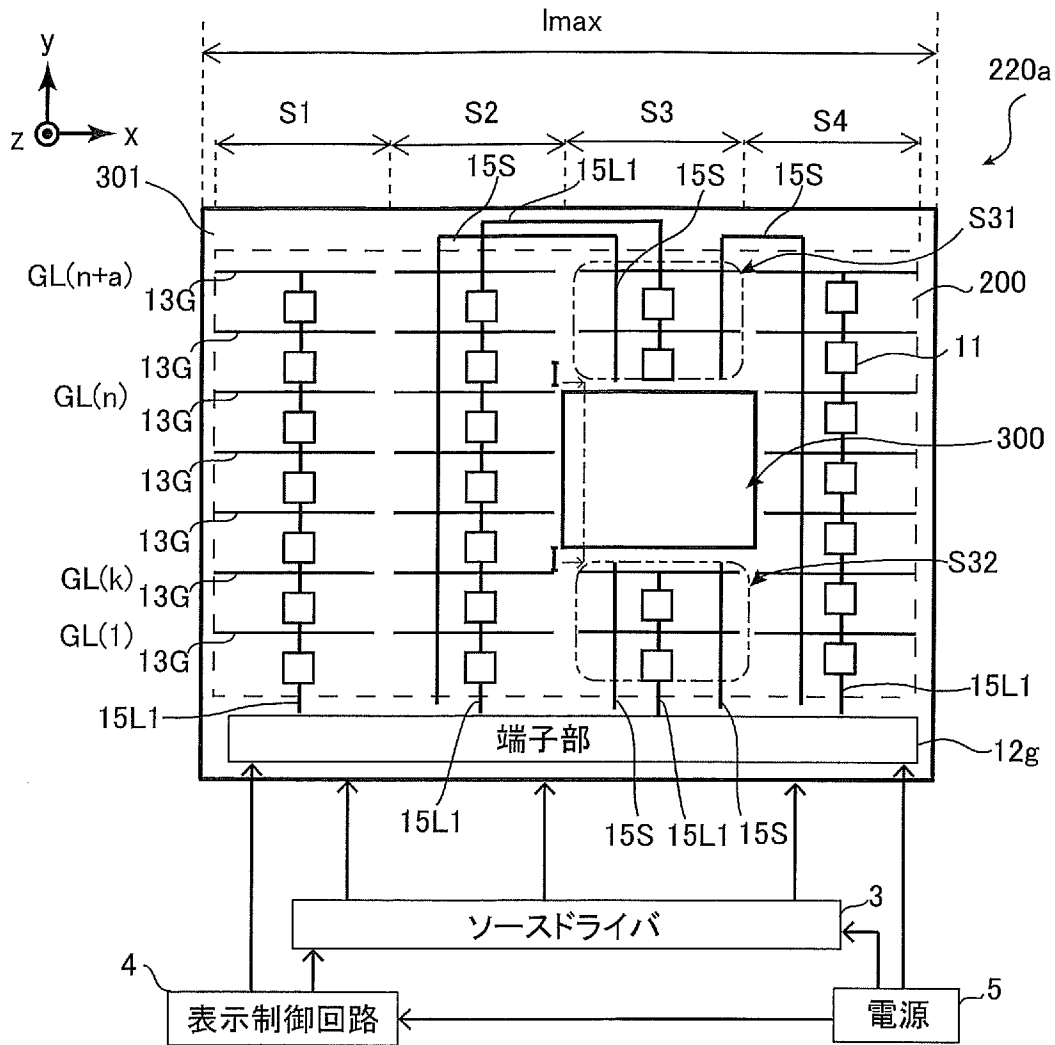
[図10]



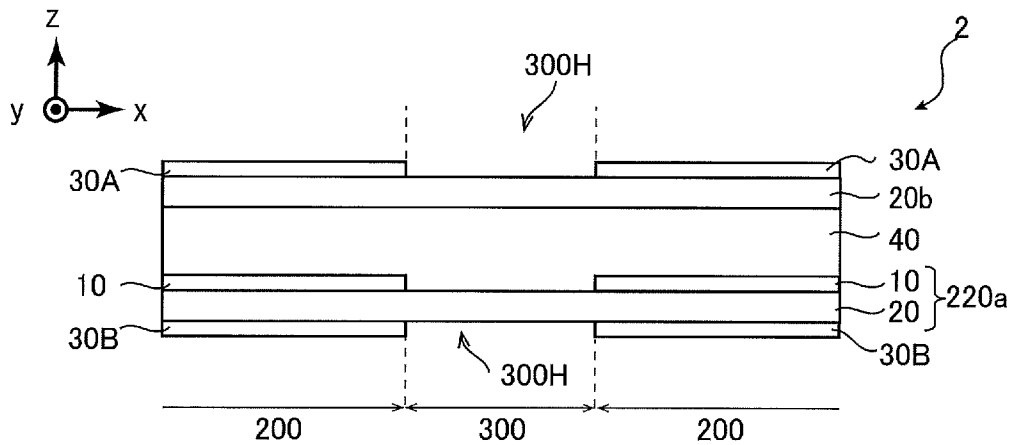
[図11]



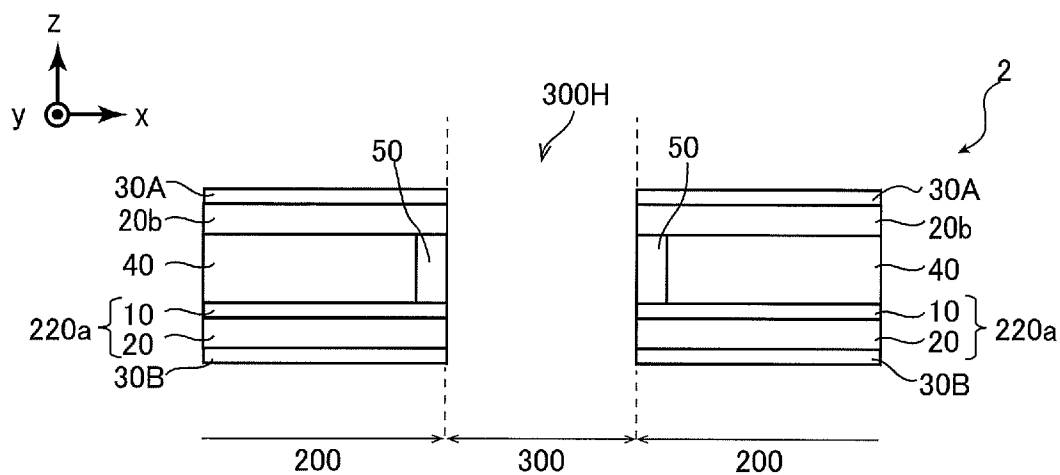
[図12A]



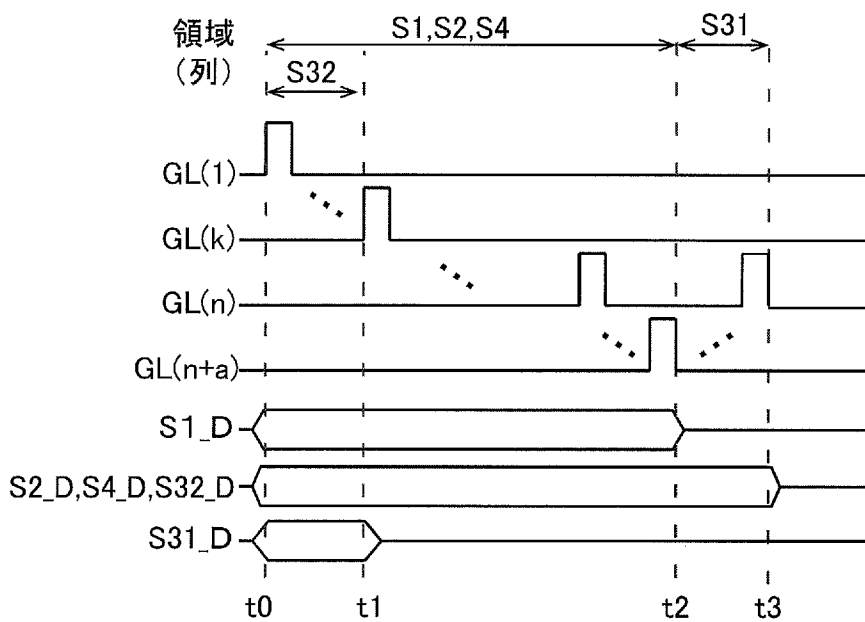
[図12B]



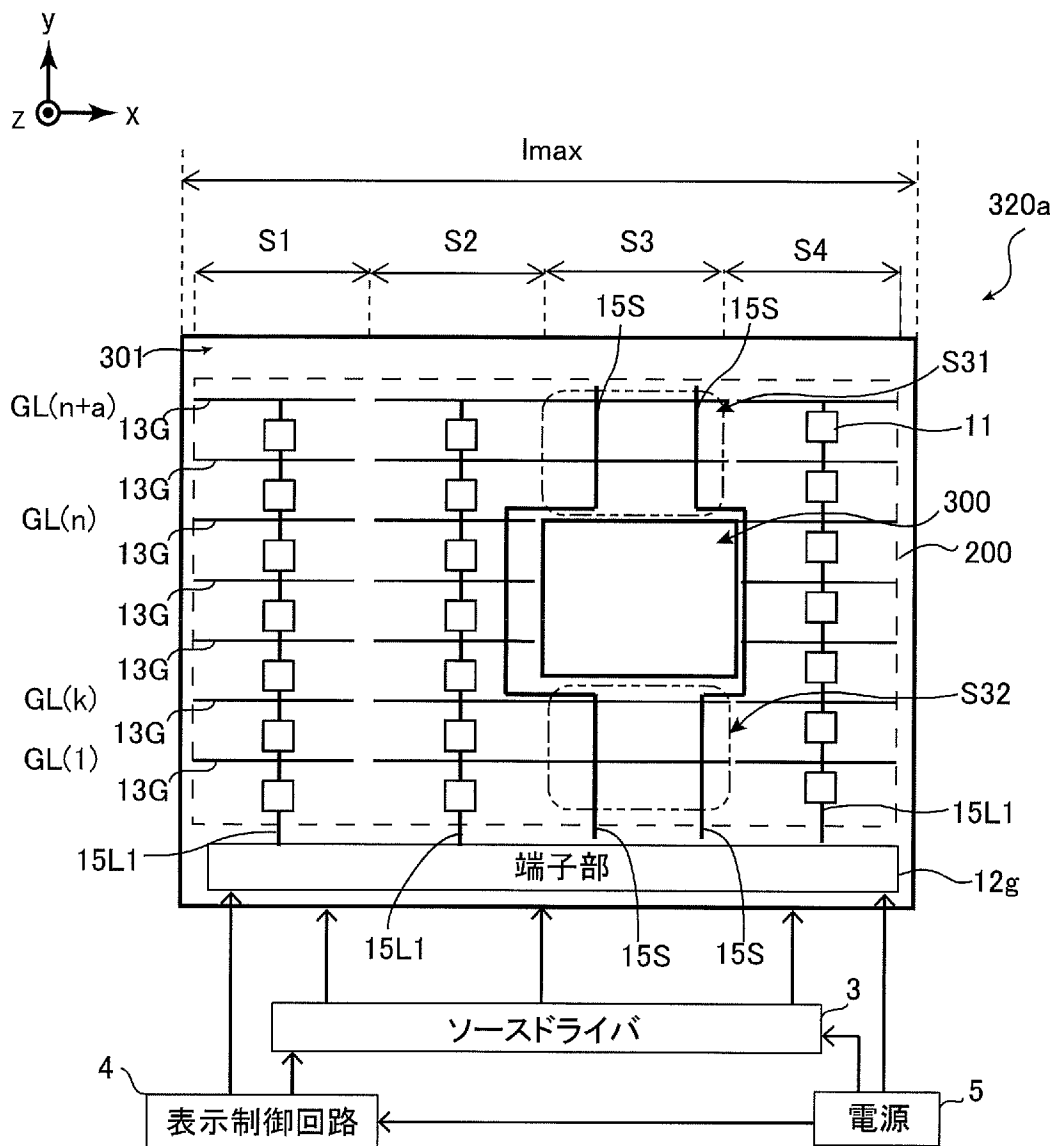
[図12C]



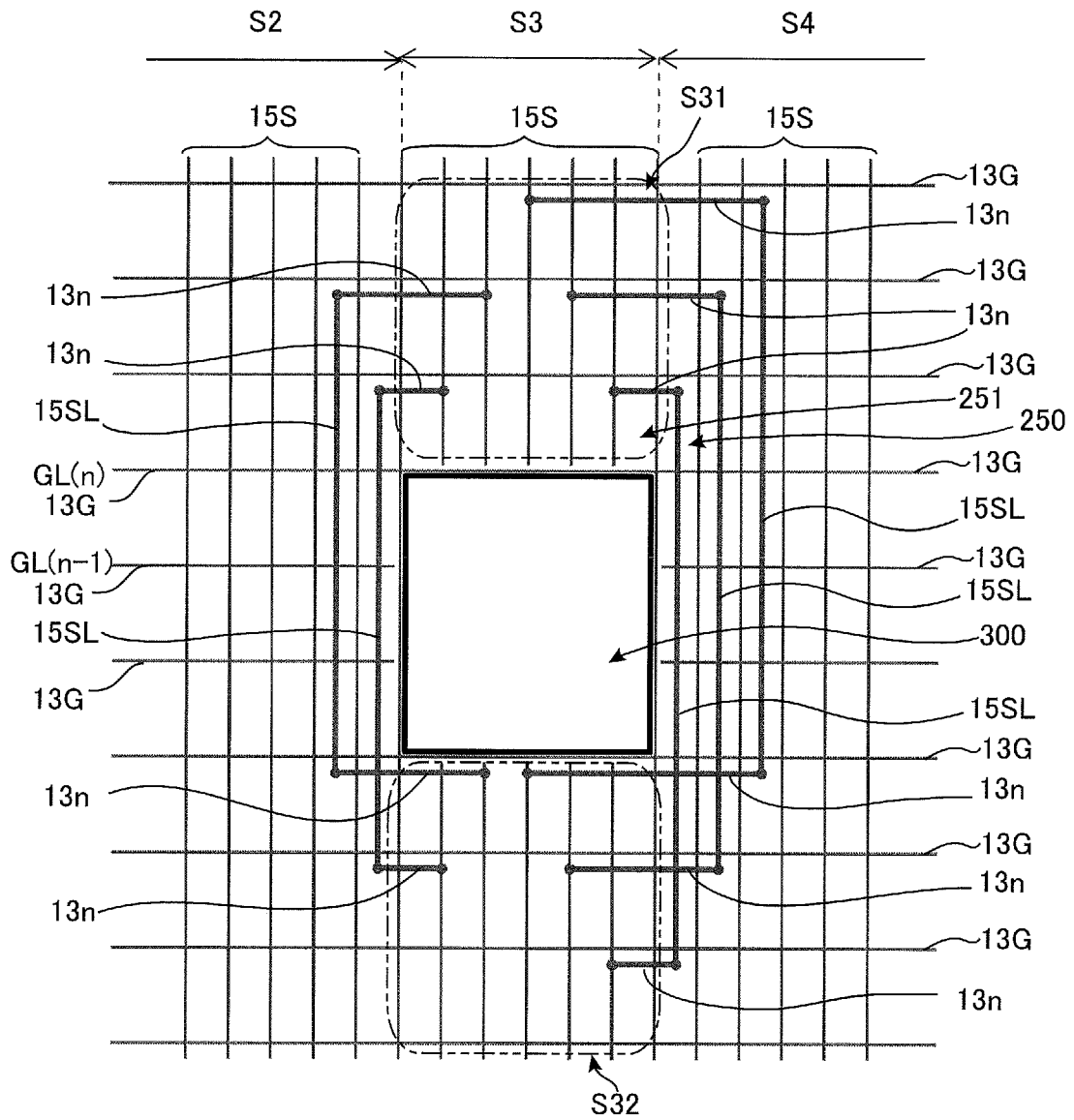
[図13]



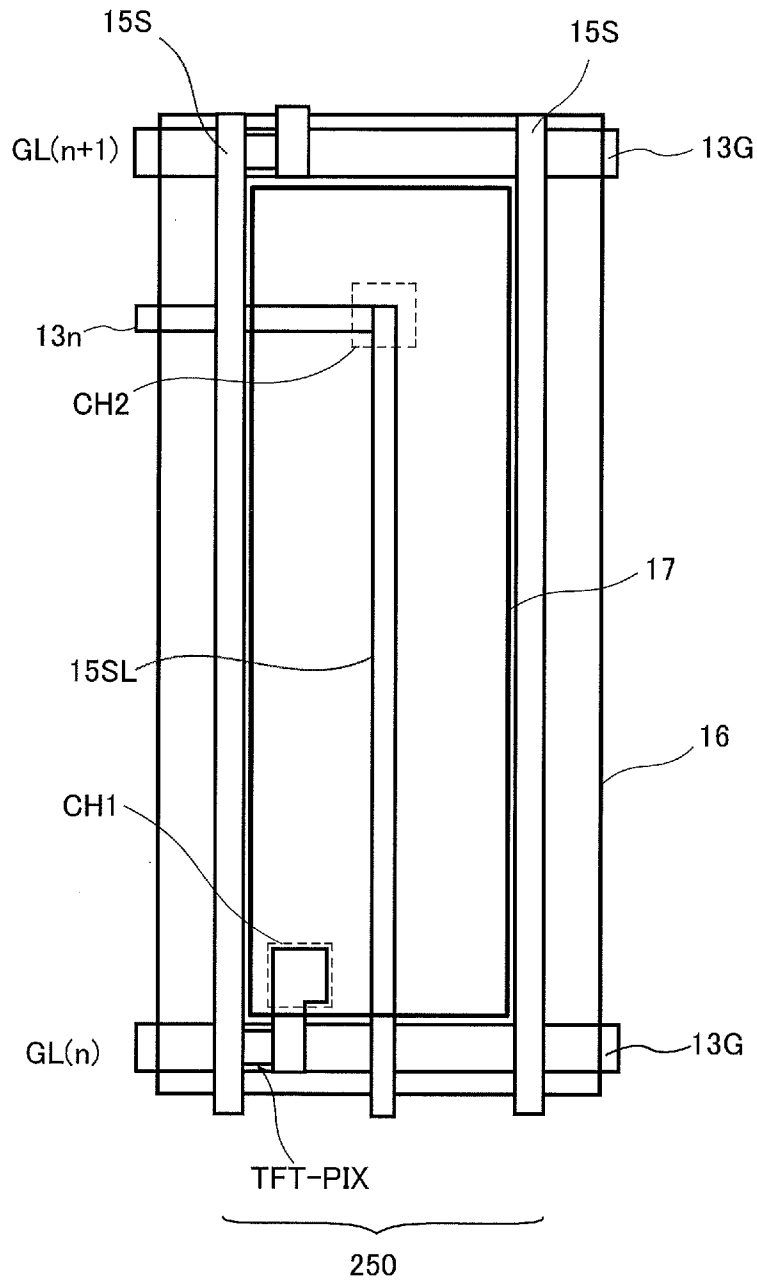
[図14]



[図15]



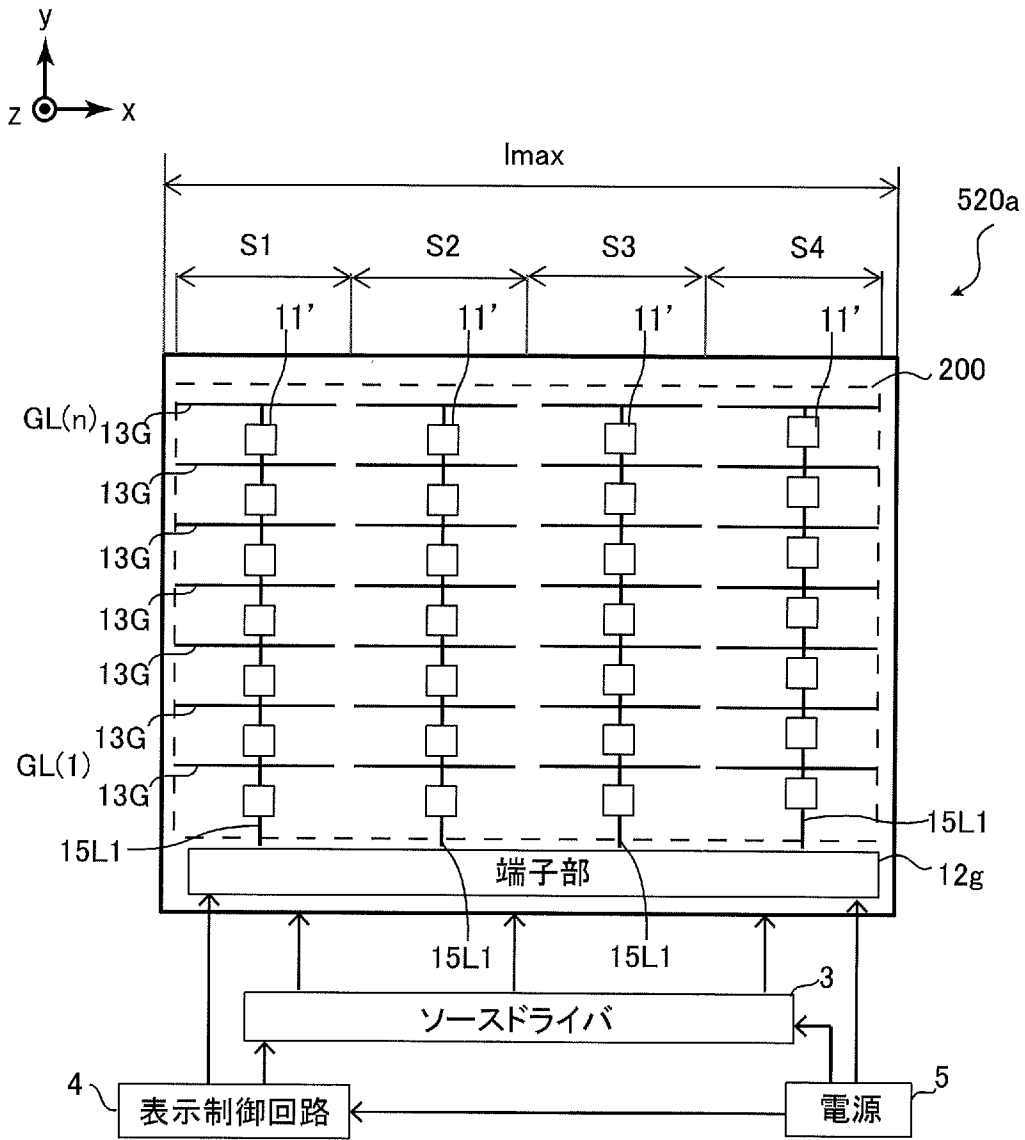
[図16]





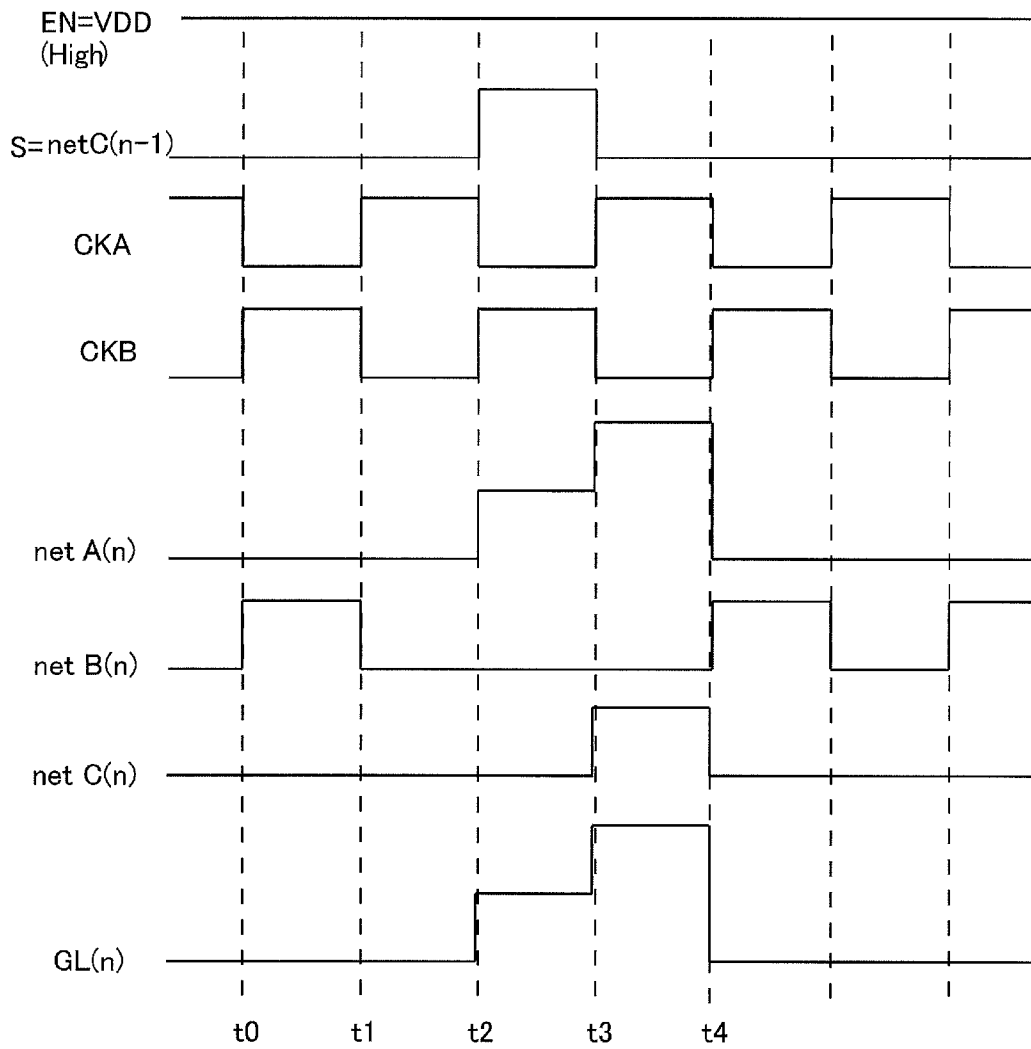


[図19]

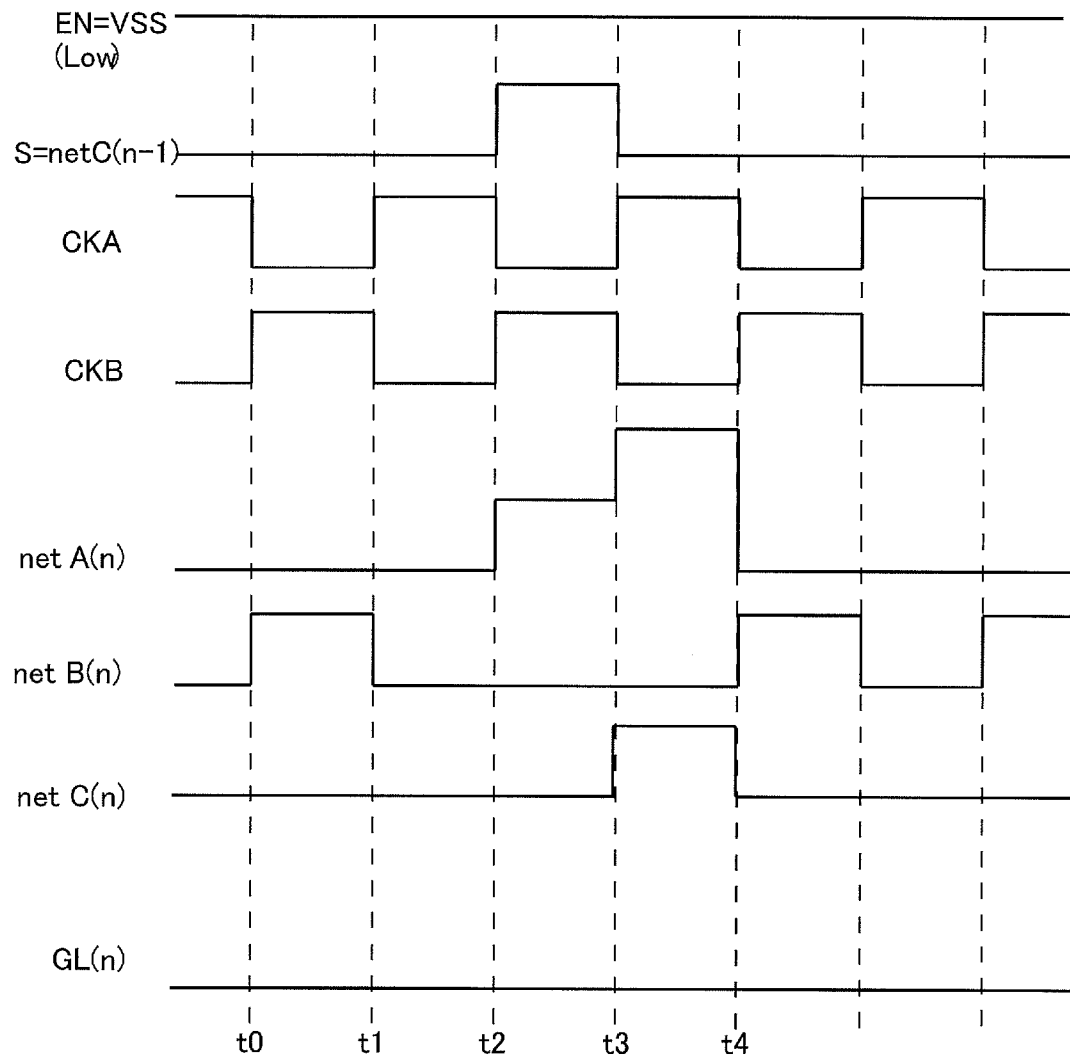




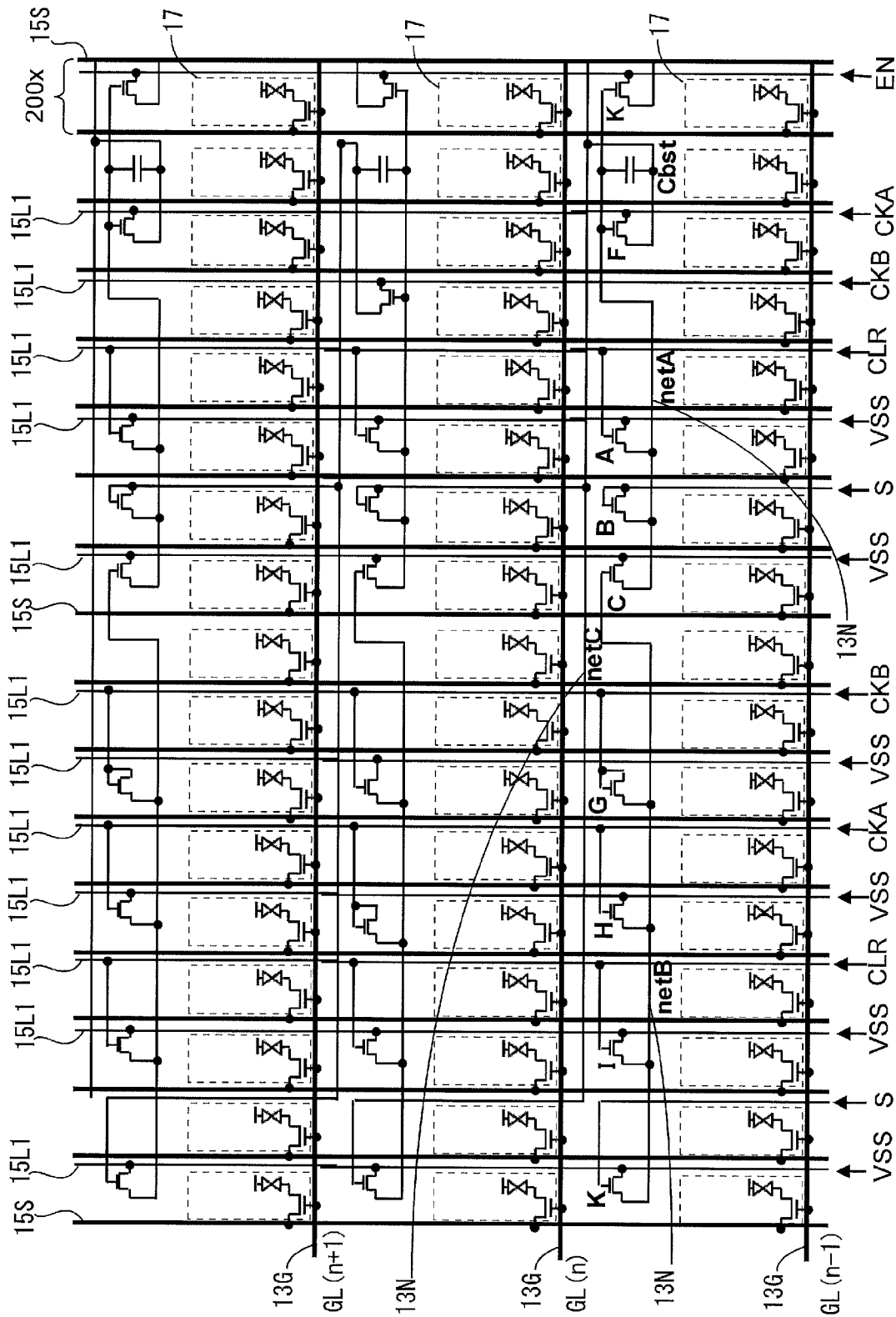
[図21A]



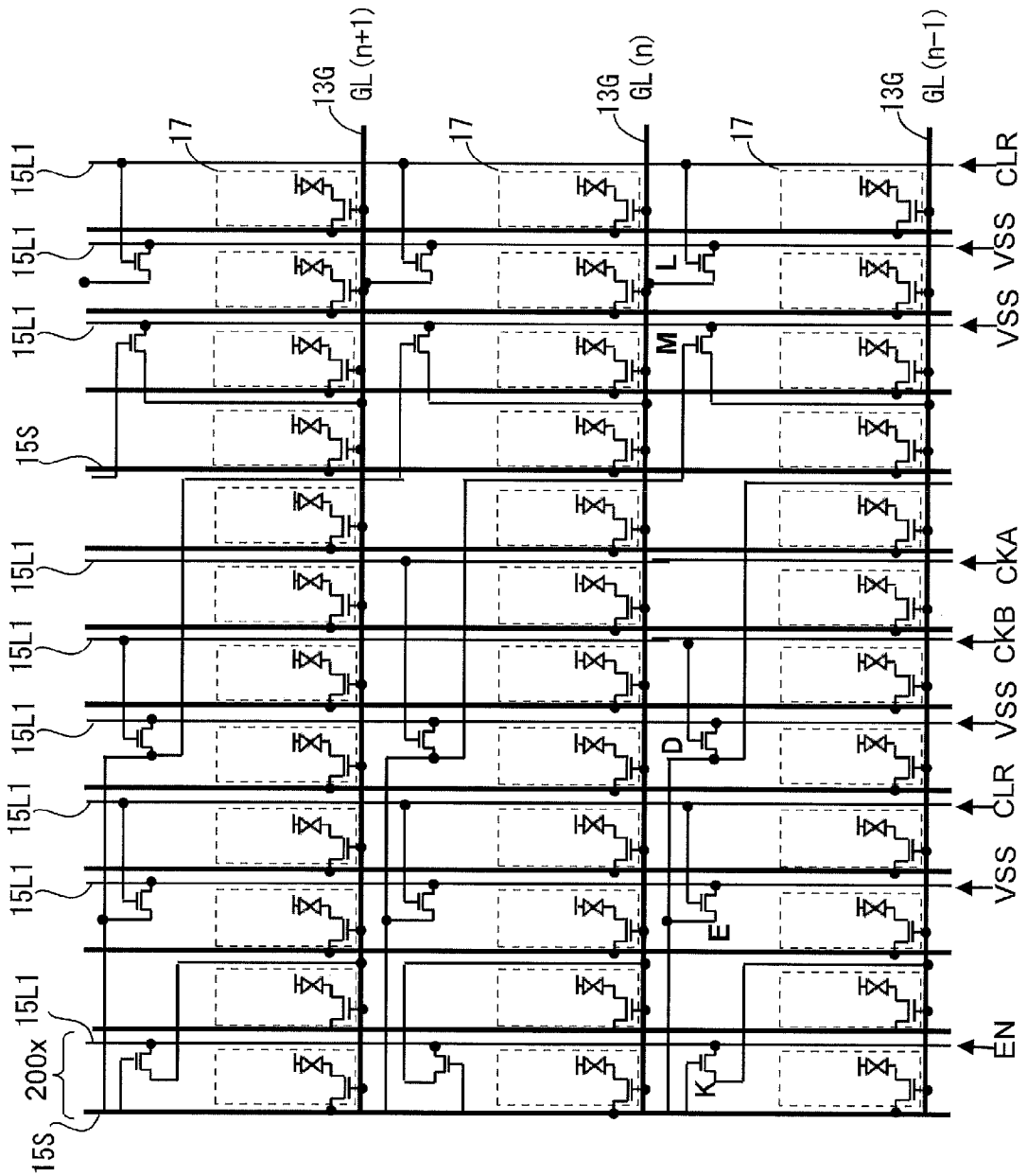
[図21B]



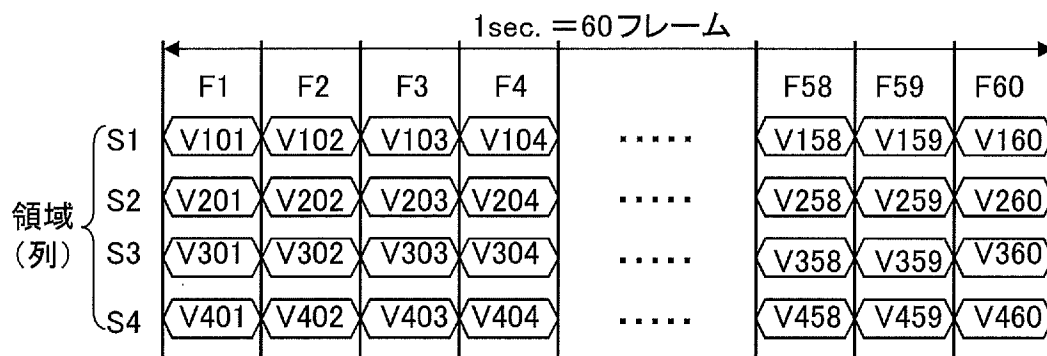
[22A]



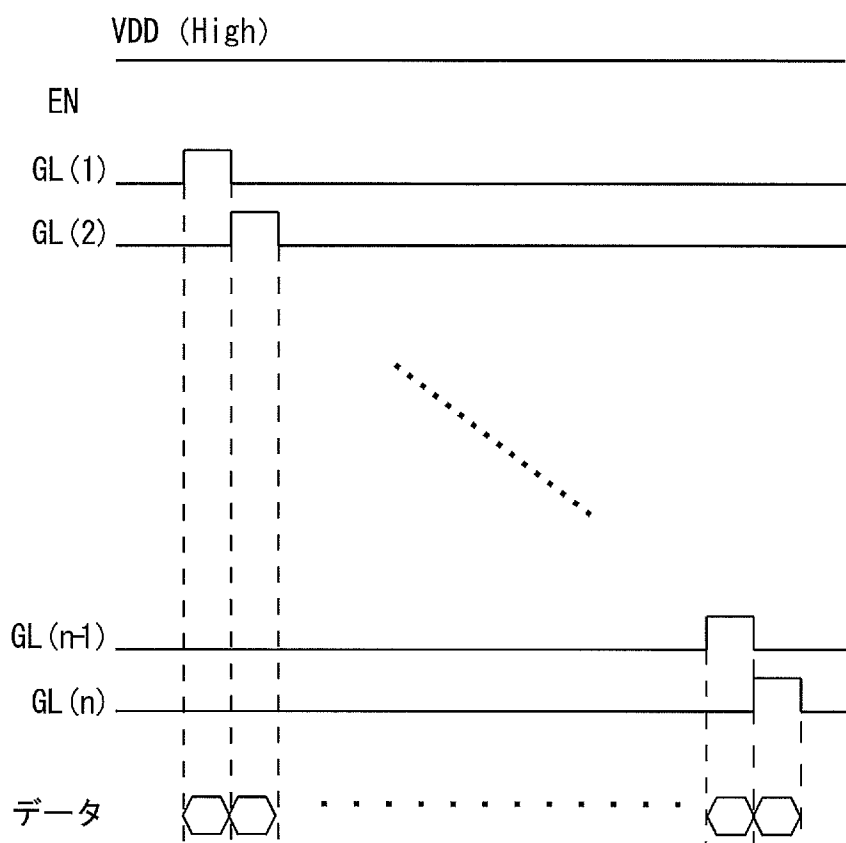
[22B]



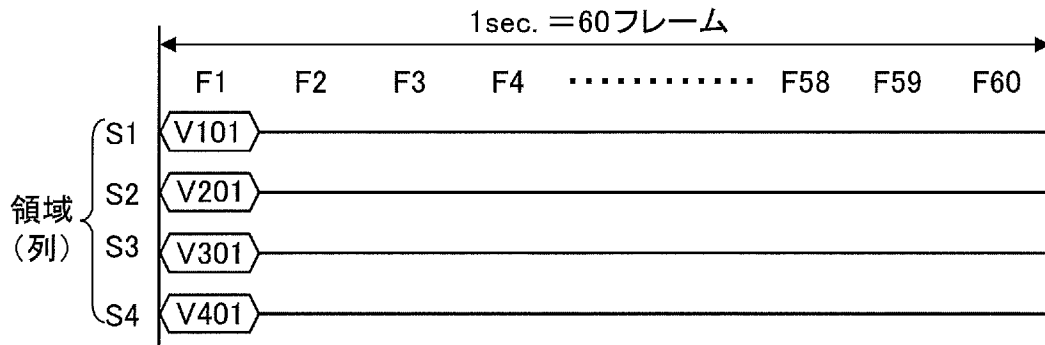
[図23A]



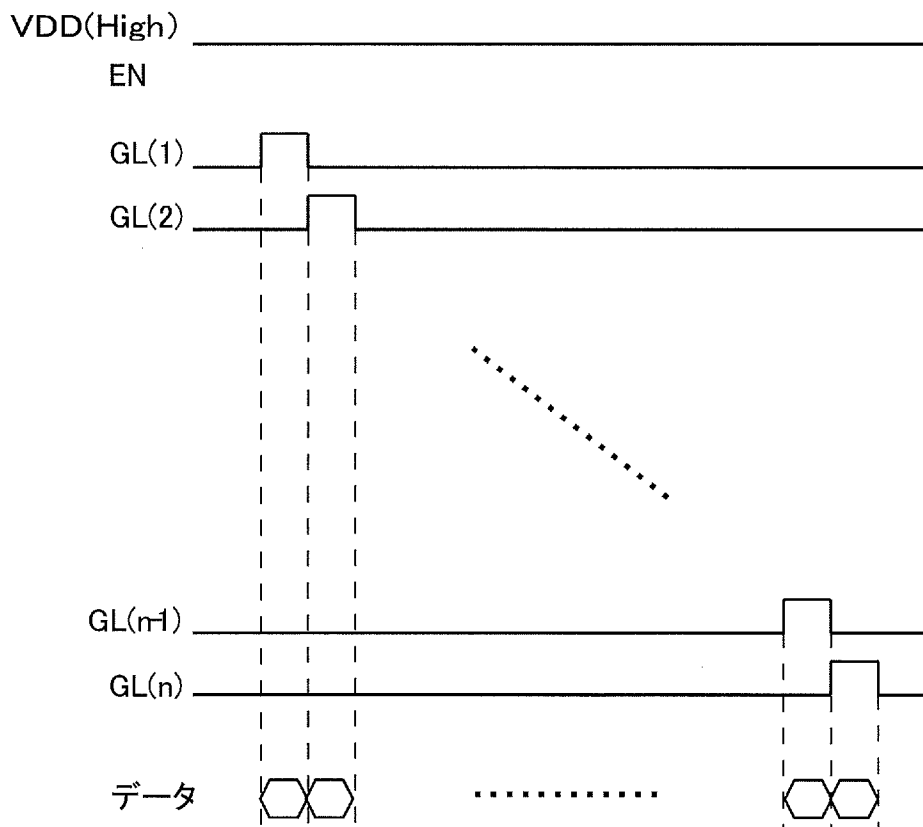
[図23B]



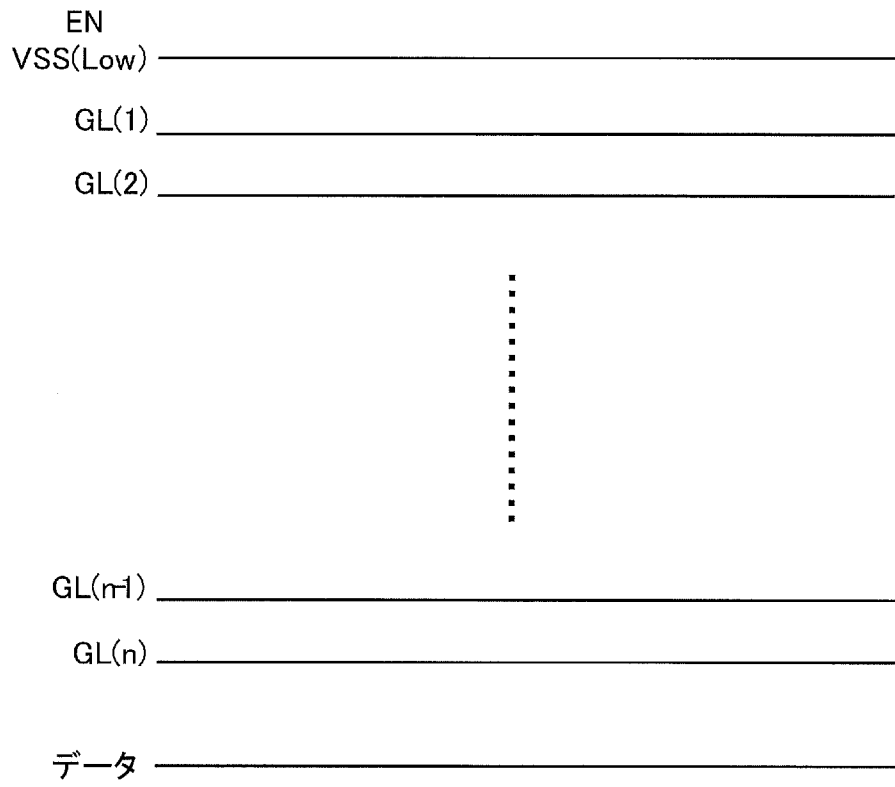
[図24A]



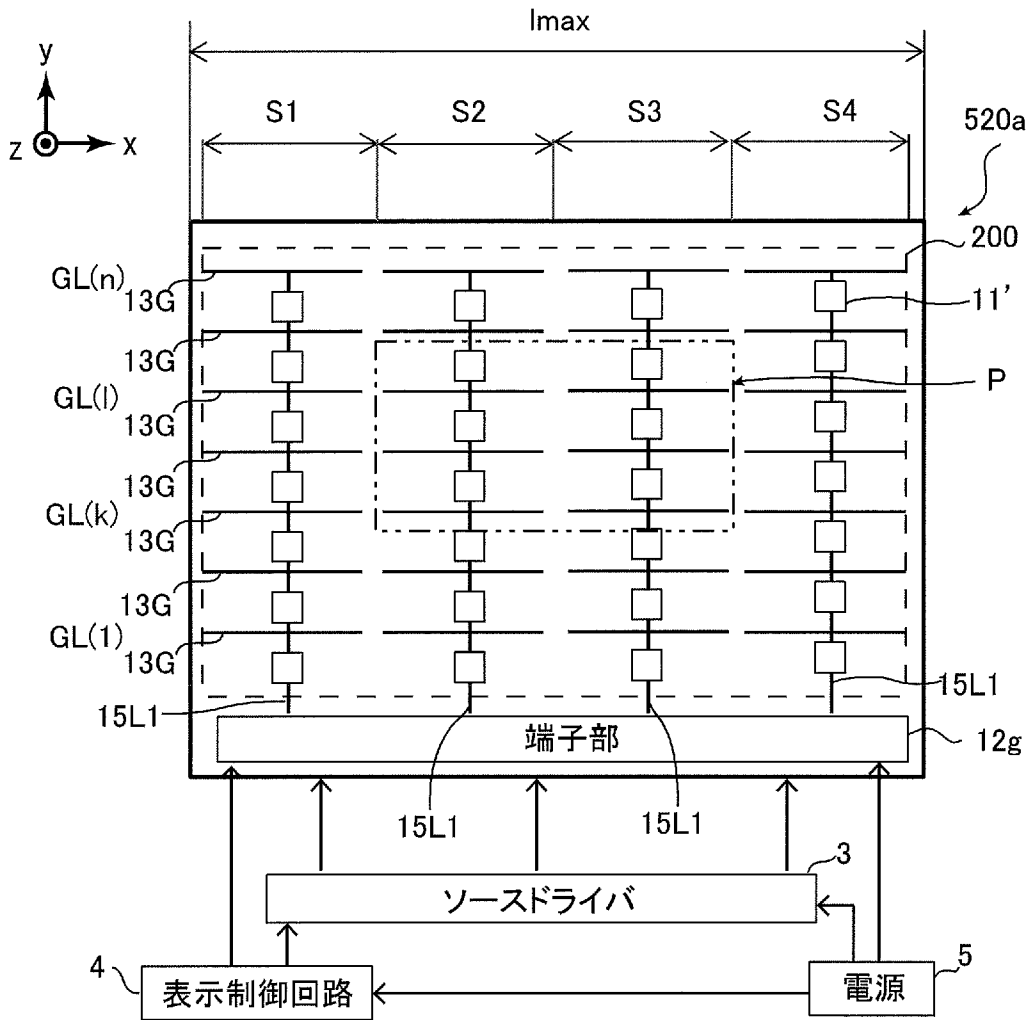
[図24B]



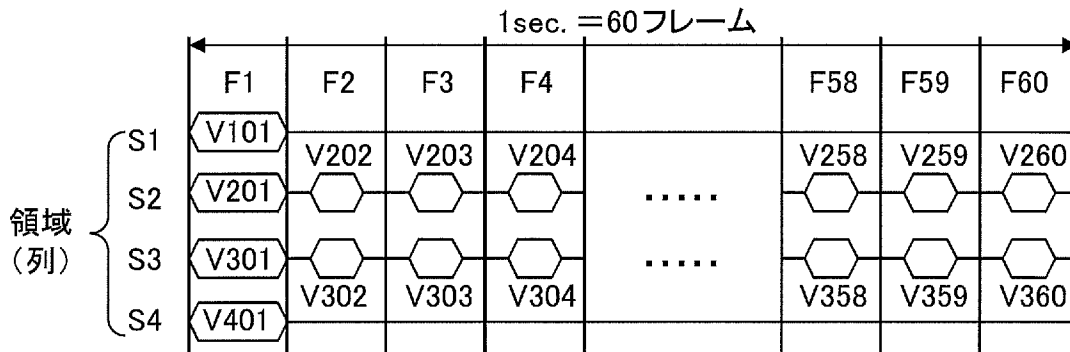
[図24C]



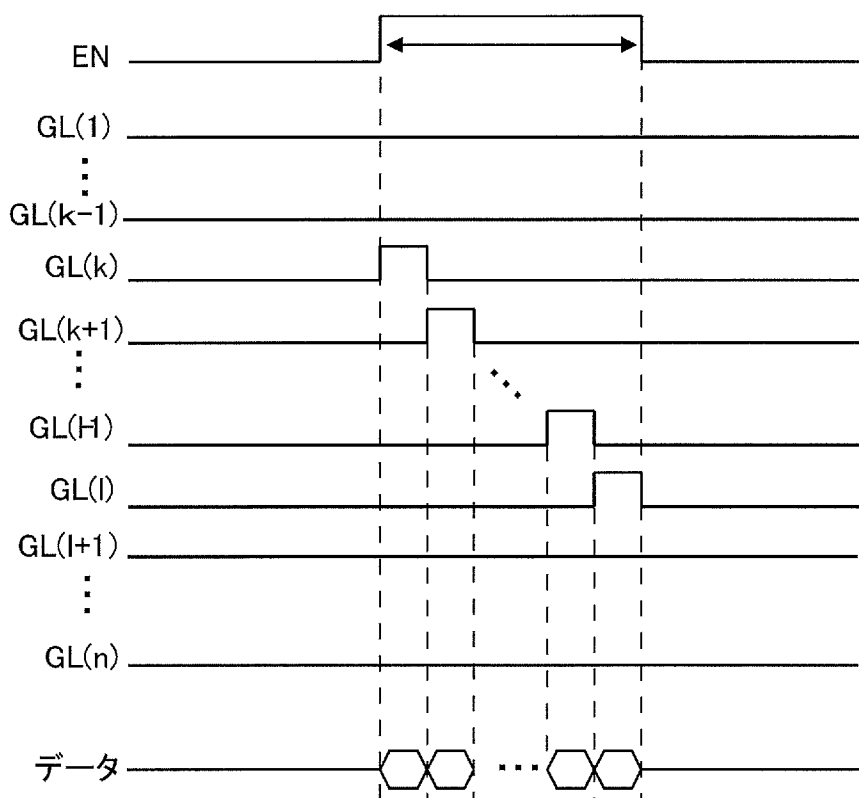
[図25]



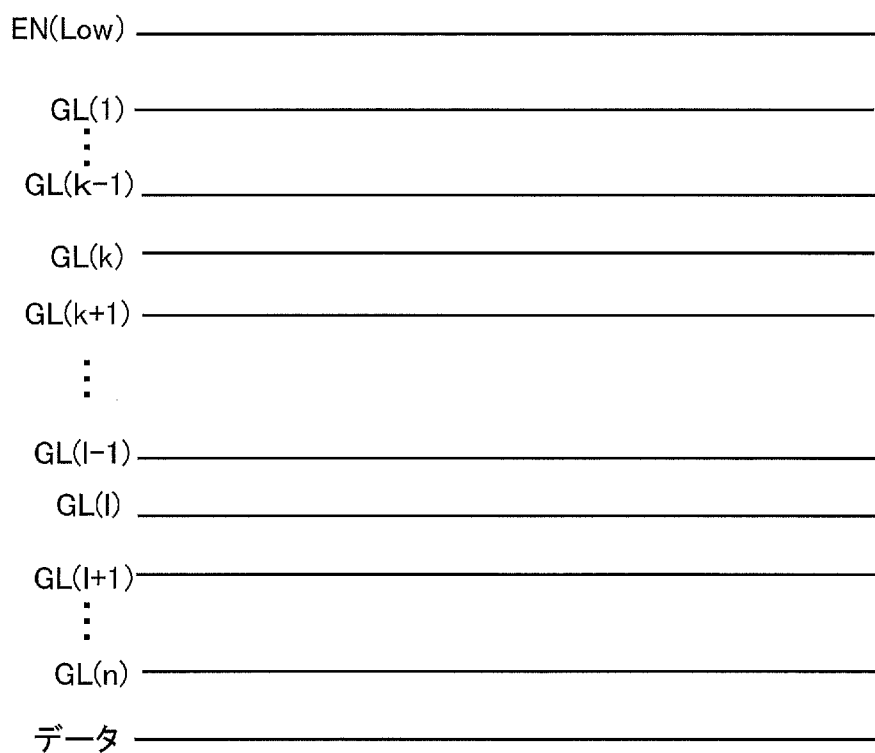
[図26]



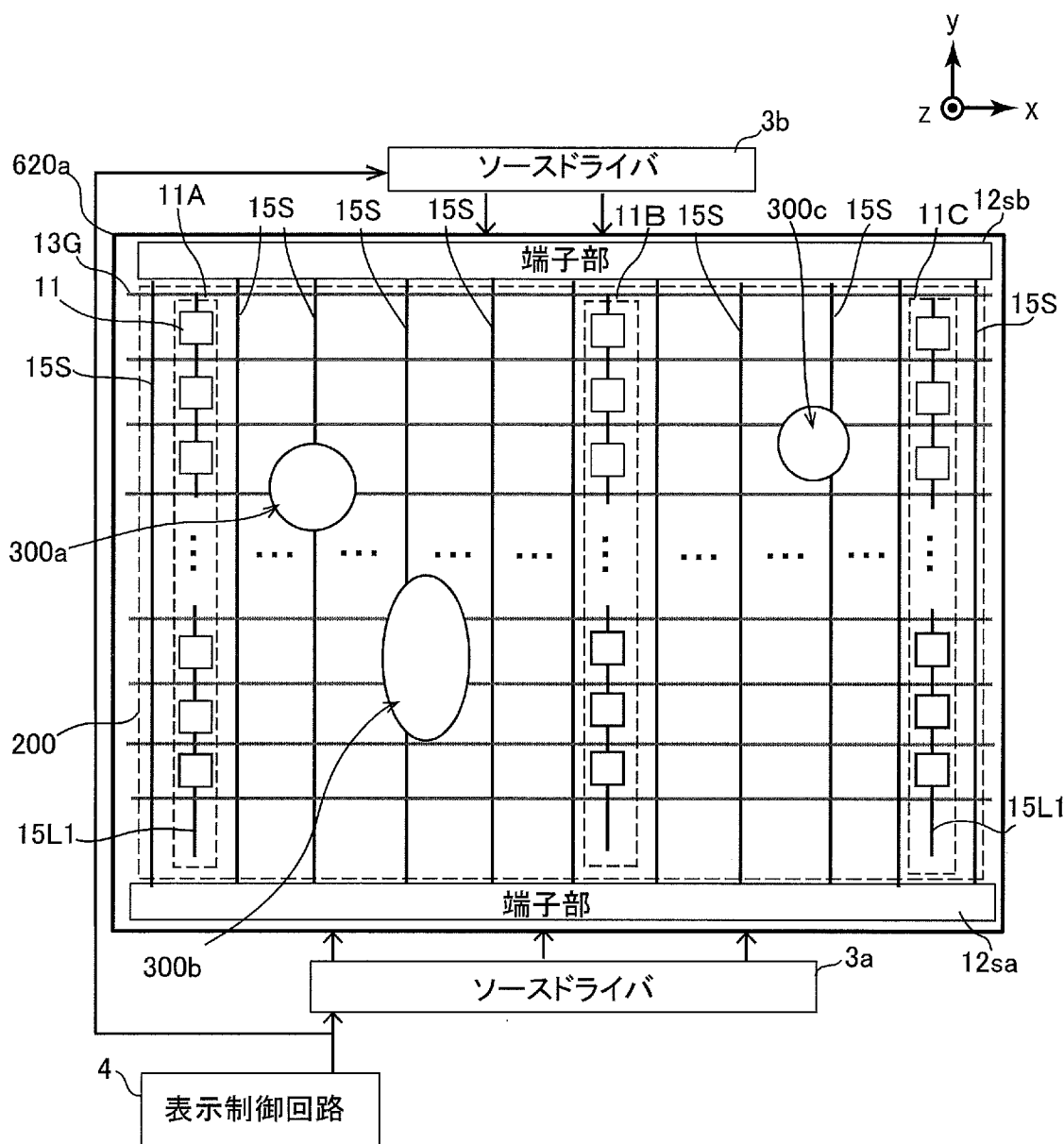
[図27A]



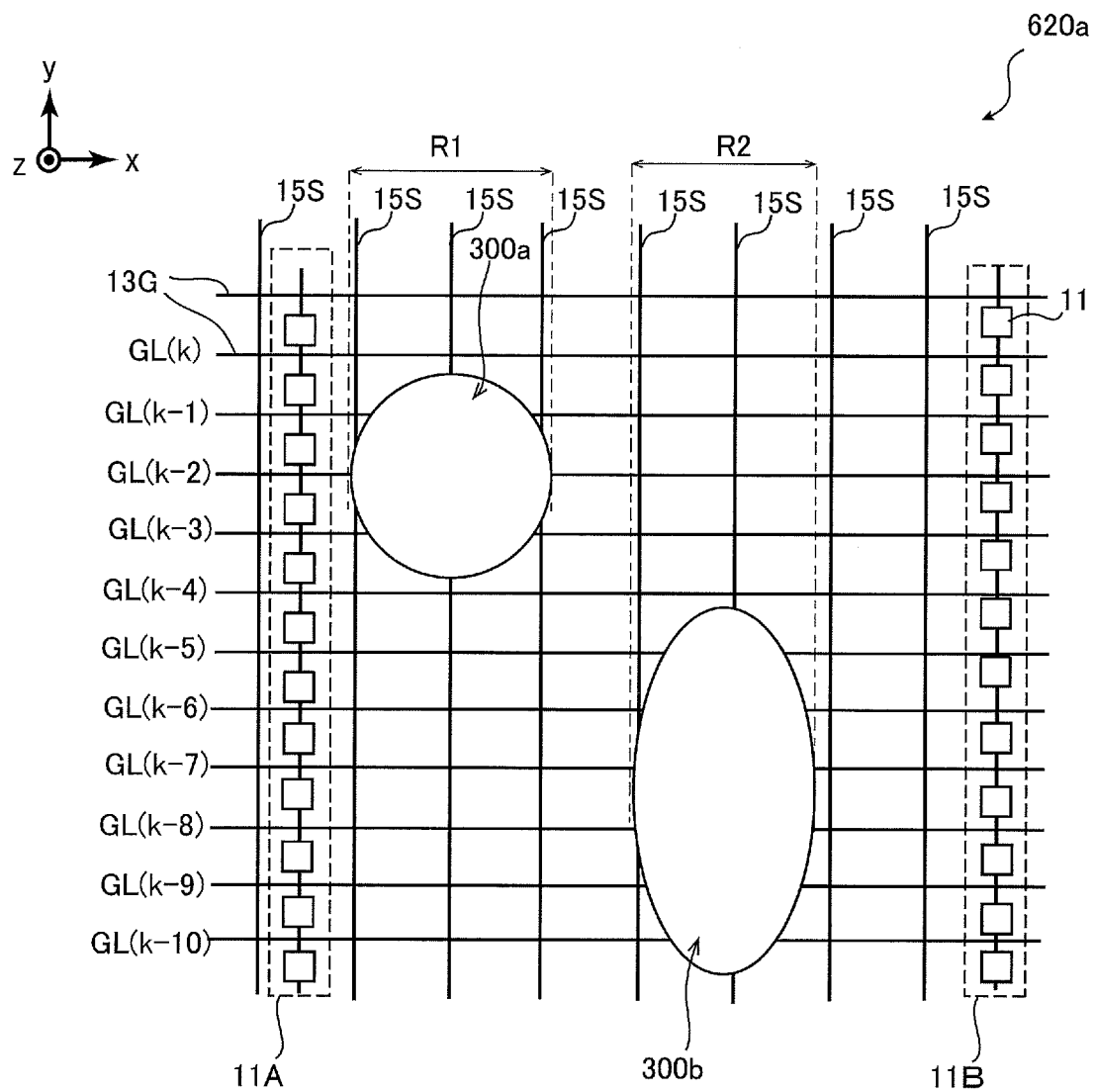
[図27B]



[図28A]

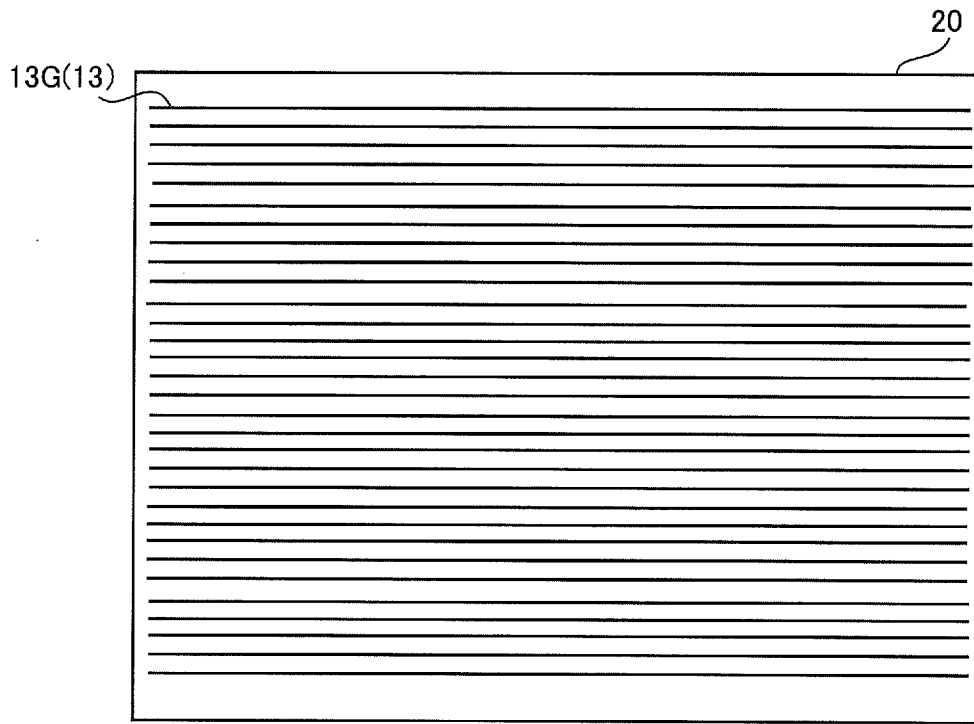


[図28B]

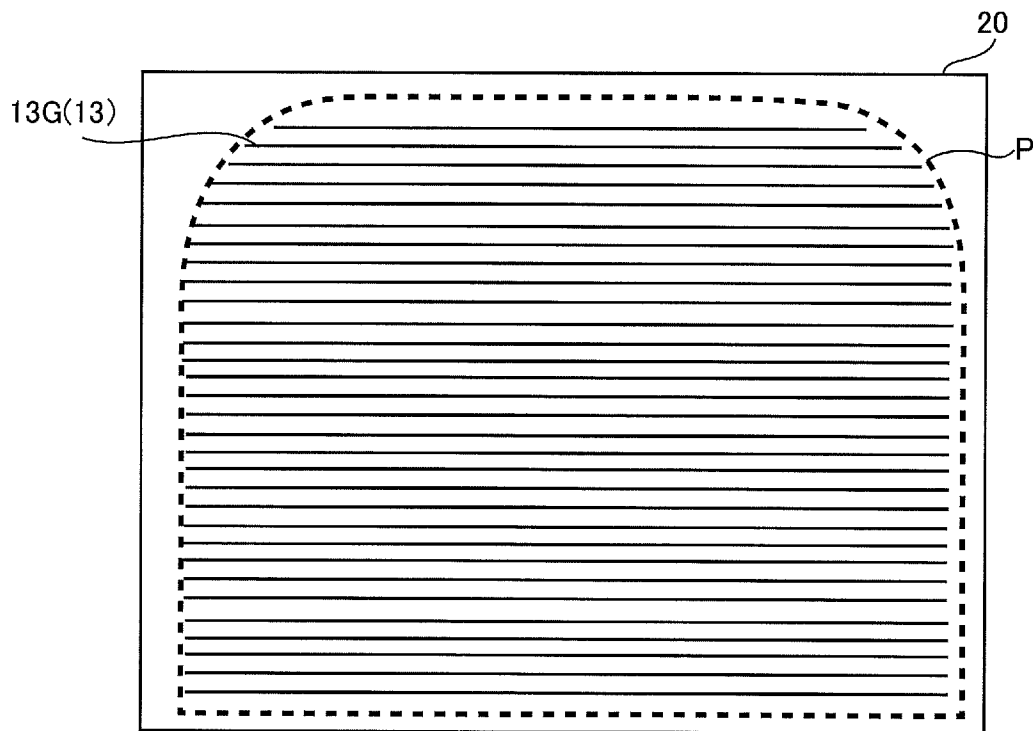




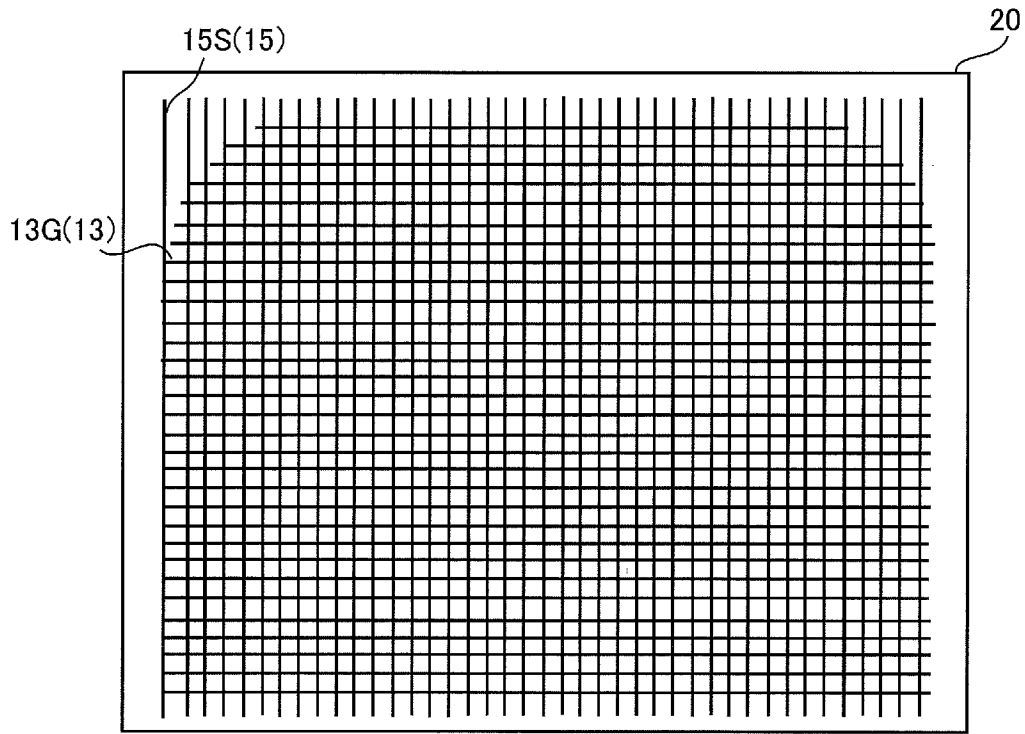
[図30A]



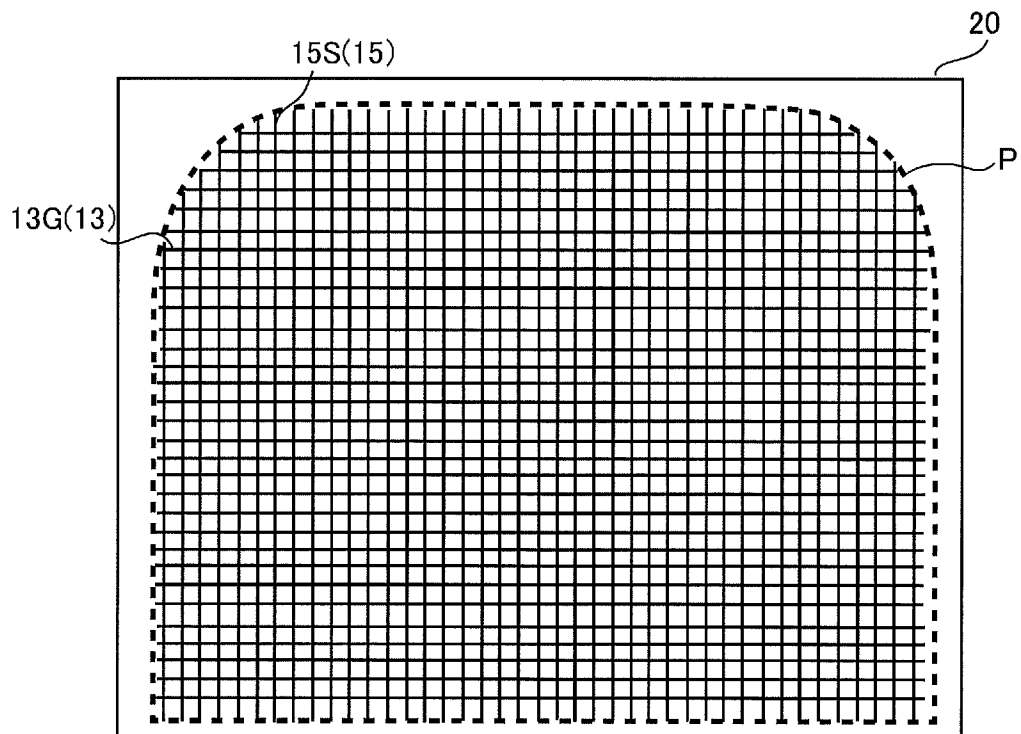
[図30B]



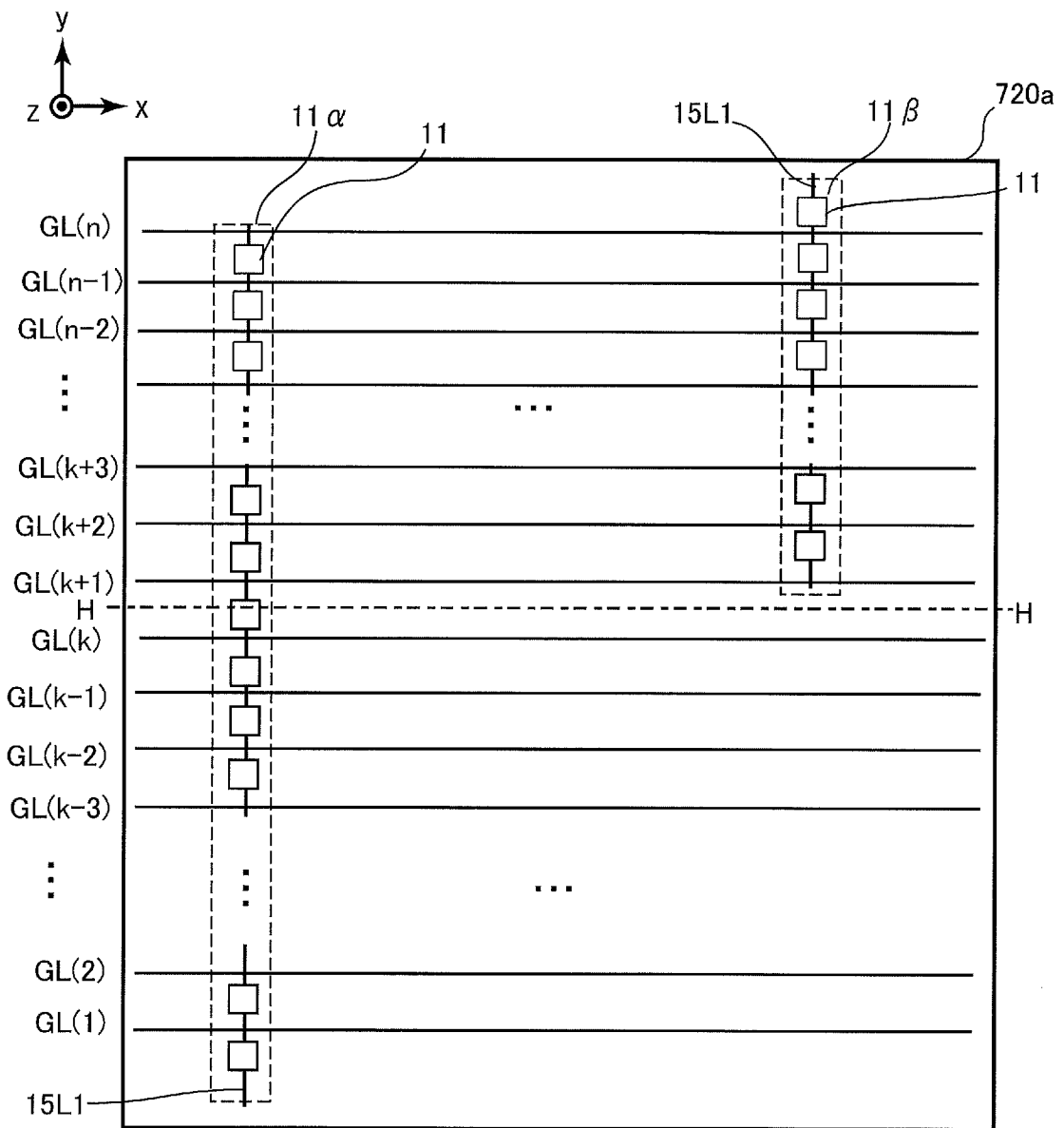
[図30C]



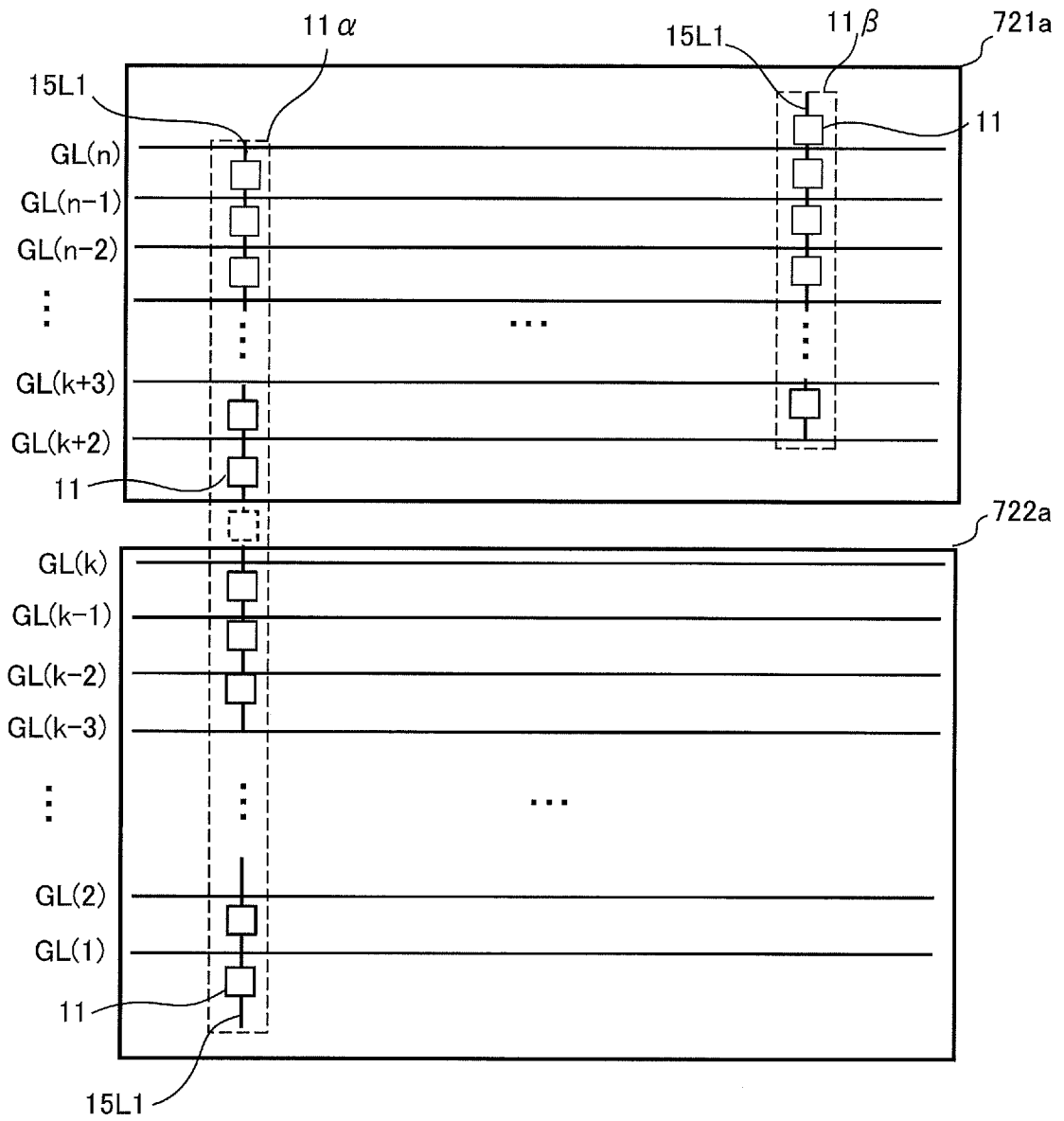
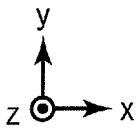
[図30D]



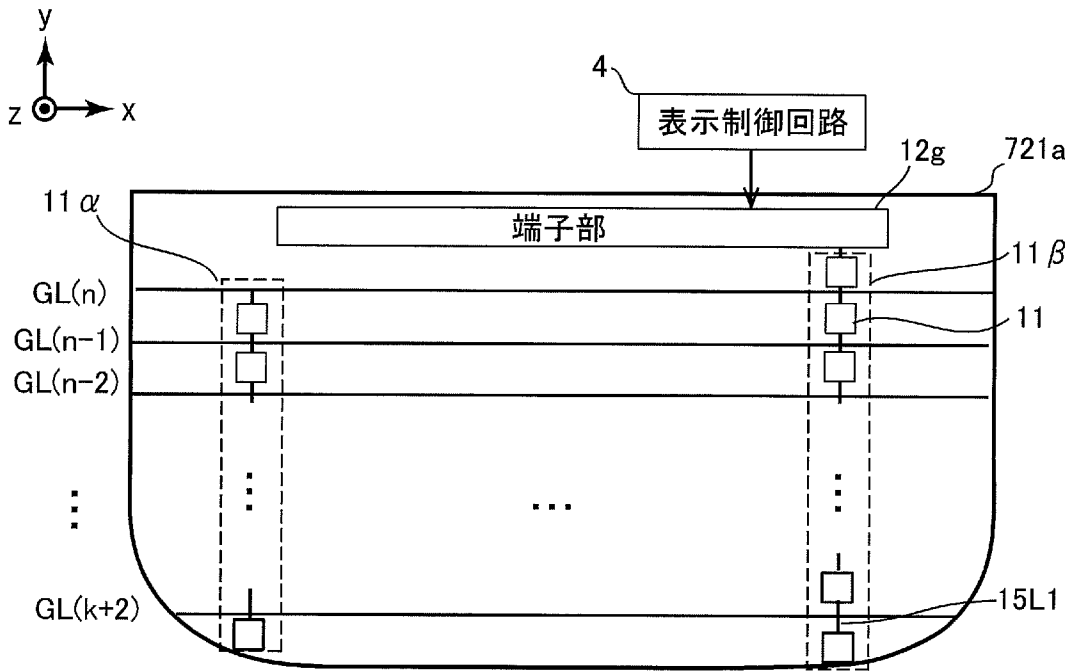
[図31A]



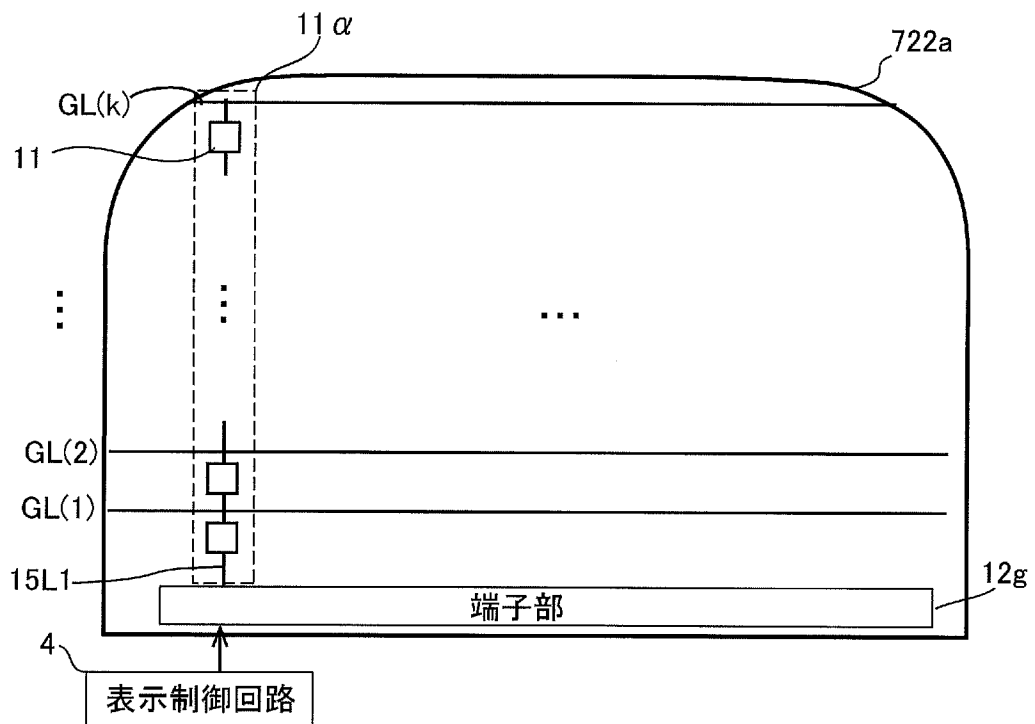
[図31B]



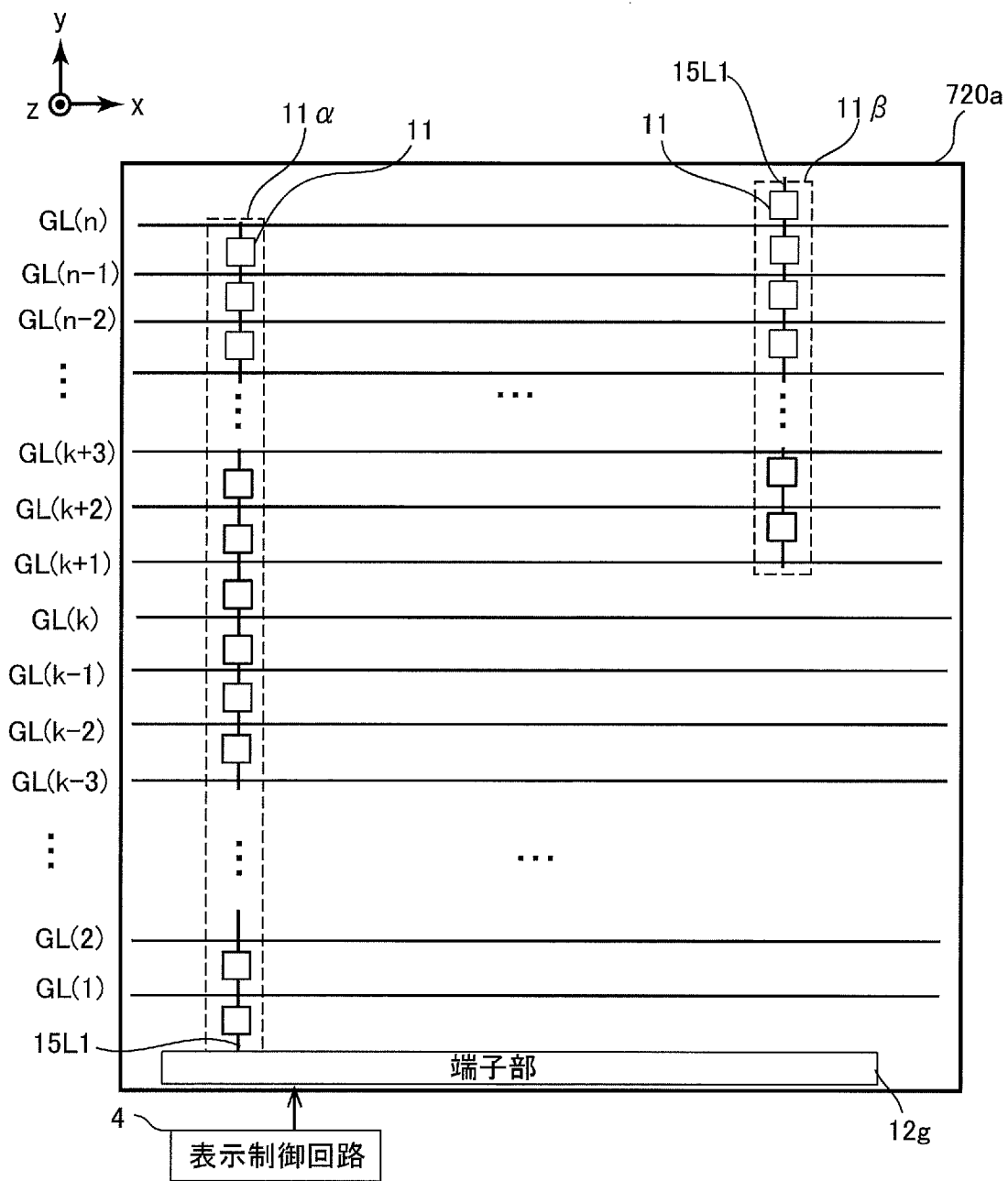
[図31C]



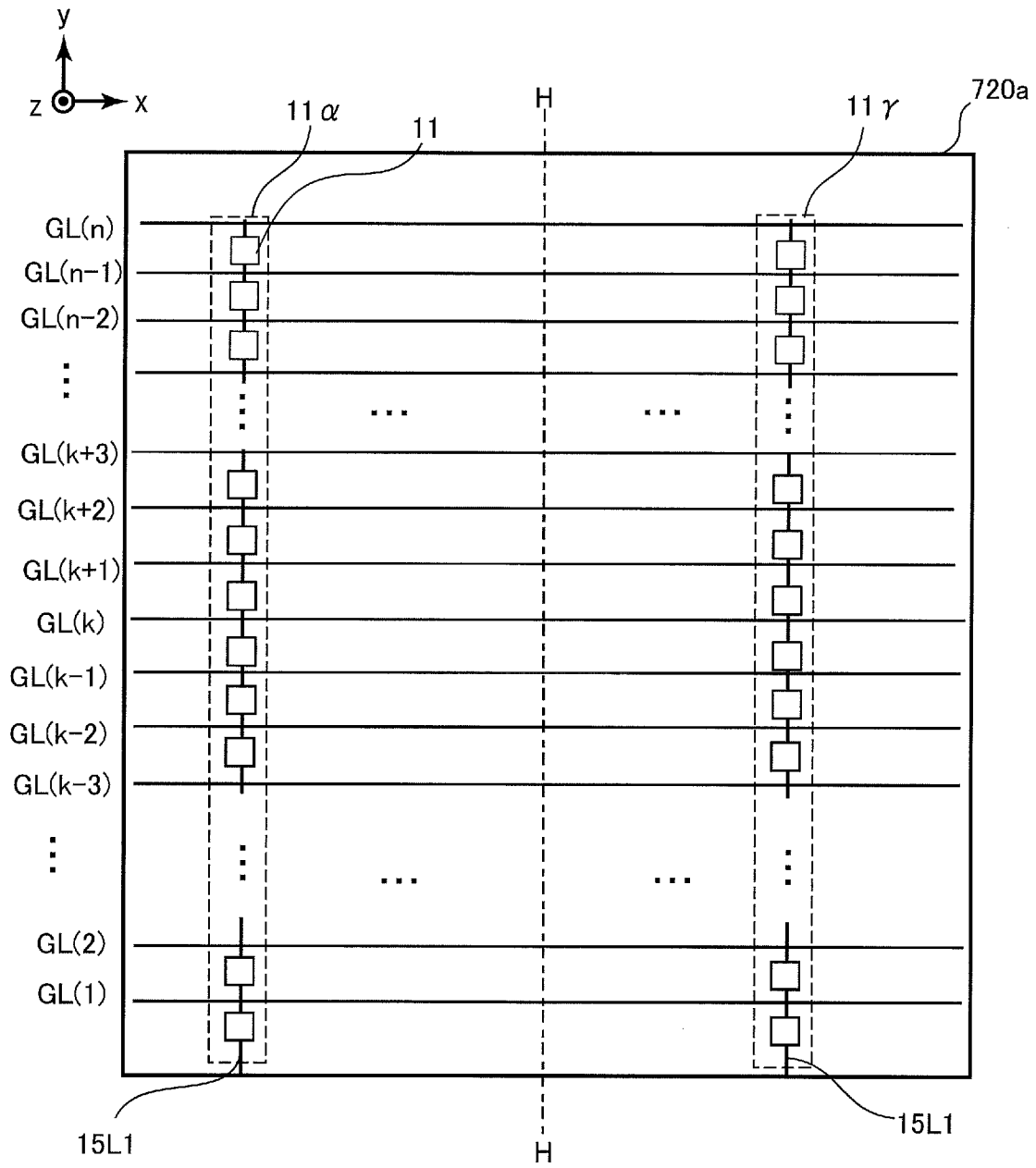
[図31D]



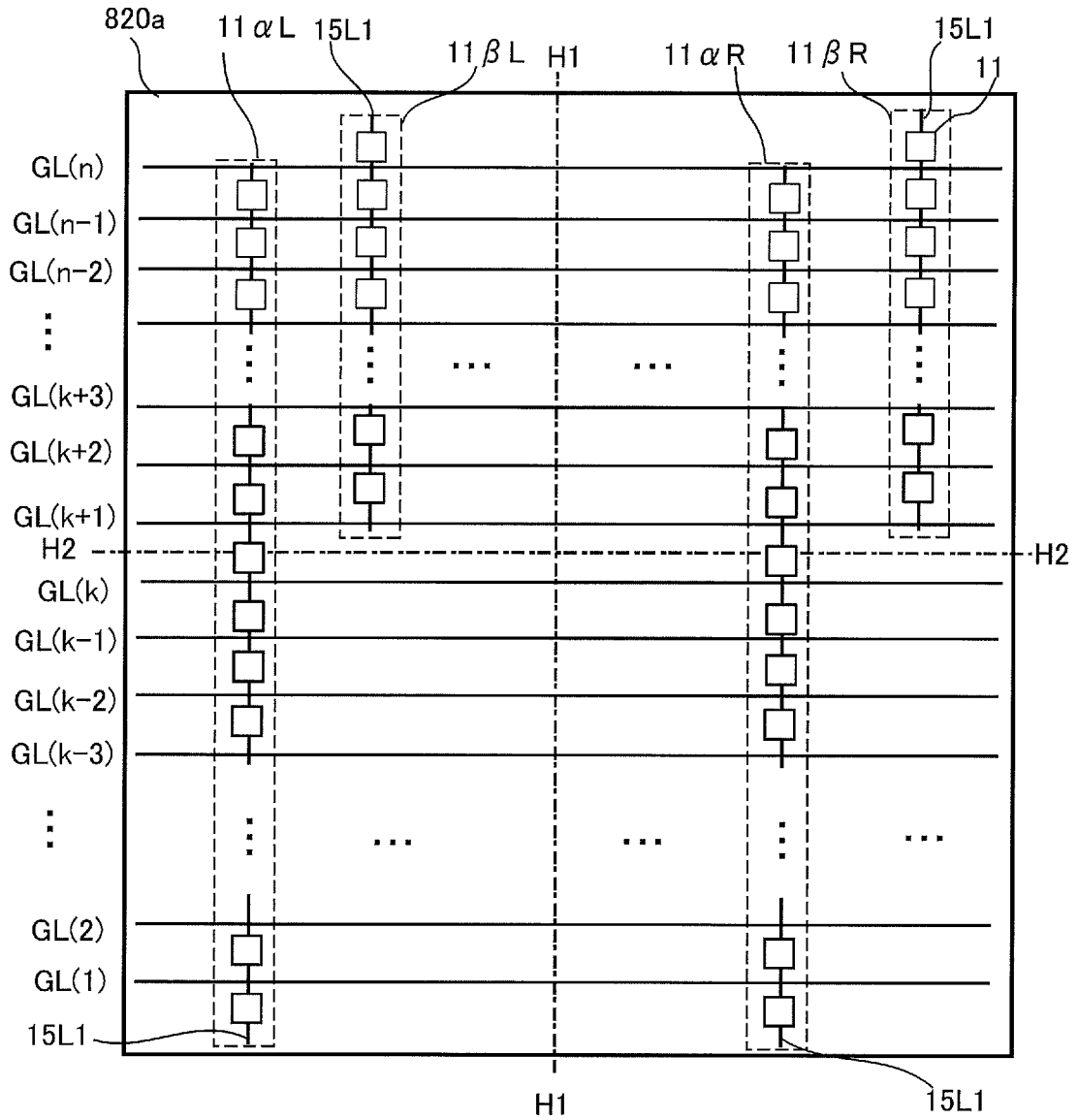
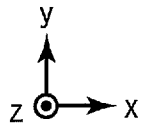
[図31E]



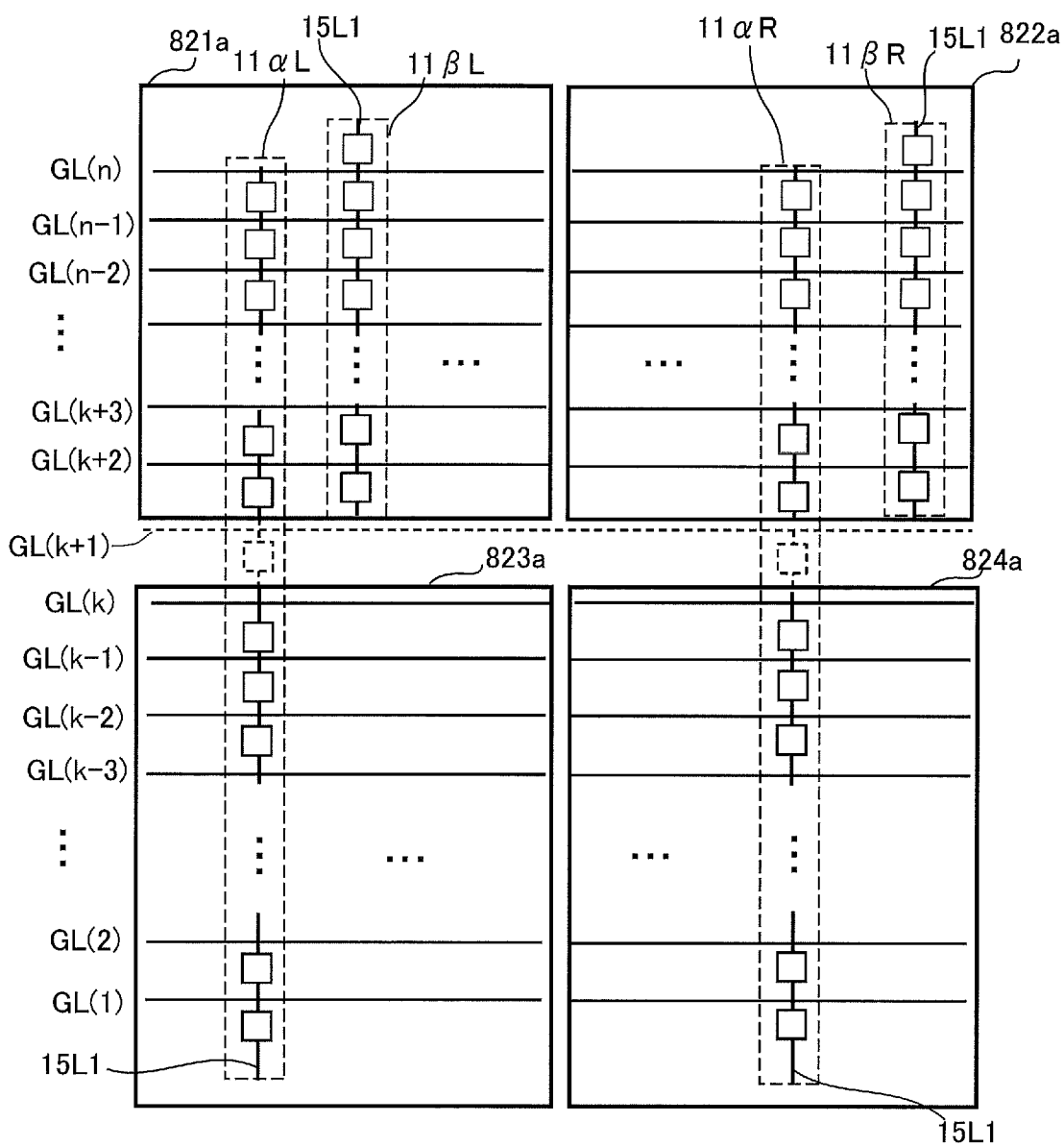
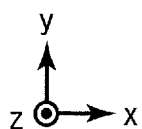
[図32]



[図33A]

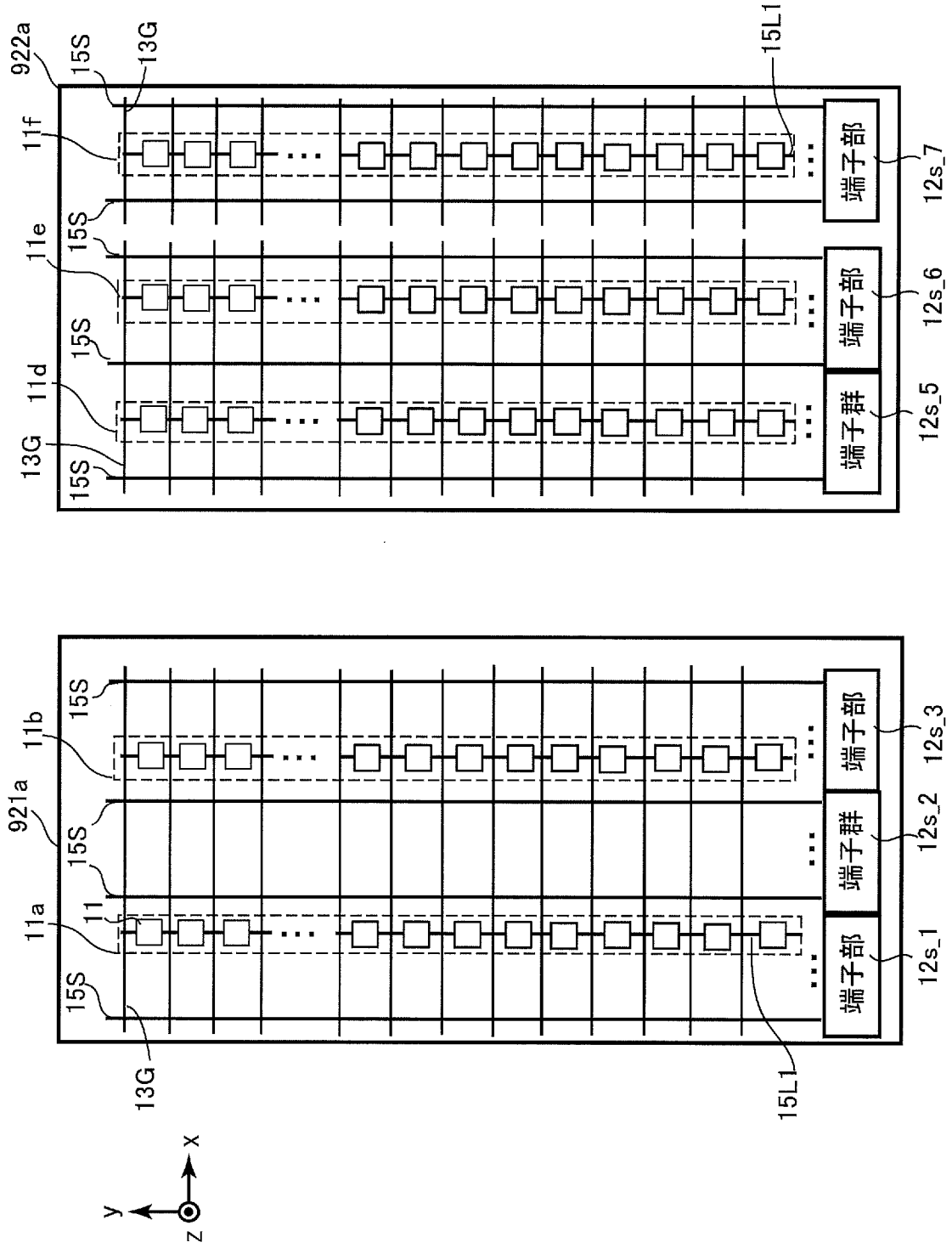


[図33B]

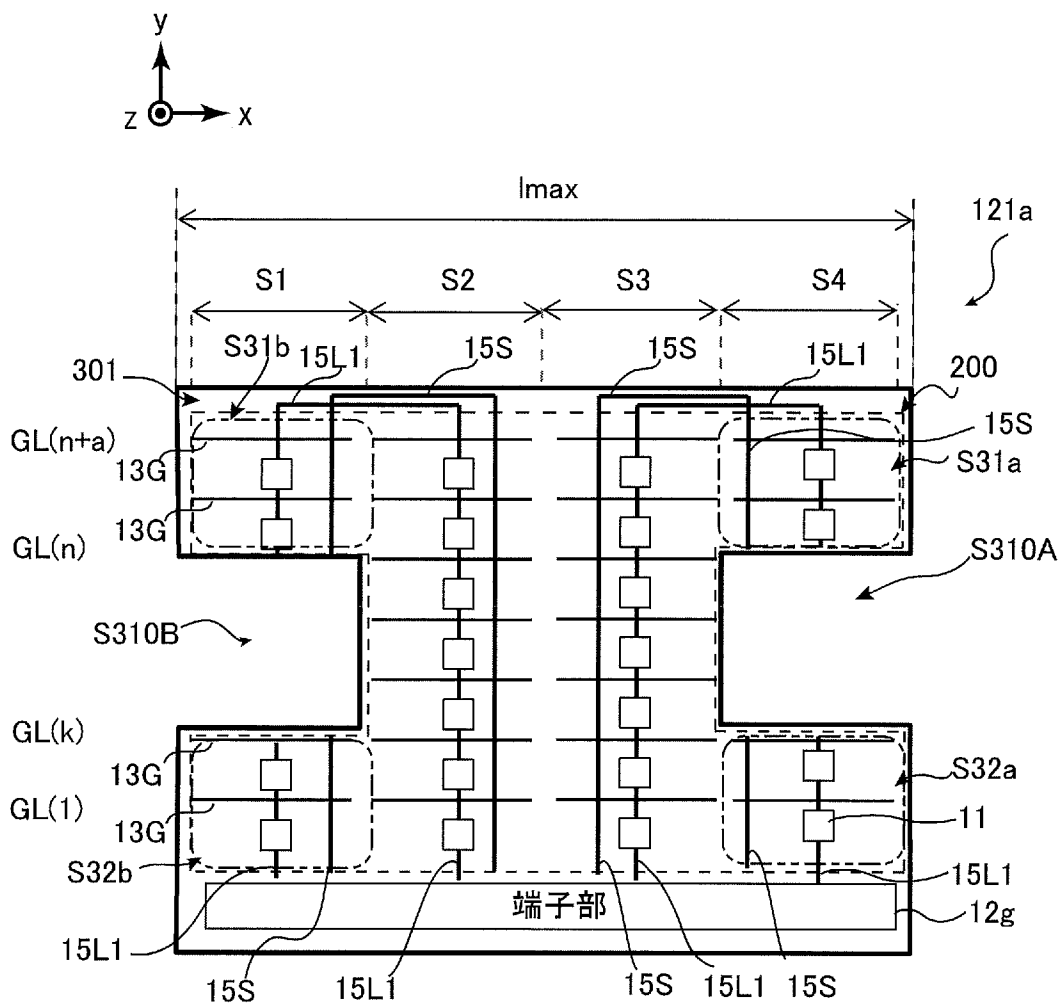




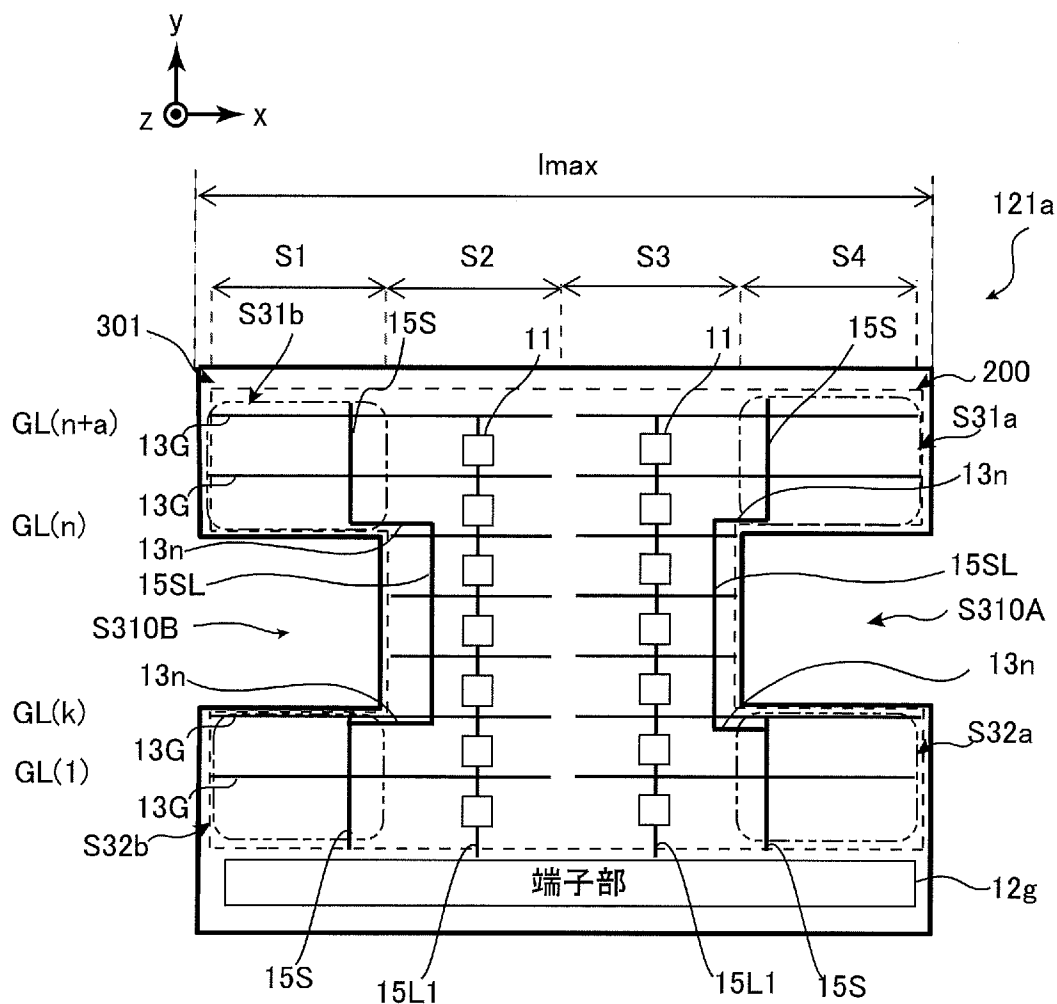
[図34B]



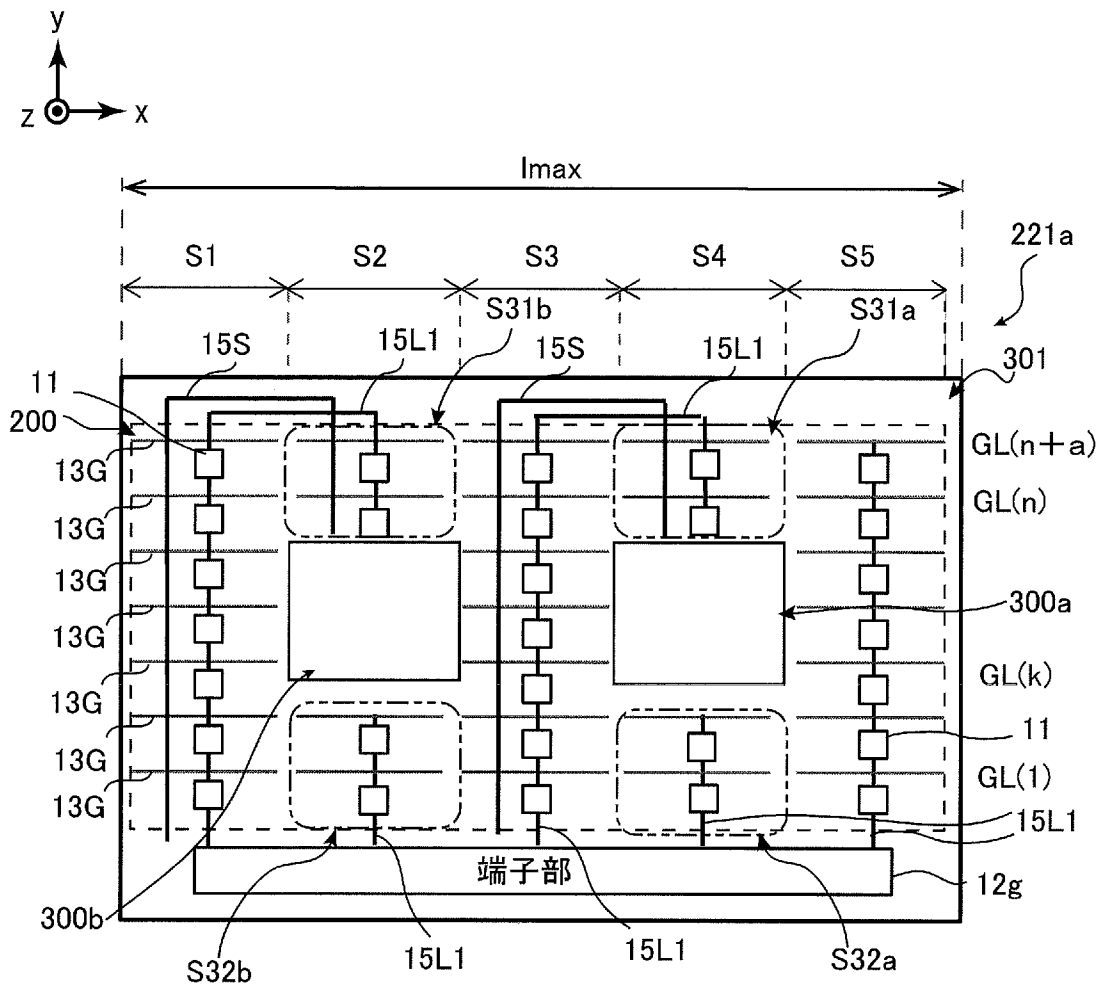
[図35A]



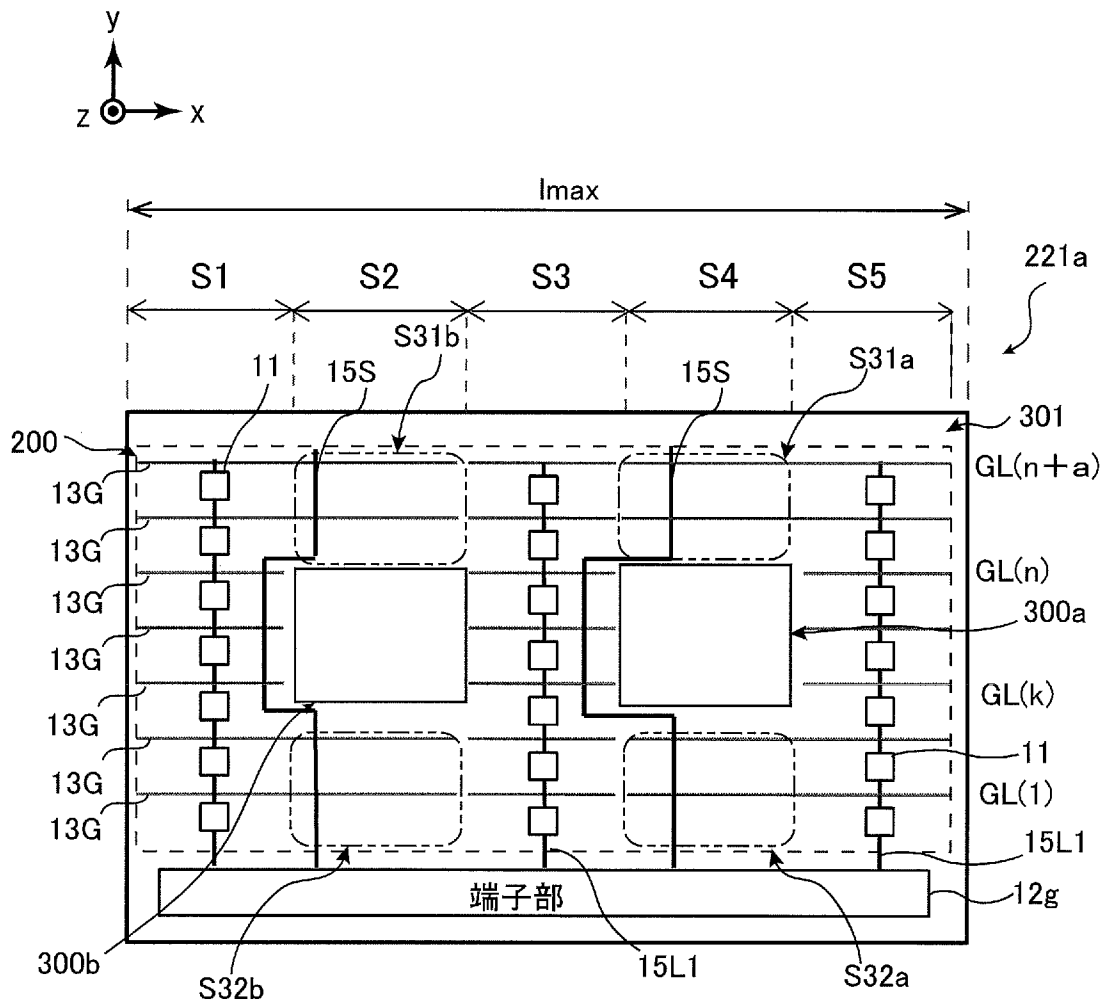
[図35B]



[図36A]



[図36B]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/056527

**A. CLASSIFICATION OF SUBJECT MATTER**  
G09F9/30(2006.01)i, G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G09F9/00-9/46, G02F1/133-1/1334, G02F1/1339-1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-134246 A (Epson Imaging Devices Corp.), 18 June 2009 (18.06.2009), paragraphs [0028] to [0060]; fig. 1 to 6 & US 2009/0102758 A1 & CN 101419349 A & KR 10-2009-0041336 A & TW 200926092 A	1, 3, 5, 9-12, 18 2, 4, 6-8, 13-17
Y	JP 2006-154022 A (Seiko Epson Corp.), 15 June 2006 (15.06.2006), paragraph [0048]; fig. 1 to 2 (Family: none)	1, 3, 5, 9-12, 18
Y	JP 10-197851 A (Toshiba Corp.), 31 July 1998 (31.07.1998), entire text; all drawings (Family: none)	1, 3, 5, 9-12, 18

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 June, 2014 (04.06.14)	Date of mailing of the international search report 17 June, 2014 (17.06.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/056527

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-047902 A (Hitachi Displays, Ltd.), 05 March 2009 (05.03.2009), paragraphs [0081] to [0107]; fig. 6 to 10 & US 2009/0051636 A1	3, 5, 11-12
Y	JP 2008-046598 A (Seiko Epson Corp.), 28 February 2008 (28.02.2008), paragraphs [0067] to [0083]; fig. 8 to 10 & JP 2008-287285 A & US 2008/0018557 A1 & KR 10-2008-0008980 A & CN 101110189 A	10
A	JP 2008-292995 A (NEC LCD Technologies, Ltd.), 04 December 2008 (04.12.2008), paragraphs [0043] to [0083]; fig. 1 to 8 & US 2008/0266210 A1 & CN 101295081 A	1-18
A	JP 2012-518199 A (Global OLED Technology L.L.C.), 09 August 2012 (09.08.2012), entire text; all drawings & US 2010/0207852 A1 & EP 2396781 A & WO 2010/093850 A2 & TW 201037653 A & KR 10-2011-0114718 A & CN 102396015 A	1-18
A	JP 2012-518200 A (Global OLED Technology L.L.C.), 09 August 2012 (09.08.2012), entire text; all drawings & US 2010/0207848 A1 & EP 2396783 A & WO 2010/093855 A2 & TW 201037666 A & KR 10-2011-0116060 A & CN 102365671 A	1-18
A	JP 2008-224802 A (Sharp Corp.), 25 September 2008 (25.09.2008), entire text; all drawings (Family: none)	13-17
A	JP 2006-293045 A (Sanyo Epson Imaging Devices Corp.), 26 October 2006 (26.10.2006), entire text; all drawings (Family: none)	13-17

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. G09F9/30(2006.01)i, G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. G09F9/00-9/46, G02F1/133-1/1334, G02F1/1339-1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2014年  
 日本国実用新案登録公報 1996-2014年  
 日本国登録実用新案公報 1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-134246 A（エプソンイメージングデバイス株式会社） 2009.06.18, 【0028】-【0060】、図1-6	1, 3, 5, 9-12, 18
A	& US 2009/0102758 A1 & CN 101419349 A & KR 10-2009-0041336 A & TW 200926092 A	2, 4, 6-8, 13-17
Y	JP 2006-154022 A（セイコーエプソン株式会社）2006.06.15, 【0048】、図1-2（ファミリーなし）	1, 3, 5, 9-12, 18

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 04.06.2014	国際調査報告の発送日 17.06.2014
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 佐竹 政彦 電話番号 03-3581-1101 内線 3273	2 I	2 9 1 1
--	---	-----	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-197851 A (株式会社東芝) 1998.07.31, 全文、全図 (ファミリーなし)	1, 3, 5, 9-12, 18
Y	JP 2009-047902 A (株式会社日立ディスプレイズ) 2009.03.05, 【0081】 - 【0107】、図6-10 & US 2009/0051636 A1	3, 5, 11-12
Y	JP 2008-046598 A (セイコーエプソン株式会社) 2008.02.28, 【0067】 - 【0083】、図8-10 & JP 2008-287285 A & US 2008/0018557 A1 & KR 10-2008-0008980 A & CN 101110189 A	10
A	JP 2008-292995 A (NEC液晶テクノロジー株式会社) 2008.12.04, 【0043】 - 【0083】、図1-8 & US 2008/0266210 A1 & CN 101295081 A	1-18
A	JP 2012-518199 A (グローバル・オーエルイーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー) 2012.08.09, 全文、全図 & US 2010/0207852 A1 & EP 2396781 A & WO 2010/093850 A2 & TW 201037653 A & KR 10-2011-0114718 A & CN 102396015 A	1-18
A	JP 2012-518200 A (グローバル・オーエルイーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー) 2012.08.09, 全文、全図 & US 2010/0207848 A1 & EP 2396783 A & WO 2010/093855 A2 & TW 201037666 A & KR 10-2011-0116060 A & CN 102365671 A	1-18
A	JP 2008-224802 A (シャープ株式会社) 2008.09.25, 全文、全図 (ファミリーなし)	13-17
A	JP 2006-293045 A (三洋エプソンイメージングデバイス株式会社) 2006.10.26, 全文、全図 (ファミリーなし)	13-17