

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年2月23日(23.02.2017)



(10) 国際公開番号

WO 2017/030118 A1

- (51) 国際特許分類:
G01R 19/255 (2006.01) G01R 19/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/073908
- (22) 国際出願日: 2016年8月16日(16.08.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-162964 2015年8月20日(20.08.2015) JP
- (71) 出願人: 株式会社オートネットワーク技術研究所 (AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社 (SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 杉沢 佑樹 (SUGISAWA, Yuuki); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).

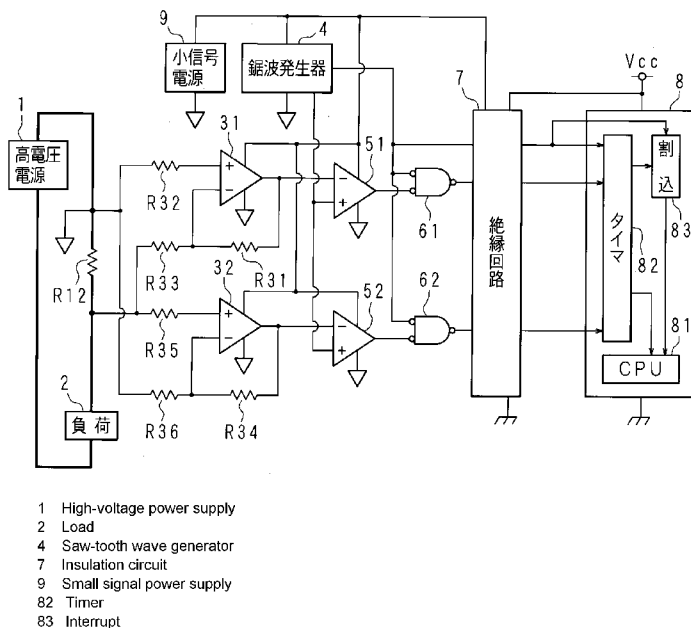
- (74) 代理人: 河野 英仁, 外 (KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: CURRENT DETECTION CIRCUIT

(54) 発明の名称: 電流検出回路



(57) Abstract: Provided is a current detection circuit that can detect current in a wide dynamic range, with high precision, and with a good step response. Voltage that is generated between both ends of a resistor (R12) connected between a high-voltage power supply (1) and a load (2) is amplified by amplifiers (31, 32) and compared, by comparators (51, 52), to the voltage of a saw-tooth wave signal; the lengths T2, T3 of signals indicating the comparison results from the comparators (51, 52) during an inclined period in which the voltage of the saw-tooth wave signal linearly and gradually increases or decreases and the length T1 of the inclined period are detected; and the current flowing to the resistor (R12) is detected on the basis of the ratio between the detected lengths.

(57) 要約: 広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能な電流検出回路を提供する。高電圧電源 (1) 及び負荷 (2) の間に接続された抵抗器 (R12) の両端間に生じる電圧を増幅器 (31, 32) で増幅して比較器 (51, 52) で鋸波信号の電圧と比較し、鋸波信号の電圧が直線的に漸増又は漸減する傾斜期間における比較器 (51, 52) の比較結果を示す信号の長さ T2, T3 と、上記傾斜期間の長さ T1 とを検知し、検知した長さの比率に基づいて抵抗器 (R12) に流れる電流を検出する。

さ T2, T3 と、上記傾斜期間の長さ T1 とを検知し、検知した長さの比率に基づいて抵抗器 (R12) に流れる電流を検出する。

WO 2017/030118 A1

明 細 書

発明の名称：電流検出回路

技術分野

[0001] 本発明は、電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路に関する。

背景技術

[0002] 従来、バッテリー、モータ等の負荷に流れる電流を検出する方法が数多く提案されている。一般的に直流電流を検出するための電流センサには、ホール素子又はシャント抵抗器が用いられている。電流センサによるアナログの検出結果は、必要に応じてデジタル値に変換される。

[0003] 例えば、特許文献1には、車両のバッテリーが充放電する電流の値を、ホール素子を備える電流センサで検出する制御装置が記載されている。この電流センサは鉄心を有しており、残留磁気及びヒステリシスの影響で検出結果にオフセット誤差が含まれるため、特許文献1では、電流センサによる検出結果がオフセット補正装置で補正されるようになっている。

[0004] 一方、電流センサによる検出結果をA/D変換してデジタル値に変換する場合、例えばマイコン内蔵のA/D変換器ではビット数が不足することがあり、外付けの高価なA/D変換器を用いずに高精度に電流を検出してデジタル値に変換することが望まれる。

[0005] これに対し、特許文献2には、PMモータ（永久磁石電動機）に流れる電流を電流センサで検出し、検出結果を $\Delta\Sigma$ （デルタ・シグマ）変調器で1ビット信号（ビットストリーム）に変換するモータ制御装置が記載されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2013-92140号公報

特許文献2：特許第4899843号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献 1 に記載のホール素子を備える電流センサは、広いダイナミックレンジで高精度に電流を検出することが難しく、構造が複雑で比較的高価であるという問題があった。また、特許文献 2 に記載の $\Delta \Sigma$ 変調器は、逐次比較方式の A/D 変換器と比較して、オーバーサンプリングを行うために消費電力が大きく、且つステップ応答に劣るために変換のセトリング時間が長いという問題があった。

[0008] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能な電流検出回路を提供することにある。

課題を解決するための手段

[0009] 本発明の一態様に係る電流検出回路は、電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路において、三角波信号又は鋸波信号を発生する発生部と、該発生部で発生する信号の電圧が直線的に漸増又は漸減する期間を示す信号を生成する第 1 生成部と、前記抵抗器の両端間の電圧を増幅する増幅部と、該増幅部で増幅した信号の電圧及び前記発生部で発生した電圧を比較する比較部と、前記期間における前記比較部の比較結果を示す信号を生成する第 2 生成部と、前記第 1 生成部からの信号の信号幅に対する前記第 2 生成部からの信号の信号幅の比に基づいて前記抵抗器に流れる電流を検出する検出部とを備えることを特徴とする。

[0010] 本発明の一態様に係る電流検出回路は、前記検出部は、周期信号を計数するカウンタの計数値を、信号幅を検知すべき信号の前縁及び後縁で保持して差分をとることにより、前記第 1 及び第 2 生成部夫々からの信号の信号幅を検知することを特徴とする。

[0011] 本発明の一態様に係る電流検出回路は、前記第 1 及び第 2 生成部と前記検出部とを電氣的に絶縁して前記第 1 及び第 2 生成部から前記検出部に信号を伝達する絶縁部を備えることを特徴とする。

[0012] 本発明の一態様に係る電流検出回路は、前記抵抗器の端子の何れか一方の電位を、前記第 1 及び第 2 生成部の基準電位とすることを特徴とする。

[0013] 本発明の一態様に係る電流検出回路は、前記第 1 及び第 2 生成部からの信号を選択的に切り替えて前記検出部に伝達する選択部を備え、前記検出部は、前記選択部を介して伝達された前記第 1 生成部からの信号の周期に応じて前記選択部を切り替えることを特徴とする。

[0014] 本態様にあつては、電源及び負荷の間に接続された抵抗器の両端間に生じる電圧を増幅部で増幅して鋸波信号又は三角波信号の電圧と比較し、鋸波信号又は三角波信号の電圧が直線的に漸増又は漸減する傾斜期間における比較結果を示す信号の長さ、と、上記傾斜期間を示す信号の長さを検知し、検知した長さの比率に基づいて上記抵抗器に流れる電流を検出する。

これにより、鋸波信号又は三角波信号のピーク電圧に対する増幅部の出力電圧の比率が算出され、この比率と、上記ピーク電圧の値、増幅部の増幅率及び抵抗器の抵抗値とに基づいて電流値が検出される。

[0015] 本態様にあつては、例えば所謂インプットキャプチャ機能を有するタイマに上記傾斜期間を示す信号及び上記比較結果を示す信号を入力し、夫々の信号の前縁及び後縁で保持されたカウンタの計数値の差分に応じてこれらの信号の長さを検知する。

これにより、例えば信号の前縁及び後縁における割込処理で逐次変化するカウンタの計数値を読み出して時間差を検知する場合と比較して、上記傾斜期間を示す信号の長さ及び上記比較結果を示す信号の長さが高精度に検知される。

[0016] 本態様にあつては、上記傾斜期間を示す信号及び上記比較結果を示す信号を生成する生成回路部分と、これらの信号に基づいて電流を検出する検出回路部分とを電氣的に絶縁して分離しつつ、上記生成回路部分から上記検出回路部分に信号を伝達する。

これにより、上記検出回路部分を除くその他の回路部分の基準電位の如何にかかわらず、上記抵抗器に流れる電流が検出される。

[0017] 本態様にあつては、抵抗器の両端のうちの何れか一方の電位を基準電位として、上記傾斜期間を示す信号及び上記比較結果を示す信号を生成する。

これにより、上記抵抗器の両端間の微少な電圧が低ノイズで安定に増幅されるため、上記抵抗器に流れる電流が高精度に検出される。

[0018] 本態様にあつては、上記傾斜期間を示す信号及び上記比較結果を示す信号を選択的に切り替えて上記生成回路部分から検出回路部分に伝達する。この切り替えは、上記傾斜期間を示す信号が伝送されているときの信号周期に応じて行われる。

これにより、上記傾斜期間を示す信号の信号幅及び上記比較結果を示す信号の信号幅が時系列的に検知される。また、上記比較結果を示す信号が伝達されている間に信号幅が検知されない場合は、値が0の信号幅に対応して値が0の電流が検出される。

発明の効果

[0019] 上記によれば、鋸波信号又は三角波信号のピーク電圧に対する増幅部の出力電圧の比率が算出され、この比率と、上記ピーク電圧の値、増幅部の増幅率及び抵抗値とに基づいて、時間遅れを伴うフィードバック無しに電流値が検出される。

従つて、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能となる。

図面の簡単な説明

[0020] [図1]本発明の実施の形態1に係る電流検出回路の構成例を示すブロック図である。

[図2]絶縁回路の構成例を示す回路図である。

[図3]鋸波発生器の構成例を示す回路図である。

[図4]本発明の実施の形態1に係る電流検出回路の動作を説明するためのタイミング図である。

[図5]周期信号割込処理におけるCPUの処理手順を示すフローチャートである。

[図6]第1 タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

[図7]第2 タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

[図8]第3 タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

[図9]本発明の実施の形態1の変形例に係る電流検出回路の構成例を示すブロック図である。

[図10]本発明の実施の形態2に係る電流検出回路の構成例を示すブロック図である。

[図11]本発明の実施の形態2に係る電流検出回路の動作を説明するためのタイミング図である。

[図12]第2 タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

[図13]周期タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

[図14]第1 タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

[図15]前縁値・後縁値読出のサブルーチンに係るCPUの処理手順を示すフローチャートである。

発明を実施するための形態

[0021] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態1)

図1は、本発明の実施の形態1に係る電流検出回路の構成例を示すブロック図である。電流検出回路は、高圧のバッテリーを含む高電圧電源（電源に相当）1及び負荷2の間に接続された抵抗器R12の両端間の電圧を増幅する増幅器（増幅部に相当）31、32と、鋸波信号を発生する鋸波発生器（発生部に相当）4と、鋸波発生器4が発生した鋸波信号の電圧及び増幅器31

、 3 2 が増幅した電圧を各別に比較する比較器（比較部に相当） 5 1 , 5 2 とを備える。鋸波発生器 4 は、三角波信号を発生する三角波発生器であってもよい。

[0022] 電流検出回路は、また、鋸波発生器 4 からの第 2 の信号（詳細については後述する）及び比較器 5 1 , 5 2 の出力信号について負論理の A N D を各別にとる A N D 回路（第 2 生成部に相当） 6 1 , 6 2 と、鋸波発生器 4 及び A N D 回路 6 1 , 6 2 を後段の回路から電氣的に絶縁して分離しつつ、入力された信号を後段に伝達する絶縁回路（絶縁部に相当） 7 と、絶縁回路 7 を介して入力された信号に基づいて抵抗器 R 1 2 に流れる電流を検出するマイクロコンピュータ（検出部に相当、以下マイコンという） 8 とを備える。

[0023] 増幅器 3 1 , 3 2、鋸波発生器 4、比較器 5 1 , 5 2 及び A N D 回路 6 1 , 6 2 は、抵抗器 R 1 2 の一端、即ち高電圧電源 1 の一端及び抵抗器 R 1 2 の接続点を基準電位としており、この基準電位に対する電源電圧を発生する小信号電源 9 から電源が供給されている。小信号電源 9 が供給する電源の電圧は、例えば 5 V である。ここでは、抵抗器 R 1 2 の他端を基準電位にしてもよいが、抵抗器 R 1 2 に流れる電流が大／小に変化したときに、基準電位が高電圧電源 1 の一端に対して低／高に変動することに不都合がある場合は、抵抗器 R 1 2 の一端を基準電位とすることが好ましい。マイコン 8 及び絶縁回路 7 は、接地電位を基準電位としており、+ 5 V の V c c が供給されている。

[0024] 増幅器 3 1 は、アナログの演算増幅器を含み、出力端子及び反転入力端子の間に抵抗器 R 3 1 が、非反転入力端子及び抵抗器 R 1 2 の一端の間に抵抗器 R 3 2 が、反転入力端子及び抵抗器 R 1 2 の他端の間に抵抗器 R 3 3 が夫々接続されている。増幅器 3 2 は、演算増幅器を含み、出力端子及び反転入力端子の間に抵抗器 R 3 4 が、非反転入力端子及び抵抗器 R 1 2 の他端の間に抵抗器 R 3 5 が、反転入力端子及び抵抗器 R 1 2 の一端の間に抵抗器 R 3 6 が夫々接続されている。

[0025] これにより、増幅器 3 1 は、抵抗器 R 1 2 の一端に対する他端の負の電圧

信号を反転増幅して正の電圧信号を出力する反転増幅器として動作する。また、増幅器 3 2 は、抵抗器 R 1 2 の一端に対する他端の正の電圧信号を反転せずに増幅して正の電圧信号を出力する非反転増幅器として動作する。なお、本実施の形態 1 のように、増幅器 3 1 及び 3 2 を基準電位に対する単一電源で駆動する場合、抵抗器 R 1 2 の一端に対する他端の電圧が正であるときは、増幅器 3 1 の出力信号の電圧（以下、出力電圧という）が 0 となり、抵抗器 R 1 2 の一端に対する他端の電圧が負であるときは、増幅器 3 2 の出力電圧が 0 となる。

[0026] ここでは、増幅器 3 1 及び 3 2 夫々の入力オフセット電流を打ち消すために、抵抗器 R 3 2 の抵抗値は、抵抗器 R 3 1 及び R 3 3 の並列抵抗値と一致させ、抵抗器 R 3 5 の抵抗値は、抵抗器 R 3 4 及び R 3 6 の並列抵抗値と一致させることが好ましい。また、増幅器 3 1 及び 3 2 夫々の入力オフセット電圧を打ち消すために、それ自体公知のオフセット補償回路を設けてもよい。更に、抵抗器 R 2 1 の両端間の電圧をサンプル&ホールドする回路を追加してもよい。

[0027] 比較器 5 1 及び 5 2 の夫々は、反転入力端子に増幅器 3 1 及び 3 2 の出力端子が接続されており、非反転入力端子に鋸波発生器 4 からの鋸波信号が入力されている。これにより、鋸波信号の電圧が増幅器 3 1 及び 3 2 夫々の出力電圧を下回る場合（又は上回る場合）、比較器 5 1 及び 5 2 の出力信号が L（ロウ）レベル（又は H（ハイ）レベル）となる。

[0028] AND 回路 6 1 及び 6 2 の夫々は、一の入力端子に比較器 5 1 及び 5 2 の出力信号が入力されており、他の入力端子に鋸波発生器 4 からの第 2 の信号が入力されている。AND 回路 6 1 及び 6 2 の夫々は、第 2 の信号が L レベルである期間（発生部で発生する信号の電圧が直線的に漸増又は漸減する期間に相当）における比較器 5 1 及び 5 2 の比較結果を示す信号を出力する。

[0029] 鋸波信号の立ち下がり時間が無視できる場合は、AND 回路 6 1 及び 6 2 を用いなくてもよい。この場合は、比較器 5 1, 5 2 が比較部及び第 2 生成部に相当する。上記第 2 の信号及び AND 回路 6 1, 6 2 の出力信号は、絶

縁回路 7 を介して、所謂インプットキャプチャ機能を有するマイコン 8 のタイマ用の入力端子に各別に入力される。マイコン 8 のタイマ用の入力端子に入力される信号のうち、第 2 の信号は、マイコン 8 の割込用の入力端子にも入力されており、割込要求を発生する。

[0030] ここで、絶縁回路 7 について説明する。

図 2 は、絶縁回路 7 の構成例を示す回路図である。絶縁回路 7 は、LED (Light Emitting Diode) 及び該 LED が発光したときにオンするフォトトランジスタを含むフォトカプラ 7 1, 7 2, 7 3 を有する。各フォトカプラ 7 1, 7 2, 7 3 について、LED のアノードは小信号電源 9 に接続されており、フォトトランジスタのエミッタは接地電位に接続されている。各フォトカプラ 7 1, 7 2, 7 3 は、デジタルアイソレータ、パルストランス等の他のアイソレータに置き換えてもよい。

[0031] フォトカプラ 7 1 に含まれる LED のカソードは、抵抗器 R 7 1 を介して鋸波発生器 4 (より詳しくは後述するインバータ I V 4 2 の出力端子: 図 3 参照) に接続されている。フォトカプラ 7 2 及び 7 3 夫々に含まれる LED のカソードは、抵抗器 R 7 2 及び R 7 3 を介して AND 回路 6 1 及び 6 2 の出力端子に接続されている。フォトカプラ 7 1 に含まれるフォトトランジスタのコレクタは、抵抗器 R 7 4 により Vcc にプルアップされると共にマイコン 8 のタイマ用の入力端子及び割込用の入力端子に接続されている。フォトカプラ 7 2 及び 7 3 夫々に含まれるフォトトランジスタのコレクタは、抵抗器 R 7 5 及び 7 6 により Vcc にプルアップされると共にマイコン 8 のタイマ用の入力端子に接続されている。

[0032] 上述の構成を有する絶縁回路 7 において、入力側の抵抗器 R 7 1, 7 2, 7 3 を介して H レベル (又は L レベル) の信号が入力された場合、各 LED が発光せず (又は発光し)、各フォトトランジスタがオフする (又はオンする) ため、マイコン 8 に H レベル (又は L レベル) の信号が入力される。

[0033] 図 1 に戻って、マイコン 8 は、CPU (Central Processing Unit) 8 1、タイマ 8 2 及び割込コントローラ 8 3 を有し、これらが不図示の ROM (R

read Only Memory) 及び R A M (Random Access Memory) と共に互いにバス接続されている。タイマ 8 2 には、第 1 タイマ、第 2 タイマ及び第 3 タイマが含まれている。

[0034] タイマ 8 2 に含まれる第 1、第 2 及び第 3 タイマは、クロック（周期信号に相当）を計数するカウンタの計数値を、夫々のタイマ用の入力端子に入力された信号の立ち下がり及び立ち上がり（信号幅を検知すべき信号の前縁及び後縁に相当）でキャプチャレジスタに保持して割込要求を発生する。C P U 8 1 は、キャプチャレジスタに保持された計数値の差分を割込処理で算出して、L レベルの信号の信号幅を正確に検知することができる。

[0035] 割込コントローラ 8 3 は、割込用の入力端子からの割込要求及びタイマ 8 2 からの割込要求を受け付けて C P U 8 1 に割込を発生させる。本実施の形態 1 では、割込用の入力端子に入力された第 2 の信号の立ち上がりを割込要求として受け付けるが、これに限定されるものではない。

[0036] 次に、鋸波発生器 4 について説明する。

図 3 は、鋸波発生器 4 の構成例を示す回路図である。鋸波発生器 4 は、小信号電源 9 からの電源電圧を分圧する抵抗器 R 4 0 及び R 4 1 からなる分圧器 4 1 と、カレントミラー回路 4 2 と、小信号電源 9 からカレントミラー回路 4 2 を介して一定の電流で充電されるコンデンサ C 4 1 と、分圧器 4 1 で分圧された電圧及びコンデンサ C 4 1 の電圧を比較する比較器 4 3 と、比較器 4 3 の出力信号の立ち上がりを遅延させる遅延器 4 4 とを有する。コンデンサ 4 1 の電圧は、上述した比較器 5 1 及び 5 2 の非反転入力端子に入力されている。

[0037] カレントミラー回路 4 2 は、小信号電源 9 に抵抗器 R 4 2 及び R 4 3 夫々を介してエミッタが接続された P N P 型のトランジスタ Q 4 1 及び Q 4 2 を含む。トランジスタ Q 4 1 のコレクタ及びベースとトランジスタ Q 4 2 のベースとは、抵抗器 R 4 4 を介して基準電位に接続されている。トランジスタ Q 4 2 のコレクタは、一端が基準電位に接続されたコンデンサ C 4 1 の他端に接続されている。この構成により、コンデンサ C 4 1 の他端には、電圧が

直線的に漸増する傾斜期間を有する信号が発生する。

[0038] 比較器43は、小信号電源9から電源が供給されており、出力端子が抵抗器R45により小信号電源9にプルアップされている。比較器43は、反転入力端子が分圧器41の分圧点に接続されており、非反転入力端子が抵抗器R46を介してコンデンサC41の他端に接続されている。この構成により、コンデンサC41の他端の電圧が分圧器41の分圧電圧を上回った場合、比較器43の出力信号がHレベルとなる。

[0039] 遅延器44は、比較器43の出力端子に入力端子が接続されたインバータIV41と、インバータIV41の出力電圧を積分する抵抗器R47及びコンデンサC42の直列回路と、抵抗器R47及びコンデンサC42の接続点に入力端子が接続されたシュミットトリガ型のインバータ（第1生成部に相当）IV42とを含む。インバータIV41の出力端子及びインバータIV42の入力端子の間には、カソードがインバータIV41の出力端子側に向けられたショットキバリア型のダイオードD41及び抵抗器R48の直列回路が接続されている。抵抗器R47及びR48夫々の抵抗値は、例えば4.7kΩ及び100Ωであり、コンデンサC42の容量値は、例えば470pFである。この構成により、比較器43の出力電圧の立ち下がりが遅延器44の積分回路により遅延される。

[0040] インバータIV42の出力信号は、上述した第2の信号であり、AND回路61及び62の一の入力端子並びに絶縁回路7の入力側に入力されると共に、Nチャネル型のFET（Field Effect Transistor）であるトランジスタQ43のゲートに抵抗器R49を介して印加される。この構成により、比較器43の出力信号がHレベルとなった場合、トランジスタQ43がオンとなり、コンデンサC41に蓄積された電荷が放電する。

[0041] 次に、高電圧電源1の一端から抵抗器R12を介して負荷2に正の電流が流れる場合を例にして、鋸波発生器4を中心に電流検出回路の動作をより詳細に説明する。高電圧電源1の一端から抵抗器R12を介して負荷2に負の電流が流れる場合は、以下の説明における増幅器31、比較器51及びAN

D回路61の夫々を増幅器32、比較器52及びAND回路62と読み替えればよい。

[0042] 図4は、本発明の実施の形態1に係る電流検出回路の動作を説明するためのタイミング図である。図4に示す7つのタイミング図は、何れも同一の時間軸を横軸としてあり、縦軸には、図の上段から、鋸波信号の電圧（即ちコンデンサC41の電圧）、比較器43の出力信号のレベル、コンデンサC42の電圧、第2の信号（即ちインバータIV42の出力信号）のレベル、トランジスタQ43のオン／オフ状態、比較器51の出力信号のレベル、及びAND回路61の出力信号のレベルを示してある。図中の V_{th} は、分圧器41の分圧電圧であり、鋸波信号のピーク電圧を V_p とする。

[0043] 図4の最上段に示す鋸波信号の電圧が直線的に漸増して時刻 t_1 （又は t_{11} ）で V_{th} を上回った場合、比較器43の出力信号がHレベルに立ち上がり、この出力信号がインバータIV41でLレベルに反転されるため、コンデンサC42の電荷がダイオードD41及び抵抗器R48を介して急速に放電する。その結果、時刻 t_2 （又は t_{12} ）でコンデンサC42の電圧がインバータIV42の下側の閾値電圧を下回った場合、インバータIV42の出力信号（即ち第2の信号）がHレベルに立ち上がり、この信号によってトランジスタQ43がオンする。このため、コンデンサC41の電荷が急速に放電して鋸波信号の電圧が急激に低下する。トランジスタQ43がオンする直前の鋸波信号の電圧が V_p である。時刻 t_1 から t_2 （又は t_{11} から t_{12} ）までの期間におけるコンデンサC41の電圧の上昇分は、 V_p と比較して無視できるほどである。

[0044] 時刻 t_2 （又は t_{12} ）でコンデンサC41の電圧が低下し始めると直ちに比較器43の出力信号がLレベルに立ち下がり、この出力信号がインバータIV41でHレベルに反転されるため、コンデンサC42が抵抗器R47を介して徐々に充電される。その結果、時刻 t_3 （又は t_{13} ）でコンデンサC42の電圧がインバータIV42の上側の閾値電圧を上回った場合、インバータIV42の出力信号（即ち第2の信号）がLレベルに立ち下がり、

この信号によってトランジスタQ 4 3がオフする。このため、コンデンサC 4 1への充電が再び開始されて鋸波信号の電圧が直線的に漸増する。なお、コンデンサC 4 1の電荷は、時刻t 2からt 3（又はt 1 2からt 1 3）までの期間中に完全に放電するように調整される。

[0045] 一方、鋸波発生器4からの鋸波信号が非反転入力端子に入力される比較器5 1では、抵抗器R 1 2の両端間の電圧を増幅する増幅器3 1の出力信号が反転入力端子に入力されているため、鋸波信号の電圧がV_pから0に低下する時刻t 2からt 3（又はt 1 2からt 1 3）までの期間中の何れかの時点で、出力信号がHレベルからLレベルに変化する。これとは逆に、鋸波信号の電圧が0からV_pに直線的に漸増する時刻t 3からt 1 2までの期間中の例えば時刻t 4で、比較器5 1の出力信号がLレベルからHレベルに変化する。

[0046] 第2の信号及び比較器5 1の出力信号について負論理のANDをとるAND回路6 1の出力信号は、時刻t 3（又はt 1 3）でLレベルとなり、時刻t 4でHレベルとなる。時刻t 3（又はt 1 3）は、鋸波信号の電圧が直線的に漸増する期間の始点である。つまり、AND回路6 1は、第2の信号がLレベルである期間だけ比較器5 1からのLレベルの信号を通過させることにより、比較器5 1からの信号の立ち下がり（前縁）をアクティブロウの第2の信号の前縁まで遅らせて出力する。

[0047] さて、第2の信号がLレベルである期間、即ち鋸波信号の電圧が直線的に漸増する時刻t 3からt 1 2までの期間の長さをT₁とし、AND回路6 1の出力信号がLレベルである時刻t 3からt 4までの期間の長さをT₂とした場合、時刻t 4における鋸波信号の電圧は $V_p \times (T_2 / T_1)$ である。この電圧は、時刻t 4で比較器5 1の反転入力端子に入力される電圧、即ち増幅器3 1の出力電圧に等しいので、高電圧電源1から抵抗器R 1 2を介して負荷2に流れる電流iは、以下の式（1）により算出される。なお、負荷2から抵抗器R 1 2を介して高電圧電源1に流れる電流iを検出する場合は、AND回路6 2の出力信号がLレベルである期間の長さT₃を検知し、式

(1) における T_2 を T_3 に、 β を増幅器 32 の増幅率の絶対値に夫々置き換えればよい。

$$[0048] \quad i = V_p \times (T_2 / T_1) / (r \times \beta) \dots \dots \dots (1)$$

但し、

r : 抵抗器 R12 の抵抗値

β : 増幅器 31 の増幅率の絶対値

[0049] 次に、電流 i の検出精度について説明する。上述したように、第2の信号及びAND回路61の出力信号は、絶縁回路7を介してマイコン8のタイマ用の入力端子に各別に入力されており、キャプチャレジスタに保持されたカウンタの計数値の差分に基づいて T_1 及び T_2 が各別に検知される。 T_1 及び T_2 は、式(1)で用いられる数値であるから、必ずしも時間に換算して検知する必要はない。

[0050] タイマ82のカウンタが計数するクロックの周波数を f とした場合、 T_1 及び T_2 はクロックの周期に相当する $1/f$ の精度で検知される。この場合、 T_1 を n ビット (n は自然数) 以上の数値として、所謂 n ビット以上の分解能で検知するには、第2の信号がLレベルである期間、即ち鋸波信号の電圧が直線的に漸増する期間の長さ t が、以下の式(2)で表されるようにすればよい。

$$[0051] \quad t \geq 2^n / f \dots \dots \dots (2)$$

但し、「 $\wedge$ 」は冪乗を表す。

[0052] 一方、CPU81が並列処理可能なビット数が m (m は n 以上の自然数) である場合、 t は式(2)を考慮して以下の式(3)で示される範囲内の長さにすればよい。

$$[0053] \quad 2^n / f \leq t \leq 2^m / f \dots \dots \dots (3)$$

[0054] 例えば上述のクロックの周波数が 32 MHz である場合、 T_1 を 15 ビッ

トの分解能で検知するには、式（２）における境界値として $t = 1024 \mu s$ とすればよい。また例えば、鋸波信号のピーク電圧 V_p が $2.0 V$ となるように調整し、コンデンサ C_{41} の容量値を $C = 0.1 \mu F$ とした場合、カレントミラー回路 42 がコンデンサ C_{41} に流入させるべき一定の電流 I は、 $I \times t = C \times V_p$ の関係式より、 $I = 195 \mu A$ となる。

[0055] 電流 i の検出精度を低下させる要因としては、小信号電源 9 の電圧変動、分圧器 41 の分圧比を決定する抵抗器 R_{40} 及び R_{41} の抵抗値の変動、高電圧電源 1 及び負荷 2 の間に接続された抵抗器 R_{12} の抵抗値の変動、増幅器 31 及び 32 の増幅率の変動等が挙げられる。なお、その電圧が鋸波信号の電圧となるコンデンサ C_{41} については、容量値の変動が式（１）における T_1 の変動となって現れるが、 T_2 も同率で変動するため、式（１）の算出結果に影響を与えることはない。

[0056] 一方、抵抗器 R_{40} 及び R_{41} については、抵抗値の変動が分圧比に影響を与えないように温度特性等を選択することが好ましい。また、増幅器 31 の増幅率の絶対値は、抵抗器 R_{33} の抵抗値に対する抵抗器 R_{31} の抵抗値の比の値であり、増幅器 32 の増幅率の絶対値は、抵抗器 R_{36} の抵抗値に対する抵抗器 R_{34} の抵抗値の比の値に 1 を加算した値であって、これらの増幅率についても抵抗値の変動の影響が相殺するようにしておくことが好ましい。

[0057] 以下では、上述したマイコン 8 の動作を、それを示すフローチャートを用いて詳述する。以下に示す処理は、不図示の ROM に予め格納されている制御プログラムに従って、 $CPU81$ により実行される。

図 5 は、周期信号割込処理における $CPU81$ の処理手順を示すフローチャートであり、図 6 、図 7 及び図 8 の夫々は、第 1 タイマ割込処理、第 2 タイマ割込処理及び第 3 タイマ割込処理における $CPU81$ の処理手順を示すフローチャートである。図 5 の割込処理は、第 2 の信号の立ち上がりで実行される。図 6 、図 7 及び図 8 夫々の割込処理は、第 2 の信号、 AND 回路 61 の出力信号及び AND 回路 62 の出力信号により、第 1 タイマ、第 2 タイ

マ及び第3タイマのキャプチャレジスタに計数値が保持された時に実行される。

[0058] 図5の処理で用いる r 及び β 夫々は、既に述べたとおり抵抗器R12の抵抗値及び増幅器31、32の増幅率の絶対値である。また、T3は、AND回路62の出力信号がLレベルである期間の長さである。図6、図7及び図8夫々の処理で用いる前縁フラグ1、前縁フラグ2及び前縁フラグ3は、信号幅を検知すべき信号の前縁における割込処理であることを示すフラグであり、不図示のRAMに記憶される。T2及びT3は初期値を0としてRAMに記憶される。T1は、直前に検知された値がRAMに記憶されている。図5の処理で算出される電流 i は、高電圧電源1から抵抗器R12を介して負荷2に流れる電流を正の電流とする。

[0059] 図5の周期信号割込処理が実行された場合、CPU81は、RAMに記憶したT3が0であるか否かを判定する(S11)。T3が0である場合(S11: YES)、即ち第2の信号による前回の周期信号割込処理以降にT3が検知されていない場合、CPU81は、T2をT1で除算してDUTYとし(S12)、次回の周期信号割込処理のためにT2を0とする(S13)。その後、CPU81は、 V_p を $r \times \beta$ で除算した結果にDUTYを乗算して電流 i を算出し(S14)、割り込まれたルーチンにリターンする。なお、第2の信号による前回の周期信号割込処理以降にT2及びT3が共に検知されていない場合、 $i = 0$ と算出される。

[0060] 一方、ステップS11でT3が0ではない場合(S11: NO)、CPU81は、T3をT1で除算してDUTYとし(S15)、次回の周期信号割込処理のためにT3を0とする(S16)。その後、CPU81は、 V_p を $r \times \beta$ で除算した結果にDUTYを乗算して負の電流 i を算出し(S17)、割り込まれたルーチンにリターンする。

[0061] 次に、図6に示す第1タイマ割込処理が実行された場合、CPU81は、前縁フラグ1が1であるか否かを判定し(S21)、1である場合(S21: YES)、CPU81は、キャプチャレジスタの内容を前縁値1として読

み出して（S 2 2）R A Mに記憶する（S 2 3）。その後、C P U 8 1は、前縁フラグ1を0にクリアして（S 2 4）、割り込まれたルーチンにリターンする。

[0062] 一方、ステップS 2 1で前縁フラグ1が1ではない場合（S 2 1：N O）、C P U 8 1は、キャプチャレジスタの内容を後縁値1として読み出し（S 2 5）、後縁値1からR A Mに記憶した前縁値1を減算してT 1を算出する（S 2 6）。算出されたT 1はR A Mに記憶される（図示を省略、以下同様）。その後、C P U 8 1は、T 1が所定値より大きいかな否かを判定し（S 2 7）、大きくない場合（S 2 7：N O）、ステップS 2 8以降をスキップして割り込まれたルーチンにリターンする。

[0063] ステップS 2 7でT 1と所定値とを比較するのは、算出されたT 1が、図4に示す時刻t 2からt 3までの期間（即ち第2の信号がHレベルである期間）の長さであった場合のT 1を廃棄するためである。所定値は、時刻t 3からt 1 2までの期間の長さより小さく、時刻t 2からt 3までの期間の長さより大きい値にしておく。ステップS 2 7から直ちにリターンした場合に、次の第1タイマ割込処理で算出されるT 1は、時刻t 2からt 1 2までの期間の長さであり、実際のT 1より大きい。但し、その後の第1タイマ割込処理にて、時刻t 3からt 1 2までの期間の長さがT 1として正しく算出される。

[0064] ステップS 2 7でT 1が所定値より大きい場合（S 2 7：Y E S）、C P U 8 1は、次の第1タイマ割込処理のために前縁フラグ1を1にセットし（S 2 8）、更に第2タイマ割込処理のために前縁フラグ2を1にセットする（S 2 9）と共に、第3タイマ割込処理のために前縁フラグ3を1にセットして（S 3 0）、割り込まれたルーチンにリターンする。

[0065] 次の図7に示す第2タイマ割込処理におけるステップS 3 1からS 3 5までの処理は、図6に示した第1割込処理におけるステップS 2 1からS 2 5までの処理における前縁フラグ1、前縁値1及び後縁値1の夫々を、前縁フラグ2、前縁値2及び後縁値2に置き換えたものであるため、その説明を省

略する。

[0066] ステップS35で、キャプチャレジスタの内容を後縁値2として読み出したCPU81は、後縁値2からRAMに記憶した前縁値2を減算してT2を算出する(S36)。その後、CPU81は、次回の第2タイマ割込処理のために前縁フラグ2を1にセットして(S37)、割り込まれたルーチンにリターンする。

[0067] 次の図8に示す第3タイマ割込処理におけるステップS41からS45までの処理は、図7に示した第2割込処理におけるステップS31からS35までの処理における前縁フラグ2、前縁値2及び後縁値2の夫々を、前縁フラグ3、前縁値3及び後縁値3に置き換えたものであるため、その説明を省略する。

[0068] ステップS45で、キャプチャレジスタの内容を後縁値3として読み出したCPU81は、後縁値3からRAMに記憶した前縁値3を減算してT3を算出する(S46)。その後、CPU81は、次回の第3タイマ割込処理のために前縁フラグ3を1にセットして(S47)、割り込まれたルーチンにリターンする。

[0069] 以上のように本実施の形態1によれば、高電圧電源1の一端及び負荷2の間に接続された抵抗器R12の両端間に生じる電圧を増幅器31, 32で増幅して比較器51, 52で鋸波信号の電圧と比較し、鋸波信号の電圧が直線的に漸増する傾斜期間における比較器51, 52の比較結果を示す信号の長さT2, T3と、上記傾斜期間を示す信号の長さT1とを検知し、検知した長さの比率に基づいて抵抗器R12に流れる電流を検出する。

これにより、鋸波信号のピーク電圧 V_p に対する増幅器31, 32の出力電圧の比率が算出され、この比率と、ピーク電圧 V_p 、増幅器31, 32の増幅率の絶対値 β 及び抵抗器R12の抵抗値 r とに基づいて電流値 i が検出される。

従って、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能となる。

[0070] また、実施の形態 1 によれば、所謂インプットキャプチャ機能を有するタイマ 8 2 に上記傾斜期間を示す第 2 の信号及び上記比較結果を示す AND 回路 6 1, 6 2 の出力信号を入力し、夫々の信号の前縁及び後縁で保持されたカウンタの計数値の差分に応じてこれらの信号の長さを検知する。

従って、例えば信号の前縁及び後縁における割込処理で逐次変化するカウンタの計数値を読み出して時間差を検知する場合と比較して、上記傾斜期間を示す信号の長さ及び上記比較結果を示す信号の長さを高精度に検知することが可能となる。

[0071] 更に、実施の形態 1 によれば、上記傾斜期間を示す信号及び上記比較結果を示す信号を夫々生成する鋸波発生器 4 及び AND 回路 6 1, 6 2 と、これらの信号に基づいて電流を検出するマイコン 8 とを絶縁回路 7 で電氣的に絶縁して分離しつつ、鋸波発生器 4 及び AND 回路 6 1, 6 2 からマイコン 8 に信号を伝達する。

従って、マイコン 8 を除くその他の回路部分の基準電位の如何にかかわらず、抵抗器 R 1 2 に流れる電流を検出することが可能となる。

[0072] 更にまた、実施の形態 1 によれば、抵抗器 R 1 2 の両端間の微少な電圧が低ノイズで安定に増幅されるため、抵抗器 R 1 2 に流れる電流を高精度に検出することが可能となる。

[0073] なお、実施の形態 1 にあっては、鋸波信号における電圧が直線的に漸増する期間を傾斜期間としたが、これに限定されるものではない。例えば、図 4 に示す時刻 t_3 から t_{12} までの期間に対応する期間中に鋸波信号の電圧が右肩下がりに漸減する場合は、この期間を傾斜期間としてもよい。この場合、AND 回路 6 1 は、第 2 の信号が L レベルである期間だけ比較器 5 1 からの L レベルの信号を通過させることにより、比較器 5 1 からの信号の立ち上がり（後縁）をアクティブロウの第 2 の信号の後縁まで早めて出力する。

[0074] また例えば、図 4 に示す時刻 t_2 から t_3 までの期間中に鋸波信号の電圧が直線的に漸減する場合は、この期間を傾斜期間としてもよいし、鋸波信号の電圧が直線的に漸増及び漸減する両期間を連結して傾斜期間としてもよい

。

[0075] 上記の2つの場合のうち、前者の場合は、第2の信号がHレベルである期間により上述の傾斜期間が示されるから、第2の信号を反転させた信号をAND回路61、62の他の入力端子及び絶縁回路に入力すればよい。後者の場合は、傾斜期間の長さとの周期とが実質的に一致するため、図4に示す第2の信号を、時刻t2で立ち上がって直ぐに立ち下がる細いパルスにすればよい。この場合は更に、不要なAND回路61、62を削減して、比較器51、52の出力信号を絶縁回路7に入力すればよい。AND回路61、62を削減した場合は、比較器51、52が比較部及び第2生成部に相当する。

[0076] 更に例えば、鋸波信号に代えて三角波信号を用いてもよい。この場合、三角波信号の電圧が漸増する期間、漸減する期間及び両期間を連結した期間のうち、何れの期間を傾斜期間にしてもよい。何れの期間を傾斜期間とする場合であっても、電流検出回路の動作は、前述の内容で説明し尽くされている。

。

[0077] (変形例)

実施の形態1が、比較器51、52の出力信号をAND回路61、62及び絶縁回路7を介してマイコン8に伝達する形態であるのに対し、実施の形態1の変形例は、比較器51、52の出力信号のORをとった信号をAND回路61及び絶縁回路7を介してマイコン8に伝達する形態である。

[0078] 図9は、本発明の実施の形態1の変形例に係る電流検出回路の構成例を示すブロック図である。図9に示す電流検出回路は、実施の形態1の図1に示す電流検出回路と比較して、AND回路62が削減されており、且つ、比較器51及び52の出力信号について負論理のORをとるOR回路63が追加されており、OR回路63の出力端子がAND回路61の一の入力端子に接続されている点が異なる。従って、絶縁回路7は2つのフォトプラ71、72を含む2回路があれば十分であり、マイコン8のタイマ82には第3タイマが含まれていなくてもよい。

[0079] 本変形例では、実施の形態１におけるＴ２及びＴ３が区別されることなく検知されるため、図４に示したタイミング図と同じタイミング図を用いて電流検出回路の動作を説明することができる。また、図５に示した周期信号割込処理では、ステップＳ１１の判定処理及びステップＳ１５からＳ１７までの処理が不要となる。更に、図８に示した第３タイマ割込処理の全体が不要となる。その他については、実施の形態１の場合と同様である。

[0080] 以上のように本実施の形態１の変形例によれば、検出される電流の正負が区別されない点を除けば、内蔵するタイマ数が少ないマイコンを用いた場合であっても、実施の形態１と同様の効果を奏する。

[0081] (実施の形態２)

実施の形態１が、マイコン８のタイマ８２にて３つの信号（第２の信号及びＡＮＤ回路６１，６２の出力信号）の信号幅を並列的に検知する形態であるのに対し、実施の形態２は、タイマ８２にて上記３つの信号の信号幅を時系列的に検知する形態である。

[0082] 図１０は、本発明の実施の形態２に係る電流検出回路の構成例を示すブロック図である。図１０に示す電流検出回路は、実施の形態１の図１に示す電流検出回路と比較して、絶縁回路７及びマイコン８の間にマルチプレクサ（選択部に相当、以下ＭＵＸという）８５が接続されており、マイコン８に出力ポート８４が追加されている点が異なる。ＭＵＸ８５からの出力信号は、マイコン８の第１及び第２タイマ用の入力端子に入力されている。マイコン８の割込用入力端子には、信号が入力されていない。

[0083] タイマ８２は、第１タイマにより、第１タイマ用の入力端子に入力された信号の信号幅を検知し、第２タイマにより、第２タイマ用の入力端子に入力された第２の信号の周期を検知するか、又はＭＵＸ８５の選択を切り替える周期を計時する。マイコン８のタイマ８２には第３タイマが含まれていなくてもよい。第１タイマは、実施の形態１と同様に第１タイマ用の入力端子に入力された信号の立ち下がり及び立ち上がりでカウンタの計数値をキャプチャレジスタに保持して割込要求を発生する。第２タイマは、第２タイマ用の

入力端子に入力された第2の信号の周期を検知する場合に、第2の信号の立ち上がりでカウンタの計数値をキャプチャレジスタに保持して割込要求を発生する。第2タイマが周期を計時する場合は、インプットキャプチャ機能が解除される。

[0084] MUX85は、Vccから電源が供給されており、4つの被選択入力端子に入力された信号を、マイコン8からの2ビットの選択信号の組み合わせにより選択的に切り替えて、マイコン8の第1及び第2タイマ用の入力端子に伝達すべく出力する。

[0085] MUX85の第1から第3の被選択入力端子には、前述の第2の信号及びAND回路61、62の出力信号が、絶縁回路7を介して各別に入力されている。MUX85の第4の被選択入力端子は、接地電位に接続されている。MUX85の2つの選択入力端子には、マイコン8が有する出力ポート84から2ビットの選択信号が入力される。この構成により、CPU81が第2の信号及びAND回路61、62の出力信号のうち、何れの信号をも選択しない場合（以下、この状態を非選択という）は、MUX85から強制的にLレベルの信号が出力される。

[0086] 次に、高電圧電源1から負荷2に正の電流が流れる場合を例にして、鋸波発生器4の動作をより詳細に説明する。

図11は、本発明の実施の形態2に係る電流検出回路の動作を説明するためのタイミング図である。図11に示す6つのタイミング図は、何れも同一の時間軸を横軸としてあり、縦軸には、図の上段から、第2の信号のレベル、AND回路61の出力信号のレベル、AND回路62の出力信号のレベル、タイマ82に含まれる第1タイマによる検知フェーズの区別、MUX85の出力信号のレベル、及びタイマ82に含まれる第2タイマによる周期タイマの動作期間を示してある。

[0087] 図11で、第1タイマによる検知フェーズに示されたT1検知フェーズ、T2検知フェーズ及びT3検知フェーズの夫々は、CPU81が、第2の信号、AND回路61の出力信号及びAND回路62の出力信号を選択すべく

選択信号を出力しているフェーズを表す。検知フェーズの区別は不図示のRAMに記憶されており、初期状態はT1検知フェーズである。

[0088] T1検知フェーズが継続している状態では、MUX85の被選択入力端子に入力される信号のうち第2の信号が選択されているから、時刻 t_2 及び t_{12} における第2の信号の立ち上がりで第2タイマのカウンタの計数値がキャプチャレジスタに保持されて割込要求が発生する。CPU81は、この割込要求に対する割込処理にて、第2の信号の周期T0を検知する。

[0089] その後、CPU81は、検知フェーズをT2検知フェーズに更新すると共に、MUX85の被選択入力端子に入力される信号のうちAND回路61の出力信号を選択すべく出力ポート84から選択信号を出力する。CPU81は、更に、第2タイマを用いて周期T0の周期タイマを起動する。

[0090] T1検知フェーズでは、更に、時刻 t_3 及び t_{12} における第2の信号の立ち下がり及び立ち上がりで第1タイマのカウンタの計数値がキャプチャレジスタに保持されて割込要求が発生する。CPU81は、この割込要求に対する割込処理にて、第2の信号がLレベルである期間の長さT1を検知する。

[0091] 続くT2検知フェーズでは、MUX85の被選択入力端子に入力される信号のうちAND回路61の出力信号が選択されているから、時刻 t_{13} 及び t_{14} におけるAND回路61の出力信号の立ち下がり及び立ち上がりで第1タイマのカウンタの計数値がキャプチャレジスタに保持されて割込要求が発生する。CPU81は、この割込要求に対する割込処理にて、AND回路61の出力信号がLレベルである期間の長さT2を検知する。

[0092] 時刻 t_{22} で第2タイマによる周期タイマがタイムアップして割込要求が発生した場合、CPU81は、この割込要求に対する割込処理にて、検知フェーズをT3検知フェーズに更新すると共に、MUX85の被選択入力端子に入力される信号のうちAND回路62の出力信号を選択すべく出力ポート84から選択信号を出力する。CPU81は、更に、第2タイマを用いて周期T0の周期タイマを再起動する。

[0093] 続く T 3 検知フェーズでは、M U X 8 5 の被選択入力端子に入力される信号のうち A N D 回路 6 2 の出力信号が選択されているが、本実施の形態 2 ではこの出力信号が H レベルに維持されているため、A N D 回路 6 2 の出力信号が L レベルである期間の長さ T 3 が検知されることはない。それにもかかわらず、第 2 タイマによる周期タイマが時刻 t_{32} でタイムアップすることにより、C P U 8 1 は、T 3 検知フェーズを時刻 t_{32} で終了させることができる。

[0094] 時刻 t_{32} で第 2 タイマによる周期タイマがタイムアップして割込要求が発生した場合、C P U 8 1 は、この割込要求に対する割込処理にて、検知フェーズを T 1 検知フェーズに更新した後、第 2 タイマをインプットキャプチャの設定に変更する。C P U 8 1 は、更に、M U X 8 5 の被選択入力端子に入力される信号のうち接地電位の信号を極く短時間だけ選択した後、第 2 の信号を選択すべく出力ポート 8 4 から選択信号を出力する。これにより、M U X 8 5 の出力信号が、時刻 t_{32} で必ず立ち上がることとなる。つまり、時刻 t_{32} 以降の T 1 検知フェーズでは、時刻 t_2 以降の T 1 検知フェーズと全く同じ動作が繰り返される。

[0095] 以下では、上述したマイコン 8 の動作を、それを示すフローチャートを用いて詳述する。以下に示す処理は、不図示の R O M に予め格納されている制御プログラムに従って、C P U 8 1 により実行される。

図 1 2 は、第 2 タイマ割込処理における C P U 8 1 の処理手順を示すフローチャートであり、図 1 3 は、周期タイマ割込処理における C P U 8 1 の処理手順を示すフローチャートであり、図 1 4 は、第 1 タイマ割込処理における C P U 8 1 の処理手順を示すフローチャートであり、図 1 5 は、前縁値・後縁値読出のサブルーチンに係る C P U 8 1 の処理手順を示すフローチャートである。図 1 2 及び 1 4 の割込処理は、夫々第 2 タイマ及び第 1 タイマのキャプチャレジスタに計数値が保持された時に実行される。図 1 3 の割込処理は、第 2 タイマによる周期タイマがタイムアップした時に実行される。

[0096] 図 1 2 の処理で用いる開始フラグは、周期を検知すべき信号の開始時点に

おける割込処理であることを示すフラグであり、不図示のRAMに記憶される。図14の処理で用いる前縁フラグは、信号幅を検知すべき信号の前縁における割込処理であることを示すフラグであり、RAMに記憶される。検知フェーズの区別もRAMに記憶される。T2及びT3は初期値を0としてRAMに記憶される。T1は、直前に検知された値がRAMに記憶されている。第2タイマは、インプットキャプチャの設定になっている。

[0097] 図12の第2タイマ割込処理が実行された場合、CPU81は、現在がT1検知フェーズであるか否かを判定し(S51)、T1検知フェーズではない場合(S51:NO)、何も処理せずに割り込まれたルーチンにリターンする。一方、現在がT1検知フェーズである場合(S51:YES)、CPU81は、開始フラグが1であるか否かを判定し(S52)、1である場合(S52:YES)、キャプチャレジスタの内容を開始値として読み出して(S53)RAMに記憶する(S54)。

[0098] その後、CPU81は、前縁フラグを0にクリアし(S55)、電流検出に係るサブルーチンを呼び出して実行した(S56)後、割り込まれたルーチンにリターンする。

なお、電流検出に係るサブルーチンの処理内容は、時刻t2より前に検知されたT1、T2及びT3に基づいて電流iを検出するものであり、実施の形態1の図5に示す周期信号割込処理におけるステップS11からS17までの内容と全く同一であるため、フローチャートの図示及びその説明を省略する。

[0099] ステップS52で、開始フラグが1ではない場合(S52:NO)、CPU81は、キャプチャレジスタの内容を終了値として読み出し(S57)、終了値からRAMに記憶した開始値を減算してT0を算出する(S58)。算出されたT0はRAMに記憶される(図示を省略、以下同様)。その後、CPU81は、次回の第2タイマ割込処理のために開始フラグを1にセットし(S59)、検知フェーズをT2検知フェーズに更新した(S60)後、MUX85の被選択入力端子に入力される信号のうちAND回路61の出力

信号を選択すべく出力ポート 84 から選択信号を出力する (S 6 1)。

[0100] 次いで、CPU 81 は、第 2 タイマについて、インプットキャプチャの設定を解除すべく設定変更し (S 6 2)、第 2 タイマによる周期タイマをスタートさせて (S 6 3) 割り込まれたルーチンにリターンする。この場合に周期タイマに設定される周期は、ステップ S 5 8 で算出した T 0 である。

[0101] 次に、図 1 3 に示す周期タイマ割込処理が実行された場合、CPU 81 は、現在が T 2 検知フェーズであるか否かを判定し (S 7 1)、T 2 検知フェーズである場合 (S 7 1 : YES)、検知フェーズを T 3 検知フェーズに更新する (S 7 2)。その後、CPU 81 は、MUX 85 の被選択入力端子に入力される信号のうち AND 回路 6 2 の出力信号を選択すべく出力ポート 84 から選択信号を出力し (S 7 3)、第 2 タイマによる周期タイマを再スタートさせて (S 7 4) 割り込まれたルーチンにリターンする。

[0102] ステップ S 7 1 で、現在が T 2 検知フェーズではない場合 (S 7 1 : NO)、即ち T 3 検知フェーズである場合、CPU 81 は、検知フェーズを T 1 検知フェーズに更新した (S 7 5) 後、第 2 タイマを再びインプットキャプチャに設定変更する (S 7 6)。更に、CPU 81 は、一旦 MUX 85 を非選択にした (S 7 7) 後、MUX 85 の被選択入力端子に入力される信号のうち、第 2 の信号を選択すべく出力ポート 84 から選択信号を出力して (S 7 8)、割り込まれたルーチンにリターンする。

[0103] 次に、図 1 4 に示す第 1 タイマ割込処理が実行された場合、CPU 81 は、現在が T 1 検知フェーズであるか否かを判定し (S 8 1)、T 1 検知フェーズである場合 (S 8 1 : YES)、前縁値・後縁値読出に係るサブルーチン呼び出して実行し (S 8 2)、サブルーチンで算出された T x を T 1 に代入して (S 8 3) 割り込まれたルーチンにリターンする。

[0104] ステップ S 8 1 で、現在が T 1 検知フェーズではない場合 (S 8 1 : NO)、CPU 81 は、現在が T 2 検知フェーズであるか否かを判定し (S 8 4)、T 2 検知フェーズである場合 (S 8 4 : YES)、前縁値・後縁値読出に係るサブルーチン呼び出して実行し (S 8 5)、サブルーチンで算出さ

れた T_x を T_2 に代入して（S 8 6）割り込まれたルーチンにリターンする。
。

[0105] ステップS 8 4で、現在が T_2 検知フェーズではない場合（S 8 4：NO）、即ち T_3 検知フェーズである場合、CPU 8 1は、前縁値・後縁値読出に係るサブルーチンを呼び出して実行し（S 8 7）、サブルーチンで算出された T_x を T_3 に代入して（S 8 8）割り込まれたルーチンにリターンする。
。

[0106] 次に、図 1 5 に示す前縁値・後縁値読出に係るサブルーチンが呼び出された場合、CPU 8 1は、前縁フラグが1であるか否かを判定する（S 9 1）。前縁フラグが1である場合（S 9 1：YES）、CPU 8 1は、キャプチャレジスタの内容を前縁値として読み出して（S 9 2）RAMに記憶し（S 9 3）、前縁フラグを0にクリアして（S 9 4）、呼び出されたルーチンにリターンする。

[0107] 一方、ステップS 9 1で前縁フラグが1ではない場合（S 9 1：NO）、CPU 8 1は、キャプチャレジスタの内容を後縁値として読み出し（S 9 5）、後縁値からRAMに記憶した前縁値を減算して T_x を算出する（S 9 6）。算出された T_x はRAMに記憶される（図示を省略）。その後、CPU 8 1は、前縁フラグを1にセットして（S 9 7）、呼び出されたルーチンにリターンする。

[0108] 以上のように本実施の形態2によれば、上述の傾斜期間を示す信号及び比較結果を示す信号をMUX 8 5で選択的に切り替えて鋸波発生器4及びAND回路6 1，6 2からマイコン8に伝達する。この切り替えは、上記傾斜期間を示す信号が伝送されているときの信号周期 T_0 に応じて行われる。

従って、上記傾斜期間を示す信号の信号幅及び上記比較結果を示す信号の信号幅を時系列的に検知することが可能となり、マイコン8で使用するタイマ数が1つ削減される。なお、上記比較結果を示す信号が伝送されている間に信号幅が検知されない場合は、値が0の信号幅に対応して値が0の電流を検出することが可能となる。

[0109] 今回開示された実施の形態は、全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。また、各実施の形態で記載されている技術的特徴は、お互いに組み合わせることが可能である。

符号の説明

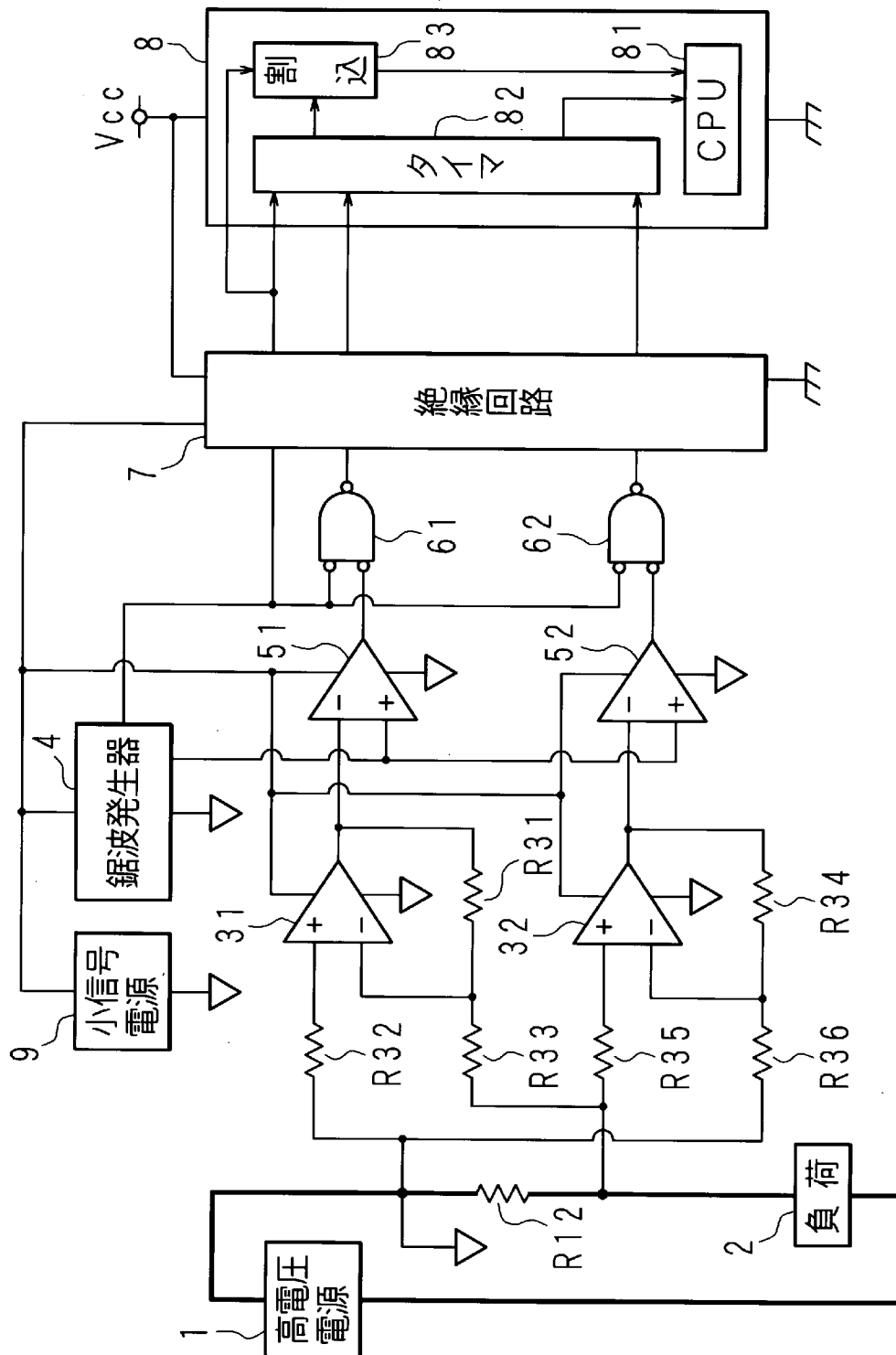
- [0110] 1 高電圧電源
 2 負荷
 3 1、3 2 増幅器
 4 鋸波発生器
 4 1 分圧器
 4 2 カレントミラー回路
 4 4 遅延器
 5 1、5 2 比較器
 6 1、6 2 AND回路
 6 3 OR回路
 7 絶縁回路
 7 1、7 2、7 3 フォトカプラ
 8 マイコン
 8 1 CPU
 8 2 タイマ
 8 3 割込コントローラ
 8 4 出力ポート
 8 5 MUX
 9 小信号電源
 C 4 1、C 4 2 コンデンサ
 I V 4 1、I V 4 2 インバータ
 Q 4 3 トランジスタ

請求の範囲

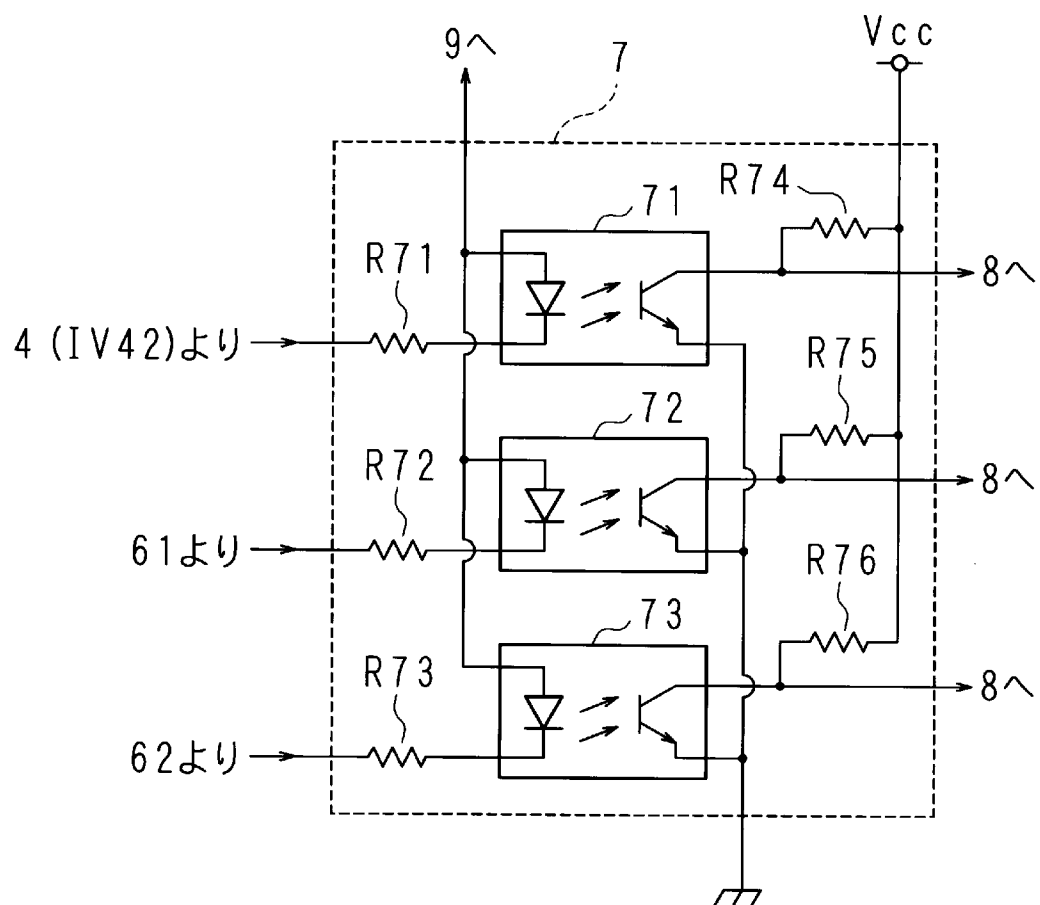
- [請求項1] 電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路において、
- 三角波信号又は鋸波信号を発生する発生部と、
- 該発生部で発生する信号の電圧が直線的に漸増又は漸減する期間を示す信号を生成する第1生成部と、
- 前記抵抗器の両端間の電圧を増幅する増幅部と、
- 該増幅部で増幅した信号の電圧及び前記発生部で発生した電圧を比較する比較部と、
- 前記期間における前記比較部の比較結果を示す信号を生成する第2生成部と、
- 前記第1生成部からの信号の信号幅に対する前記第2生成部からの信号の信号幅の比に基づいて前記抵抗器に流れる電流を検出する検出部と
- を備えることを特徴とする電流検出回路。
- [請求項2] 前記検出部は、周期信号を計数するカウンタの計数値を、信号幅を検知すべき信号の前縁及び後縁で保持して差分をとることにより、前記第1及び第2生成部夫々からの信号の信号幅を検知することを特徴とする請求項1に記載の電流検出回路。
- [請求項3] 前記第1及び第2生成部と前記検出部とを電氣的に絶縁して前記第1及び第2生成部から前記検出部に信号を伝達する絶縁部を備えることを特徴とする請求項1又は2に記載の電流検出回路。
- [請求項4] 前記抵抗器の端子の何れか一方の電位を、前記第1及び第2生成部の基準電位とすることを特徴とする請求項3に記載の電流検出回路。
- [請求項5] 前記第1及び第2生成部からの信号を選択的に切り替えて前記検出部に伝達する選択部を備え、
- 前記検出部は、前記選択部を介して伝達された前記第1生成部からの信号の周期に応じて前記選択部を切り替える

ことを特徴とする請求項 1 から 4 の何れか 1 項に記載の電流検出回路。

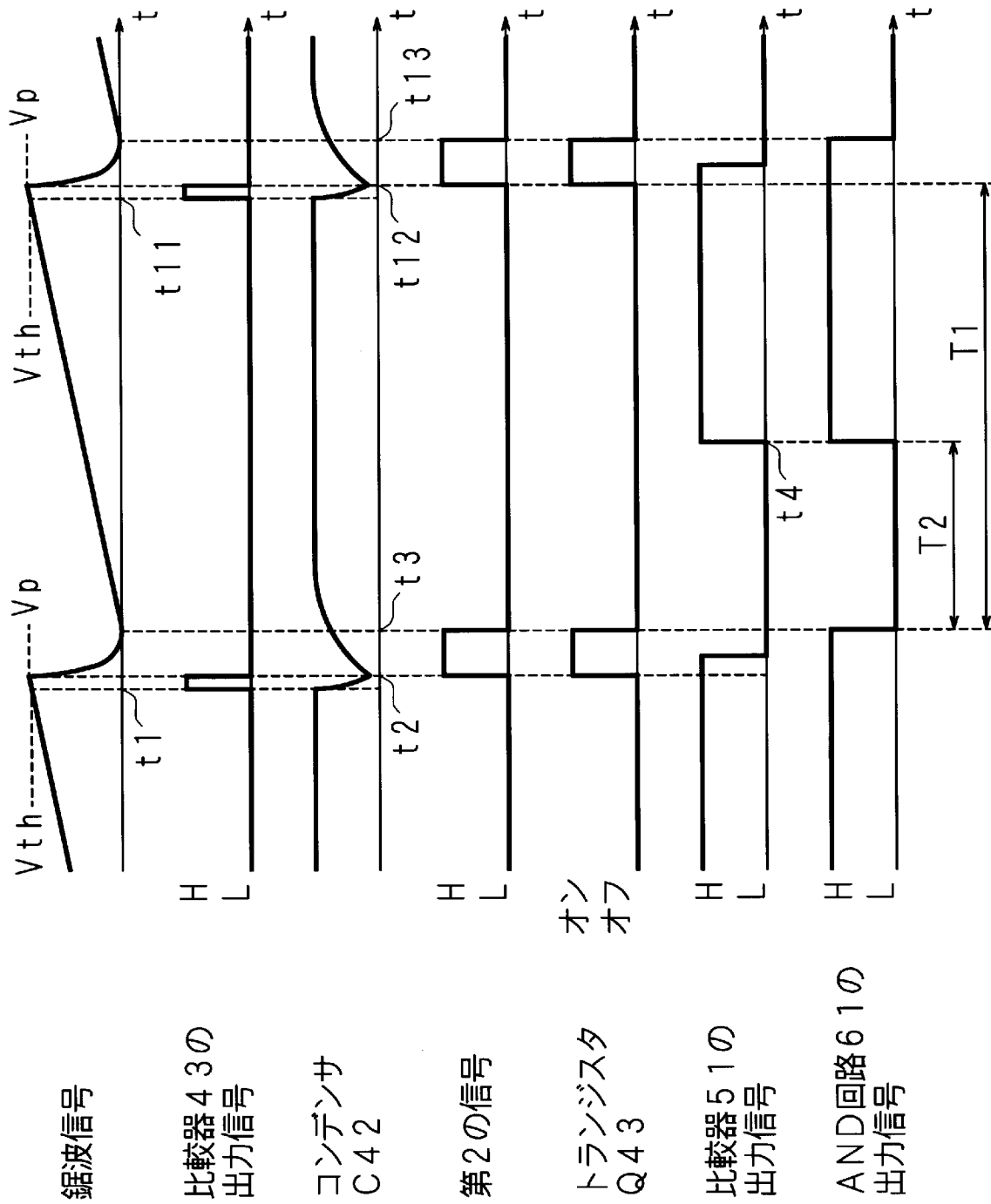
[図1]



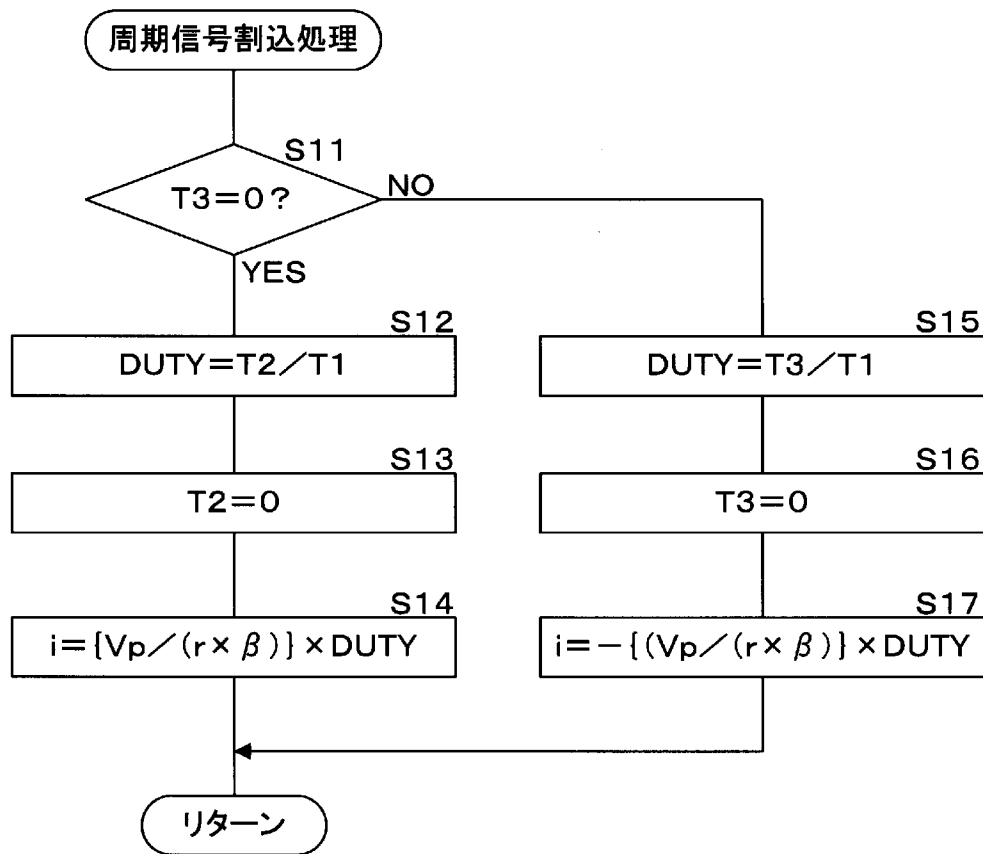
[図2]



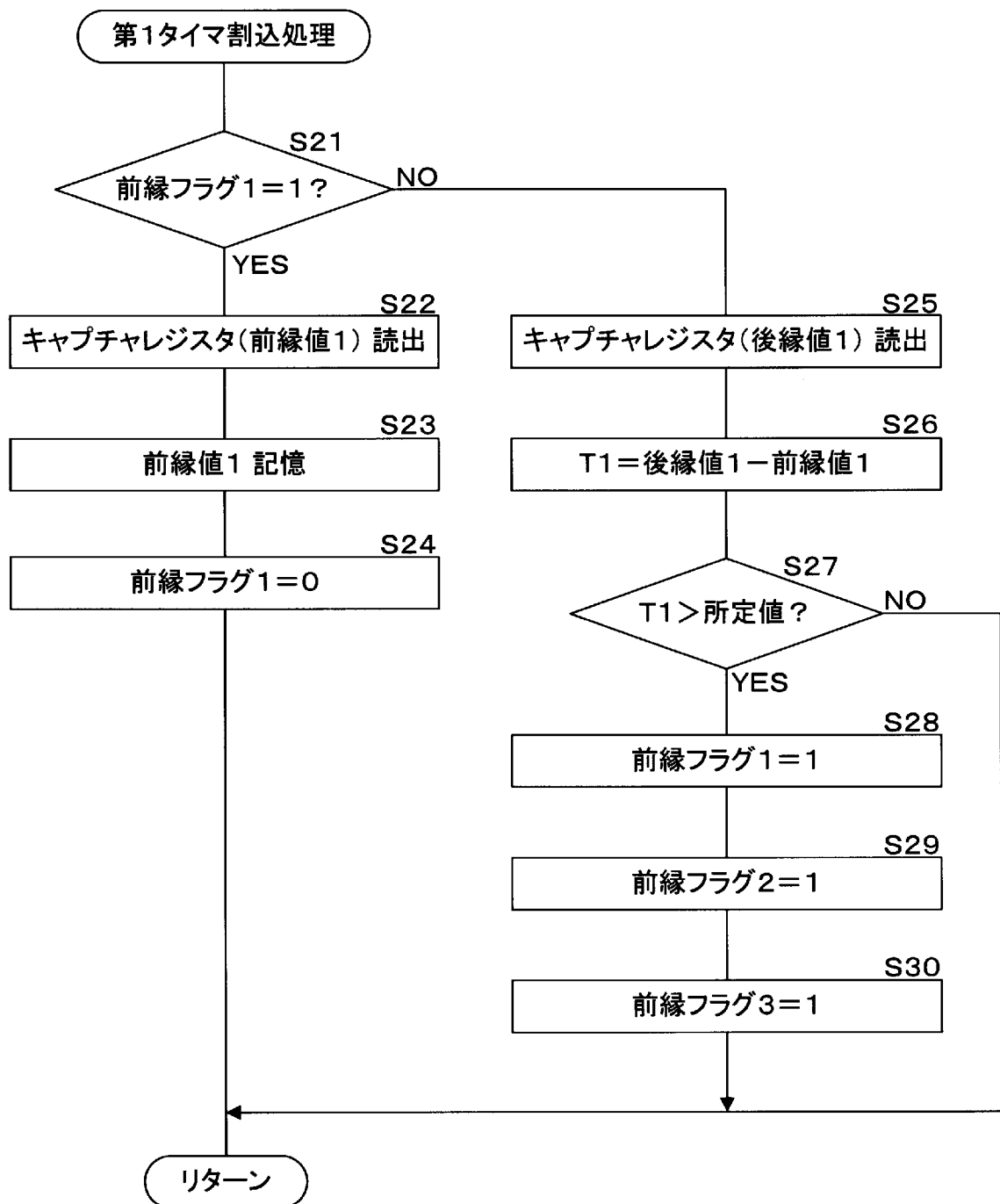
[図4]



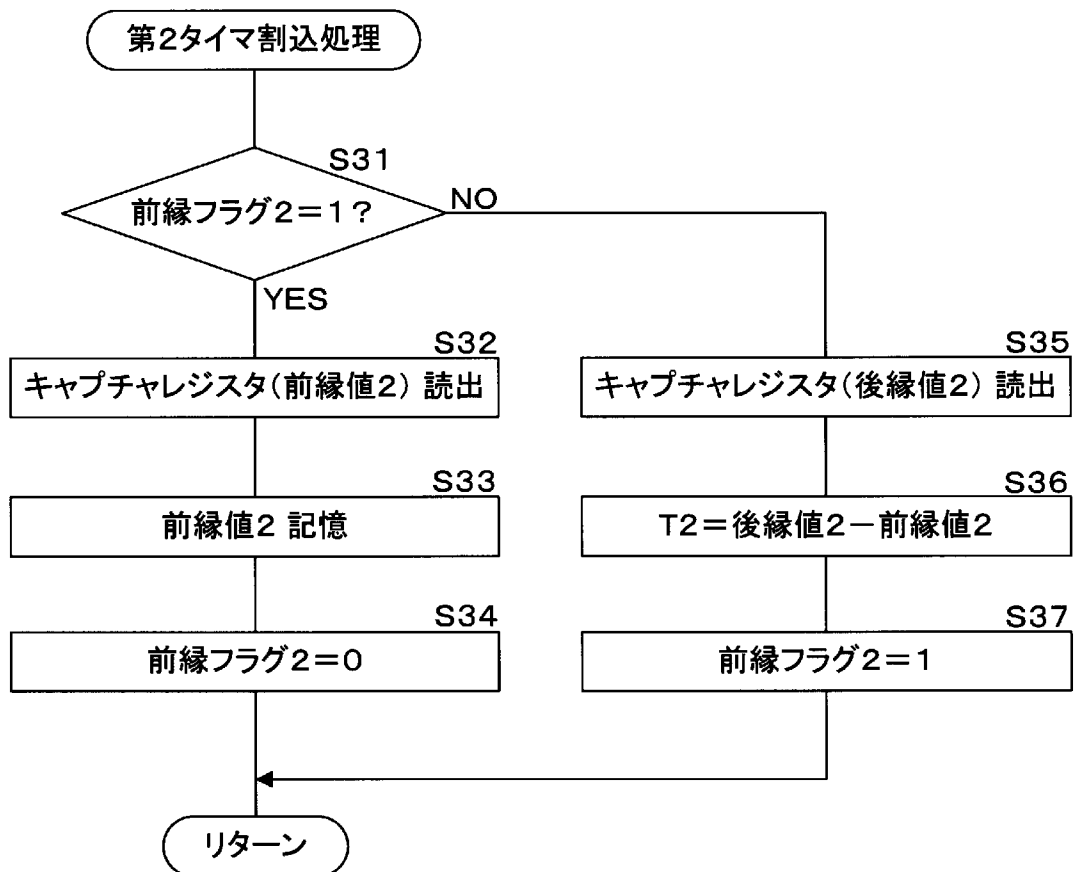
[図5]



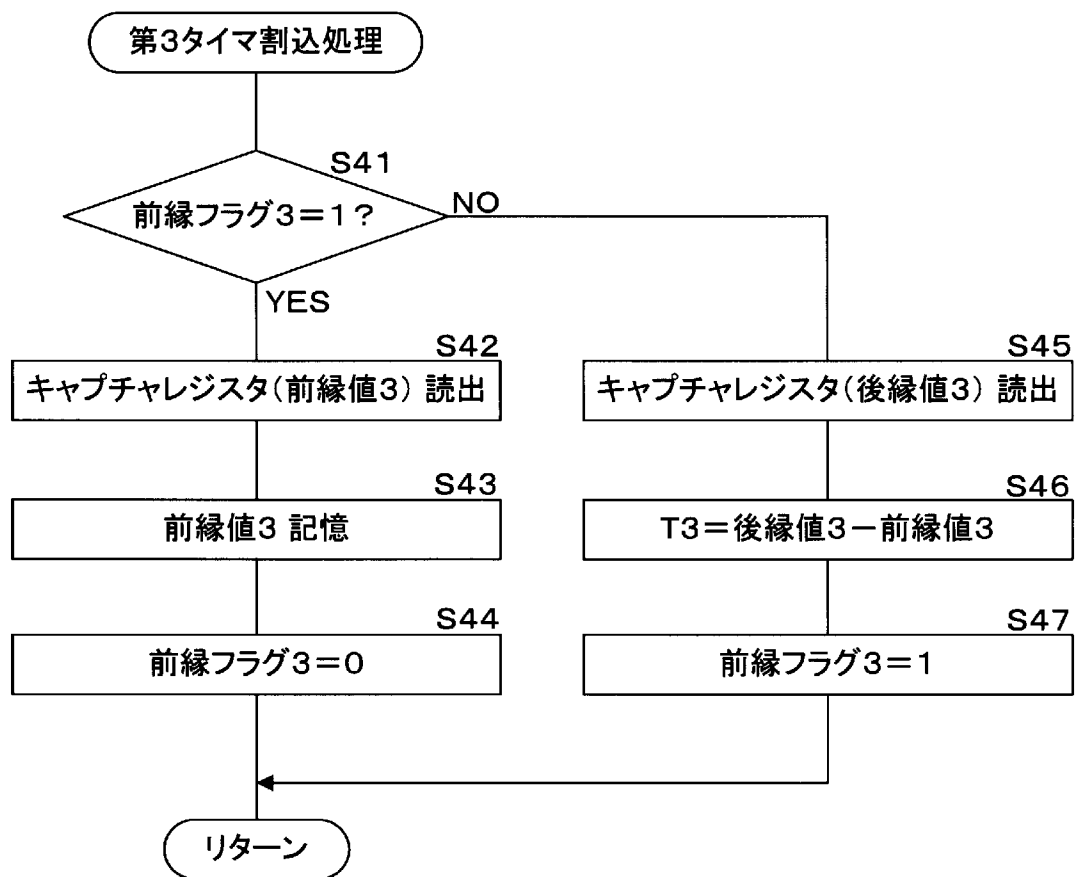
[図6]



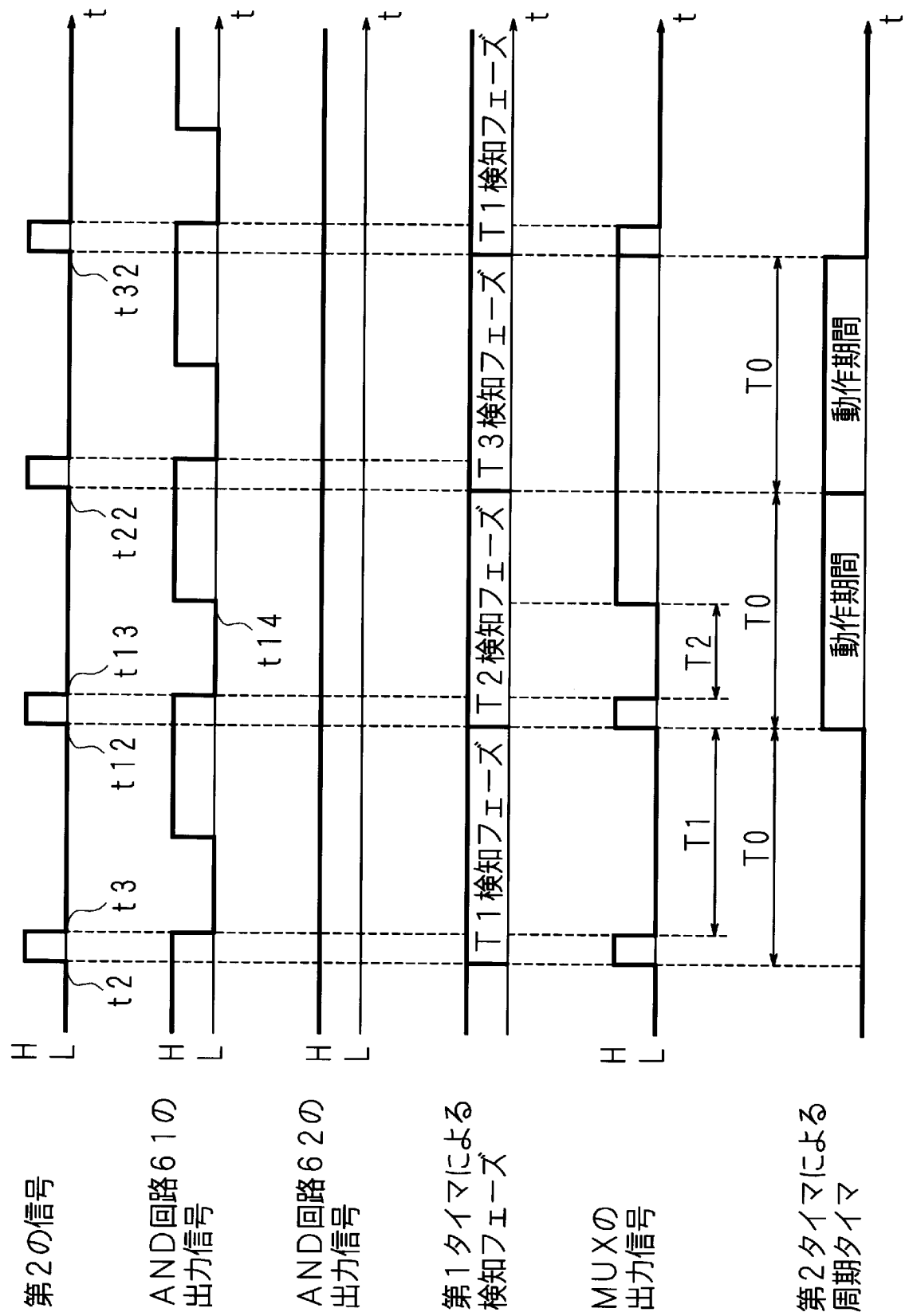
[図7]



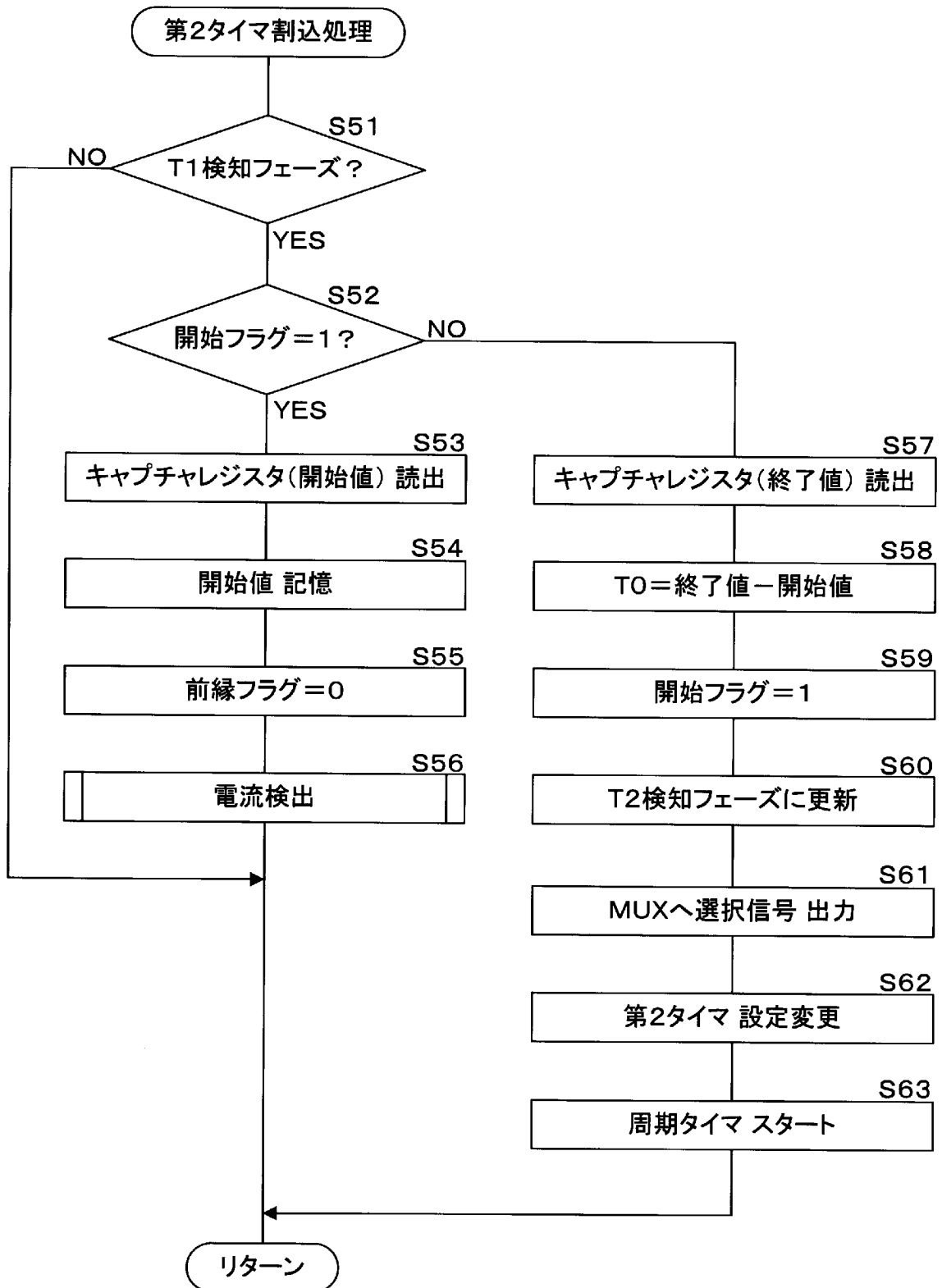
[図8]



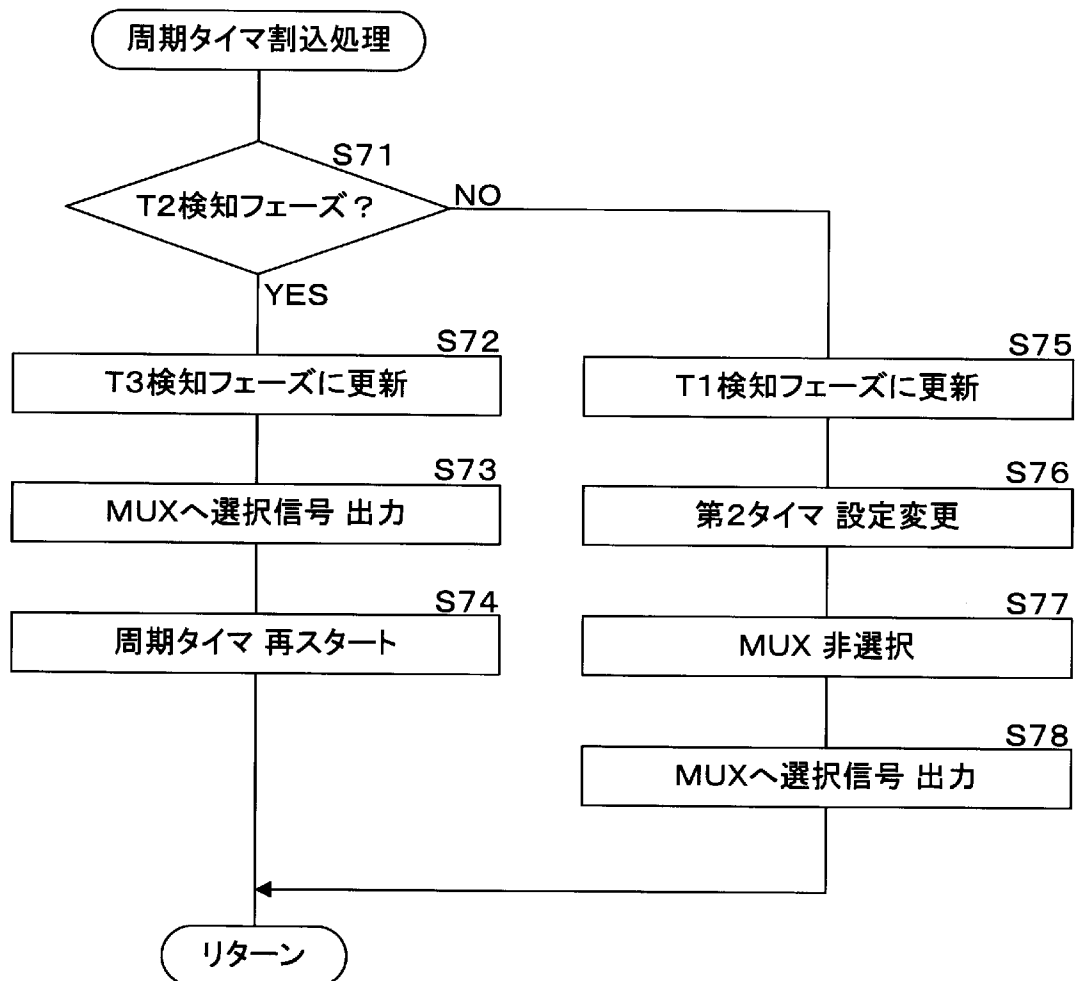
[図11]



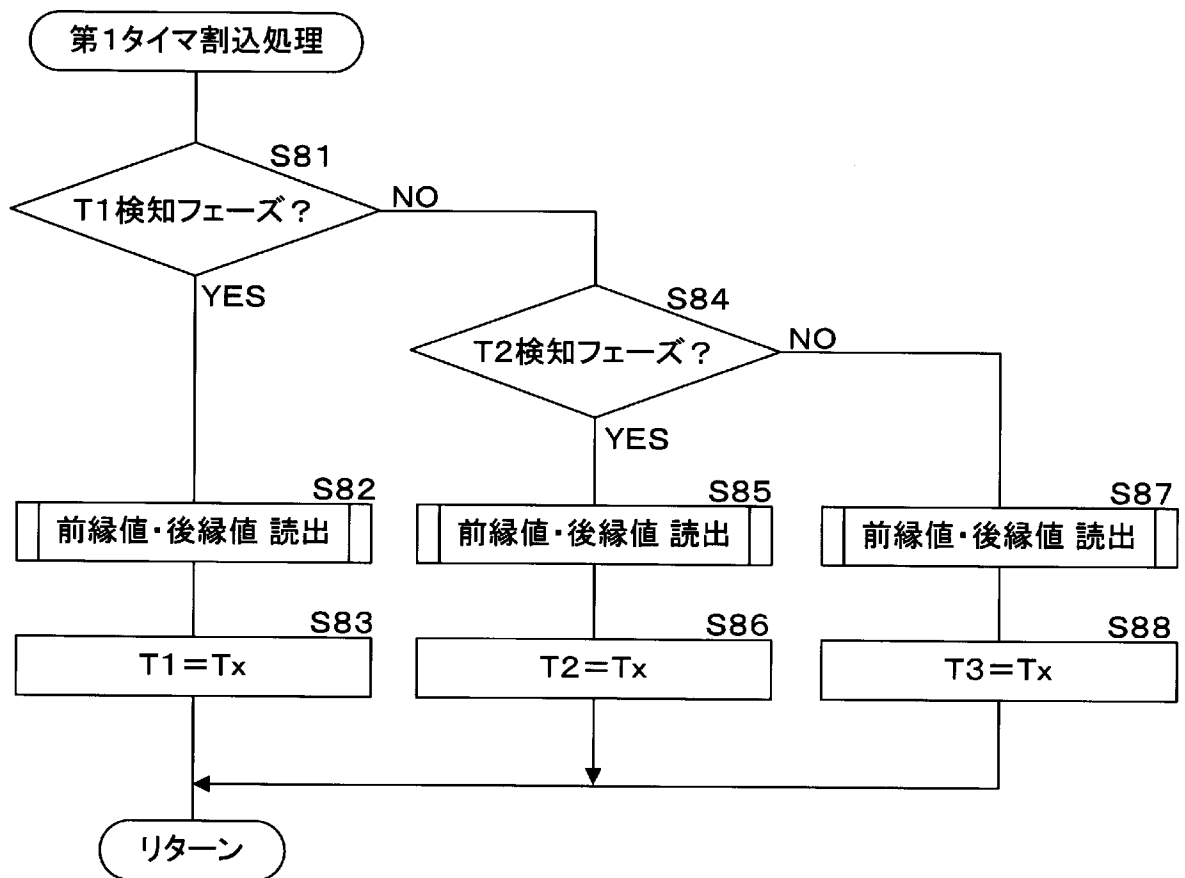
[図12]



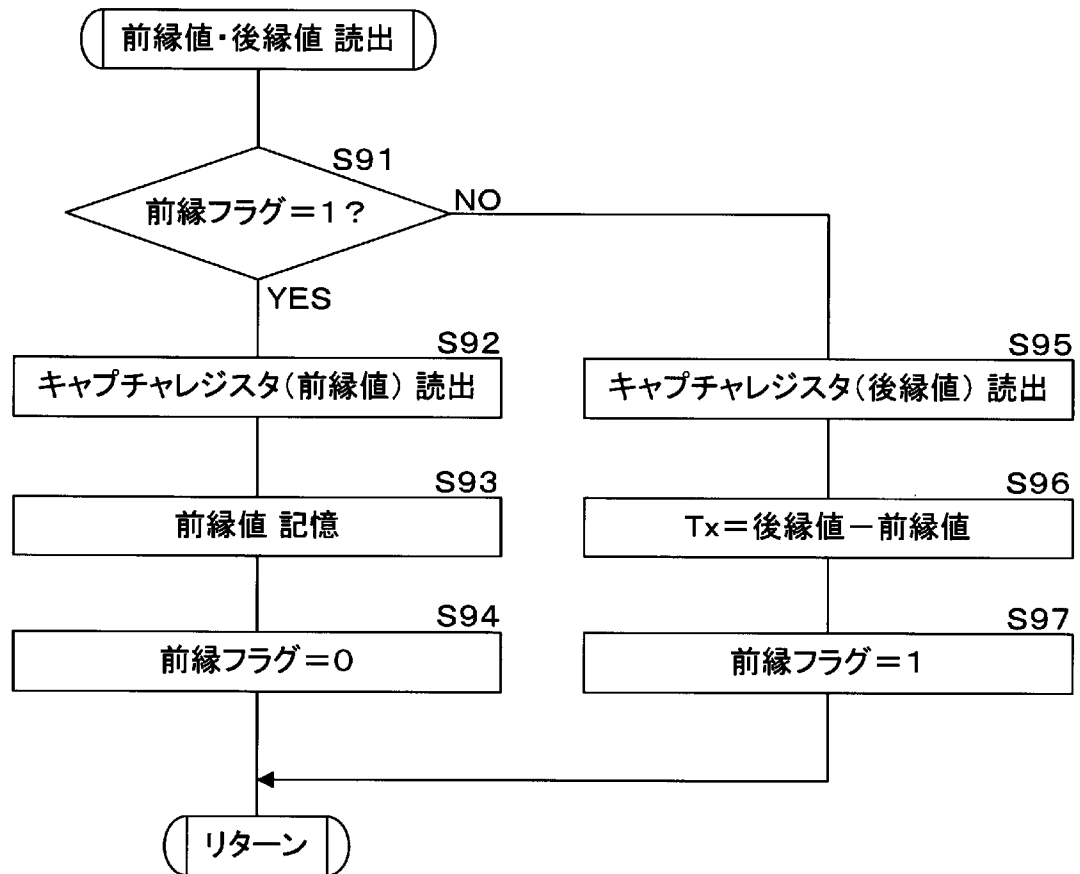
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073908

A. CLASSIFICATION OF SUBJECT MATTER

G01R19/255(2006.01)i, G01R19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R19/255, G01R19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-250746 A (Yaskawa Electric Corp.), 06 September 2002 (06.09.2002), paragraphs [0002] to [0004] (Family: none)	1-5
A	JP 2013-253911 A (Nichicon Corp.), 19 December 2013 (19.12.2013), paragraphs [0031] to [0070]; fig. 1 to 6 (Family: none)	1-5
A	JP 4-336712 A (Sankyo Seiki Mfg. Co., Ltd.), 24 November 1992 (24.11.1992), paragraphs [0015] to [0045]; fig. 1 to 13 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 September 2016 (27.09.16)

Date of mailing of the international search report
11 October 2016 (11.10.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R19/255(2006.01)i, G01R19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01R19/255, G01R19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-250746 A (株式会社安川電機) 2002.09.06, 【0002】 - 【0004】 (ファミリーなし)	1-5
A	JP 2013-253911 A (ニチコン株式会社) 2013.12.19, 【0031】 - 【0070】、【図1】 - 【図6】 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27.09.2016

国際調査報告の発送日

11.10.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川瀬 正巳

2 S

5260

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-336712 A (株式会社三協精機製作所) 1992. 11. 24, 【 0 0 1 5 】 － 【 0 0 4 5 】、【 図 1 】 － 【 図 1 3 】 (ファミリーなし)	1-5