

NORGE



**STYRET
FOR DET INDUSTRIELLE
RETTSVERN**

Utlegningskrift nr. 126504

Int. Cl. H 03 k 17/62 Kl. 21a¹-36/18

Patentsøknad nr. 170.891 Inngitt 8.12.1967

Løpedag -

Søknaden alment tilgjengelig fra 1.7.1968

Søknaden utlagt og utlegningskrift utgitt 12.2.1973

Prioritet begjært fra: 9.12.1966 Italia,
nr. 30876

Societa' Italiana Telecomunicazioni Siemens s.p.a.,
Piazzale Zavattari, 12, I-20149 Milano, Italia.

Oppfinnere: Fabio Balugani, Via degli Amadei, 13 Milano og
Franco Mammucari, Via dei Carracci, 3 Milano,
Italia.

Fullmektig: Siv.ing. Gunnar Lilletvedt.

Pulsfordeler.

Oppfinnelsen angår en pulsfordeler av serie-parallell-type, omfattende styrekretser for å styre dens aktive elementer etter signaler som kommer utenfra, omfattende et antall $m \cdot n$ portkretser av planarmatriks-typen, med m rekker og n kolonner, hvor hver av portkretsene i matriksen styres slik at de bare gir adgang for elektriske pulser når en av n -styrekretsene og en av m -styrekretsene er åpne samtidig, hvilke styrekretser er tilordnet rekkene

126504

n og kolonnene m av matrikselementer, for når n-styrekretsene er innrettet til mottaking av ordre fra et antall m.n-styrekretser å formidle overføring og motta forinnstillingssignaler, startsignaler og tilbakestillingssignaler.

Ved mange elektroniske anlegg hvor tidsmultipleksprinsippet anvendes for å betjene et antall overføringskanaler som er større enn det antall kanaler anlegget er beregnet på, har serie-parallellpulsfordelere vist seg meget anvendelige fordi de har stor driftshastighet og den mulighet at de kan kople inn bestemte utganger i samsvar med en utenfra påtvunget driftstilstand.

Slike serie-parallell-pulsfordelere kan omfatte et skyveregister i hvilke det er mulig i løpet av hver taktperiode å hoppe over de utgangstrinn som i overføringsveien befinner seg i hviletilstand. De dertil nødvendige strømkretser er vanligvis oppbygget av hurtig arbeidende elementer for å holde signalenes passerings-tid innenfor fornuftige grenser.

Det er kjent pulsfordelere som arbeider med lineære skyveregistere hvor de passerende signaler i tur og orden gjennomløper et bestemt antall på forhånd i driftstilstand brakte overkopplingsstrømkretser. Da signalenes løpetid i disse kretser har en betydelig verdi resulterer dette i en forholdsvis liten arbeidshastighet av pulsfordeleren når flere trinn i registeret skal hoppes over.

Hensikten med oppfinnelsen er å unngå denne ulempe.

Dette oppnås ifølge oppfinnelsen ved at n-styrekretsene er innrettet til å følge en syklus som arbeider i samsvar med det kriterium, at aktivisering av en styrekrets hindrer syklusen for de etterfølgende styrekretser, at kolonnestyrekretsene er innrettet til å motta ordre fra de nevnte styrekretser, til å motta signaler fra alle rekkestyrekretsene, og tillate avsökning av kolonnestyrekretsene bare når en av rekkestyrekretsene er operative og å motta et oppteigningssignal og et kolonnetilbakestillingssignal, og kolonnestyrekretsen er innrettet til å tilveiebringe en syklus som arbeider i samsvar med det kriterium at aktiviseringen av en styrekrets blokkerer syklusen for de etterfølgende styrekretser.

Fordelaktige utførelsesformer av oppfinnelsen fremgår av de øvrige patentkrav.

Pulsfordeleren ifølge oppfinnelsen anvender et skyveregister som inneholder et antall portkretser, særlig logiske OG-port-

kretser som danner matriks. De pulser som skal fordeles tilføres samtidig til alle portkretsene, men kan bare passere de portkretser som bringes i passeringstilstand av utenfra påtvungne kriterier. Portkoplingene styres av to velgerkoplingskjeder som er tilordnet matriksens rekker resp. kolonner. Den i 'te velgerkopling i den første kjede styrer altså f.eks. den i 'te rekke i matriksen, mens den j 'te velgerkopling i den andre kjede styrer den j 'te kolonne i matriksen. Da portkoplingene består av OG-portkretser avses bare de portkretser som samtidig mottar delvalgsignal fra rekke- og kolonnevelgerkoplingene. Når den i 'te velgerkopling i den første velgerkoplingskjede og den j 'te velgerkopling i den andre kjede leverer et delvalgsignal blir også de portkoplinger i matriksen avsøkt hvis posisjon i matriksen har betegnelse i og j .

De to velgerkoplingskjeder som styrer portkretsene i matriksen styres på sin side av start- og tilbakestillingssignaler og av en gruppe bistabile kippkoplinger som bestemmer kriteriene for avsøkningen av matriksens portkretser.

De portkretser som avses under en taktperiode, altså de som må bringes i driftstilstand, styres i tur og orden, idet det begynnes med de portkoplinger som er tilordnet de laveste indikeringer. I den hensikt er velgerkoplingene i de to kjeder som styrer rekkene og kolonnene i matriksen, forbundet slik med hverandre, at hver velgerkopling som er satt i driftstilstand, sperrer den etterfølgende velgerkopling.

Et utførelseseksempel på oppfinnelsen skal beskrives nærmere nedenfor under henvisning til tegningene.

Fig. 1 viser et blokkskjema for en pulsfordeler ifølge oppfinnelsen.

Fig. 2 viser et diagram for tidsrekkefølgen for signalene i de forskjellige bestanddeler av pulsfordeleren på fig. 1.

Fig. 3 viser et blokkskjema for en enhet E_{1i} i syklusen som styrer rekkene i matriksen.

Fig. 4 viser et blokkskjema for en enhet E_{2j} i syklusen som styrer kolonnene i matriksen.

Fig. 5 viser skjematisk en logisk krets anvendt som en operativ enhet i en særegen utførelse av enhetene E_{1i} og E_{2j} og i portkretsene A_{ij} .

Fig. 6 viser en bistabil krets anvendt i blokkene E_{1i} og E_{2j} .

126504

På fig.1 betegner C inngangen for multipleksavsøkings-signalet. $U_{11}, U_{12}, \dots, U_{18}, U_{21}, U_{22}, \dots, U_{68}$ betegner de 48 utganger hvorfra avspøkingspulsene leveres. $P_s, A_{vv}, R_r, R_c, S_c$ betegner signalinnganger for styring av pulsfordeleren. B betegner enheten som velger portkrets blant portkretsene $A_{11}, \dots, A_{68}$, som skal innstilles for overføring av avspøkingspulsen, mens enhetene $E_{11}, \dots, E_{16}, E_{21}, \dots, E_{28}$ innstiller i tidsrekkefølge aktiviseringen av de forskjellige portkretser $A_{11}, \dots, A_{68}$.

Enheden B består av 48 bistabile kretser anordnet i seks grupper á åtte kretser. Hver gruppe er via en av ledningene $B_{11}, \dots, B_{18}, \dots, B_{61}, \dots, B_{68}$, forbundet med en enhet E_{1i} , slik at hver gruppe er tilordnet en matrisrekke og alle matriskolonnene. Hver bistabil krets i hver gruppe er via en av ledningene $B_{11}, \dots, B_{61}, \dots, B_{18}, \dots, B_{68}$, forbundet med en enhet E_{2j} , slik at den første bistabile krets i hver gruppe er tilordnet den første kolonne og alle rekene i matrisen. Den andre bistabile krets i hver gruppe er tilordnet den andre kolonne osv.

F.eks. er den bistabile krets B_{21} som er den første i den andre gruppe, forbundet med den andre rekke og den første kolonne. Det skal bemerkes at uttrykket "opptatt" betegner at den bistabile krets er funnet i en tilstand som bevirker at et signal leveres fra utgangen i den tilhørende portkrets. For eksempel vil den bistabile krets B_{21} når den er opptatt, frigjøre portkretsen A_{21} via enhetene E_{12} og E_{21} og la prøvesignalet C opptre på utgangen U_{21} . I tillegg til de ovenfor nevnte opptattkriterier mottar serien av enheter E_{1i} et tilbakeforinnstillingssignal, et startsignal A_{vv} , og et tilbakestillingssignal som opptre i utgangen av den logiske krets A_r . Kretsen A_r frigir tilbakestillingsrekkesignalet R_r for passering bare når den logiske krets O_c har fastslått at en hvilken som helst enhet i serien ikke sender opptattsignal. I tillegg til opptattkriteriene som kommer fra enheten B av bistabile kretser, og forinnstillingssignalet mottar enheten E_{2j} utgangssignalet fra enheten E_{1i} som i sin tur aktiviserer enheten E_{2j} som har mottatt opptattkriteriene fra enheten B av bistabile kretser, slik at en forhåndsbestemt portkrets A_{ij} vil bli aktivisert begynnende fra kretsen med den laveste indeks.

Den samme serie mottar direkte et periodisk tilbakestillingssignal R_c og et opptegningssignal S som aktiviserer serieenhetene etter at de er bragt til nulltilstand. Opptegningssignalet

frigis av den logiske krets A_c og tillater derved det periodiske opptegningssignalet S_c å passere bare når ingen av serieenhetene avgir opptattsignal. For bedre forståelse av hele anordningens virkemåte skal signalenes tidsrekkefølge beskrives nærmere under henvisning til fig. 2, hvor den første, den andre og den tiende bistabile krets i enheten B er opptatt, og utgangssignalene U_{11} , U_{12} , og U_{22} aktiveres i en prøveperiode, idet de tilsvarende portkretser er A_{11} , A_{12} og A_{22} (fig. 1). Av fig. 2 fremgår at forinnstillingssignalet P_s vil bevirke at alle enheter i rekke og kolonne bringes tilbake til nulltilstand, hvorefter startsignalet Avv vil forhåndsdisponere disse enheter av rekken som skal aktiviseres, i dette tilfelle enhetene E_{11} og E_{12} .

Da enheten E_{11} er den første i rekken vil denne bli aktivisert umiddelbart.

De enheter som skal aktiviseres i kolonnen, er E_{21} og E_{22} . Når opptegningssignalet S_c når enhetene E_{21} og E_{22} , vil disse, fordi enhver kolonneenhet var forberedt på forhånd, bli aktivisert. Enheten E_{21} som er den første i kolonnen blir derfor aktivisert først. Enhetene E_{21} og E_{22} er som ovenfor nevnt, forberedt på forhånd til aktivisering. Enhetene E_{11} og E_{21} aktiviseres samtidig, og prøvepulsen C_1 passerer portkretsen A_{11} og frembringer signalet U_{11} . Umiddelbart etter tilbakestillingssignalet R_c for kolonnen lukkes enheten E_{21} . Straks enheten E_{21} er lukket, vil enheten E_{22} bli aktivisert, fordi den tidligere var forberedt av kriteriet fra enheten B av bistabile kretser, ved aktivisering av rekkeenheten E_{11} og av opptegningssignalet S_c . Enheten E_{11} vil holdes åpen fordi rekke-tilbakestillingssignalet R_r er innrettet til å overføre gjennom den logiske krets A_r som sørger for at kolonnekretsen E_{22} er aktivisert i dette øyeblikk.

Den samtidige aktivisering av rekkeenheten E_{11} og kolonneenheten E_{22} , vil derfor bevirke at en prøvesignalspuls vil passere portkretsen A_{12} og frembringe signaler U_{12} . Kolonne-tilbakestillingssignalet R_c bevirker at kolonneenheten E_{22} lukkes og rekke-tilbakestillingssignalet R_r tilføres alle kolonneenhetene som ikke er aktivisert og bevirker at rekkeenheten E_{11} blir lukket. Straks enheten E_{11} er blokkert, vil enheten E_{12} som tidligere er forberedt av ytre kriterier fra enheten B av bistabile kretser og av startpulsen Avv , bli aktivisert.

Den aktiviserte rekkeenhet E_{12} og kriteriene som kommer fra enheten B, tillater at opptegningssignalet S_c igjen aktiviserer kolonneenheten E_{22} . Aktivitetkoinsidens som opptrer mellom enhetene E_{12} og E_{22} , vil bevirke overføring av prøvesignalpulsene C_3 gjennom portkretsen A_{22} og frembringe signalet U_{22} . Den etterfølgende puls av kolonnetilbakestillingssignalet R_c blokkerer enheten E_{22} , og den etterfølgende puls i rekke-tilbakestillingssignalet R_r som finner alle kolonneenhetene blokkert, vil bevirke at rekkeenheten E_{12} blir blokkert. Hele systemet vender så tilbake til utgangstilstanden hvis det ikke foreligger endringer i kriteriene fra enheten B av bistabile kretser, og det samme forløp vil gjenta seg i de etterfølgende prøveperioder. Den generelle enhet "i" i serien som styrer rekken, er vist på fig. 3 og består av en bistabil krets B_{si} , hvis opptegningsinngang S_{bi} mottar signalene $B_{i1}, B_{i2}, \dots, B_{i8}$ fra gruppe i av åtte bistabile kretser i hele enheten B samt startsignalet Avv. Opptegningstilstanden i den bistabile krets B_{si} er bestemt av tilstedeværelsen av ett av signalene $B_{i1}, \dots, B_{i8}$ og startsignalet Avv. Den logiske funksjon som definerer denne tilstand, er:

$$S_{bi} = \text{Avv.} \cdot \bigvee_{k=1}^8 B_{ik} \quad (1)$$

og som oppfylles ved hjelp av kretsene OR_{1i} og OG_{1i} .

Kanselleringsinngangen R_{bi} mottar kanselleringssignalet R og signalet S_{1i} frembragt ved forsinkelse av utgangssignalet fra enheten E_{1i} ved hjelp av tidsforsinkelseskretsen Δ_{1i} .

Den logiske funksjon $R_{bi} + R \cdot S_{1i}$ oppfylles av kretsen OG_{2i} . (2)

Rekkekanselleringssignalet R kommer fra det periodiske signal R_r når alle enhetene i kolonnen er blokkerte. Den logiske funksjon for disse tilstander kan uttrykkes:

$$R = R_r \cdot \bigvee_{j=1}^8 E_{2j} \quad (3)$$

som oppfylles av kretsene O_c og A_r på fig. 1, når O_c er en ELLER-krets som mottar utgangssignalene fra enhetene $E_{21}, E_{22}, \dots, E_{28}$, og kretsen A_r er en OG-krets. Et signal kan gå ut fra en rekkeenhet hvis den foregående enhet er sperret. Denne tilstand er gitt ved uttrykket:

$$E_{1i} = B_j \cdot \prod_{n=1}^{j-1} \bar{b}_n \quad (4)$$

og denne funksjon oppfylles av kretsen OG_{3i} som er en enkel logisk OG-krets som mottar utgangssignalet $\bar{b}_i$ fra den bistabile krets B_{si} , og utgangssignalene $\bar{b}_1, \bar{b}_2 \dots \bar{b}_{i-1}$ fra de bistabile kretser tilhørende de foregående kretser. Det andre utgangssignal $\bar{b}_i$ fra den bistabile krets B_{si} tilføres sammen med utgangssignalet fra de bistabile kretser i de foregående enheter til OG-kretsene i de følgende enheter. Forinnstillingssignalet P_s som opptrer på den bistabile krets B_{si} , sikrer at denne krets er nullstillet ved starten av hver prøveperiode.

Den generelle enhet j i serien av enheter som styrer kolonnen j , er vist på fig. 4 og består av en bistabil krets B_{sj} hvis oppteigningsinngang S_{bj} tilføres signalene $B_{1j}, B_{2j} \dots B_{6j}$ fra de bistabile kretser j i hver gruppe på åtte, ved signaler $E_{11}, E_{12} \dots E_{16}$ fra rekkeenhetene og av kolonneoppteigningssignalet S . Oppteigningssignalet opptrer når et signal mottas fra en av de utenfor liggende bistabile kretser sammen med signal fra den tilsvarende rekkeenhet, f.eks. signal B_{1j} og E_{11} sammen med rekkeoppteigningssignalet S .

Den logiske funksjon av de ovenfor nevnte tilstander kan uttrykkes:

$$S_{bj} = S \cdot \sum_{h=1}^6 B_{hj} \cdot E_{1h} \quad (5)$$

og denne funksjon oppfylles av kretsene $OG_{1j}, OG_{2j} \dots OG_{6j}$ som mottar på sine innganger signalene $B_{1j}, B_{2j} \dots B_{6j}$ og signalene $E_{11}, E_{12} \dots E_{16}$. Utgangssignalene fra disse kretser vil opptre på inngangene i kretsen $ELLER_{1j}$. Utgangssignalet fra denne krets vil opptre på den første inngang i OG_{7j} - kretsen, hvis andre inngang tilføres kolonneoppteigningssignalet S . Kolonneoppteigningssignalet S kommer fra det periodiske signal S_c som bare sendes ut når alle kolonneenhetene er blokkert. Denne tilstand er representert ved den logiske funksjon:

$$S = S_c \sum_{j=1}^8 E_{2j} \quad (6)$$

som oppfylles av kretsene O_c og A_c , på fig. 1, henholdsvis en NOR-krets og en OG-krets. Kansellerings-signalet R_{bj} er bare tilstede på kretsen B_{sj} når kolonnekansellerings-signalet R_c opptrer sammen med signalet δ_{2j} som stammer fra utgangssignalet fra enheten E_{2j} og forsinkes ved en forsinkelseskrets Δ_{2j} . Disse tilstander er representert ved uttrykket:

$$R_{bj} = R_c \cdot \delta_{2j} \quad (7)$$

hvilket oppfylles av kretsen OG_{8j} . Av de to signaler fra den bistabile krets B_{sj} vil signalet b_j sammen med signalene $\bar{b}_1, \bar{b}_2, \dots, \bar{b}_{j-1}$ fra de foregående enheter, opptre på inngangene i kretsen OG_{9j} og disse vil bestemme utgangstilstandene for kolonneenheten hvilket kan uttrykkes ved funksjonen:

$$E_{2j} = b_j \cdot \prod_{n=1}^{j-1} \bar{b}_n \quad (8)$$

hvor signalene $\bar{b}_1, \bar{b}_2, \dots, \bar{b}_{j-1}$ hindrer opptreden av et utgangssignal hvis utgangssignalet fra en foregående enhet allerede foreligger. Signalet b_j virker sammen med lignende signaler til å hindre at enhver etter enheten j følgende kolonneenhet blir aktivisert hvis enheten j er aktivisert.

Signalet P_s som tilføres den bistabile B_s er tilbakestillingssignalet som på forhånd sørger for nullstilling av alle bistabile kretser ved begynnelsen av hver prøveperiode.

Alle de vedkommende logiske kretser består av en kombinasjon av NOR-kretser.

Disse kretser inneholder transistorgrupper, innbyrdes forbundet med motstander, i form av integrerte kretser som har den fordel at kretsene blir små og lett utskiftbare. Den integrerte basiskrets anvendt i en logisk krets består som vist på fig. 5 av et antall transistorer $T_1, T_2, \dots, T_n$, hvis kollektorer og emittere er forbundet parallelt. Det er anordnet en felles kollektormotstand R_k og en basismotstand $R_1, R_2, \dots, R_n$ fra hver av inngangene $I_1, I_2, \dots, I_n$ til den logiske krets hvis utgang U dannes av de parallellkoblede kollektorer og emittere. Den samme type integrerte krets anvendes i de bistabile kretser B_{si} og B_{sj} , som vist på fig. 6. Hver bistabil krets består av to integrerte kretser, av hvilke den første G_1 omfatter transistorene T_{11}, T_{12} og motstandene R_{K1}, R_{11} og R_{12}

og som tilføres opptegningssignalet S_b . Den andre G_2 omfatter transistorene T_{21} , T_{22} , T_{23} og motstandene R_{K2} , R_{21} , R_{22} og R_s , og som mottar tilbakestillingssignalet R_b og forinnstillingssignalet P_s . Når det gjelder en NOR-krets påtrykkes høyspenning bare når alle transistorer er blokkert og spenningen er null når det opptrer en positiv spenning på en av inngangene, slik at transistorene når metning.

Den bistabile krets virker på følgende måte: Forinnstillingssignalet bringer transistoren T_{23} til metning, slik at spenningen fjernes på kollektoren i transistorene T_{21} og T_{22} som er parallellforbundet. Transistoren T_{12} , hvis basis er forbundet med kollektoren i de ovenfor nevnte transistorer via motstanden R_{12} vil bli sperret, og når opptegningssignalet S_b er tilstede når forinnstillingssignalene er tilstede, vil også transistoren T_{11} bli blokkert, og som følge derav vil den felles spenning på kollektoren i transistorene T_{11} og T_{12} nå sitt maksimum. Transistoren T_{21} hvis basis er koplet med den foregående transistor, via motstanden R_{21} , er mettet, og kollektorspenningen på transistorgruppen som denne transistor tilhører, er null.

Etter opptreden av forinnstillingssignalet vil gruppen G_1 være blokkert og gruppen G_2 vil være mettet. Et positivt signal S_b på basisen i transistoren T_{11} fører til metning av transistoren og bytter om tilstanden av de to grupper. Signalet R_b på basisen i transistoren T_{22} gjenoppretter den opprinnelige tilstand i de to grupper.

P a t e n t k r a v

1. Pulsfordeler av serie-parallell-type, omfattende styrekretser for å styre dens aktive elementer etter signaler som kommer utenfra, omfattende et antall $m.n$ portkretser (A_{11} - A_{68}) av planarmatriks-typen, med m rekker og n kolonner, hvor hver av portkretsene i matriksen styres slik at de bare gir adgang for elektriske pulser når en av n -styrekretsene (E_{1i}) og en av m -styrekretsene (E_{2j}) er åpne samtidig, hvilke styrekretser er tilordnet rekkene n og kolonnene m av matrikselementer, for når n -styrekretsene (E_{1i}) er innrettet til mottaking av ordre fra et antall $m.n$ -bistabile kretser (B) å formidle overføring og motta forinnstillingssignaler (P_s), startsignaler (Avv) og tilbakestillingssignaler (R), k a r a k t e r i s e r t v e d at n -styrekretsene er innrettet til å følge en syklus som arbeider i samsvar med det kriterium, at aktivisering

av en styrekrets hindrer syklusen for de etterfølgende styrekrets-
er, (f.eks. aktivisering av styrekretsen E_{12} hindrer aktivisering
av styrekretsene $E_{13} \dots \dots \dots E_{1n}$), at kolonnestyrekretsene (E_{2j})
er innrettet til å motta ordre fra de bistabile kretser (B), til å
motta signaler fra alle rekkestyrekretsene, og tillate avspøkning av
kolonnestyrekretsene bare når en av rekkestyrekretsene er operative
og å motta et opptegningssignal (S) og et kolonnetilbakestillings-
signal (R_c), og kolonnestyrekretsen er innrettet til å tilveiebringe
en syklus som arbeider i samsvar med det kriterium at aktiviseringen
av en styrekrets blokkerer syklusen for de etterfølgende styrekrets-
er (f.eks. aktivisering av kolonnestyrekretsen E_{22} hindrer aktivi-
sering av kolonnestyrekretsene $E_{23} \dots \dots \dots E_{2m}$).

2. Pulsfordeler ifølge krav 1, k a r a k t e r i s e r t
v e d at tilbakestillingssignalet (R) i rekkestyrekretsene til-
føres av et periodisk signal som bare tilføres rekkestyrekretsene
når alle kolonnestyrekretsene er inaktive ifølge den logiske funk-
sjon:

$$R = R_r \sum_{j=1}^m e_{2j}$$

hvor R_r er det periodiske rekketilbakestillingssignal og e_{2j} er
signalene som angir aktivisering av kolonnestyrekretsene, hvilken
funksjon oppfylles av en NOR-portkrets (O_c) som mottar informasjon
om tilstanden av kolonnestyrekretsene (E_{2j}), og en OG-portkrets (A_r)
som mottar informasjon om tilstanden av NOR-portkretsen (O_c) og
det periodiske rekketilbakestillingssignal (R_r), at en OG-portkrets
(A_c) når den tilføres et periodisk opptegningssignal (S_c) tilfører
opptegningssignalet (S) til kolonnekretsene (E_{2j}) bare når styre-
kretsen blir uvirksom, ifølge den logiske funksjon:

$$S = S_c \sum_{j=1}^m e_{2j}$$

hvor S_c er det periodiske kolonneopptegningssignal og e_{2j} er signal-
ene som angir aktivisering av kolonnestyrekretsene, hvilken funk-
sjon oppfylles av NOR-portkretsen (O_c) og en OG-portkrets (A_c) som
mottar utgangssignalet fra NOR-portkretsen (O_c) og det periodiske
kolonneopptegningssignal (S_c).

3. Pulsfordeler ifølge krav 1 og 2, k a r a k t e r i -
s e r t v e d at hver av rekkestyrekretsene omfatter en bistabil

krets (B_{si}) hvis opptegningsinngangssignal (S_{bi}) er styrt av ytre styresignaler ($B_{i1}, B_{i2}, \dots, B_{im}$) fra de bistabile kretser (B) og av startsignalet (Avv) ifølge den logiske funksjon:

$$S_{bi} = Avv \sum_{k=1}^m B_{ik}$$

som oppfylles av en ELLER-portkrets ($ELLER_{1i}$) som adderer alle ytre styresignaler ($B_{i1}, B_{i2}, \dots, B_{im}$) og hvis utgangssignal tilføres en av inngangene i en OG-portkrets (OG_{1i}) som mottar et startsignal (Avv) på den andre inngang, og utgangssignalet fra denne OG-portkrets tilføres inngangene (S_{bi}) i den bistabile krets (B_{si}), og hvor et tilbakestillingssignal (R_{bi}) for den bistabile krets styres av tilbakestillingssignalet (R) og et signal (δ_{1i}) som dannes ved forsinkelse av utgangssignalet fra rekkestyrekretsene (E_{1i}) i en forsinkelseskrets (Δ_{1i}), ifølge funksjonen:

$R_{bi} = R \cdot \delta_{1i}$ som oppfylles av en OG-portkrets (OG_{2i}) som mottar tilbakestillingssignalet (R) og signalet (δ_{1i}) og hvis utgang er forbundet med tilbakestillingsinngangen (R_{bi}), og at utgangssignalet (b_i) fra den bistabile krets (B_{si}) vil under tilstedeværelsen av opptegningssignalet (S_{bi}) opptre som inngangssignal på en OG-portkrets (OG_{3i}) som på den andre inngang mottar utgangssignalene ($\bar{b}_1, \bar{b}_2, \dots, \bar{b}_{i-1}$) fra de bistabile kretser i de foregående rekkestyrekretser (utgangssignaler som tilveiebringes ved tilstedeværelsen av tilbakestillingssignaler ($R_{b1}, R_{b2}, \dots, R_{b(i-1)}$)), mens utgangssignalet (e_{1i}) fra rekkestyrekretsen er tilstede i utgangen fra OG-portkretsen (OG_{3i}), og at utgangssignalet ($\bar{b}_i$) som tilveiebringes ved tilbakestilling av den bistabile krets (B_{si}) tilføres sammen med de foregående utgangssignaler ($b_1, b_2, \dots, b_{(i-1)}$) til de etterfølgende styrekretser ($E_{1(i+1)}, \dots, E_{1n}$).

4. Pulsfordeler ifølge krav 1 og 2, k a r a k t e r i s e r t v e d at hver kolonnestyrekrets (e_{2j}) omfatter en bistabil krets (B_{sj}) hvis opptegningsinngangssignal (S_{bj}) er styrt av de ytre styresignaler ($B_{1j}, B_{2j}, \dots, B_{nj}$), avhengig av aktiviseringstilstanden av rekkestyrekretsene (E_{1i}), gitt av deres utgangssignaler ($e_{11}, e_{12}, \dots, e_{1m}$), og at opptegningssignalet (S) ifølge den logiske funksjon:

$$S_{bj} = S \sum_{h=1}^n B_{hj} \cdot e_{1n}$$

som oppfylles av OG-portkretser ($OG_{1j}, OG_{2j}, \dots, OG_{nj}$) som mottar på sine innganger signalene B_{hj} resp. e_{1h} , hvor h er et helt tall mellom 1 og n , og hvis utgangssignaler i tur og orden tilføres en av inngangene i en OG-portkrets (OG_{7j}) hvis andre inngang mottar oppteigningssignalet (S), og hvis utgangssignal tilføres oppteigningsinngangen (S_{bj}) i den bistabile krets (B_{sj}), og at tilbakestillingsinngangen (R_{bj}) er styrt av tilbakestillingssignalet (R_c) og et signal ($\mathcal{S}_{2j}$) som dannes ved forsinkelse av utgangssignalet (e_{2j}) fra samme kolonnestyrekrets ved hjelp av en forsinkelseskrets (Δ_{2j}), ifølge den logiske funksjon:

$$R_{bj} = R_c \cdot \mathcal{S}_{2j}$$

som oppfylles av en OG-portkrets (OG_{8j}) som mottar på den ene inngang signalet ($\mathcal{S}_{2j}$) og hvis utgangssignal tilføres tilbakestillingsinngangen (R_{bj}) i den bistabile krets (B_{sj}) hvis utgangssignal (b_j) når kretsen aktiviseres av oppteigningssignalet (S_{bj}) opptrer på en inngang i en OG-portkrets (OG_{9j}), hvis andre inngang mottar signalene ($E_1, E_2, \dots, E_{j-1}$) fra de bistabile kretser i de foregående rekkestyrekretser (utgangssignaler som tilveiebringes ved tilstedeværelsen av tilbakestillingssignalene $R_{b1}, R_{b2}, \dots, R_{b(j-1)}$) mens det i utgangen av OG-portkretsen (OG_{9j}) opptrer utgangssignalet (e_{2j}) for kolonnestyrekretsen, og at utgangssignalet (E_j) som følge av tilbakestillingen av den bistabile krets (B_{sj}) tilføres sammen med de foregående utgangssignaler ($E_1, E_2, \dots, E_{(j-1)}$) til de etterfølgende kolonnestyrekretser ($E_{2j+1}, \dots, E_{2m}$).

Anførte publikasjoner: -

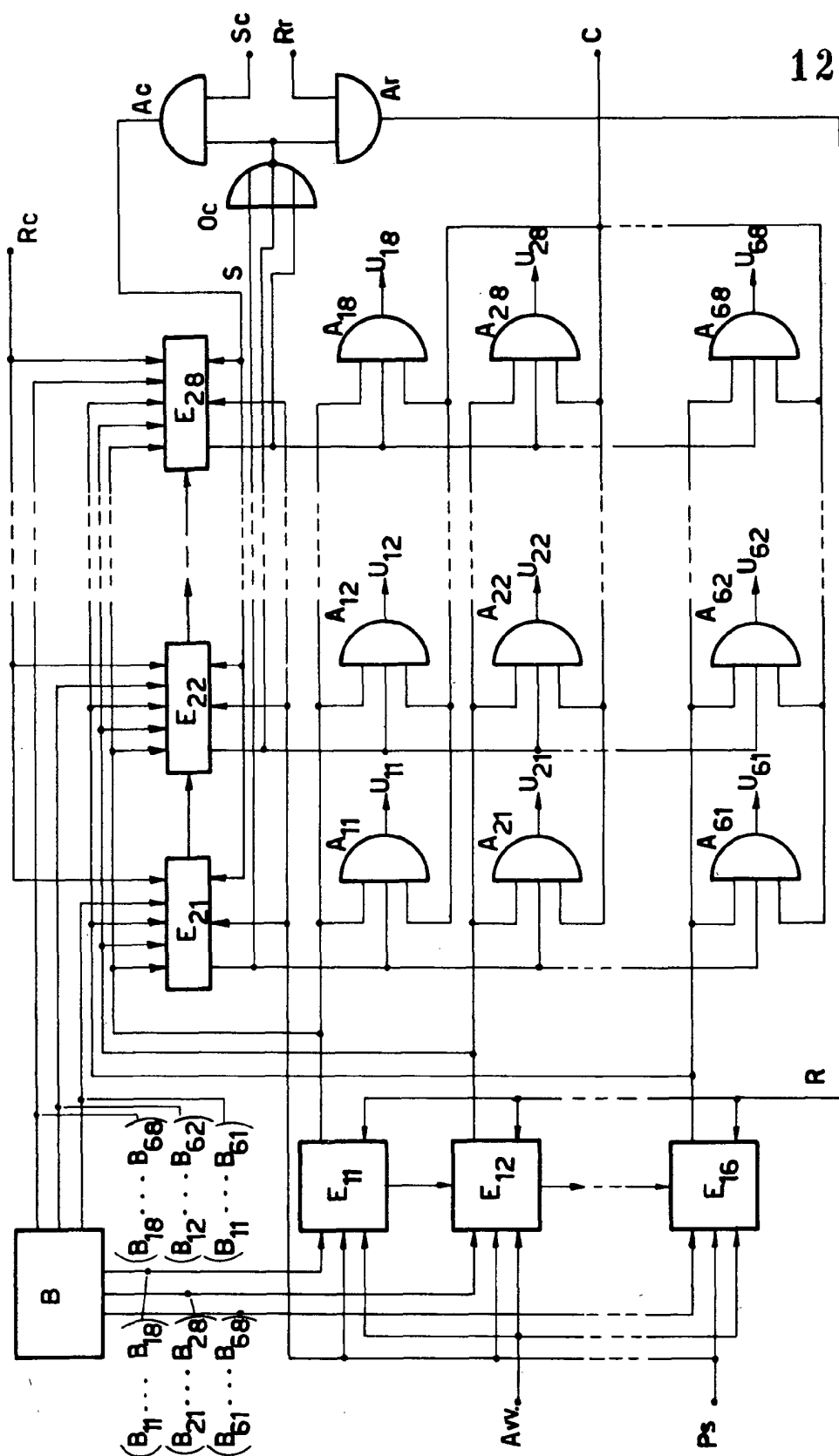


Fig 1

126504

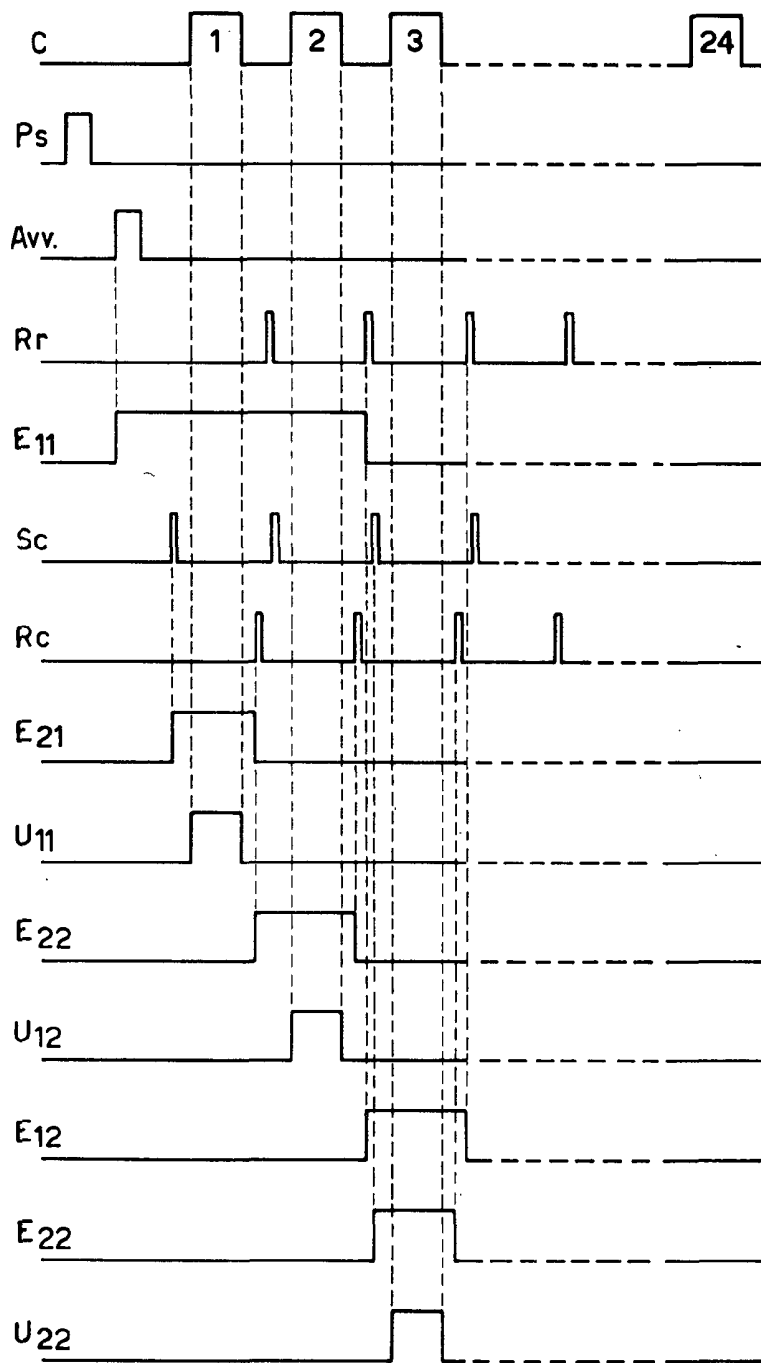


Fig.2

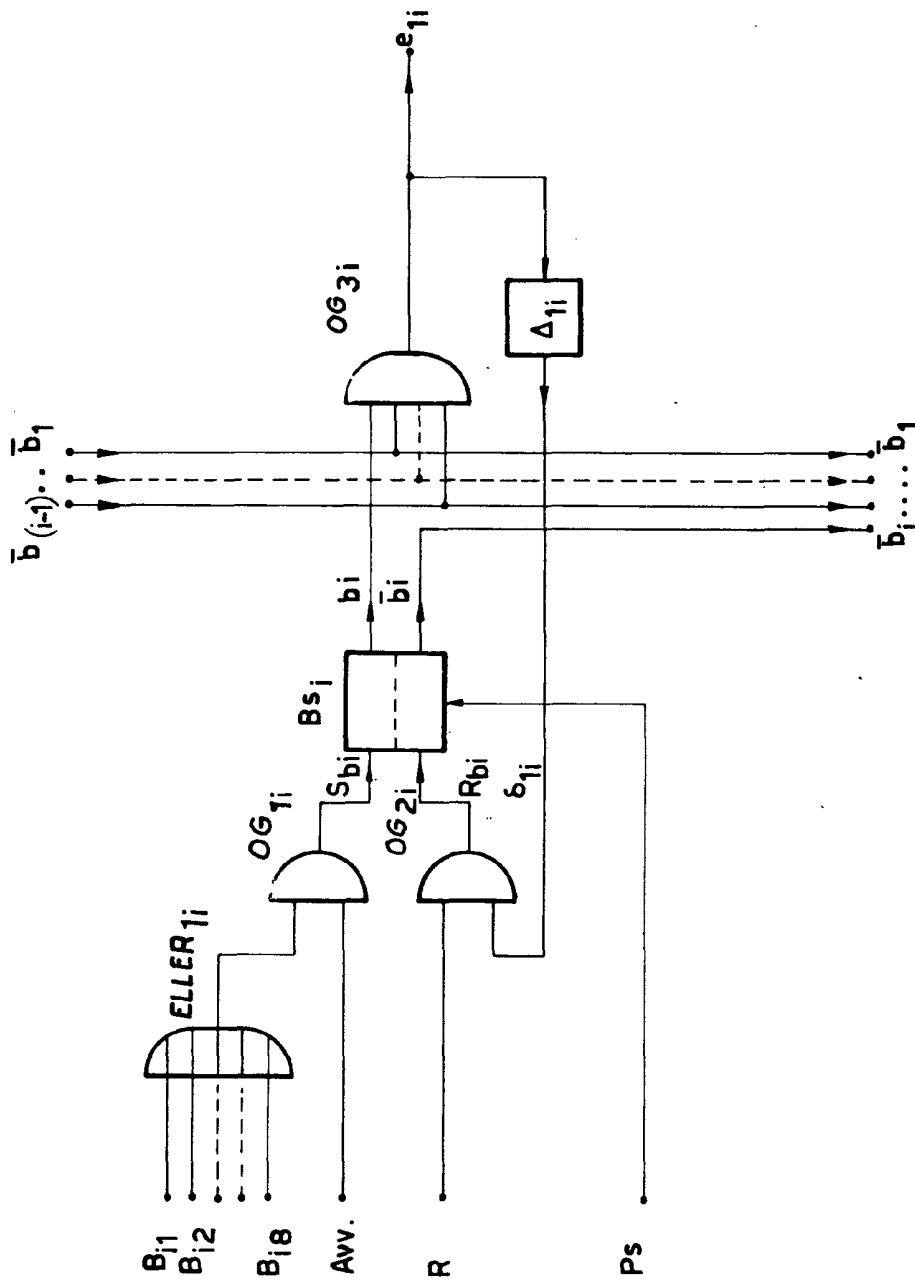


Fig. 3

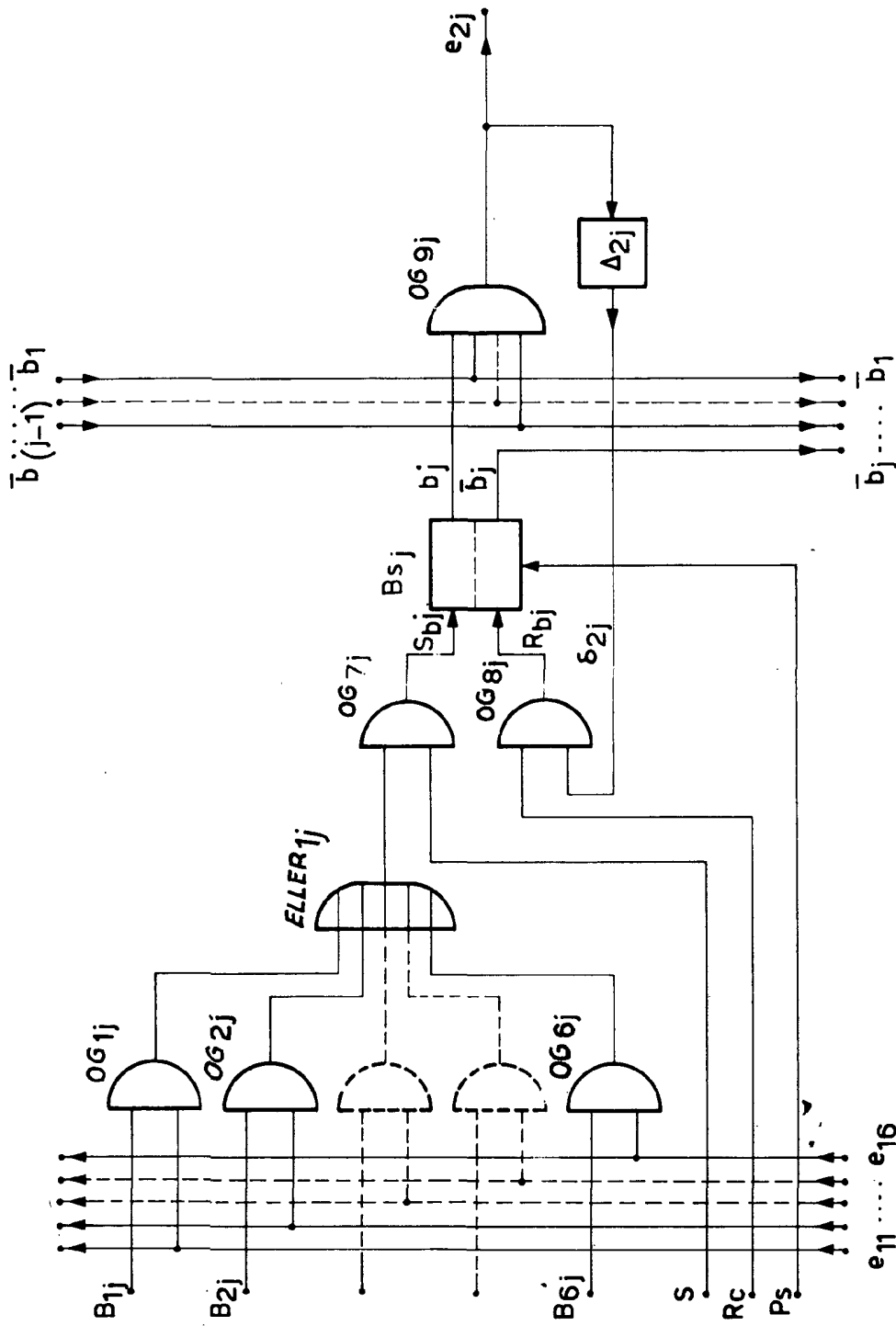


Fig. 4

126504

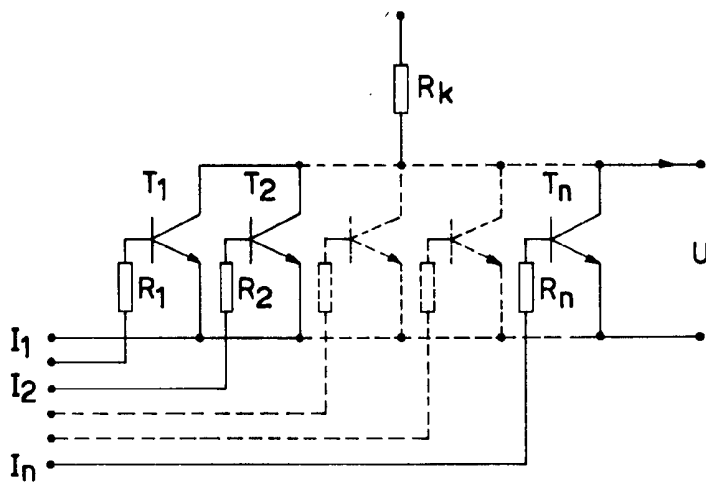


Fig. 5

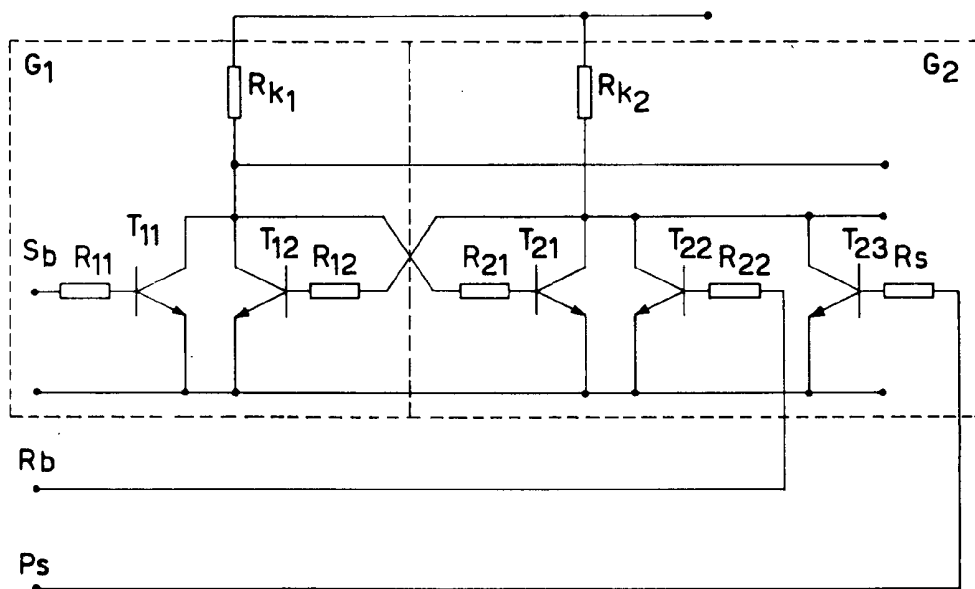


Fig. 6