



(12) 发明专利

(10) 授权公告号 CN 110957339 B

(45) 授权公告日 2024. 02. 13

(21) 申请号 201911263833.6

(22) 申请日 2015.04.09

(65) 同一申请的已公布的文献号
申请公布号 CN 110957339 A

(43) 申请公布日 2020.04.03

(30) 优先权数据
2014-087603 2014.04.21 JP
2014-129952 2014.06.25 JP

(62) 分案原申请数据
201580006012.8 2015.04.09

(73) 专利权人 索尼公司
地址 日本东京

(72) 发明人 泉原邦彦

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290
专利代理师 卫李贤 曹正建

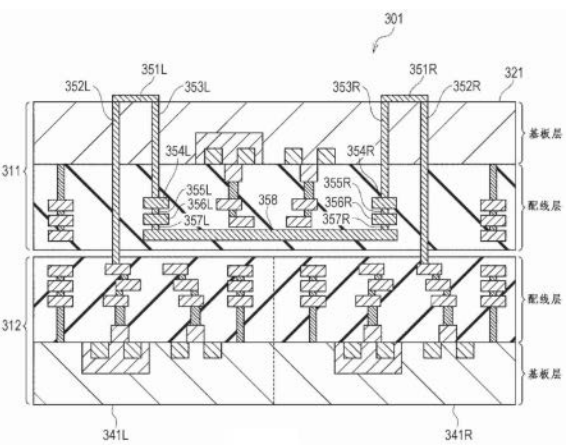
(51) Int.Cl.
H01L 27/146 (2006.01)

(56) 对比文件
CN 103650476 A, 2014.03.19
CN 103258831 A, 2013.08.21
US 2014035083 A1, 2014.02.06
US 2013215309 A1, 2013.08.22
KR 20130105336 A, 2013.09.25

权利要求书2页 说明书25页 附图36页

(54) 发明名称
固态成像装置和电子设备

(57) 摘要
本发明涉及固态成像装置和电子设备。其中,固态成像装置可包括:像素电路模块,包括:第一基板层,位于光入射侧;以及第一布线层,在光入射侧的相对侧且包括多个像素晶体管;第一信号处理电路模块;和第二信号处理电路模块,其中,像素电路模块和第一和第二信号处理电路模块接合在一起,使得第一布线层和第一信号处理电路模块的布线层彼此面对,并且第一布线层和第二信号处理电路模块的布线层彼此面对,其中,所述第一布线层和所述第一信号处理电路模块的所述布线层彼此电连接,并且所述第一布线层和所述第二信号处理电路模块的所述布线层彼此电连接,并且其中,所述第一和第二信号处理电路模块的尺寸均小于所述像素电路模块的尺寸。



CN 110957339 B

1. 一种固态成像装置,包括:

像素电路模块,所述像素电路模块包括:

第一基板层,位于所述像素电路模块的光入射侧,所述第一基板层包括多个光电二极管;以及

第一布线层,在所述像素电路模块的所述光入射侧的相对侧,所述第一布线层包括多个像素晶体管;

第一信号处理电路模块;和

第二信号处理电路模块,

其中,所述像素电路模块和所述第一信号处理电路模块接合在一起,使得所述第一布线层和所述第一信号处理电路模块的布线层彼此面对,并且所述像素电路模块和所述第二信号处理电路模块接合在一起,使得所述第一布线层和所述第二信号处理电路模块的布线层彼此面对,

其中,所述第一布线层和所述第一信号处理电路模块的所述布线层彼此电连接,并且所述第一布线层和所述第二信号处理电路模块的所述布线层彼此电连接,

其中,所述第一信号处理电路模块的尺寸和所述第二信号处理电路模块的尺寸均小于所述像素电路模块的尺寸,并且

其中,所述固态成像装置还包括位于所述第一信号处理电路模块和/或所述第二信号处理电路模块处的保护环。

2. 根据权利要求1所述的固态成像装置,其中,所述第一信号处理电路模块的所述布线层和所述第二信号处理电路模块的所述布线层借助通路电连接。

3. 根据权利要求1所述的固态成像装置,其中,在所述第一信号处理电路模块和所述第二信号处理电路模块之间有间隔区域。

4. 根据权利要求1所述的固态成像装置,其中,所述第一信号处理电路模块的信号被传输至所述第二信号处理电路模块,并且所述第二信号处理电路模块的信号处理的结果作为图像输出。

5. 根据权利要求1所述的固态成像装置,其中,所述第一信号处理电路模块包括模数转换器,并且所述第二信号处理电路模块包括存储器。

6. 根据权利要求1所述的固态成像装置,其中,所述保护环围绕所述第一信号处理电路模块的外周的一部分。

7. 根据权利要求1所述的固态成像装置,其中,所述像素电路模块包括像素阵列,所述像素阵列包括所述多个光电二极管,并且所述保护环的一部分位于所述像素阵列下方。

8. 根据权利要求1所述的固态成像装置,其中,所述第一信号处理电路模块的所述布线层和所述第二信号处理电路的所述布线层借助设置在所述第一布线层中的金属电连接。

9. 根据权利要求1所述的固态成像装置,其中,所述像素电路模块和所述第一信号处理电路模块彼此直接接合,并且所述像素电路模块和所述第二信号处理电路模块彼此直接接合。

10. 根据权利要求1所述的固态成像装置,其中,所述第二信号处理电路模块被连接所述第二信号处理电路模块和所述像素电路模块的通路围绕。

11. 根据权利要求1所述的固态成像装置,其中,在所述第一信号处理电路模块和所述

第二信号处理电路模块之间形成有绝缘膜。

12. 一种电子设备,包括如权利要求1-11中任一项所述的固态成像装置。

固态成像装置和电子设备

[0001] 本申请是申请日为2015年4月9日、发明名称为“固态成像装置、固态成像装置的制造方法和电子设备”的申请号为201580006012.8的专利申请的分案申请。

[0002] 相关申请的交叉参考

[0003] 本申请要求于2014年4月21日提交的日本在先专利申请JP 2014-087603和于2014年6月25日提交的日本在先专利申请JP 2014-129952的权益,其全部内容以引用的方式并入本文。

技术领域

[0004] 本技术涉及一种固态成像装置、固态成像装置的制造方法和电子设备,具体地,涉及一种堆叠结构的固态成像装置、堆叠结构的固态成像装置的制造方法和配备有堆叠结构的固态成像装置的电子设备。

背景技术

[0005] 在过去,在制造面积比曝光装置的曝光范围大的固态成像装置的情况下,固态成像装置被分割成多个区域,并且使用用于使各分开区域曝光的分开曝光(例如,参照PTL 1)。

[0006] 另外,在过去,为了提高固态成像装置的开口率,使用了其中包含像素阵列单元的像素电路和信号处理电路分别在不同的半导体基板上形成并且两个半导体基板堆叠且电连接的堆叠技术(例如,参照PTL 2)。

[0007] 于是,例如,在制造面积比曝光装置的曝光范围大的堆叠结构的固态成像装置的情况下,对各半导体基板进行分开曝光。

[0008] [引用文献列表]

[0009] [专利文献]

[0010] [PTL 1]

[0011] 日本专利No.2902506

[0012] [PTL 2]

[0013] 日本专利No.4497844

发明内容

[0014] [技术问题]

[0015] 然而,在分开曝光中,针对分开区域使用不同的光掩模或者在分开区域的连接部分中需要高精度对准,因此制造过程复杂化并且制造成本增大。

[0016] 因此,本技术能够降低固态成像装置的制造成本。

[0017] [问题的解决方案]

[0018] 根据本技术第一实施方案的固态成像装置包括:第一基板,其上形成有包含像素阵列单元的像素电路;和

[0019] 第二基板,其上形成有多个信号处理电路,其中所述多个信号处理电路彼此相邻配置并且在其间包括间隔区域,以及

[0020] 其中第一基板和第二基板堆叠。

[0021] 根据本公开第二实施方案的固态成像装置的制造方法包括:通过使用一次或多次分开曝光在第一半导体基板上形成经由划线区域二维配置的包含像素阵列单元的像素电路,通过使用单次曝光在第二半导体基板上形成经由划线区域二维配置的处理所述像素阵列单元中的各像素的像素信号的信号处理电路;

[0022] 将第一半导体基板和第二半导体基板堆叠,使得第一半导体基板的划线区域与第二半导体基板的划线区域重叠,和沿着第一半导体基板的划线区域切割包含堆叠的第一半导体基板和第二半导体基板的半导体基板。

[0023] 根据第三实施方案的电子设备包括固态成像装置,所述固态成像装置包括第一基板和第二基板,第一基板上形成有包含像素阵列单元的像素电路,第二基板上形成有多个信号处理电路,其中所述多个信号处理电路彼此相邻配置并且在其间包括间隔区域,以及其中第一基板和第二基板堆叠。

[0024] [发明的有益效果]

[0025] 根据本技术的第一至第三实施方案,可以降低固态成像装置的制造成本。

附图说明

[0026] 图1是示意性示出根据本技术第一实施方案的固态成像装置的立体图。

[0027] 图2是示出根据第一实施方案的固态成像装置的像素电路和信号处理电路的具体构成的电路图。

[0028] 图3是示出根据第一实施方案的固态成像装置的信号处理单元的具体构成例的框图。

[0029] 图4是示意性示出根据第一实施方案的固态成像装置的逻辑基板的布局的图。

[0030] 图5是示出信号处理电路的连接方法的例子的图。

[0031] 图6是示出根据第一实施方案的固态成像装置的成像处理的图。

[0032] 图7是示出左侧信号处理电路和右侧信号处理电路的构成方法的图。

[0033] 图8是示出左侧信号处理电路和右侧信号处理电路的构成方法的图。

[0034] 图9是示出根据第一实施方案的固态成像装置的制造方法的图。

[0035] 图10是示出根据第一实施方案的固态成像装置的制造方法的图。

[0036] 图11是示出根据第一实施方案的固态成像装置的制造方法的图。

[0037] 图12是示出根据第一实施方案的固态成像装置的制造方法的图。

[0038] 图13是示出根据第一实施方案的固态成像装置的制造方法的图。

[0039] 图14是示意性示出根据本技术第二实施方案的固态成像装置的立体图。

[0040] 图15是示出根据第二实施方案的固态成像装置的成像处理的图。

[0041] 图16是示出根据第二实施方案的固态成像装置的制造方法的图。

[0042] 图17是示出根据第二实施方案的固态成像装置的制造方法的图。

[0043] 图18是示出根据第二实施方案的固态成像装置的制造方法的图。

[0044] 图19是示出根据第二实施方案的固态成像装置的制造方法的图。

- [0045] 图20是示意性示出根据本技术第三实施方案的固态成像装置的立体图。
- [0046] 图21是示意性示出根据本技术第三实施方案的固态成像装置的断面图。
- [0047] 图22是示出信号处理电路的连接方法的例子的图。
- [0048] 图23是示意性示出在采用像素AD转换方法的情况下像素基板和逻辑基板的构成例的图。
- [0049] 图24是示意性示出构造成避免电路间配线层的配线和耐湿环之间的干扰的逻辑基板的第一实施方案的平面图。
- [0050] 图25是示意性示出耐湿环的第一实施方案的断面图。
- [0051] 图26是示意性示出耐湿环的第一实施方案的立体图。
- [0052] 图27是示意性示出构造成避免电路间配线层的配线和耐湿环之间的干扰的逻辑基板的第二实施方案的平面图。
- [0053] 图28是示意性示出耐湿环的第二实施方案的第一断面图。
- [0054] 图29是示意性示出耐湿环的第二实施方案的第一立体图。
- [0055] 图30是示意性示出耐湿环的第二实施方案的第二断面图。
- [0056] 图31是示意性示出耐湿环的第二实施方案的第二立体图。
- [0057] 图32是示意性示出耐湿环的第二实施方案的第三断面图。
- [0058] 图33是示意性示出耐湿环的第二实施方案的第三立体图。
- [0059] 图34是示出耐湿环的第二实施方案的制造方法的图。
- [0060] 图35是示出耐湿环的第二实施方案的制造方法的图。
- [0061] 图36是示出耐湿环的第二实施方案的制造方法的图。
- [0062] 图37是示出耐湿环的第二实施方案的制造方法的图。
- [0063] 图38是示出耐湿环的第二实施方案的制造方法的图。
- [0064] 图39是示出耐湿环的第二实施方案的制造方法的图。
- [0065] 图40是示出耐湿环的第二实施方案的制造方法的图。
- [0066] 图41是示出电子设备的构成例的框图。

具体实施方式

[0067] 在下文中,说明用于实施本技术的实施方案(在下文中被称作实施方案)。另外,按以下顺序进行说明。

- [0068] 1. 第一实施方案(没有电连接的信号处理电路的例子)
- [0069] 2. 第二实施方案(在逻辑基板内电连接的信号处理电路的例子)
- [0070] 3. 第三实施方案(在像素基板内电连接的信号处理电路的例子)
- [0071] 4. 变形例
- [0072] <1. 第一实施方案>
- [0073] {1-1. 系统构成}

[0074] 图1是示意性示出根据本技术第一实施方案的固态成像装置1的构成例的立体图。另外,这里,将固态成像装置1是CMOS图像传感器的情况作为例子进行说明,但是本技术不限于应用到CMOS图像传感器。

[0075] 固态成像装置1是其中像素基板11和逻辑基板12堆叠的结构(所谓的堆叠结构)的

半导体芯片。另外,固态成像装置1是其中像素基板11的配线层和逻辑基板12的配线层彼此相邻堆叠的背面照射型CMOS图像传感器。另外,本技术不限于应用到背面照射型CMOS图像传感器。

[0076] 像素基板11是其中形成有像素电路21并且像素电路21包括其中各单位像素32包含光电转换元件并二维配置成矩阵的像素阵列单元(像素单元)31的半导体基板。另外,例如,包围像素电路21的像素阵列单元31的周边部中设置有未示出的用于提供外部电连接的焊垫和用于与逻辑基板12电连接的通路(via)。从像素阵列单元31的各单位像素32获得的像素信号是模拟信号,并且模拟像素信号通过通路等从像素基板11传递到逻辑基板12。

[0077] 逻辑基板12是其中具有相同电路图案的信号处理电路41L和信号处理电路41R形成经由诸如划线区域42等间隔区域左右配置的半导体基板。另外,在图1中,为了清楚地示出,划线区域42的宽度被广泛扩大了。这对以下的附图也是如此。

[0078] 例如,信号处理电路41L进行包括从像素阵列单元31的左半边区域内的各单位像素32读出的模拟像素信号的数字化(AD转换)的预定信号处理,并且储存经过信号处理的像素数据。另外,例如,信号处理电路41L按预定顺序读出储存的像素数据,并且将像素数据输出到芯片的外部。因而,从像素阵列单元31的左半边区域内的单位像素32获得的像素数据从信号处理电路41L输出。

[0079] 例如,信号处理电路41R进行包括从像素阵列单元31的右半边区域内的各单位像素32读出的模拟像素信号的数字化(AD转换)的预定信号处理,并且储存经过信号处理的像素数据。另外,例如,信号处理电路41R按预定顺序读出储存的像素数据,并且将像素数据输出到芯片的外部。因而,从像素阵列单元31的右半边区域内的单位像素32获得的像素数据从信号处理电路41R输出。

[0080] 另外,例如,信号处理电路41L和信号处理电路41R在与像素电路21同步的同时控制固态成像装置1的各个单元。

[0081] 因而,通过利用像素基板11和逻辑基板12的堆叠结构可以使像素基板11的面积基本上等于像素阵列单元31的面积。因此,可以减小固态成像装置1的尺寸,因而,可以减小芯片的整体尺寸。另外,可以提高固态成像装置1的开口率。

[0082] 另外,由于可以进行适于在像素基板11上制作单位像素32等的处理和进行适于在逻辑基板12上制作信号处理电路41L和41R处理,所以可以使固态成像装置1的制造期间的工艺最优化。

[0083] 另外,像素电路21的面积大于曝光装置的曝光范围,因而分开曝光是必需的。另一方面,信号处理电路41L和信号处理电路41R的各个的面积都小于曝光装置的曝光范围,因而单次曝光是可行的。

[0084] 另外,在下文中,如果没有必要区分信号处理电路41L和信号处理电路41R,那么它们被简称为信号处理电路41。

[0085] {1-2.电路构成}

[0086] 图2是示出在固态成像装置1的像素基板11上的像素电路21与逻辑基板12上的信号处理电路41L和41R的具体构成的电路图。另外,如上所述,像素电路21与信号处理电路41L和41R通过未示出的通路电连接。

[0087] (像素电路21的构成)

[0088] 首先,说明在像素基板11上的像素电路21的构成。在像素电路21中,除了其中单位像素32二维配置成矩阵的像素阵列单元31之外,还设置有基于从逻辑基板12施加的地址信号以行为单位选择像素阵列单元31的各单位像素32的行选择单元33。另外,这里,尽管行选择单元33设置在像素基板11上,但是也可以将行选择单元33设置在逻辑基板12上。

[0089] 例如,单位像素32包括作为光电转换元件的光电二极管51。另外,除了光电二极管51之外,单位像素32还包括四个晶体管,例如,传输晶体管(传输栅)52、复位晶体管53、放大晶体管54和选择晶体管55。

[0090] 这里,例如,将N通道晶体管用作四个晶体管52~55。然而,这里,传输晶体管52、复位晶体管53、放大晶体管54和选择晶体管55的导电型的组合只是一个例子,并且其组合不限于该组合。换句话说,必要时,可以使用P通道晶体管的组合。

[0091] 作为用于驱动单位像素32的驱动信号的传输信号TRG、复位信号RST和选择信号SEL从行选择单元33适当地供给到单位像素32。换句话说,传输信号TRG、复位信号RST和选择信号SEL分别施加到传输晶体管52的栅电极、复位晶体管53的栅电极和选择晶体管55的栅电极。

[0092] 光电二极管51具有与低电位的电源(例如,接地)连接的阳极,并且通过将接收的光(入射光)转换成与光量对应的电荷量的光电荷(这里,光电子)来累积光电荷。光电二极管51的阴极通过传输晶体管52与放大晶体管54的栅电极电连接。与放大晶体管54的栅电极电连接的节点56被称作浮动扩散(FD)区域)部。

[0093] 传输晶体管52连接在光电二极管51的阴极和FD部56之间。有效(以下被称作“高度有效”)的高电平(例如, V_{DD} 电平)的传输信号TRG从行选择单元33施加到传输晶体管52的栅电极。传输晶体管52响应于传输信号TRG而变为导通状态,并且将通过由光电二极管51进行光电转换获得的光电荷传输到FD部56。

[0094] 复位晶体管53包括与像素电源VDD连接的漏极和与FD部56连接的源极。高度有效的复位信号RST从行选择单元33施加到复位晶体管53的栅电极。复位晶体管53响应于复位信号RST而变为导通状态,并且通过将FD部56中的电荷丢弃到像素电源VDD来使FD部56复位。

[0095] 放大晶体管54包括与FD部56连接的栅极和与像素电源VDD连接的漏极。然后,放大晶体管54将由复位晶体管53复位后的FD部56的电位作为复位信号(复位电平) V_{reset} 输出。放大晶体管54在传输晶体管52将FD部56的信号电荷传输之后将其电位作为光累积信号(信号电平) V_{sig} 输出。

[0096] 例如,选择晶体管55包括与放大晶体管54的源极连接的漏极和与信号线34连接的源极。高度有效的选择信号SEL从行选择单元33施加到选择晶体管55的栅电极。选择晶体管55响应于选择信号SEL而变为导通状态,并且在使得单位像素32作为选定状态时将从放大晶体管54输出的信号读出到信号线34。

[0097] 如从以上的说明明显看出的,复位后的FD部56的电位作为复位电平 V_{reset} 以及信号电荷被传输后的FD部56的电位作为信号电平 V_{sig} 按顺序从单位像素32读出到信号线34。另外,信号电平 V_{sig} 也包含复位电平 V_{reset} 的成分。

[0098] 另外,这里,使用其中选择晶体管55连接在放大晶体管54的源极和信号线34之间的电路构成,但是可以采用其中选择晶体管55连接在像素电源VDD和放大晶体管54的漏极

之间的电路构成。

[0099] 另外,单位像素32不限于包括以上四个晶体管的像素结构。例如,可以使用其中放大晶体管54也具有选择晶体管55的功能的包括三个晶体管的像素结构或其中多个光电转换元件(即,像素)共享FD部56之后的晶体管的像素结构,并且像素电路的构成无关紧要。

[0100] (信号处理电路41L和41R的构成)

[0101] 接着,说明在逻辑基板12上的信号处理电路41L和41R的构成。另外,如上所述,信号处理电路41L和信号处理电路41R具有相同的电路图案,因而这里,主要说明信号处理电路41L的构成。

[0102] 信号处理电路41L是主要处理来自像素阵列单元31的左半边区域内的单位像素32的像素信号的电路。信号处理电路41L被构造成包括电流源61L、解码器62L、控制单元63L、行解码器64L、信号处理单元65L、列解码器/感测放大器66L、存储器单元67L、数据处理单元68L和接口(IF)单元69L。

[0103] 电流源61L与各信号线34连接,从该信号线针对来自像素阵列单元31的各单位像素32的各像素列读出信号。例如,电流源61L具有所谓的负载MOS电路构成,其包括MOS晶体管,该MOS晶体管的栅极电位偏置在恒定电位以向信号线34提供恒定电流。负载MOS电路构成的电流源61L通过将恒定电流供给到选定行的单位像素32的放大晶体管54来使放大晶体管54作为源极跟随器操作。

[0104] 解码器62L在控制单元63L的控制下,当以行为单位选择像素阵列单元31的各单位像素32时将用于指定选定行的地址的地址信号施加到行选择单元33。

[0105] 行解码器64L在控制单元63L的控制下,当将像素数据写入存储器单元67L或从存储器单元67L读出像素数据时指定行地址。

[0106] 信号处理单元65L至少包括将通过信号线34从像素阵列单元31的各单位像素32读出的模拟像素信号数字化(AD转换)的AD转换器81L-1~81L-n。然后,信号处理单元65L被构造成以像素列为单位对模拟像素信号并列进行信号处理(列并列AD)。另外,如果没有必要区分AD转换器81L-1~81L-n,那么在下文中,它们被简称为AD转换器81L。

[0107] 信号处理单元65L还包括生成在各AD转换器81L中的AD转换期间使用的参考电压的参考电压生成单元82L。参考电压生成单元82L生成所谓的RAMP波形(斜面状波形)的参考电压,其电压值随着时间以逐步的方式变化。例如,参考电压生成单元82L可以通过使用数字模拟转换(DAC)电路来构成。

[0108] 例如,针对像素阵列单元31的各像素列,即,针对各信号线34设置AD转换器81L。换句话说,AD转换器81L是所谓的列并列AD转换器,并且设置了像素阵列单元31的左半边中的像素列数量的列并列AD转换器。然后,例如,AD转换器81L生成在时间轴方向上具有与像素信号的电平的尺寸对应的尺寸(即,脉冲宽度)的脉冲信号,并且通过测量脉冲信号的脉冲宽度的周期长度来进行AD转换处理。

[0109] 更具体地,例如,如图2所示,AD转换器81L-1被构造成至少包括比较器(COMP)91L-1和计数器92L-1。比较器91L-1将通过信号线34从单位像素32读出的模拟像素信号(前述的信号电平Vsig和复位电平Vreset)当作比较输入,将从参考电压生成单元82L供给的斜坡波形的参考电压Vref当作参考输入,并且对这两个输入进行比较。

[0110] 然后,在比较器91L-1中,例如,当参考电压Vref大于像素信号时,输出变为第一状

态(例如,高电平),并且当参考电压 V_{ref} 等于或小于像素信号时,输出变为第二状态(例如,低电平)。比较器91L-1的输出信号是具有与像素信号的电平的大小对应的脉冲宽度的脉冲信号。

[0111] 例如,将向上/向下计数器用作计数器92L-1。在与比较器91L用的参考电压 V_{ref} 的供给开始时机相同的时机将时钟CK施加到计数器92L-1。由于作为向上/向下计数器的计数器92L-1与时钟CK同步进行向下计数或向上计数,所以计数器92L-1测量比较器91L-1的输出脉冲的脉冲宽度的持续时间,即,从比较操作的开始至比较操作的结束的比较时间。在该测量操作期间,相对于按顺序从单位像素32读出的复位电平 V_{reset} 和信号电平 V_{sig} ,计数器92L-1针对复位电平 V_{reset} 进行向下计数并针对信号电平 V_{sig} 进行向上计数。

[0112] 通过向下计数器/向上计数器的操作可以获得信号电平 V_{sig} 和复位电平 V_{reset} 之间的差。因此,AD转换器81L-1除了AD转换处理之外还进行相关双采样(CDS)处理。CDS处理是通过获取信号电平 V_{sig} 和复位电平 V_{reset} 之间的差来去除诸如单位像素32的复位噪声和放大晶体管54中的阈值变化等像素固有的固定模式噪声的处理。然后,计数器92L-1的计数结果(即,计数值)是通过将模拟像素信号数字化所获得的数字值。

[0113] 另外,AD转换器81L-2~81L-n具有与AD转换器81L-1相同的构成,因而将省略对其的重复说明。另外,在下文中,当没有必要区分比较器91L-1~91L-n时,它们被简称为比较器91L,并且在下文中,当没有必要区分计数器92L-1~92L-n时,它们被简称为计数器92L。

[0114] 图3是示出信号处理单元65L的具体构成例的框图。信号处理单元65L除了AD转换器81L和参考电压生成单元82L之外还包括数据锁存单元83L和并串行转换单元84L。信号处理单元65L具有用于将由AD转换器81L数字化的像素数据管线传输至存储器单元67L的管线构成。在这种情况下,信号处理单元65L在一个水平期间内由AD转换器81L进行数字化处理,并且在下一个水平期间内进行将数字化的像素数据传输至数据锁存单元83L的处理。

[0115] 另一方面,在存储器单元67L中将列解码器/感测放大器66L设置为周边电路。在上述的行解码器64L(参照图2)指定针对存储器单元67L的行地址的同时,列解码器指定针对存储器单元67L的列地址。另外,感测放大器将通过来自存储器单元67L的位线读出的弱电压放大到可以处理为数字电平的电平。然后,将通过列解码器/感测放大器66L读出的像素数据通过数据处理单元68L和接口单元69L输出到逻辑基板12的外部。

[0116] 另外,这里,将具有一个列并列AD转换器81L的情况作为例子进行了说明,但是本实施方案不限于此,并且可以采用其中设置有两个以上AD转换器81L并且两个以上AD转换器81L并列经受数字化处理的构成。

[0117] 在这种情况下,例如,两个以上AD转换器81L配置在像素阵列单元31的信号线34的延伸方向上,换句话说,它们通过被划分到像素阵列单元31的上侧和下侧来配置。当分别设置有两个以上AD转换器81L时,与此相对应地设置有数据锁存单元83L、并串行转换单元84L和存储器单元67L中的两个以上(两个系统)。

[0118] 因而,例如,在采用其中设置有AD转换器81L等的两个系统的结构的固态成像装置1中,针对每两个像素行并列进行行扫描。然后,将一个像素行的各像素的信号读出到像素阵列单元31的垂直方向的一侧,并且将另一像素行的各像素的信号读出到像素阵列单元31的垂直方向的另一侧,并且由两个AD转换器81L并列将信号数字化。类似地,并列进行后续的信号处理。因此,与针对每一个像素行进行行扫描的情况相比,可以进行像素数据的高速

读出。

[0119] 另外,尽管省略了对其的详细图示和说明,但是信号处理电路41R也具有与信号处理电路41L相同的构成。然后,信号处理电路41R主要处理来自像素阵列单元31的右半边区域内的单位像素32的像素信号。

[0120] 另外,在下文中,未示出的信号处理电路41R的各单元的附图标记通过将信号处理电路41L的各单元的附图标记中的L替换为R来表示。

[0121] {1-3.逻辑基板12的布局}

[0122] 图4示出了逻辑基板12的布局的例子。如图4所示,逻辑基板12的信号处理电路41L和信号处理电路41R具有相同对称的布局。

[0123] 在信号处理电路41L中,AD转换单元101L-1、存储器单元102L-1、逻辑单元103L、存储器单元102L-2和AD转换单元101L-2从顶部按顺序堆叠。另外,接口单元104L-1和接口单元104L-2位于堆叠部的左右侧。此外,通路105L-1~105L-4配置在信号处理电路41L的上下左右端部。

[0124] 例如,在AD转换单元101L-1和101L-2中设置并配置有图2和图3所示的电流源61L、AD转换器81L-1~81L-n、参考电压生成单元82L、数据锁存单元83L和并串行转换单元84L。

[0125] 另外,在该例子中,在AD转换单元101L-1和101L-2中AD转换器81L和与其相关联的电路部分在三个阶段的各个中堆叠配置。换句话说,在信号处理电路41L中,AD转换器81L和与其相关联的电路部分在被划分成六个系统的同时配置。然后,例如,信号处理电路41L针对每六个像素行并列进行行扫描。

[0126] 另外,将来自像素阵列单元31中的各单位像素32的像素信号通过通路105L-1~105L-4供给到设置在AD转换单元101L-1和101L-2中的各个AD转换器81L。

[0127] 例如,在存储器单元102L-1和102L-2中分散并配置有图3所示的列解码器/感测放大器66L和存储器单元67L。然后,存储器单元102L-1储存从AD转换单元101L-1供给的像素数据,并且存储器单元102L-2储存从AD转换单元101L-2供给的像素数据。

[0128] 例如,在逻辑单元103L中配置有图2所示的解码器62L、控制单元63L、行解码器64L和数据处理单元68L。

[0129] 例如,在接口单元104L-1和104L-2中分别配置有图2所示的接口单元69L。

[0130] 另外,由于信号处理电路41R具有与信号处理电路41L相同的布局,所以省略对其的说明以避免重复。

[0131] 另外,上述的信号处理电路41L和41R的构成和布局是举例说明,并且上述构成和布局之外的构成和布局也是可以的。

[0132] {1-4.固态成像装置1的成像处理}

[0133] 接着,参照图5和图6简单说明固态成像装置1的成像处理。

[0134] 图5示出了固态成像装置1的信号处理电路41L和41R与外部信号处理LSI 121的连接方法的例子。具体地,信号处理LSI 121与信号处理电路41L的接口单元104L-1和信号处理电路41R的接口单元104R-2连接。

[0135] 例如,当固态成像装置1捕捉图6的被写体141的图像时,将来自像素阵列单元31的左半边区域内的单位像素32的像素信号供给到信号处理电路41L,并且将来自右半边区域内的单位像素32的像素信号供给到信号处理电路41R,换句话说,将与被写体141的左半部

分对应的像素信号供给到信号处理电路41L,并且将与被写体141的右半部分对应的像素信号供给到信号处理电路41R。

[0136] 信号处理电路41L基于从像素电路21供给的像素信号生成与被写体141的左半部分对应的像素数据142L。类似地,信号处理电路41R基于从像素电路21供给的像素信号生成与被写体141的右半部分对应的像素数据142R。

[0137] 然后,信号处理电路41L将生成的像素数据142L从接口单元104L-1输出,并且将该像素数据供给到信号处理LSI 121。信号处理电路41R将生成的像素数据142R从接口单元104R-2输出,并且将该像素数据供给到信号处理LSI 121。

[0138] 信号处理LSI 121通过将像素数据142L和像素数据142R合成来生成一条像素数据143,并且输出生成的像素数据143。

[0139] 以这种方式,由于在固态成像装置1中像素数据的左部分和右部分独立地生成,所以可以加速处理。

[0140] {1-5.左右信号处理电路41的构成方法}

[0141] 如上所述,各信号处理电路41具有共同的电路图案和相同的功能。另一方面,如上所述,信号处理电路41L生成被写体的左半部分的像素数据,并且将生成的像素数据从在左侧的接口单元104L-1输出。另外,信号处理电路41R生成被写体的右半部分的像素数据,并且将生成的像素数据从在右侧的接口单元104R-2输出。换句话说,信号处理电路41L作为位于逻辑基板12的左侧的电路操作,并且信号处理电路41R作为位于逻辑基板12的右侧的电路操作。

[0142] 因而,各信号处理电路41具有能够作为在左侧的信号处理电路41L或在右侧的信号处理电路41R操作的两个功能。然后,通过来自外部的信号各信号处理电路41被构造成为在左侧的信号处理电路41L或在右侧的信号处理电路41R操作。换句话说,各信号处理电路41的有效功能和无效功能由来自外部的信号设定。

[0143] 具体地,例如,如图7示意性示出的,信号处理电路41L和41R通过接合线162L和162R分别与外部基板161连接。另外,基板161可以设置在固态成像装置1和同一封装内,或者可以设置在封装的外部。

[0144] 然后,基板161通过接合线162L将选择信号供给信号处理电路41L。例如,选择信号是电源电平(高)和接地电平(低)的值中的一个。信号处理电路41L包括图8所示的多路器171L和芯172L。然后,将来自基板161的选择信号输入到多路器171L,并且多路器171L根据选择信号将表示0或1的值的设定信号供给到芯172L。

[0145] 关于设定信号,当针对左侧电路(信号处理电路41L)进行设定时,该值为0,而当针对右侧电路(信号处理电路41R)进行设定时,该值为1。然后,芯172L将设定信号的值储存在未示出的寄存器中,并且信号处理电路41L根据寄存器的值操作。例如,将信号处理电路41L的寄存器的值设定为0,信号处理电路41L作为在左侧的信号处理电路操作。

[0146] 另外,虽然未示出,但是与信号处理电路41L一样,在信号处理电路41R中也设置有多路器171R和芯172R。然后,信号处理电路41R通过使用与信号处理电路41L中相同的方法被构造成为经由从基板161通过接合线162R供给的选择信号作为在右侧的信号处理电路操作。

[0147] 另外,由于信号处理电路41L和信号处理电路41R具有相同的功能,所以该功能是

重复的。因而,对于可能仅由信号处理电路41中的一个进行的功能,通过选择信号使信号处理电路41中的一个的功能有效并且使信号处理电路41中的另一个的功能无效。

[0148] {1-6. 固态成像装置1的制造方法}

[0149] 接着,参照图9~13说明固态成像装置1的制造方法。另外,在图9~13中,为了清楚图示的目的,仅示出了像素电路21和信号处理电路41,并且省略了其上形成有像素电路21和信号处理电路41的晶片(半导体基板)的图示。

[0150] 首先,如图9所示,在未示出的晶片(半导体基板)上形成有像素电路21-1, 21-2, ...。在这种情况下,由于各像素电路21的面积大于曝光装置的曝光范围,所以各像素电路21的曝光使用分开曝光。

[0151] 另外,在相邻像素电路21之间的纵向方向和横向方向上设置有划线区域22。另外,在图9中,为了便于理解图示,所示出的划线区域22的宽度被广泛扩大了。以下的附图也是如此。

[0152] 另外,在图9中,仅示出了2行×1列的两个像素电路21,但是事实上,形成有二维配置的大于两个数量的像素电路21。

[0153] 另外,根据图9中之外的制造过程,如图10所示,在未示出的晶片(半导体基板)上形成有信号处理电路41L-1, 41R-1, 41L-2, 42R-2, ...。其中,信号处理电路41L-1和信号处理电路41R-1配置在同一逻辑基板12上,并且信号处理电路41L-2和信号处理电路41R-2配置在同一逻辑基板12上。在这种情况下,由于各信号处理电路41的面积小于曝光装置的曝光范围,所以各信号处理电路41的曝光使用单次曝光。

[0154] 另外,在信号处理电路41之间的纵向方向和横向方向上设置有划线区域42。当然,在配置在同一逻辑基板12上的信号处理电路41之间设置有划线区域42。

[0155] 另外,在图10中,仅示出了2行×2列的四个信号处理电路41,但是事实上,形成有二维配置的大量信号处理电路41。

[0156] 接着,如图11所示,其上形成有像素电路21的晶片(以下被称作像素晶片)和其上形成有信号处理电路41的晶片(以下被称作逻辑晶片)接合在一起,并且像素晶片和逻辑晶片堆叠。

[0157] 这里,分别通过划线区域42左右相邻的信号处理电路41和像素电路21的面积基本上相同,并且像素晶片和逻辑晶片堆叠使得像素晶片的划线区域22和逻辑晶片的划线区域42重叠。因而,像素电路21完美地重叠在左右相邻的信号处理电路41上。例如,像素电路21-1完美地重叠在通过划线区域42左右相邻的信号处理电路41L-1和信号处理电路41R-1上。

[0158] 另外,固态成像装置1是背面照射型的,并且像素晶片和逻辑晶片堆叠使得其中设置有逻辑晶片的像素电路21的基板层面向上并且逻辑晶片的配线层和像素晶片的配线层相邻。

[0159] 另外,在下文中,其中像素晶片和逻辑晶片堆叠的晶片被称作堆叠晶片。

[0160] 接着,如由图12中的粗虚线所示,堆叠晶片被切割成芯片单元。换句话说,沿着设置在各像素电路21周围的像素晶片的划线区域22切割堆叠晶片。另外,不与像素晶片的划线区域22重叠的逻辑晶片的划线区域42留下,因为其并未被切割。

[0161] 因而,其中像素电路21堆叠在左右相邻的信号处理电路41上的固态成像装置在划线区域42被留下的同时被切成单片。例如,如图13所示,其中像素电路21-1堆叠在通过划线

区域42相邻的信号处理电路41L-1和41R-1上的固态成像装置1-1被切成单片。

[0162] 以这种方式,即使当在像素基板11上的像素电路21的面积大于曝光装置的曝光范围并且必需进行分开曝光时,在逻辑基板12上的各信号处理电路41也通过单次曝光来制造,而不必使用分开曝光。另外,不论各信号处理电路41设置在固态成像装置1的左侧还是右侧,相同电路图案的信号处理电路41都形成为以一定距离(即,划线区域42)二维配置。因而,例如,可以减少制造逻辑基板12所必需的光掩模的种类,并且即使没有光掩模变换装置的曝光装置也可以制造逻辑基板12。

[0163] <2.第二实施方案>

[0164] 如上所述,在固态成像装置1中,两个信号处理电路在没有被电连接的同时独立地进行处理。与此相反,在本技术的第二实施方案中,两个信号处理电路在被电连接的同时彼此协作地进行一些处理。

[0165] {2-1.系统构成}

[0166] 图14是示意性示出根据本技术第二实施方案的固态成像装置201的构成例的立体图。另外,这里,在图14中,与图1对应的部分由相同的附图标记表示,并且相同处理的部分的说明是重复的,所以适当省略对它们的说明。

[0167] 如图14所示,固态成像装置201与固态成像装置1类似,是其中像素基板11和逻辑基板211堆叠的结构(所谓的堆叠结构)的半导体芯片。

[0168] 逻辑基板211与逻辑基板12的不同之处在于代替信号处理电路41L和41R设置了信号处理电路241L和241R。另外,逻辑基板211与逻辑基板12的不同之处在于用于电连接信号处理电路241L和信号处理电路241R的配线层(在下文中,被称作电路间配线层)设置在逻辑基板12的顶部。换句话说,由图14的逻辑基板211上的斜线表示的图案表示电路间配线层的配线图案,并且在电路间配线层中信号处理电路241L和信号处理电路241R电连接。

[0169] 另外,信号处理电路241L和241R的布局的一部分与信号处理电路41L和41R不同,如稍后参照图15所述。

[0170] 另外,当没有必要区分信号处理电路241L和信号处理电路241R时,在下文中,它们被简称为信号处理电路241。

[0171] {2-2.逻辑基板211的布局}

[0172] 图15示出了逻辑基板211的布局的例子。另外,在图15中,省略了电路间配线层的图示。另外,在图15中,与图4对应的部分由相同的附图标记表示,并且省略了对相同处理的部分的说明。

[0173] 信号处理电路241L与图4的信号处理电路41L的不同之处在于省略了接口单元104L-1,并且仅设置了接口单元104L-2。类似地,信号处理电路241R与图4的信号处理电路41R的不同之处在于省略了接口单元104R-1,并且仅设置了接口单元104R-2。

[0174] {2-3.固态成像装置201的成像处理}

[0175] 接着,参照图6和图15简单说明固态成像装置201的成像处理。

[0176] 例如,当固态成像装置201捕捉图6的被写体141时,将来自像素阵列单元31的左半边区域内的单位像素32的像素信号供给到信号处理电路241L并且将来自右半边区域内的单位像素32的像素信号供给到信号处理电路241R,换句话说,将与被写体141的左半部分对应的像素信号供给到信号处理电路241L,并且将与被写体141的右半部分对应的像素信号

供给到信号处理电路241R。

[0177] 信号处理电路241L基于从像素电路21供给的像素信号生成与被写体141的左半部分对应的像素数据142L。类似地,信号处理电路241R基于从像素电路21供给的像素信号生成与被写体141的右半部分对应的像素数据142R。

[0178] 到此之前的处理与上述固态成像装置1中的相同。

[0179] 然后,信号处理电路241L的逻辑单元103L将生成的像素数据142L通过未示出的电路间配线层供给到信号处理电路241R的逻辑单元103R。

[0180] 逻辑单元103R通过将信号处理电路241L供给的像素数据142L和逻辑单元103R生成的像素数据142R合成来生成一条像素数据143。然后,逻辑单元103R将生成的像素数据143通过接口单元104R-2输出到外部。

[0181] 以这种方式,固态成像装置201不同于固态成像装置1,其可以在不使用诸如外部的LSI等装置的情况下生成和输出一条完成的像素数据。因此,不必在外部设置信号处理LSI 121并且可以降低成本。

[0182] 另外,即使在固态成像装置201中,也与固态成像装置1类似,通过参照图7和图8所述的方法,信号处理电路241L和信号处理电路241R被构造作为左侧或右侧信号处理电路操作。

[0183] [固态成像装置201的制造方法]

[0184] 接着,参照之前示出的图9和图10以及图16~19说明固态成像装置201的制造方法。另外,在图16~19中,与图9~13类似,为了清楚说明的目的,仅示出了像素电路21和信号处理电路241,并且省略了其上形成有像素电路21和信号处理电路241的晶片(半导体基板)的图示。

[0185] 首先,通过与以上参照图9和图10所述的方法类似的方法来制造其中像素电路21通过划线区域22二维配置的像素晶片和其中信号处理电路241通过划线区域42二维配置的逻辑晶片。

[0186] 接着,如图16所示,在逻辑晶片的顶层上形成电路间配线层。另外,由于电路间配线层具有与像素基板11的像素电路21基本上相同的尺寸,所以其通过使用分开曝光来形成。通过电路间配线层电连接设置在同一固态成像装置201中的两个信号处理电路241(例如,信号处理电路241L-1和信号处理电路241R-1)。

[0187] 另外,例如,逻辑晶片的制造商可以制造其上仅形成有电路间配线层用的金属膜的曝光之前的逻辑晶片,并将其交付给固态成像装置201的制造商。然后,例如,固态成像装置201的制造商可以在通过分开曝光形成逻辑晶片的电路间配线层之后将像素晶片和逻辑晶片堆叠。因而,即使不具有分开曝光设备的制造商也可以制造逻辑晶片。

[0188] 接着,如图17所示,通过与以上参照图11所述的方法类似的方法将像素晶片和逻辑晶片堆叠。

[0189] 然后,如图18所示,与以上参照图12所述的制造过程类似,堆叠晶片被切割成芯片的单元。因而,例如,如图19所示,其中像素电路21-1堆叠在通过划线区域42相邻的信号处理电路241L-1和241R-1上的固态成像装置201-1被切成单片。

[0190] 另外,尽管上述例子表示其中在逻辑基板211的顶层上形成电路间配线层的例子,但是可以在顶层下面的层上形成电路间配线层。例如,当在信号处理电路241中设置有多个

配线层时,可以在逻辑基板211的顶层下面的层上形成的配线层中连接信号处理电路241L和信号处理电路241R。

[0191] 另外,例如,信号处理电路241L和信号处理电路241R可以通过多个配线层连接。换句话说,可以形成多个电路间配线层。另外,在电路间配线层中不仅可以设置用于连接信号处理电路241L和信号处理电路241R的配线,还可以设置各信号处理电路241的内部配线(例如,元件间的配线)。

[0192] 另外,即使当电路间配线层设置在逻辑基板211的任意层(例如,在逻辑基板211的各层)中时,电路间配线层也通过分开曝光形成,并且其他层通过单次曝光形成。另外,当如上所述电路间配线层由不同的制造商形成时,优选在逻辑基板211的顶层上形成电路间配线层。

[0193] <3.第三实施方案>

[0194] 在本技术的第三实施方案中,通过与第二实施方案中的方法不同的方法电连接左侧和右侧信号处理电路。

[0195] 具体地,图20是示意性示出根据本技术第三实施方案的固态成像装置301的构成例的立体图。与固态成像装置1和固态成像装置201类似,固态成像装置301是其中其上形成有像素电路321的像素基板311(图21)和其上形成有信号处理电路341L和341R的逻辑基板312(图21)堆叠的结构(即,堆叠结构)的半导体芯片。

[0196] 像素阵列单元331,与图1的像素电路21的像素阵列单元31类似,在像素电路321上形成。另外,像素电路321具有与以上参照图2所述的像素电路21相同的电路构成。信号处理电路341L和341R具有与以上参照图2和图3所述的信号处理电路41L和41R相同的电路构成。逻辑基板312具有与以上参照图4所述的逻辑基板12相同的布局。以这种方式,固态成像装置301具有与固态成像装置1基本上相同的电路构成和布局。

[0197] 然而,固态成像装置301不同于固态成像装置1,并且在像素基板311中电连接信号处理电路341L和信号处理电路341R。

[0198] 具体地,图21示出了图20的固态成像装置301的XXI-XXI断面图。换句话说,图21是像素电路321的像素阵列单元331的外侧,并且在图20中的正面示出了固态成像装置301的断面。

[0199] 由于固态成像装置301是背面照射型成像元件,所以像素基板311的配线层和逻辑基板312的配线层配置成相邻。因而,像素基板311的基板层设置在顶部,并且逻辑基板312的基板层设置在底部。

[0200] 在像素基板311的基板层上,在像素阵列单元331的外侧形成配线351L和351R。配线351L设置在信号处理电路341L的上面,并且配线351R设置在信号处理电路341R的上面。

[0201] 然后,配线351L经由在像素基板311中形成的通路352L与信号处理电路341L的配线层连接。另外,配线351L经由通路353L与配线354L连接。配线354L经由通路355L与配线356L连接。配线356L经由通路357L与配线358连接。

[0202] 然后,配线351R经由在像素基板311中形成的通路352R与信号处理电路341R的配线层连接。另外,配线351R经由通路353R与配线354R连接。配线354R经由通路355R与配线356R连接。配线356R经由通路357R与配线358连接。

[0203] 因而,信号处理电路341L的配线层和信号处理电路341R的配线层经由通路352L、

配线351L、通路353L、配线354L、通路355L、配线356L、通路357L、配线358、通路357R、配线356R、通路355R、配线354R、通路353R、配线351R和通路352R电连接。

[0204] 因此,固态成像装置301与固态成像装置201类似,也可以通过以上参照图6和图15所述的方法生成和输出通过捕捉被写体获得的一条像素数据。

[0205] 另外,例如,像素电路321的配线351L和351R以及通路352L和352R等在以上参照图9所述的像素晶片的制造过程中形成。

[0206] 另外,图21的像素基板311的配线层的层数是一个例子,并且可以设定任意数量的层。另外,例如,在像素基板311的配线层内用于电连接信号处理电路341L和信号处理电路341R的配线358可以设置在像素基板311的任意配线层中,并且例如,也可以通过分成多个配线层形成。

[0207] <4.变形例>

[0208] 在下文中,说明上述本技术实施方案的变形例。

[0209] {4-1.固态成像装置的构成的变形例}

[0210] (逻辑基板的变形例)

[0211] 以上说明了在逻辑基板上设置两个信号处理电路的例子,但是可以设置三个以上的信号处理电路。

[0212] 另外,在单个逻辑基板上设置的信号处理电路的电路图案和大小不必全都相同,并且也可以将具有不同电路图案和大小的信号处理电路混合。这里,将相同电路图案的信号处理电路设置在逻辑基板上的情况与将具有不同电路图案和大小的信号处理电路混合的情况相比,制造工艺更简单并且制造成本更低。

[0213] (堆叠结构的变体)

[0214] 另外,以上说明了其中固态成像装置具有像素基板和逻辑基板的两层的堆叠结构的例子,但是本技术可以适用于三层以上的堆叠结构。例如,逻辑基板可以进一步在图1的逻辑基板12下(换句话说,逻辑基板12的与像素基板11相邻表面的相反面)堆叠。在这种情况下,例如,考虑将包含在信号处理电路41L和41R中的存储器单元102L-1~102R-2放置在增加的底层的逻辑基板上。

[0215] 另外,在设置两个以上逻辑基板的情况下,不是逻辑基板的所有层都必须通过使用单次曝光来制造,并且一些逻辑基板可以通过使用分开曝光来制造。例如,在上述例子中,其中设置有存储器单元102L-1~102R-2的底层的逻辑基板可以通过使用分开曝光来制造。

[0216] 另外,如上所述,在信号处理电路在逻辑基板的内部连接的情况下,不是逻辑基板的所有层都必须通过使用单次曝光来制造,并且一些层可以通过使用分开曝光来制造。

[0217] (信号处理电路的连接方法的变形例)

[0218] 另外,本技术的第二和第三实施方案说明了其中左侧和右侧信号处理电路在固态成像装置内电连接的例子,但是它们可以在固态成像装置的外部连接。

[0219] 图22示出了其中固态成像装置1的信号处理电路41L和信号处理电路41R在固态成像装置1的外部连接的例子。另外,在该例子中,固态成像装置1安装在封装401上。另外,在图22中,为了清楚说明的目的,仅示出了固态成像装置1中的信号处理电路41L和41R。

[0220] 信号处理电路41L通过接合线411L与在封装401中形成的导电图案412连接。类似

地,信号处理电路41R通过接合线411R与导电图案412连接。因此,信号处理电路41L和信号处理电路41R通过接合线411L、411R和导电图案412电连接。

[0221] 除此之外,信号处理电路41L和信号处理电路41R可以经由引线框等在外部的电连接。

[0222] 另外,当信号处理电路41L和信号处理电路41R在固态成像装置1的外部连接时,与在内部连接的情况相比,可以安装的配线的数量是有限的。因此,假定是难以将固态成像装置1内的像素数据的左侧和右侧部分合成的情况。在这种情况下,例如,模拟信号可以由连接信号处理电路41L和信号处理电路41R之间的预定相同模拟信号的信号线(例如,参考电压的信号线和接地线等)共享。

[0223] 例如,在像素数据的左侧和右侧部分在不同的信号处理电路41中生成的情况下,由于各信号处理电路41的特性的差异而使像素数据的左侧和右侧部分的颜色和亮度产生差异,并且有时会看见两条像素数据的合成部分的边界。因此,共享各信号处理电路41的预定模拟信号能够减小各信号处理电路41的特性的差异并且使得像素数据的合成部分的边界变得不明显。

[0224] (AD转换方法的变形例)

[0225] 另外,尽管以上参照图2说明了在固态成像装置中采用列并列AD转换方法的情况,但是可以采用像素AD并列转换方法。

[0226] 图23示意性示出了在采用像素AD转换方法的情况下像素基板511和逻辑基板512的构成。

[0227] 与图1的像素基板11类似,在像素基板511上形成有包含像素阵列单元531的像素电路521。另外,与图1的逻辑基板12类似,在逻辑基板512上,具有相同电路图案的信号处理电路541L和信号处理电路541R形成为通过划线区域42配置到左侧和右侧。

[0228] 然后,在像素基板511的像素阵列单元531中,像素单元(群)二维配置成矩阵,使得包含预定数量的二维配置的像素的区域作为一个单位,并且针对各像素单位形成通路532。另一方面,在信号处理电路541L和信号处理电路541R中,包含AD转换器81(图2)和存储器单元67(图2)等的电路单元(在图23中,像素AD单位)针对像素阵列单元531的各像素单位设置。另外,针对像素AD单位,形成与像素单位对应的通路23。

[0229] 以这种方式,由于可以通过采用像素并列AD转换方法增大像素信号的读出速度,所以可以加长AD转换器81的停止期间,因此,可以降低能耗。

[0230] (耐湿环的变形例)

[0231] 逻辑基板的耐湿环(也被称作密封环或保护环等)可以基本上通过与过去的方法相同的方法形成。例如,耐湿环通过与一般方法相同的方法形成以分别包围各信号处理电路。然而,与以上参照图14所述的第二实施方案一样,当电连接信号处理电路的电路间配线层在逻辑基板上形成时,如果耐湿环由与过去相同的方法制成,那么电路间配线层的配线和耐湿环彼此干扰。换句话说,在电路间配线层的配线通过信号处理电路的端部处的部分中,在信号处理电路的端部形成的耐湿环和电路间配线层的配线彼此干扰。

[0232] 因而,在下文中,说明避免电路间配线层的配线和耐湿环之间的干扰的方法。

[0233] 首先,参照图24~26说明避免电路间配线层的配线和耐湿环之间的干扰的第一方法。

[0234] 图24是示意性示出为了避免电路间配线层的配线和耐湿环之间的干扰的逻辑基板601的构成例的平面图。

[0235] 逻辑基板601与上述图14的逻辑基板211的不同之处在于代替信号处理电路241L和241R,通过划线区域42设置了具有相同电路图案的信号处理电路611L和信号处理电路611R。另外,与逻辑基板211类似,电连接信号处理电路611L和信号处理电路611R的电路间配线层在逻辑基板601的顶层上形成。在该例子中,通过电路间配线层的配线612-1~612-3电连接信号处理电路611L和信号处理电路611R。

[0236] 另外,以沿着逻辑基板601的外周附近包围信号处理电路611L和611R的外周的方式形成耐湿环613。

[0237] 这里,参照图25和图26说明耐湿环613的结构。图25是示意性示出耐湿环613的断面的断面图,并且图26是示意性示出耐湿环613的一部分的立体图。

[0238] 耐湿环613包括由接触件的材料制成的壁621、虚拟配线622-1~622-6、由通路的材料制成的壁623-1~623-5、壁624和虚拟配线625。

[0239] 虚拟配线622-1~622-6和虚拟配线625分别在逻辑基板601的不同配线层中形成,并且不用于信号传输。在该例子中,例如,逻辑基板601的配线层在硅基板制成的基板层631上堆叠成七层。然后,虚拟配线622-1在逻辑基板601的底部的第一配线层上形成。虚拟配线622-2~622-6在逻辑基板601的第二至第六配线层上形成。虚拟配线625在逻辑基板601的顶部的第七配线层上形成。

[0240] 虚拟配线622-1~622-6和虚拟配线625具有基本上相同的矩形环状形状,并且在各配线层中以沿着逻辑基板601的外周附近包围信号处理电路611L和611R的外周的方式形成。

[0241] 壁621、壁623-1~623-5和壁624具有基本上相同的矩形环状形状,并且以沿着逻辑基板601的外周附近包围信号处理电路611L和611R的外周的方式形成。

[0242] 壁621通过与用于连接基板层631和第一配线层的接触件相同的过程形成以连接基板层631和虚拟配线622-1。

[0243] 壁623-1~623-5通过与用于连接从第一配线层至第六配线层的各配线层的通路相同的过程形成。壁623-1连接虚拟配线622-1和虚拟配线622-2。壁623-2连接虚拟配线622-2和虚拟配线622-3。壁623-3连接虚拟配线622-3和虚拟配线622-4。壁623-4连接虚拟配线622-4和虚拟配线622-5。壁623-5连接虚拟配线622-5和虚拟配线622-6。

[0244] 壁624通过与用于连接第六配线层和第七配线层的通路相同的过程形成,并且连接虚拟配线622-6和虚拟配线625。

[0245] 例如,第一配线层至第六配线层使用铜,壁621由钨制成,并且虚拟配线622-1~622-6和壁623-1~623-5由铜制成。另外,例如,从基板层631的表面至第六配线层的上端的层间绝缘膜632使用由具有低介电常数的低K材料制成的绝缘膜。然后,例如,第一至第六配线层用于传输高速信号。

[0246] 另一方面,例如,第七配线层使用铝,并且虚拟配线625由铝制成。另外,例如,壁624由钨制成。另外,第六配线层的上端至其上面的层间绝缘膜633使用具有比层间绝缘膜632更高的介电常数和耐水性的氧化膜(例如,氧化硅膜)。然后,例如,第七配线层用于诸如电源等低速信号的传输。另外,第七配线层是电路间配线层。

[0247] 以这种方式,耐湿环613通过壁621至虚拟配线625形成包围逻辑基板601的壁,并防止水分从逻辑基板601的侧面侵入信号处理电路611L和611R中。

[0248] 另外,耐湿环613没有设置在信号处理电路611L和信号处理电路611R之间。因此,连接信号处理电路611L和信号处理电路611R的配线612-1~612-3不干扰耐湿环613。

[0249] 另外,耐湿环613的外周的尺寸与像素电路21的基本上相同并且大于曝光装置的曝光范围。因此,在形成在逻辑基板601的基板层631上面的层(包括耐湿环613)期间使用分开曝光。

[0250] 另外,耐湿环613不必形成为包围逻辑基板601的周边的全部,并且例如,在可以确保耐湿的范围内可以形成为仅包围逻辑基板601的周边的一部分。

[0251] 另外,例如,与在逻辑基板上设置有三个以上信号处理电路的情况类似,耐湿环可以形成为在内部包括所有的信号处理电路或包围逻辑基板的周边或周边的一部分。

[0252] 接着,参照图27~33说明用于避免电路间配线层的配线和耐湿环之间的干扰的第二方法。

[0253] 图27是示意性示出为了避免电路间配线层的配线和耐湿环之间的干扰而形成的逻辑基板651的构成例的平面图。

[0254] 逻辑基板651与上述图24的逻辑基板601的不同之处在于代替信号处理电路611L和611R,通过划线区域42设置了具有相同电路图案的信号处理电路661L和信号处理电路661R。另外,与逻辑基板601类似,电连接信号处理电路661L和信号处理电路661R的电路间配线层在逻辑基板651的顶层上形成。在该例子中,通过电路间配线层的配线662-1~662-3电连接信号处理电路661L和信号处理电路661R。

[0255] 另外,逻辑基板651与逻辑基板601的不同之处在于代替耐湿环613,形成了耐湿环663L和663R。耐湿环663L形成为沿着信号处理电路661L的外周附近包围信号处理电路661L的周边。耐湿环663R形成为沿着信号处理电路661R的外周附近包围信号处理电路661R的周边。

[0256] 这里,参照图28~33说明耐湿环663R的结构。另外,尽管省略了详细说明,但是耐湿环663L也具有与耐湿环663R基本上相同的结构。另外,在下文中,与耐湿环663R的各部分对应的耐湿环663L的部分的附图标记通过将耐湿环663R的各部分的附图标记中的“R”用“L”替换来表示。

[0257] 图28是示意性示出耐湿环663R的区域A1R-1~A1R-3和区域A2R-1~A2R-3之外的部分的断面的断面图。图29是示意性示出耐湿环663R的区域A1R-1~A1R-3和区域A2R-1~A2R-3之外的部分的其中一部分的立体图。

[0258] 图30是示意性示出耐湿环663L的区域A1L-1和耐湿环663R的区域A1R-1的配线662-1在其处通过的部分的断面的断面图。图31是示意性示出耐湿环663R的区域A1R-1附近的立体图。

[0259] 图32是示意性示出在耐湿环663R的区域A2R-1中与耐湿环663L的区域A1L-1中配线662-1在其处通过的部分相同的位置的断面的断面图。图33是示意性示出耐湿环663R的区域A2R-1附近的立体图。另外,在图33中,仅透过顶层的虚拟配线675R。

[0260] 耐湿环663R包括壁671R、虚拟配线672R-1~672R-6、壁673R-1~673R-5、壁674R和虚拟配线675R,并且具有与以上参照图25和图26所述的耐湿环613基本上相同的结构。换句

话说,耐湿环663R与耐湿环613类似,具有七层的堆叠结构,并且由与耐湿环613相同的材料制成。

[0261] 例如,从基板层681的表面至第六配线层的顶部的层间绝缘膜682与逻辑基板601的层间绝缘膜632类似,使用由低K材料制成的绝缘膜。另外,例如,第六配线层的顶部上面的层间绝缘膜683与逻辑基板601的层间绝缘膜633类似,使用氧化膜(例如,氧化硅膜)。

[0262] 然而,耐湿环663R不同于耐湿环613,壁674R和虚拟配线675R在一些部分中没有形成,并且是不连续的。具体地,壁674R和虚拟配线675R在耐湿环663R的左侧区域A1R-1~A1R-3中的配线662-1~662-3在其处通过的部分中是不连续的。

[0263] 例如,如图30和图31所示,壁674R和虚拟配线675R是不连续的以在区域A1R-1的配线662-1在其处通过的部分中不干扰配线662-1。另外,尽管未示出,但是壁674R和虚拟配线675R是不连续的以在区域A1R-2的配线662-2在其处通过的部分中和区域A1R-3的配线662-3在其处通过的部分中不干扰配线662-2和662-3。

[0264] 类似地,耐湿环663L的壁674L和虚拟配线675L是不连续的以在耐湿环663L的右侧的区域A1L-1~A1L-3中的配线662-1~662-3在其处通过的部分中不干扰配线662-1~662-3。

[0265] 另外,耐湿环663R的壁674R在与耐湿环663L的区域A1L-1~A1L-3中的壁674L的不连续部分对应的部分中是不连续的。例如,在壁674R中,在耐湿环663L的右侧的区域A2R-1中,与在耐湿环663L的右侧的区域A1L-1中的壁674L的不连续部分相同的部分是不连续的,如图32和图33所示。另外,尽管未示出,但是在壁674R的耐湿环663R的右侧的区域A2R-2和A2R-3中,与在耐湿环663L的右侧的区域A1L-2和A1L-3中的壁674L的不连续部分相同的部分是不连续的。

[0266] 类似地,在耐湿环663L的壁674L中,与在耐湿环663R的区域A1R-1~A1R-3内的壁674R的不连续部分对应的部分是不连续的。

[0267] 因而,耐湿环663L的壁674L的不连续部分和耐湿环663R的壁674R的不连续部分相同,并且壁674R和壁674L具有相同对称的形状。

[0268] 另外,虚拟配线675R在区域A2R-1~A2R-3中没有中断是连续的。类似地,虚拟配线675L在区域A2L-1~A2L-3中没有中断是连续的。

[0269] 如上所述,在耐湿环663R中,壁671R至虚拟配线675R形成包围信号处理电路661R的周边的壁以防止水分从逻辑基板651的侧面侵入信号处理电路661R中。类似地,在耐湿环663L中,壁671L至虚拟配线675L形成包围信号处理电路661L的周边的壁以防止水分从逻辑基板651的侧面侵入信号处理电路661L中。

[0270] 另外,如上所述,耐湿环663L和663R不干扰连接信号处理电路661L和信号处理电路661R的配线662-1~662-3。

[0271] 另外,由于耐湿环663R的壁674R和虚拟配线675R的不连续区间非常短并且层间绝缘膜683的耐水性也很高,所以耐湿环663R的耐湿性能几乎不劣化。类似地,由于耐湿环663L的壁674L和虚拟配线675L的不连续区间非常短并且层间绝缘膜683的耐水性也很高,所以耐湿环663L的耐湿性能几乎不劣化。

[0272] 另外,例如,由于耐湿环663L的壁674L和耐湿环663R的壁674R具有相同的形状,所以壁674L和壁674R可以通过使用相同的光掩模曝光,因而可以降低成本。

[0273] 另外,耐湿环663L和663R不必形成包围信号处理电路661L和661R的所有周边,并且可以形成在能够确保耐湿的范围内仅包围周边的一部分。

[0274] 另外,不必设置配线662-1~662-3在其处通过的部分之外的壁674L和壁674R的不连续部分。然而,如果不设置不连续部分,那么壁674L和壁674R不具有相同形状,因而变得必需使用分开曝光。

[0275] 另外,例如,即使当在逻辑基板上设置三个以上的信号处理电路时,以相同的方式,为了避免连接各信号处理电路的配线的干扰也可以形成各信号处理电路的耐湿环。

[0276] (耐湿环663L和663R的制造方法)

[0277] 接着,参照图34~40说明逻辑基板651的耐湿环663L和663R的制造方法。

[0278] 另外,在下文中,图34~40的左侧都示意性示出在耐湿环663L的右侧和耐湿环663R的左侧在其处相邻的部分中配线662-1~662-3在其处不通过的部分的断面。与此相反,图34~40的右侧都示意性示出了在耐湿环663L的右侧和耐湿环663R的左侧在其处相邻的部分中配线662-1在其处通过的部分的断面。

[0279] 另外,在下文中,耐湿环663L的壁671L至虚拟配线672L-6、耐湿环663R的壁671R至虚拟配线672R-6和层间绝缘膜682已经形成,并且说明层间绝缘膜682上面的部分的形成步骤。另外,在至此之前的过程中的曝光使用单次曝光。

[0280] 首先,如图34所示,在层间绝缘膜682上沉积氧化膜691。

[0281] 接着,如图35所示,将氧化膜691蚀刻以形成沟槽692L和692R。如从上面所看到的,沟槽692L形成为经由虚拟配线672L-6基本上与壁673L-5重叠。然而,沟槽692L旨在形成耐湿环663L的壁674L,并且未形成在其中上述的壁674L是不连续的部分中。类似地,如从上面所看到的,沟槽692R形成为经由虚拟配线672R-6基本上与壁673R-5重叠。然而,沟槽692R旨在形成耐湿环663R的壁674R,并且未形成在其中上述的壁674R是不连续的部分中。

[0282] 另外,如上所述,由于壁674R和壁674L具有相同的形状,所以沟槽692L和沟槽692R具有相同的形状。因此,沟槽692L和沟槽692R可以使用相同光掩模分别通过单次曝光形成。

[0283] 另外,如图36所示,在氧化膜691上沉积由钨制成的金属膜693。在这种情况下,金属膜693沉积成厚的,从而使得沟槽692L和692R完全掩埋。

[0284] 接着,如图37所示,金属膜693留在沟槽692L和692R中,并且通过抛光将氧化膜691上的金属膜693除去。这允许形成由钨制成的壁674L和674R。

[0285] 接着,如图38所示,在氧化膜691上沉积由铝制成的金属膜694。

[0286] 接着,如图39所示,对金属膜694进行蚀刻。因而,形成包括配线662-1~662-3和虚拟配线675L和675R的电路间配线层。电路间配线层使用上述的分开曝光形成。

[0287] 最后,如图40所示,在电路间配线层上沉积氧化膜。因而,与参照图34所述的过程中沉积的氧化膜691一起形成层间绝缘膜683。另外,例如,在层间绝缘膜上进一步形成由聚酰亚胺制成的保护膜。

[0288] 另外,上述的耐湿环的层数和材料以及层间绝缘膜的材料仅仅是举例说明,并且必要时可以改变。

[0289] {4-2. 成像处理的变形例}

[0290] 尽管以上说明了其中一条像素数据被分成左侧和右侧并且由各信号处理电路生成的例子,但是像素数据的分割方法依据在逻辑基板中设置的信号处理电路的数量或布局

可以自由变化。例如,像素数据可以垂直分割,或可以分成 n 个(n 为3以上)。

[0291] 另外,例如,在不分割像素数据的情况下,多个(例如,两个)信号处理电路分别生成完整的像素数据,并且可以生成通过将多条生成的像素数据的像素值加在一起获得的像素数据。因而,可以减少随机噪声或者吸收AD转换器81的特性的差异,从而提高图像质量。

[0292] 在这种情况下,多条像素数据的像素值可以加权并相加。例如,两个信号处理电路分别生成完整的像素数据,并且使用0.5的权重值对各条像素数据进行加权并相加,从而使得可以获得作为两条完整的像素数据的像素值的平均值的像素数据。

[0293] 另外,例如,除了分割像素数据之外,相同区域的像素数据可以通过多个信号处理电路生成并相加。例如,左侧信号处理电路和右侧信号处理电路可以分别设置为两份以创建被写体左半边的两条像素数据和被写体右半边的两条像素数据。然后,例如,通过将两条左半边的像素数据的像素值相加获得的像素数据和通过将两条右半边的像素数据的像素值相加获得的像素数据可以相加。

[0294] {4-3.本技术适用范围的变形例}

[0295] 尽管对本技术适用于固态成像装置的情况进行了说明,但是本技术可以适用于其中芯片尺寸大于曝光装置的曝光范围的堆叠结构的其他半导体装置。

[0296] <5.电子设备>

[0297] 可以将采用本技术的固态成像装置用作诸如数位相机和摄像机等的成像装置、诸如移动电话等具有成像功能的便携式终端装置和使用固态成像装置作为图像读取单元的复印机等一般电子设备中的成像单元(即,图像捕捉单元)。另外,也存在其中在电子设备上安装上述模块形式的情况,换句话说,将相机模块用作成像装置。

[0298] {5-1.成像装置}

[0299] 图41是示出作为采用本技术的电子设备的例子的成像装置(例如,相机装置)701的构成例的框图。

[0300] 如图41所示,成像装置701包括包含透镜组711等的光学系统、成像元件712、作为相机信号处理单元的DSP电路713、帧存储器714、显示装置715、记录装置716、操作系统717和电源系统718等。DSP电路713、帧存储器714、显示装置715、记录装置716、操作系统717和电源系统718被构造成经由总线719彼此连接。

[0301] 透镜组711接收来自被写体的入射光(即,图像光)并将入射光聚焦在成像元件712的成像面上。成像元件712将通过透镜组711聚焦在成像面上的入射光以像素单位转换成电信号,并输出像素信号。

[0302] 显示装置715是诸如液晶显示装置或有机电致发光(EL)显示装置等面板型显示装置,并且显示由成像元件712捕捉的移动图像或静止图像。记录装置716将由成像元件712捕捉的移动图像或静止图像记录在诸如存储卡、录像磁带或数字多功能光盘(DVD)等记录介质中。

[0303] 操作系统717在使用者的操作下发出用于成像装置701的各种功能的操作指令。电源系统718适当地将作为DSP电路713、帧存储器714、显示装置715、记录装置716和操作系统717的操作电源的各种电源类型供给到这些供应对象。

[0304] 这种成像装置701适用于摄像机或数位相机和诸如智能手机和移动电话等移动装置的相机模块。然后,可以根据上述实施方案的固态成像装置用作成像装置701中的成像

元件712。这使得可以降低成像装置701的成本。

[0305] 另外,本技术的实施方案不限于上述实施方案,并且可以在不脱离本技术范围内的情况下进行各种修改。

[0306] 另外,例如,本技术可以具有以下构成。

[0307] (1) 一种固态成像装置,包括:

[0308] 第一基板,其上形成有包含像素阵列单元的像素电路;和

[0309] 第二基板,其上形成有多个信号处理电路,其中所述多个信号处理电路彼此相邻配置并且在其间包括间隔区域,以及

[0310] 其中第一基板和第二基板堆叠。

[0311] (2) 根据(1)所述的固态成像装置,其中所述各信号处理电路具有一组相同的功能。

[0312] (3) 根据(1)~(2)中任一项所述的固态成像装置,其中所述一组相同的功能包括作为相同的信号处理电路来操作。

[0313] (4) 根据(2)~(3)中任一项所述的固态成像装置,其中响应于一个或多个外部信号设定在所述各信号处理电路中将被有效的功能和将被无效的功能。

[0314] (5) 根据(1)~(4)中任一项所述的固态成像装置,其中所述多个信号处理电路中的第一信号处理电路被构造成基于所述像素阵列单元的第一区域内的像素的像素信号生成第一像素数据,以及

[0315] 其中所述多个信号处理电路中的第二信号处理电路被构造成基于与所述像素阵列单元的第一区域不同的第二区域内的像素的像素信号生成第二像素数据。

[0316] (6) 根据(1)~(5)中任一项所述的固态成像装置,其中所述多个信号处理电路中的第一信号处理电路和所述多个信号处理电路中的第二信号处理电路电连接。

[0317] (7) 根据(6)所述的固态成像装置,其中第一信号处理电路和第二信号处理电路经由在第二基板上形成的第一配线层电连接。

[0318] (8) 根据(7)所述的固态成像装置,其中第一配线层在第二基板的配线层的顶层上形成。

[0319] (9) 根据(7)~(8)中任一项所述的固态成像装置,还包括:

[0320] 包围第一信号处理电路的周边的至少一部分的第一耐湿结构;和

[0321] 包围第二信号处理电路的周边的至少一部分的第二耐湿结构。

[0322] (10) 根据(9)所述的固态成像装置,其中第一信号处理电路和第二信号处理电路具有共同的电路图案,

[0323] 其中第一配线层在第二基板的配线层的顶层上形成并包括第一耐湿结构的顶层和第二耐湿结构的顶层,

[0324] 其中在第一耐湿结构的第一配线层的配线在其处通过的第一部分上未形成第一耐湿结构的顶层以及连接第一耐湿结构的顶层与在所述顶层下面那层的第一壁,以及

[0325] 其中在第二耐湿结构的第一配线层的配线在其处通过的第二部分上未形成第二耐湿结构的顶层以及连接第二耐湿结构的顶层与在所述顶层下面那层的第二壁。

[0326] (11) 根据(10)所述的固态成像装置,其中在与第二耐湿结构的第二部分对应的第一耐湿结构的第三部分上未形成第一壁,以及

[0327] 其中在与第一耐湿结构的第一部分对应的第二耐湿结构的第四部分上未形成第二壁。

[0328] (12) 根据(10)所述的固态成像装置,其中除了第二基板的第一配线层之外的配线层通过单次曝光形成,并且第一配线层通过分开曝光形成。

[0329] (13) 根据(10)所述的固态成像装置,其中第二配线层及以后的配线层的层间绝缘膜由低K膜制成,第二配线层是第一配线层下面的那层,和

[0330] 其中第二配线层上面的层间绝缘膜由耐水性比所述低K膜高的绝缘膜制成。

[0331] (14) 根据(7)所述的固态成像装置,还包括包围第二基板的周边的至少一部分的耐湿结构。

[0332] (15) 根据(14)所述的固态成像装置,其中所述各信号处理电路的一层或多层的至少一部分通过单次曝光形成,以及

[0333] 其中其上形成有耐湿结构的层通过分开曝光形成。

[0334] (16) 根据(6)所述的固态成像装置,其中经由在第一基板上形成的配线电连接第一信号处理电路和第二信号处理电路。

[0335] (17) 根据(16)所述的固态成像装置,其中在第一基板上形成的配线在所述像素阵列单元外侧的区域中形成,以及

[0336] 其中第一信号处理电路和第二信号处理电路经由在第一基板上形成的通路与在第一基板上形成的配线连接。

[0337] (18) 根据(6)所述的固态成像装置,其中第一信号处理电路和第二信号处理电路在所述固态成像装置外部的区域中彼此电连接。

[0338] (19) 根据(18)所述的固态成像装置,其中所述固态成像装置安装到封装上并且第一信号处理电路和第二信号处理电路通过在所述封装上的导电图案电连接。

[0339] (20) 根据(18) ~ (19)中任一项所述的固态成像装置,其中第一信号处理电路和第二信号处理电路的相同模拟信号的信号线在所述固态成像装置外部的区域中电连接。

[0340] (21) 根据(6)所述的固态成像装置,其中第一信号处理电路和第二信号处理电路经由一条或多条接合线与基板电连接,以及其中所述基板是设置在所述固态成像装置中、设置在相同封装中和设置在所述封装外侧中的至少一个。

[0341] (22) 根据(6) ~ (21)中任一项所述的固态成像装置,其中第一信号处理电路被构造造成基于所述像素阵列单元的第一区域内的像素的像素信号生成第一像素数据,并且将所生成的第一像素数据供给到第二信号处理电路,以及

[0342] 其中第二信号处理电路被构造造成基于与所述像素阵列单元的第一区域不同的第二区域内的像素的像素信号生成第二像素数据,并且将所生成的第二像素数据与第一像素数据合成。

[0343] (23) 根据(6) ~ (21)中任一项所述的固态成像装置,其中第一信号处理电路被构造造成基于所述像素阵列单元的预定区域内的像素的像素信号生成第一像素数据,并且将所生成的第一像素数据供给到第二信号处理电路,以及

[0344] 其中第二信号处理电路被构造造成基于与第一信号处理电路相同的区域内的所述像素阵列单元的像素的像素信号生成第二像素数据,并且通过将第一像素数据和第二像素数据相加而生成第三像素数据。

[0345] (24) 根据 (1) ~ (23) 中任一项所述的固态成像装置,其中在第二基板的与第一基板相邻表面的相对侧的表面上堆叠第三基板。

[0346] (25) 根据 (24) 所述的固态成像装置,还包括在第三基板上的存储器,所述存储器被构造存储通过所述像素阵列单元中的各像素的像素信号的模拟数字 (AD) 转换获得的像素数据。

[0347] (26) 根据 (1) ~ (25) 中任一项所述的固态成像装置,还包括在第二基板上的模拟数字 (AD) 转换单元,其中所述 AD 转换单元被构造以所述像素阵列单元的列为单位对所述像素阵列单元中的各像素的像素信号进行转换。

[0348] (27) 根据 (1) ~ (25) 中任一项所述的固态成像装置,还包括在第二基板上的模拟数字 (AD) 转换单元,其中所述 AD 转换单元被构造以包含所述像素阵列单元中的预定数量像素的二维阵列的区域为单位对所述像素阵列单元中的各像素的像素信号进行转换。

[0349] (28) 根据 (1) ~ (27) 中任一项所述的固态成像装置,其中所述像素电路通过分开曝光形成,以及

[0350] 其中各信号处理电路的一层或多层的至少一部分通过单次曝光形成。

[0351] (29) 根据 (1) ~ (28) 中任一项所述的固态成像装置,其中所述多个信号处理电路中的第一信号处理电路和所述多个信号处理电路中的第二信号处理电路通过相同的单次曝光形成。

[0352] (30) 根据 (1) ~ (29) 中任一项所述的固态成像装置,其中所述多个信号处理电路之间的间隔区域是划线区域

[0353] (31) 一种固态成像装置的制造方法,包括:

[0354] 通过使用一次或多次分开曝光在第一半导体基板上形成经由划线区域二维配置的包含像素阵列单元的像素电路;

[0355] 通过使用单次曝光在第二半导体基板上形成经由划线区域二维配置的处理所述像素阵列单元中的各像素的像素信号的信号处理电路;

[0356] 将第一半导体基板和第二半导体基板堆叠,使得第一半导体基板的划线区域与第二半导体基板的划线区域重叠;和

[0357] 沿着第一半导体基板的划线区域切割包含堆叠的第一半导体基板和第二半导体基板的半导体基板。

[0358] (32) 根据 (31) 所述的固态成像装置的制造方法,其中所述信号处理电路包括彼此相邻配置并在其间包括第二半导体基板的划线区域的第一信号处理电路和第二信号处理电路,以及其中电连接设置在同一固态成像装置中的第一信号处理电路和第二信号处理电路的配线层在第二半导体基板上形成。

[0359] (33) 根据 (32) 所述的固态成像装置的制造方法,其中所述配线层在第二半导体基板的配线层的顶层上形成。

[0360] (34) 根据 (32) ~ (33) 中任一项所述的固态成像装置的制造方法,还包括:

[0361] 形成包围第一信号处理电路的周边的至少一部分的第一耐湿结构;和

[0362] 形成包围第二信号处理电路的周边的至少一部分的第二耐湿结构。

[0363] (35) 根据 (32) ~ (33) 中任一项所述的固态成像装置的制造方法,还包括:

[0364] 形成包围设置在同一固态成像装置上的第一和第二信号处理电路的外周的至少

一部分的耐湿结构。

[0365] (36) 根据(31)中所述的固态成像装置的制造方法,其中所述信号处理电路包括彼此相邻配置并在其间包括第二半导体基板的划线区域的第一信号处理电路和第二信号处理电路,以及其中用于电连接设置在同一固态成像装置上的第一信号处理电路和第二信号处理电路的配线和通路在第一半导体基板上形成。

[0366] (37) 一种电子设备,包括:

[0367] 固态成像装置,包括第一基板和第二基板,第一基板上形成有包含像素阵列单元的像素电路,第二基板上形成有多个信号处理电路,其中所述多个信号处理电路彼此相邻配置并且在其间包括间隔区域,以及其中第一基板和第二基板堆叠。

[0368] 本领域技术人员应当理解,依据设计要求和和其他因素,可以在本发明所附的权利要求书或其等同物的范围内进行各种修改、组合、次组合以及改变。

[0369] [附图标记列表]

[0370] 1 固态成像装置

[0371] 11 像素基板

[0372] 12 逻辑基板

[0373] 21 像素电路

[0374] 22 划线区域

[0375] 31 像素阵列单元

[0376] 32 单位像素

[0377] 41L,41R 信号处理电路

[0378] 42 划线区域

[0379] 67L,67R 存储器单元

[0380] 68L,68R 数据处理单元

[0381] 69L,69R 接口单元

[0382] 81L-1 ~ 81R-n AD转换器

[0383] 101L-1 ~ 101R-2 AD转换单元

[0384] 102L-1 ~ 102R-2 存储器单元

[0385] 103L,103R 逻辑单元

[0386] 104L-1 ~ 104R-2 接口单元

[0387] 105L-1 ~ 105R-4 通路

[0388] 121 信号处理LSI

[0389] 171L,171R 多路器

[0390] 172L,172R 芯

[0391] 201 固态成像装置

[0392] 211 逻辑基板

[0393] 301 固态成像装置

[0394] 311 像素基板

[0395] 312 逻辑基板

[0396] 321 像素电路

- [0397] 331 像素阵列单元
- [0398] 341L,341R 信号处理电路
- [0399] 351L,351R 配线
- [0400] 352L,352R,353L,353R,355L,355R,357L,357R 通路
- [0401] 358 配线
- [0402] 401 封装
- [0403] 411L,411R 接合线
- [0404] 412 导电图案
- [0405] 511 像素基板
- [0406] 512 逻辑基板
- [0407] 521 像素电路
- [0408] 531 像素阵列单元
- [0409] 532 通路
- [0410] 541L,541R 信号处理电路
- [0411] 601 逻辑基板
- [0412] 611L,611R 信号处理电路
- [0413] 612-1 ~ 612-3 配线
- [0414] 613 耐湿环
- [0415] 621 壁
- [0416] 622-1 ~ 622-6 虚拟配线
- [0417] 623-1 ~ 623-5,624 壁
- [0418] 625 虚拟配线
- [0419] 631 基板层
- [0420] 632,633 层间绝缘膜
- [0421] 651 逻辑基板
- [0422] 661L,661R 信号处理电路
- [0423] 662-1 ~ 662-3 配线
- [0424] 663L,663R 耐湿环
- [0425] 671L,671R 壁
- [0426] 672L-1 ~ 672R-6 虚拟配线
- [0427] 673L-1 ~ 673R-5,674L,674R 壁
- [0428] 675L,675R 虚拟配线
- [0429] 681 基板层
- [0430] 682,683 层间绝缘膜
- [0431] 701 成像装置
- [0432] 712 成像元件

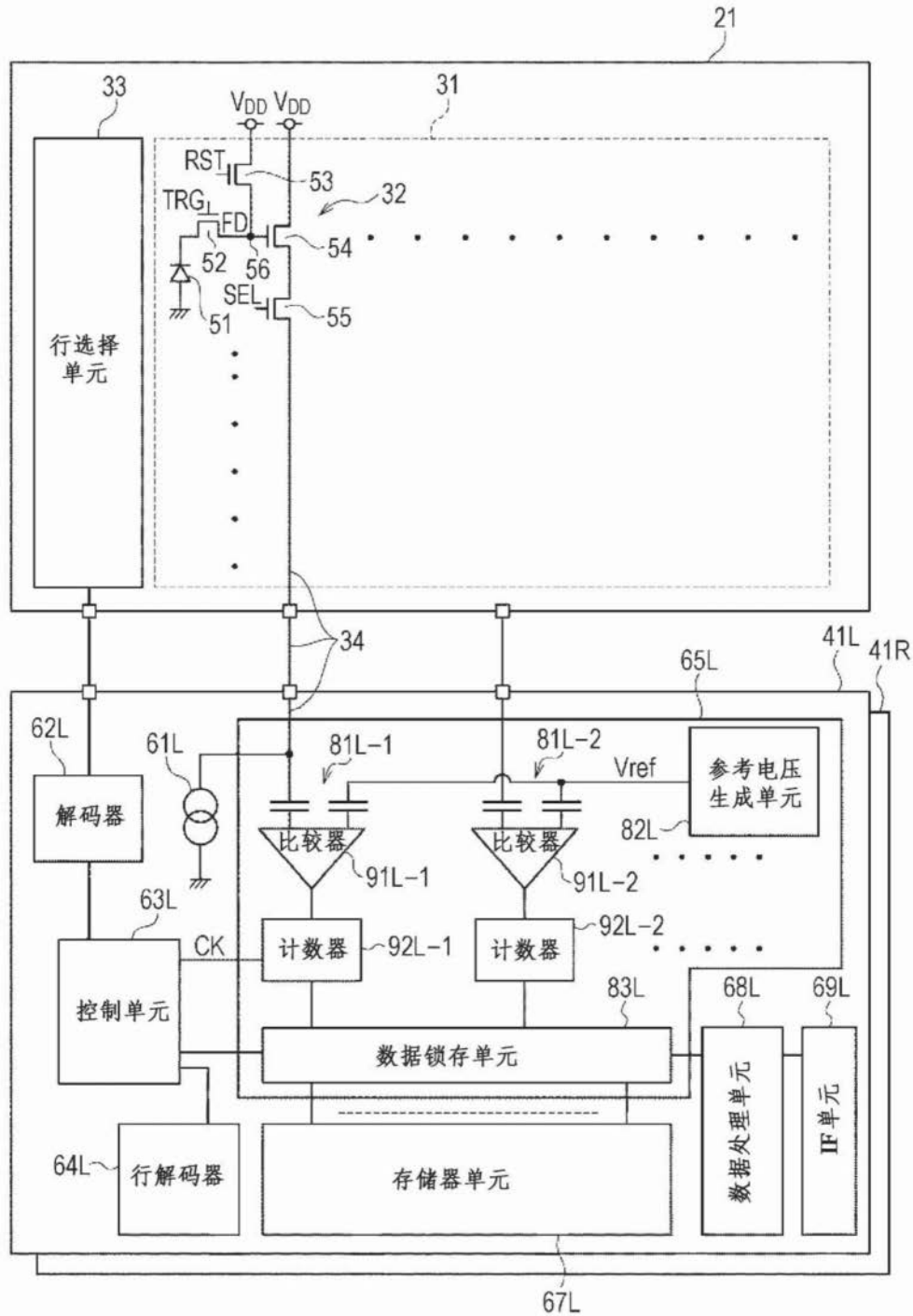


图2

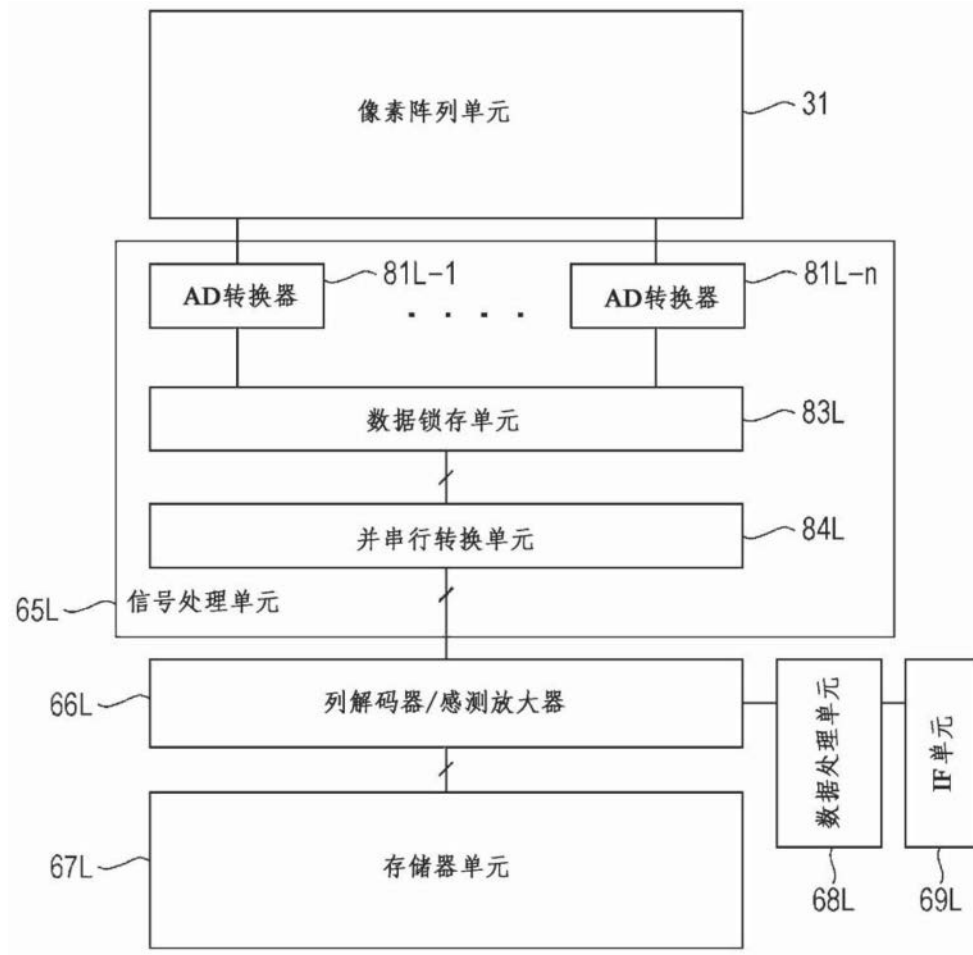


图3

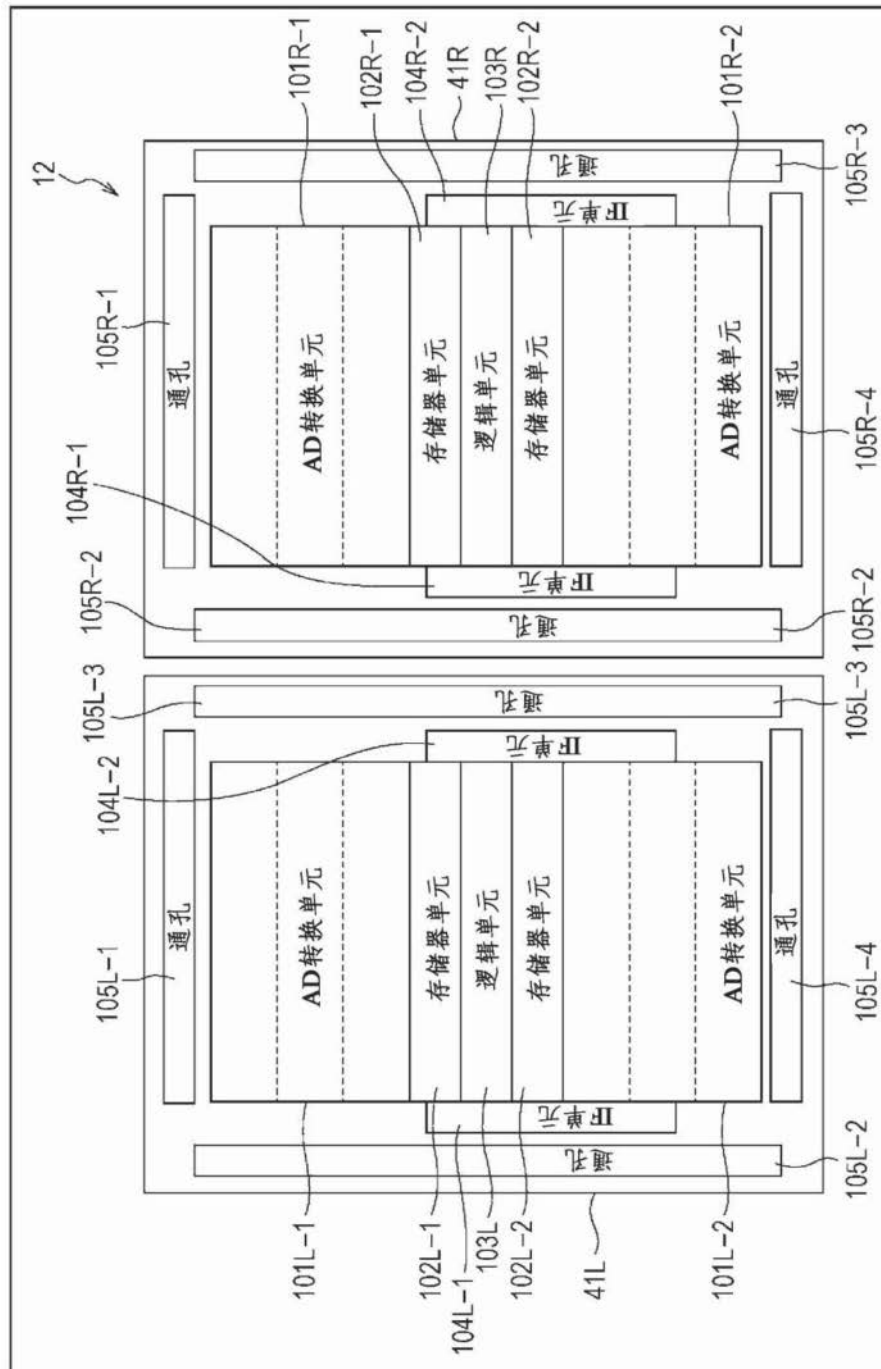


图4

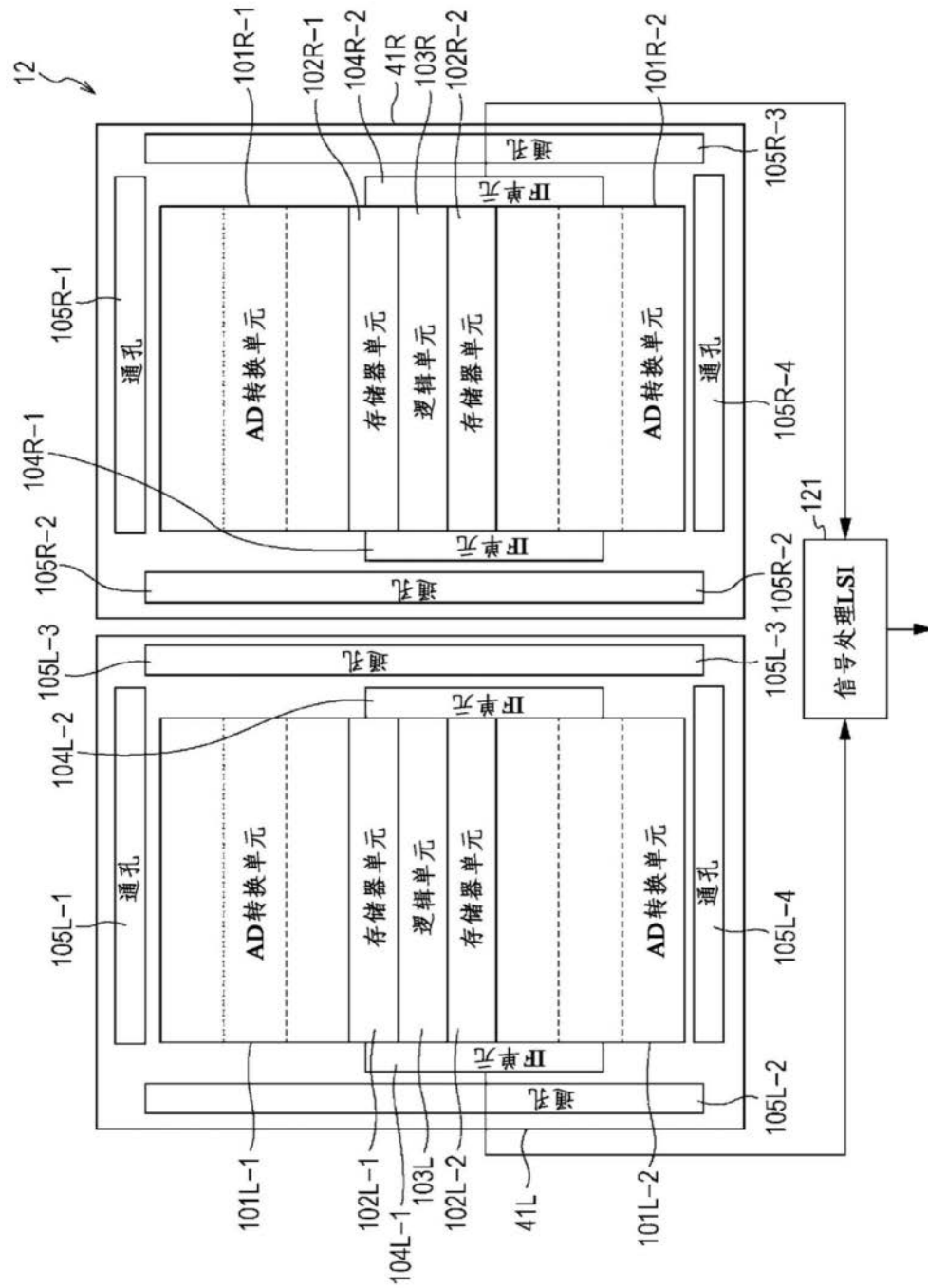


图5

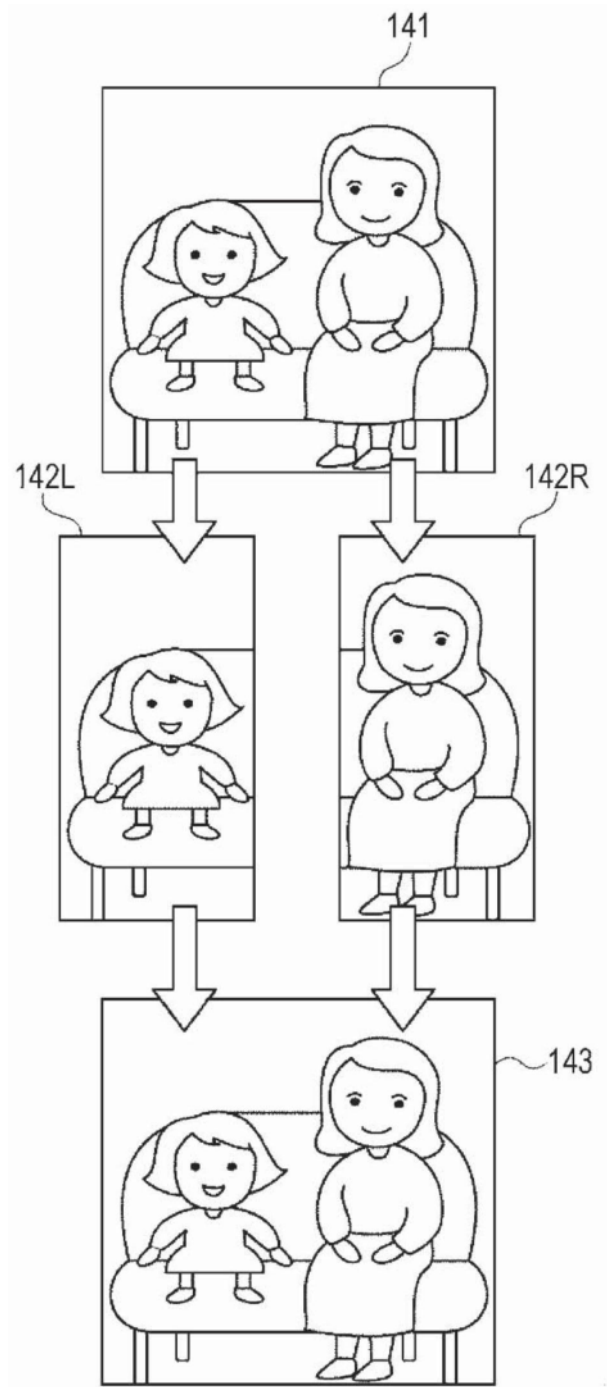


图6

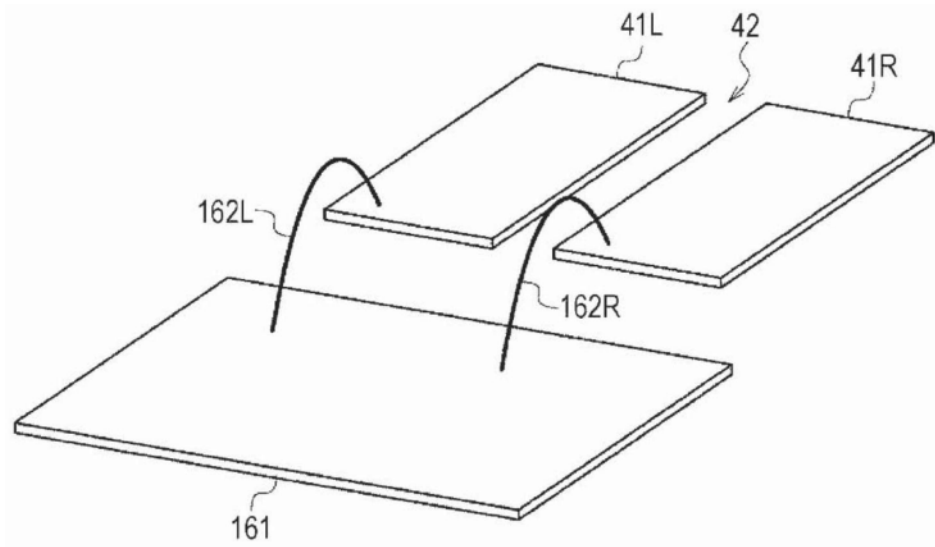


图7

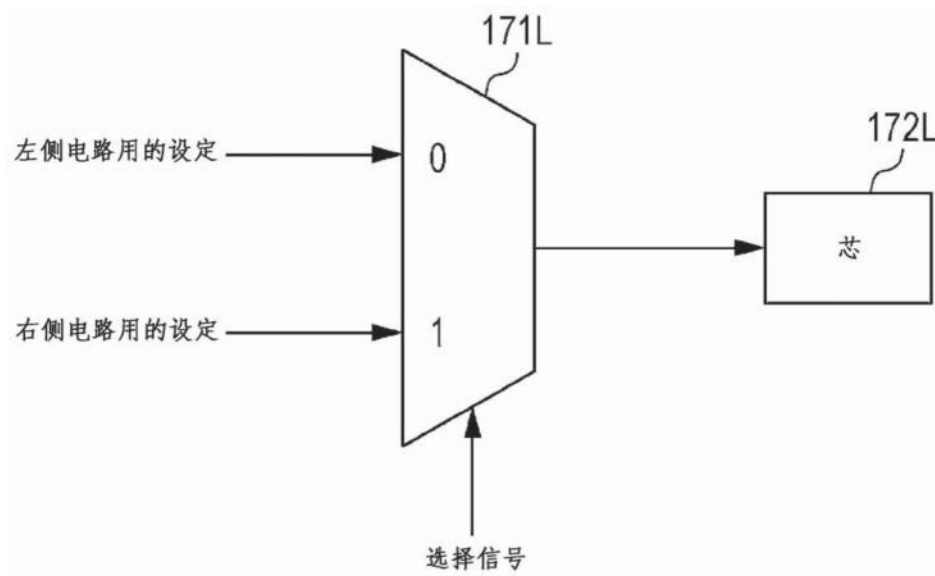


图8

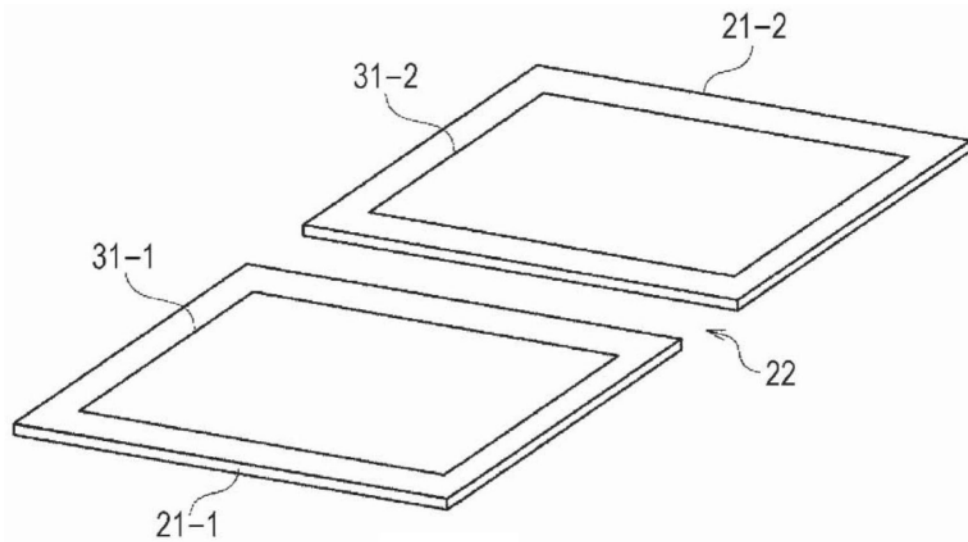


图9

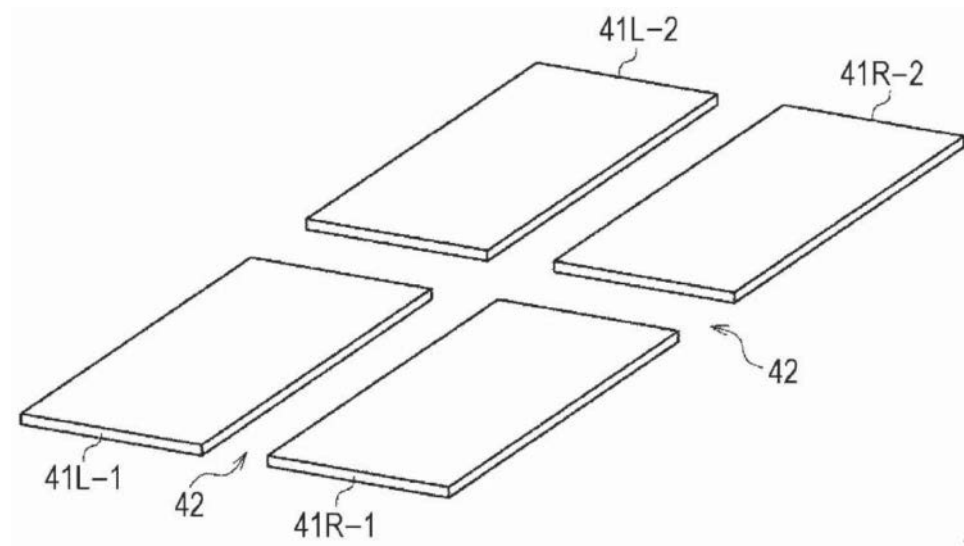


图10

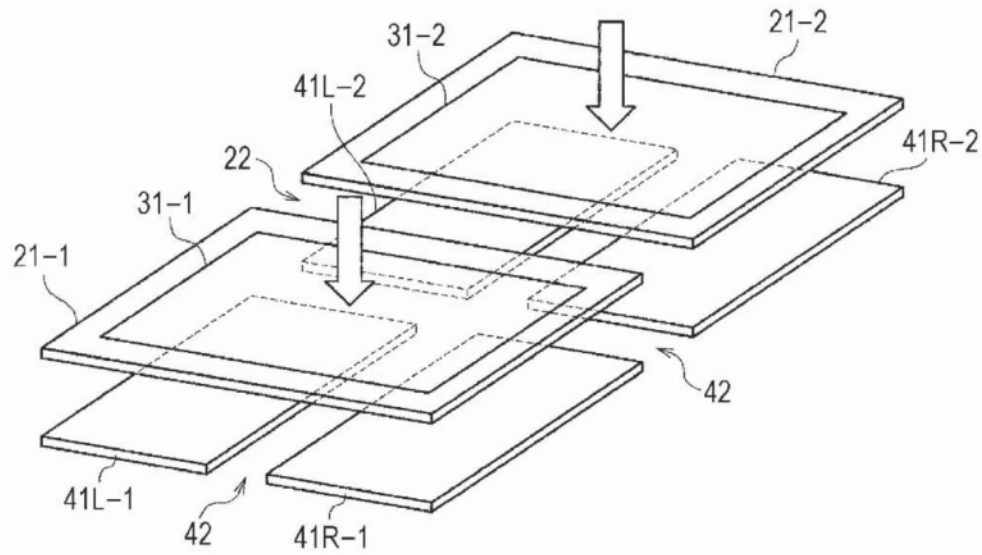


图11

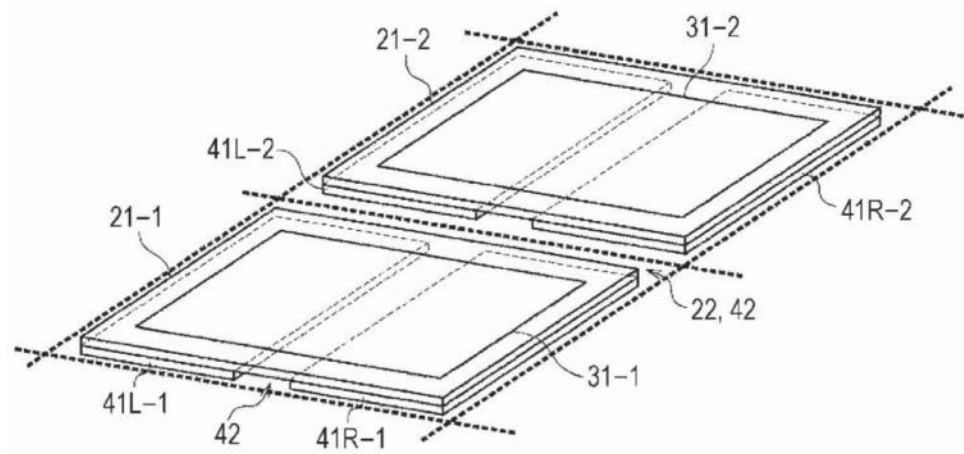


图12

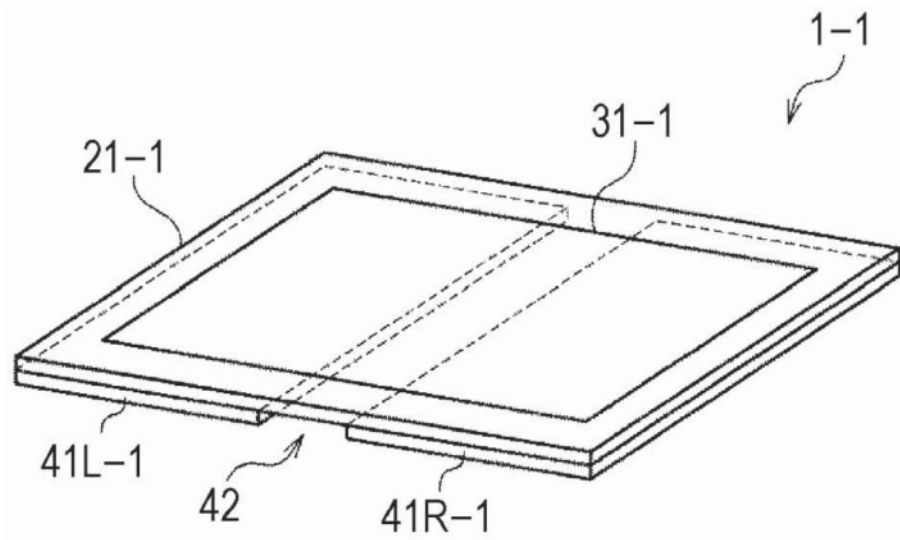


图13

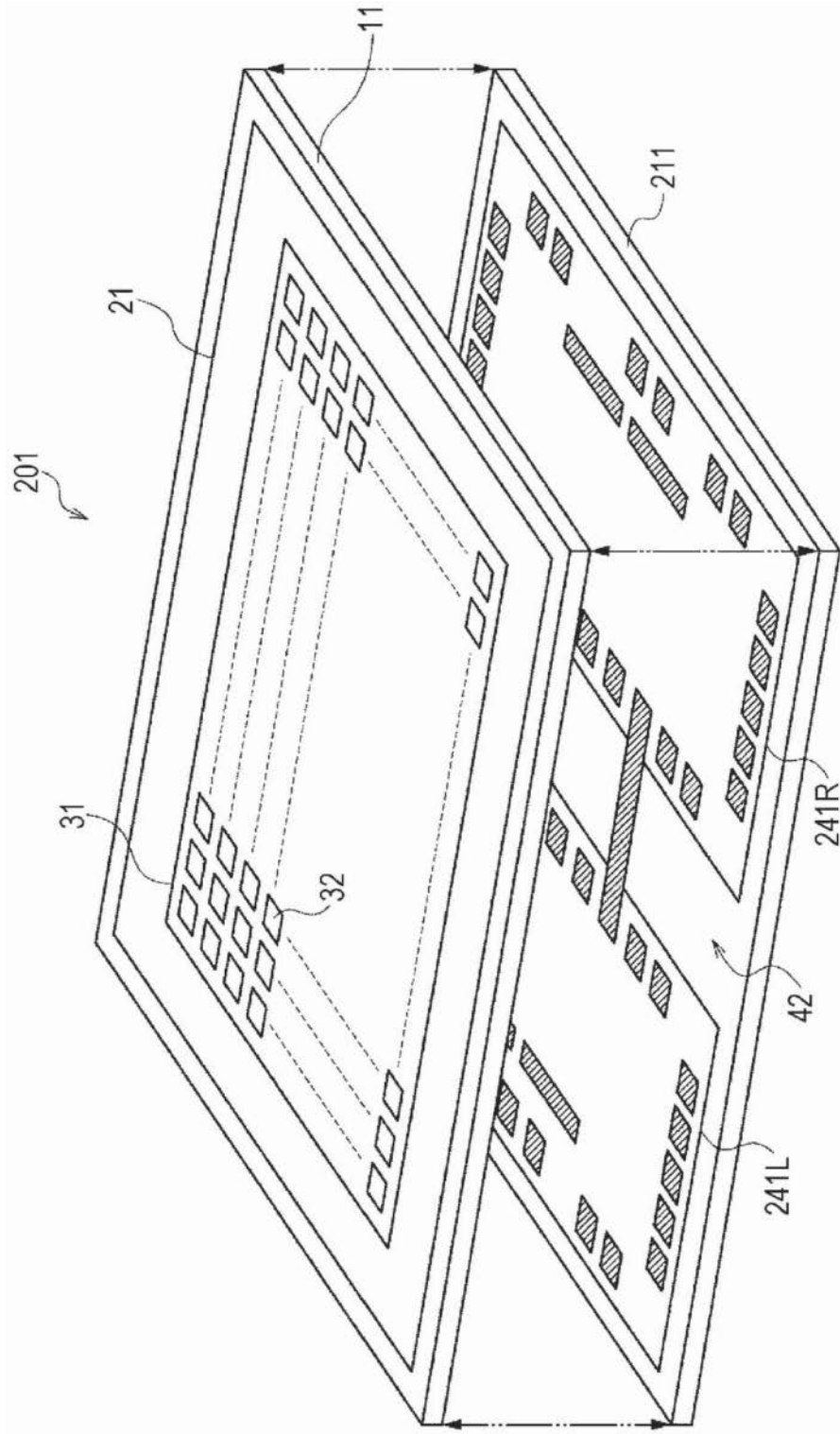


图14

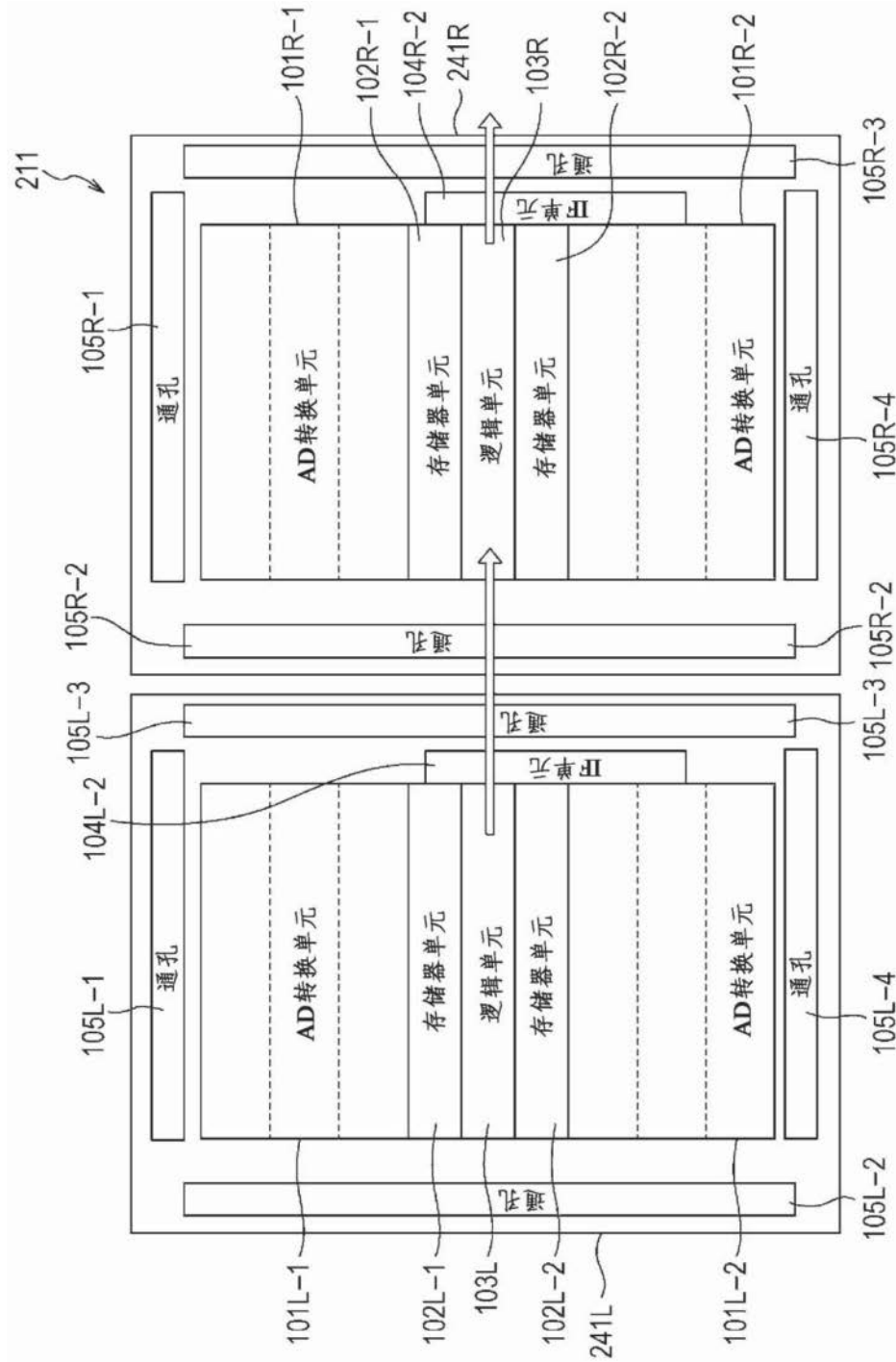


图15

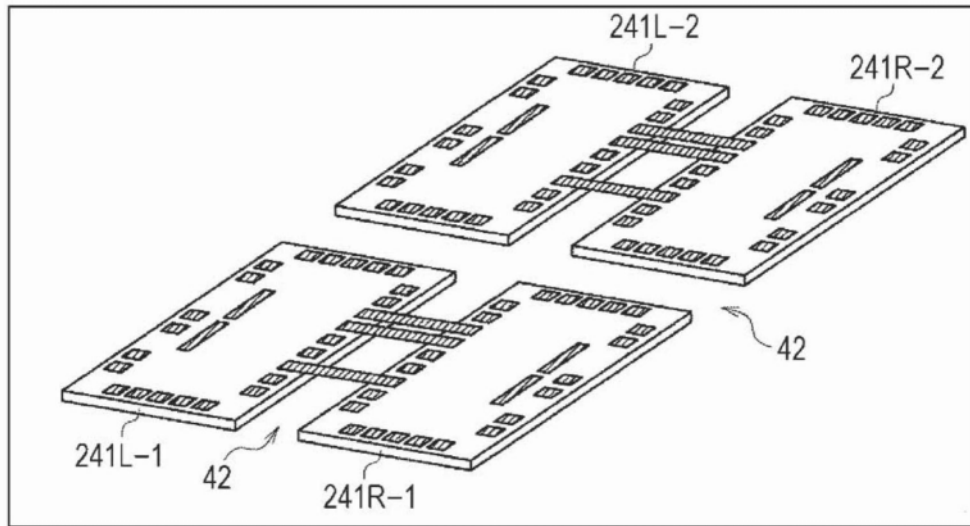


图16

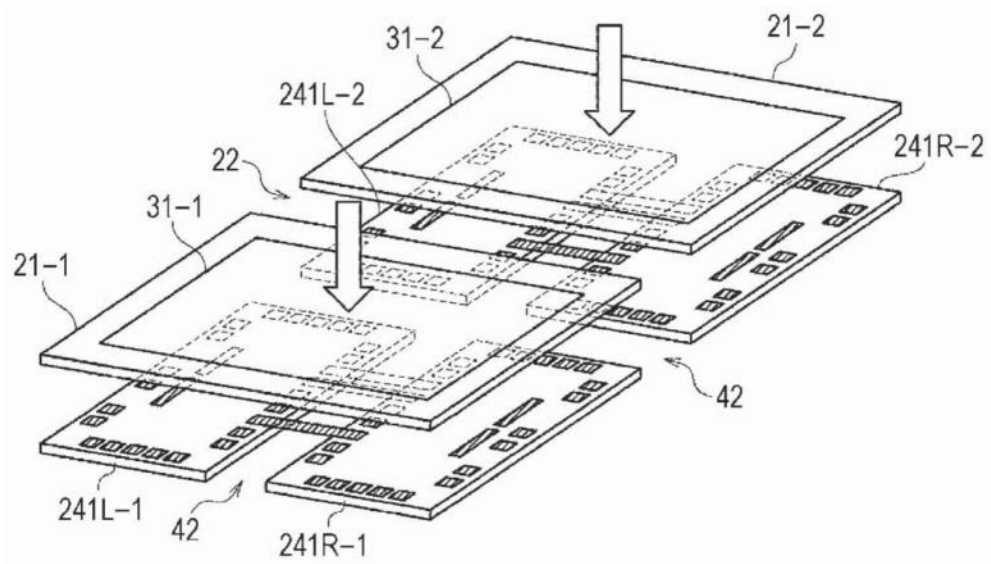


图17

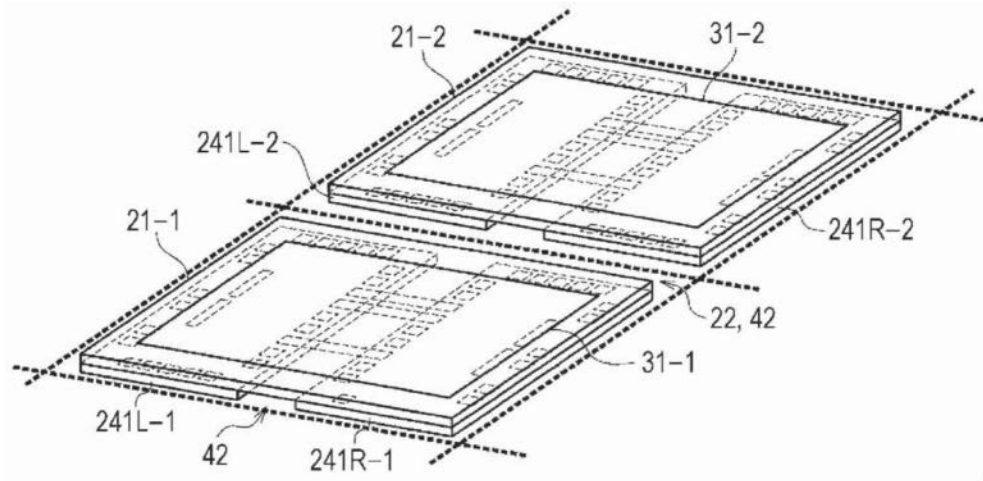


图18

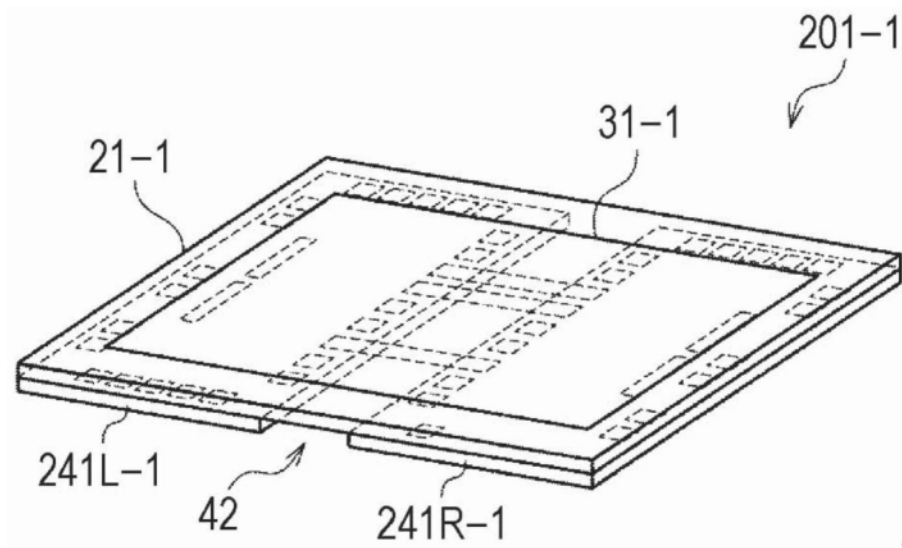


图19

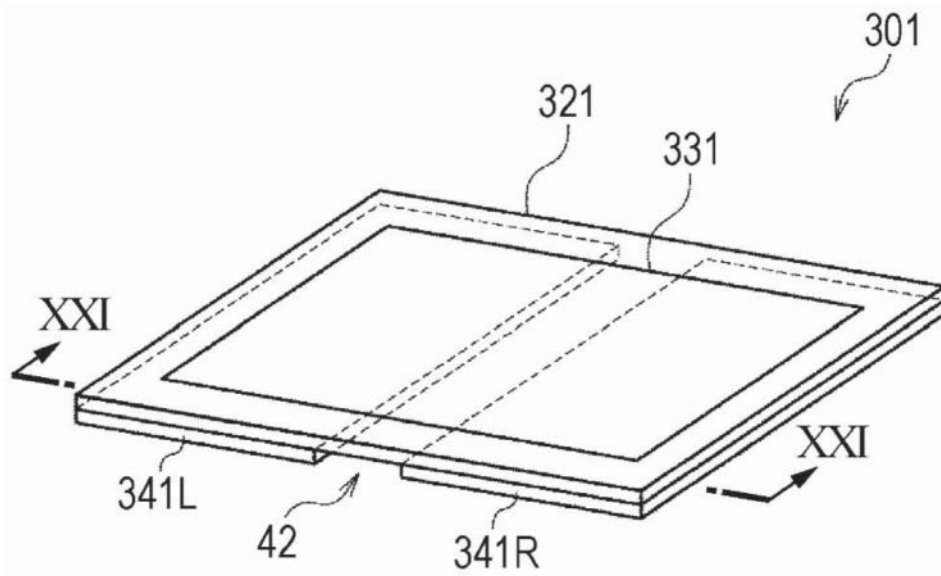


图20

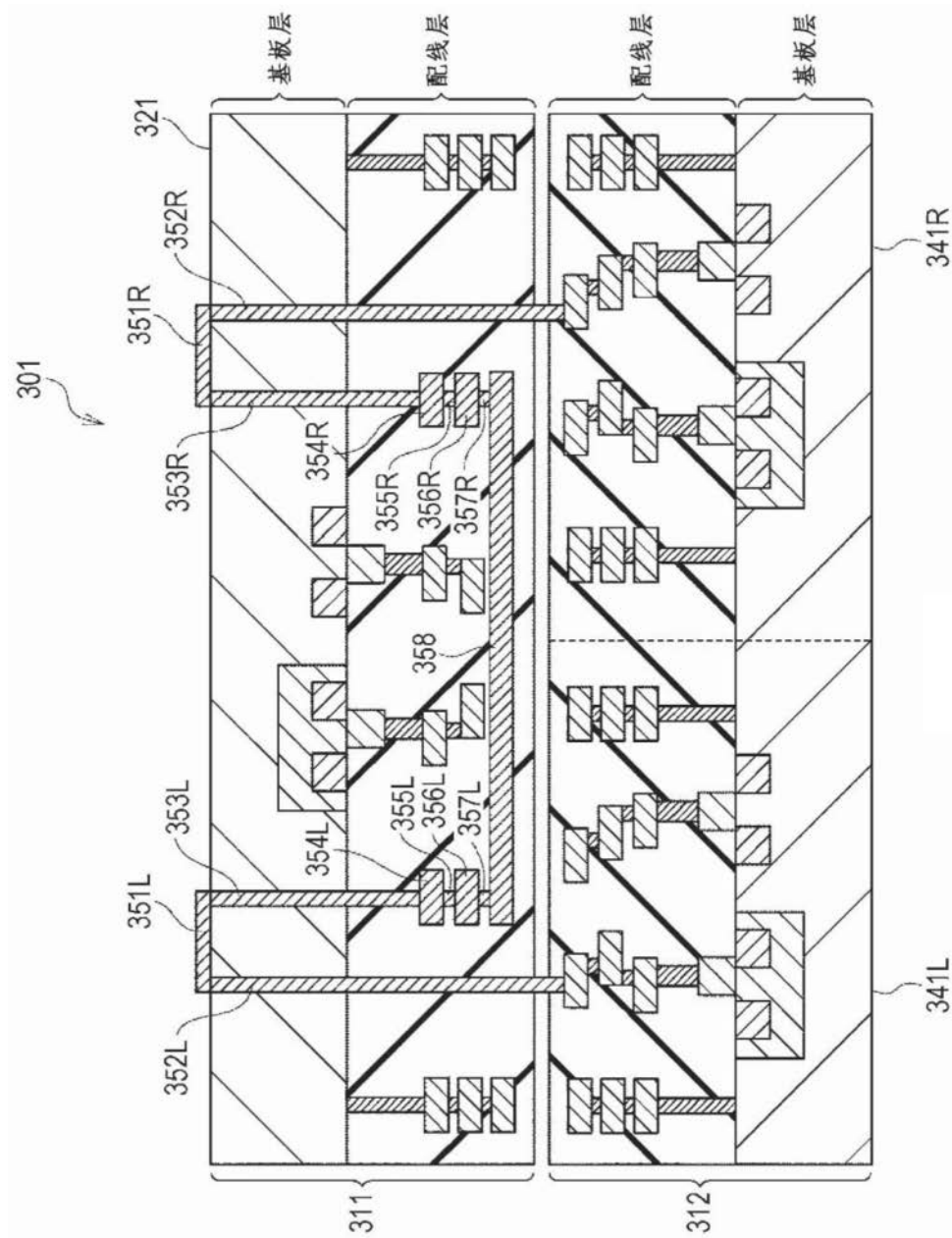


图21

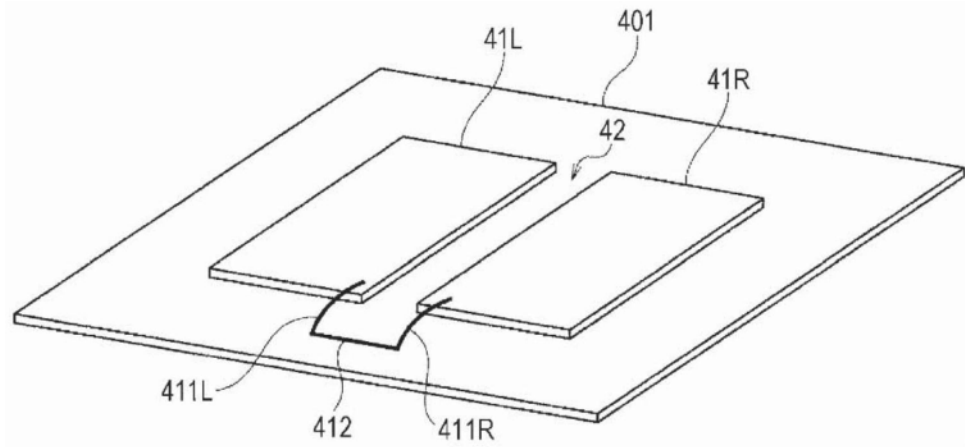


图22

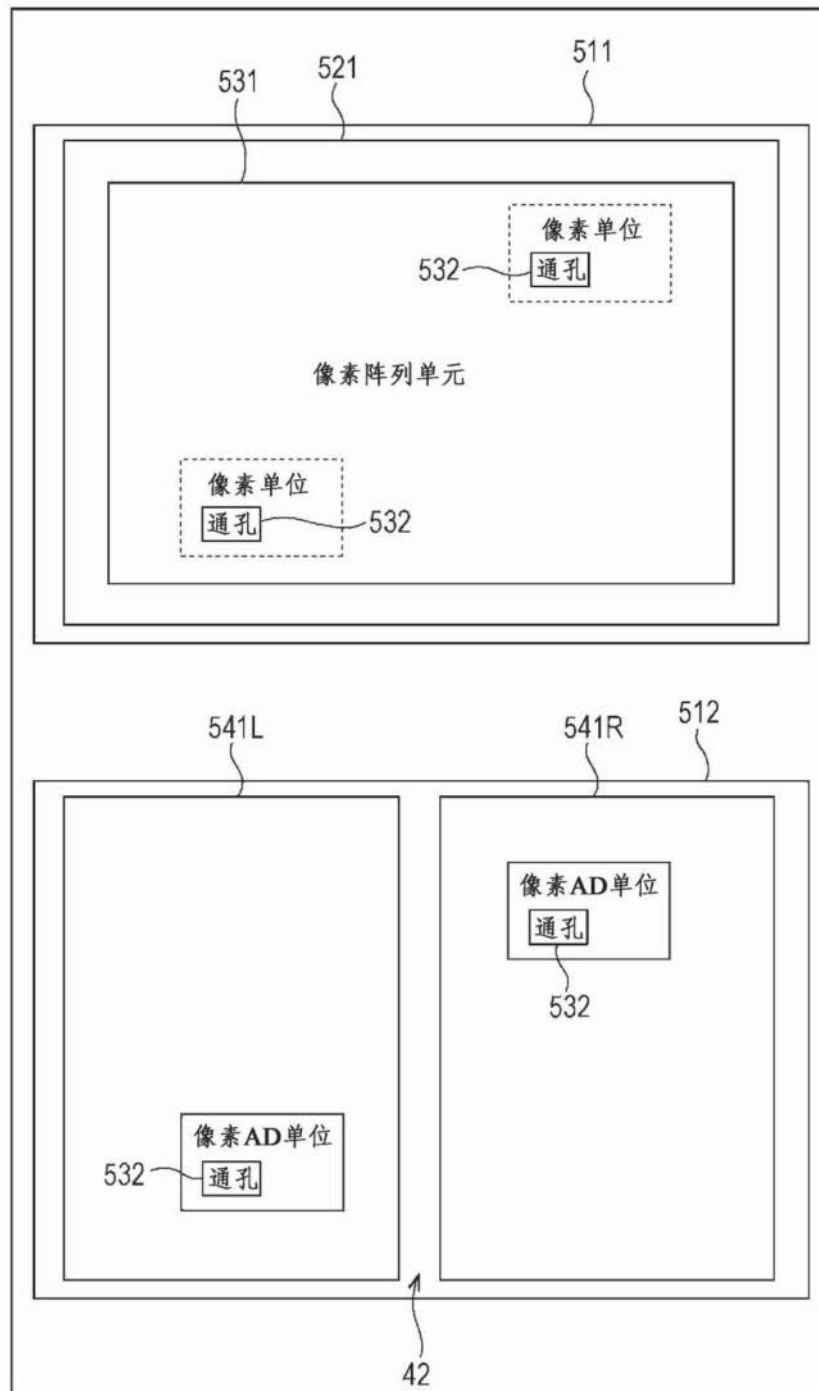


图23

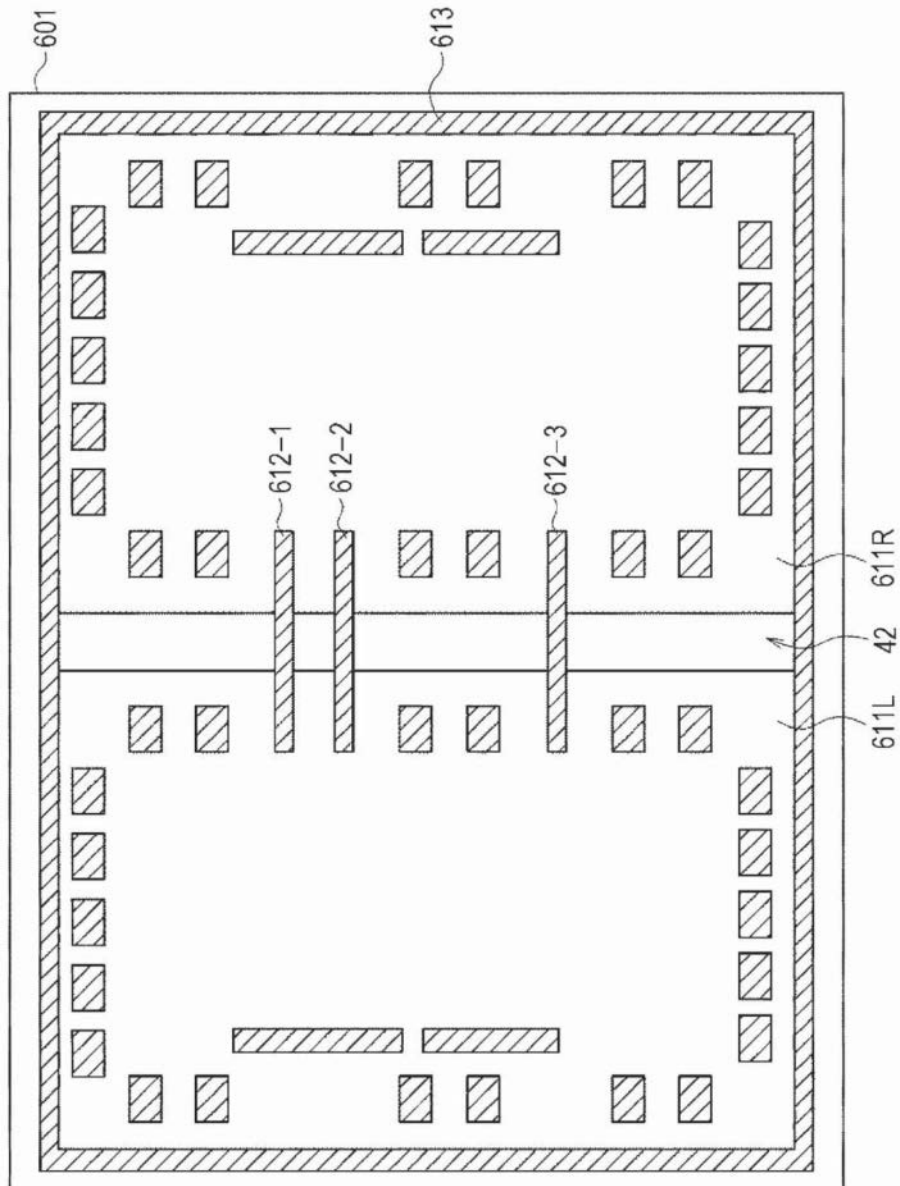


图24

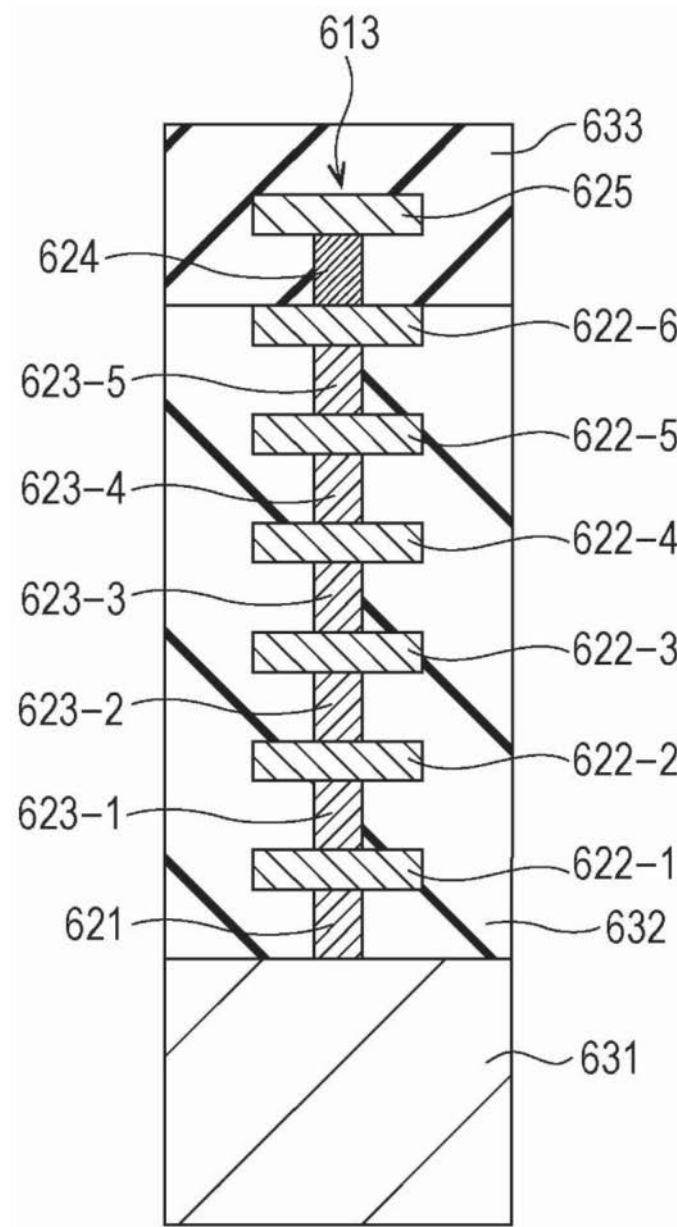


图25

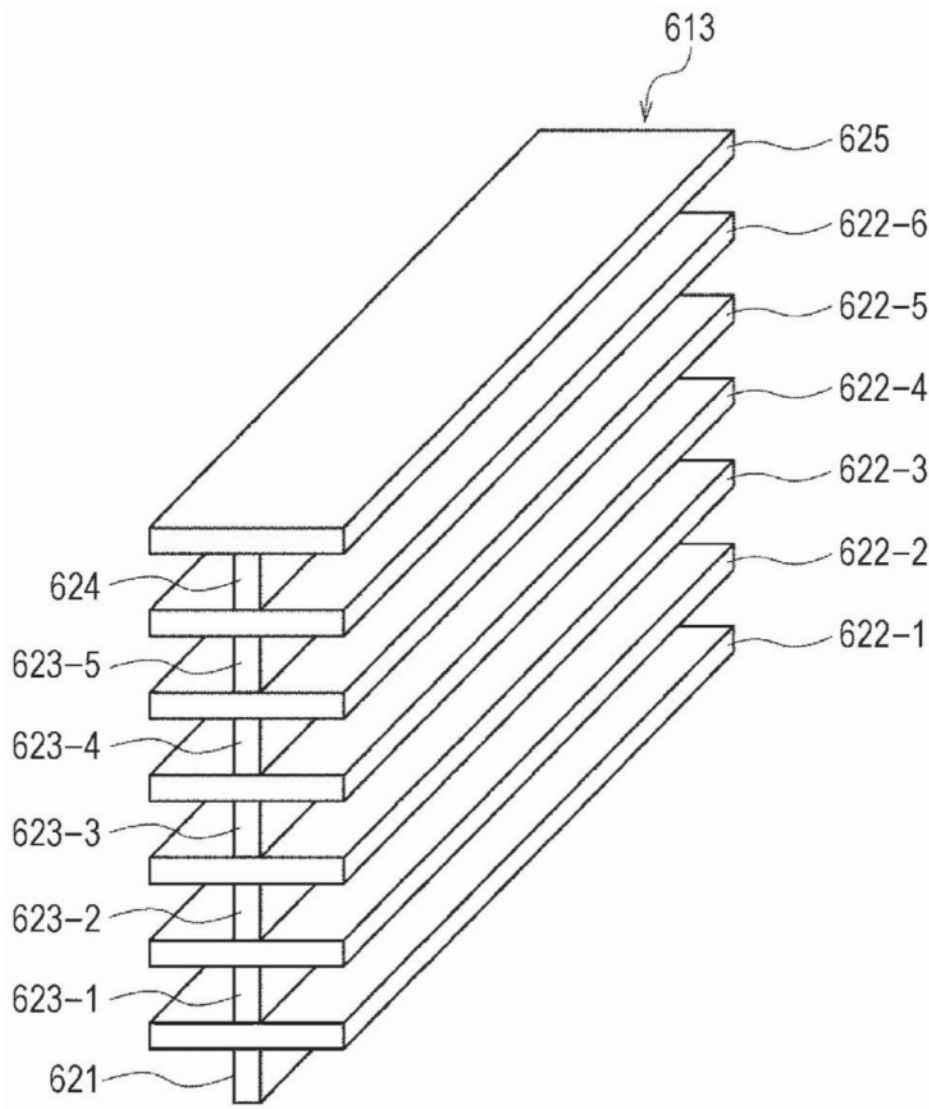


图26

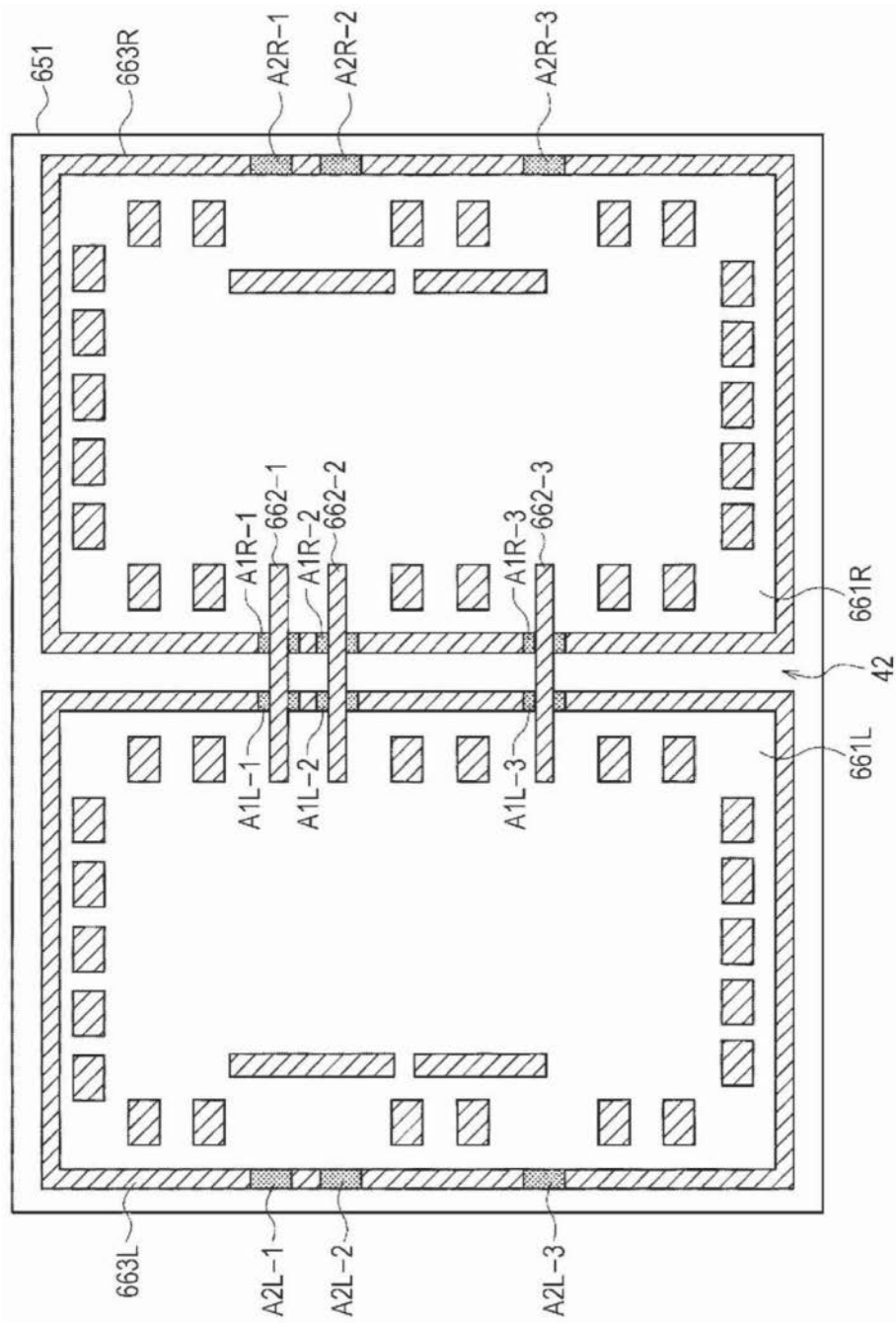


图27

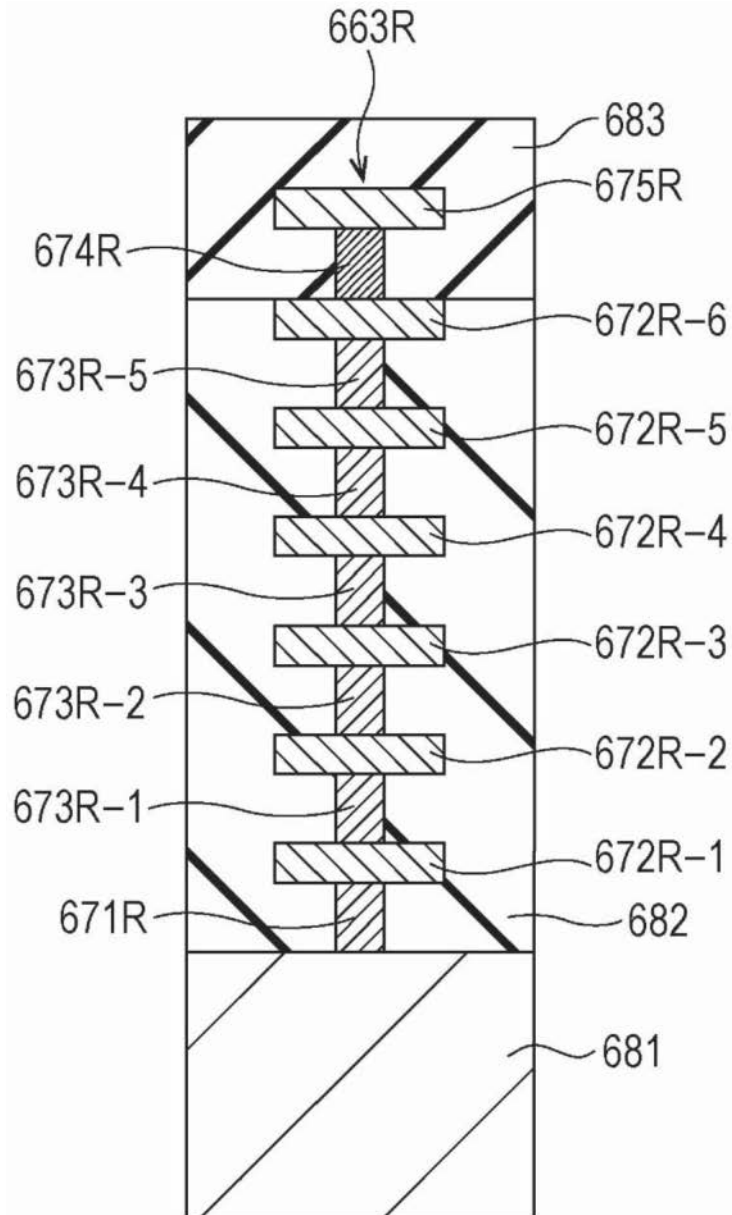


图28

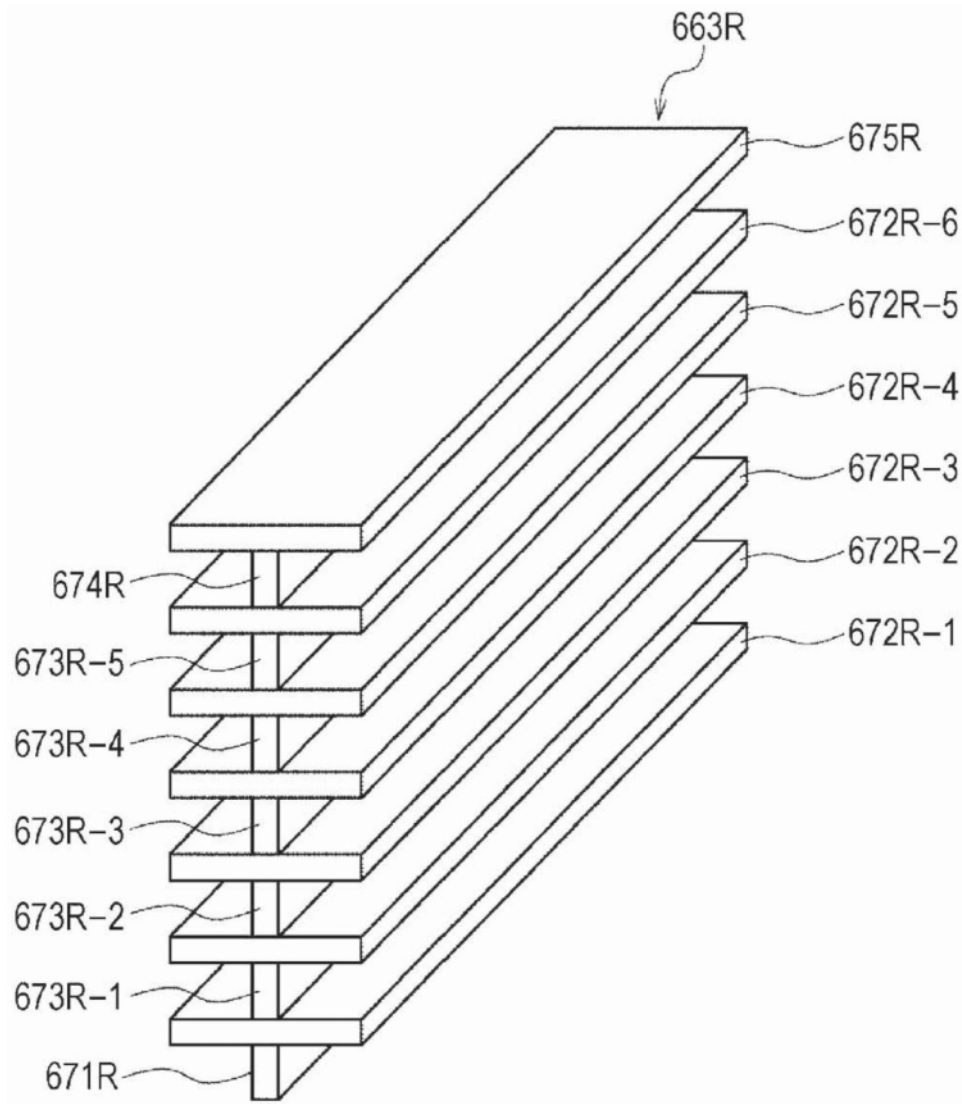


图29

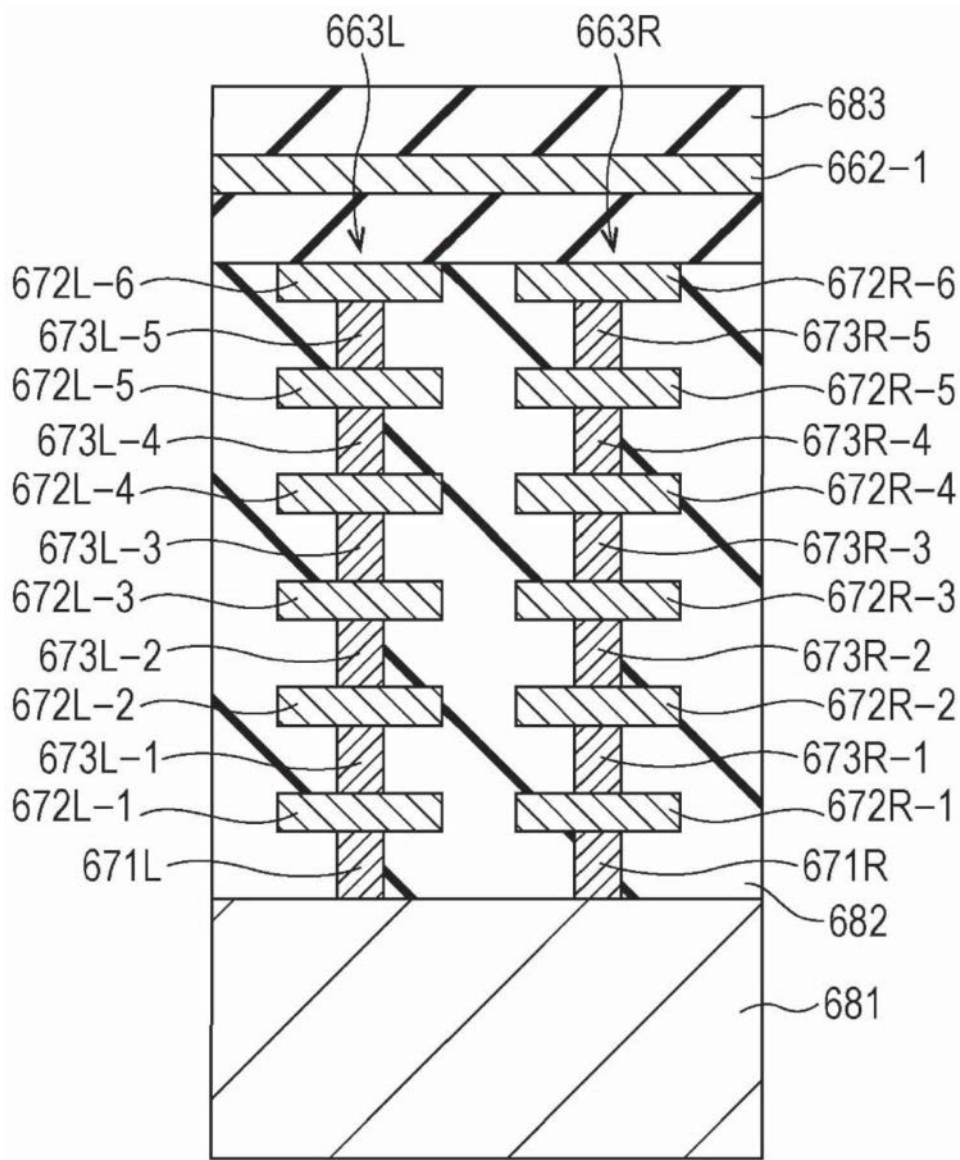


图30

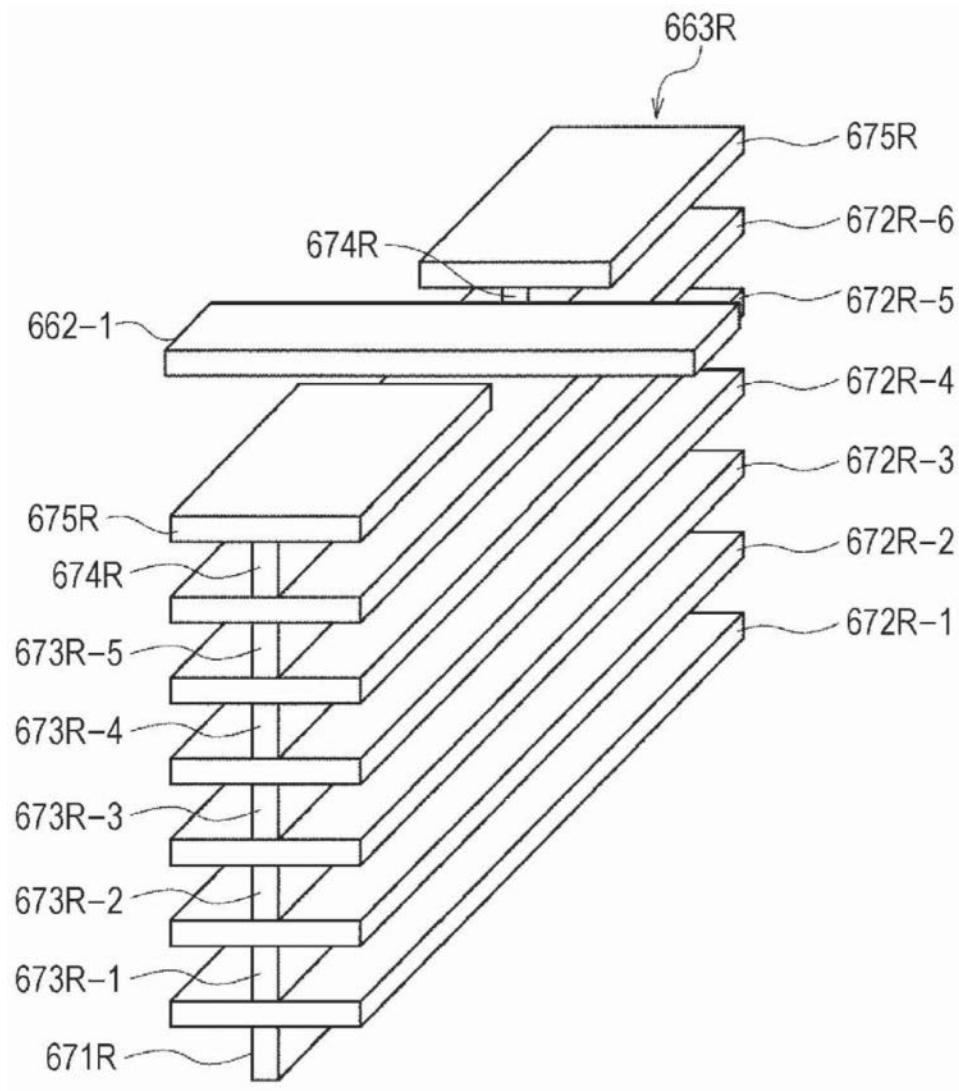


图31

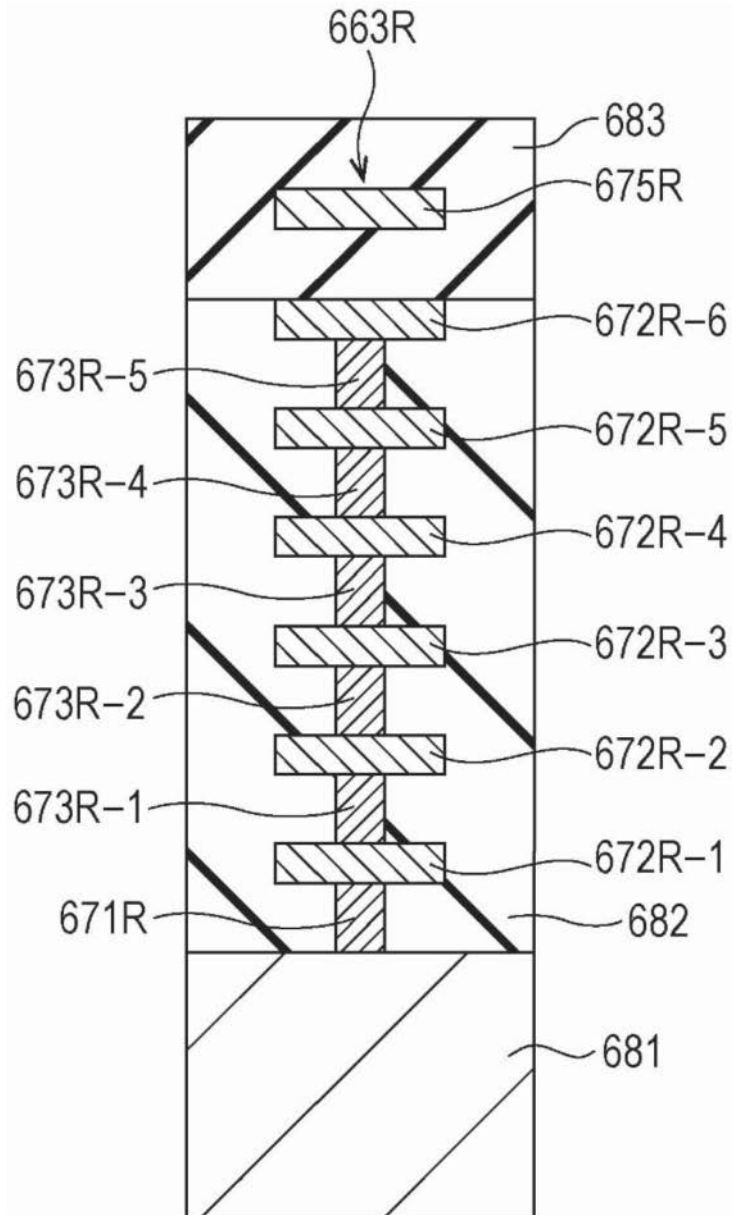


图32

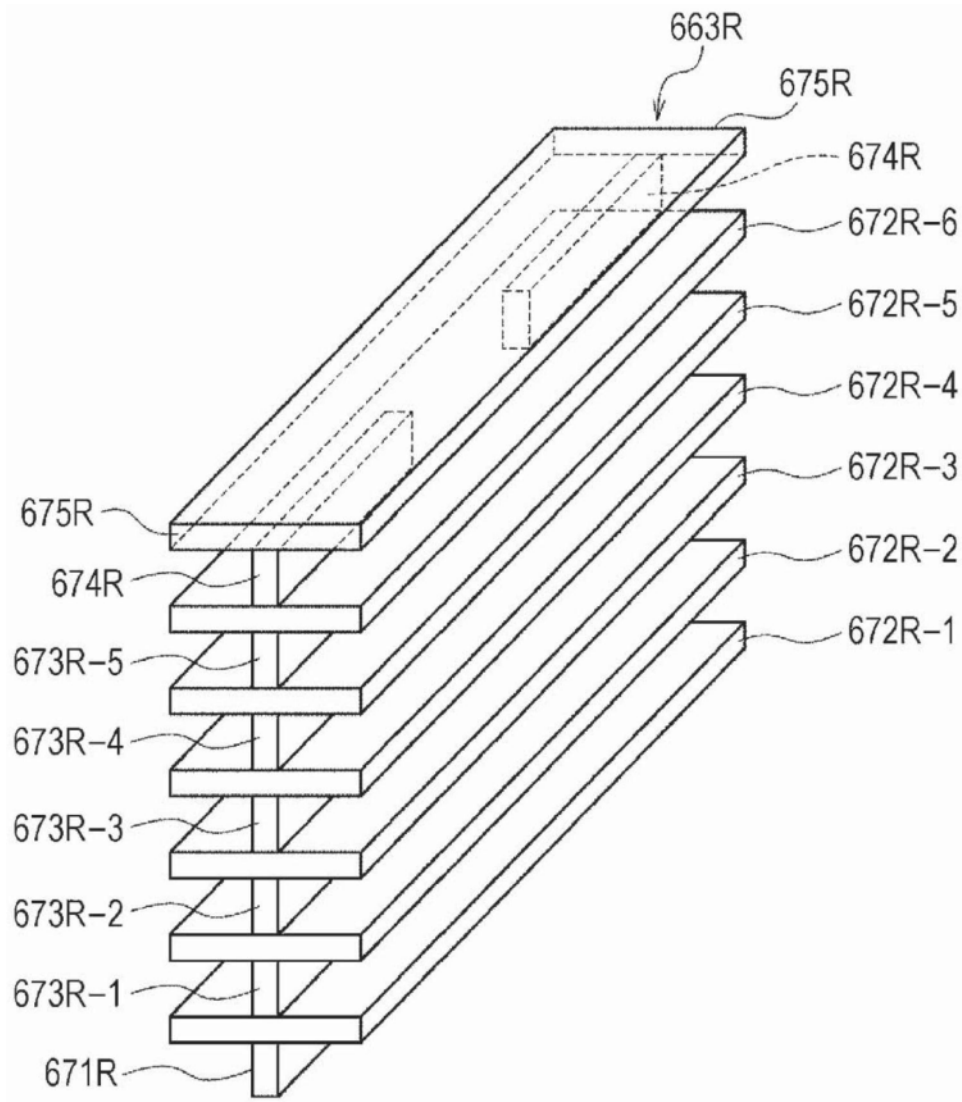


图33

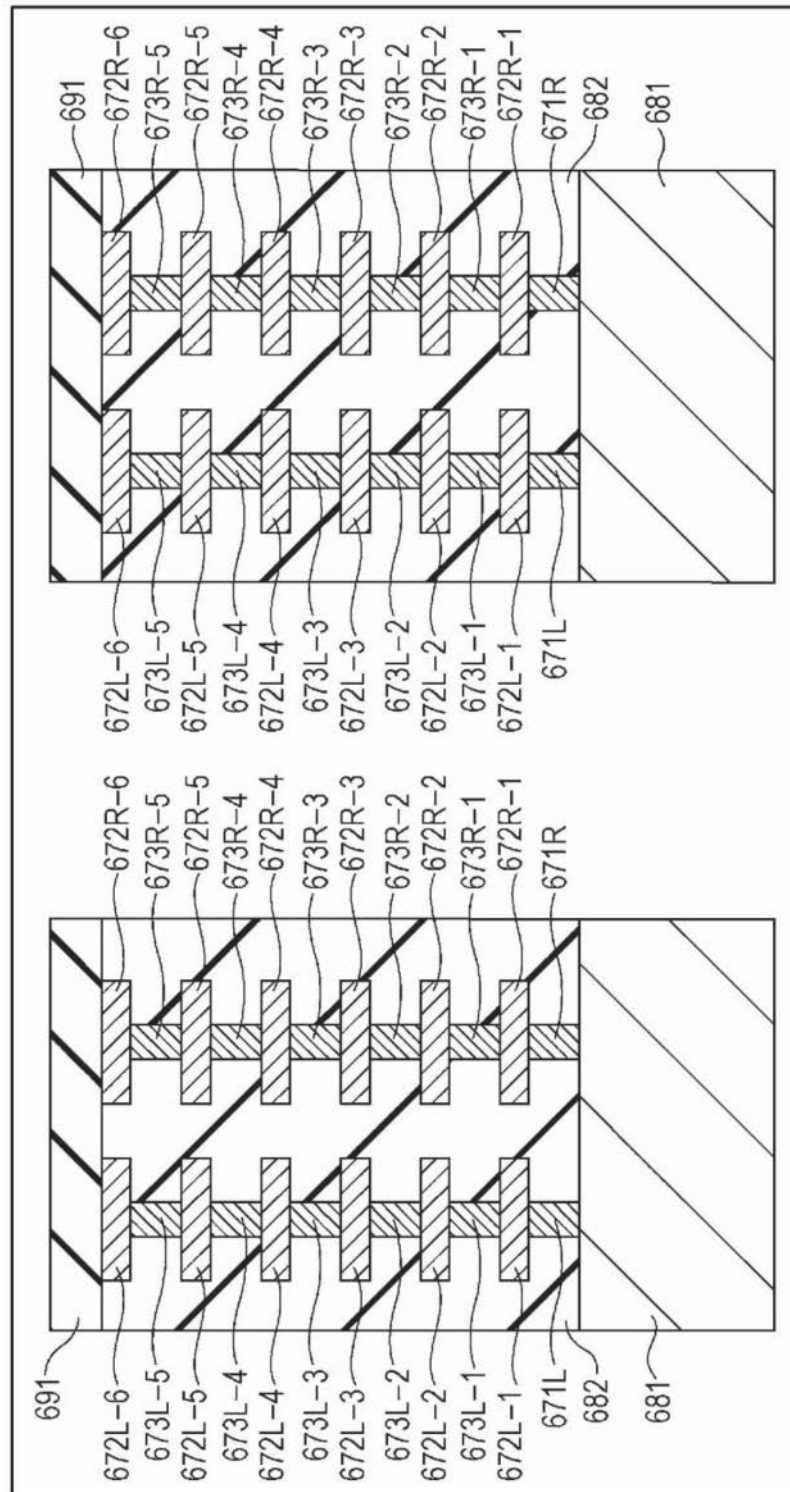


图34

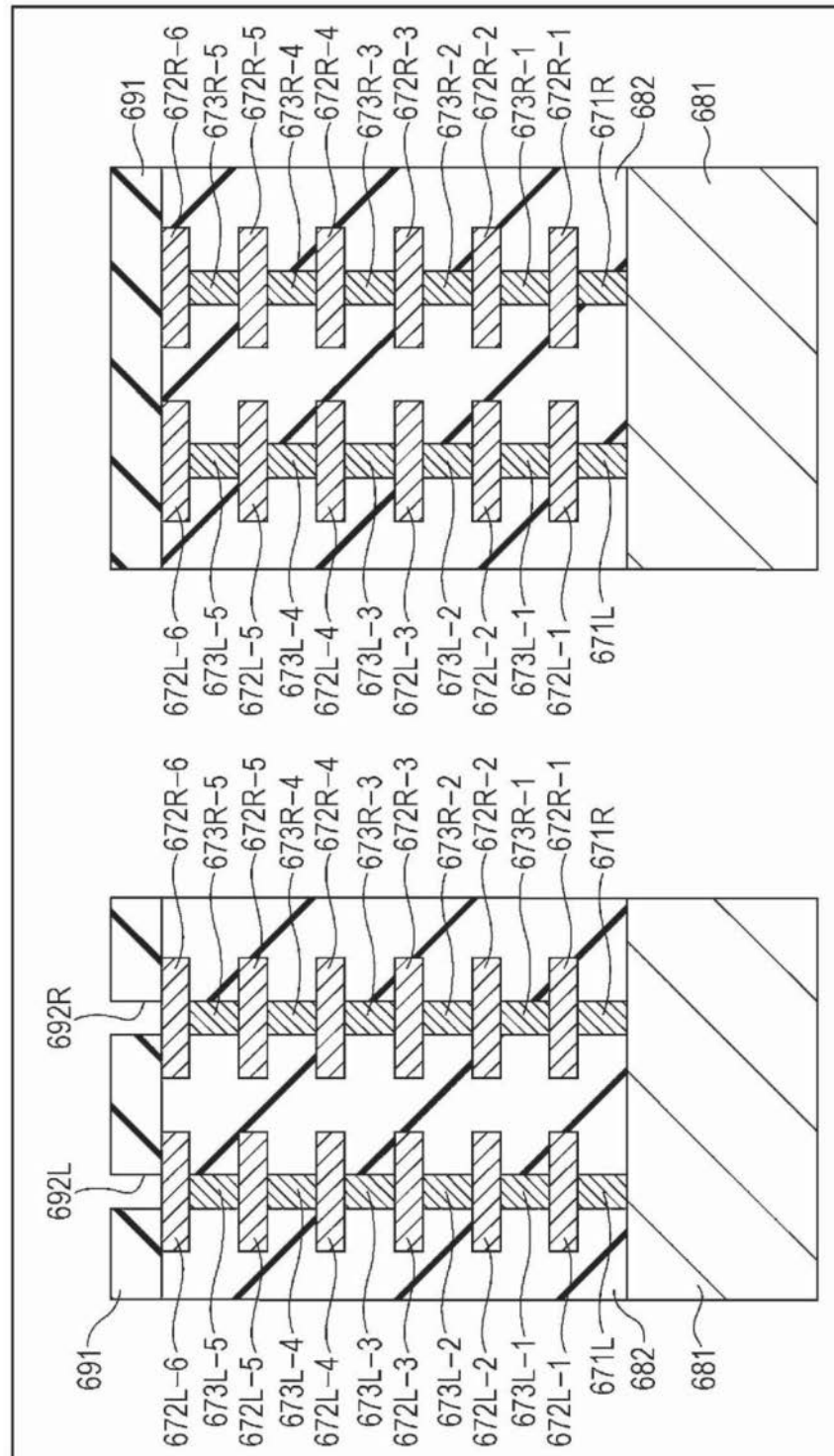


图35

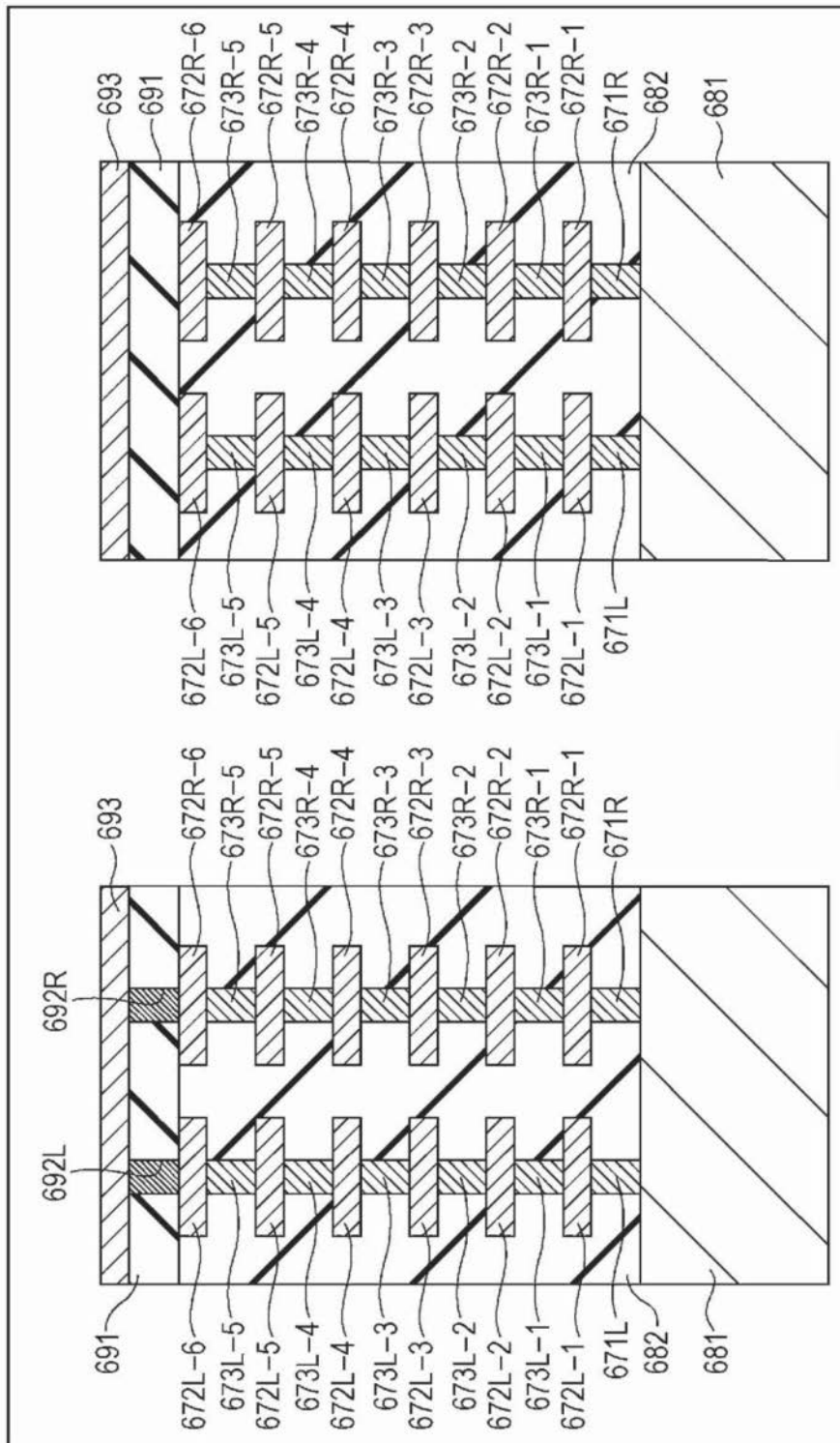


图36

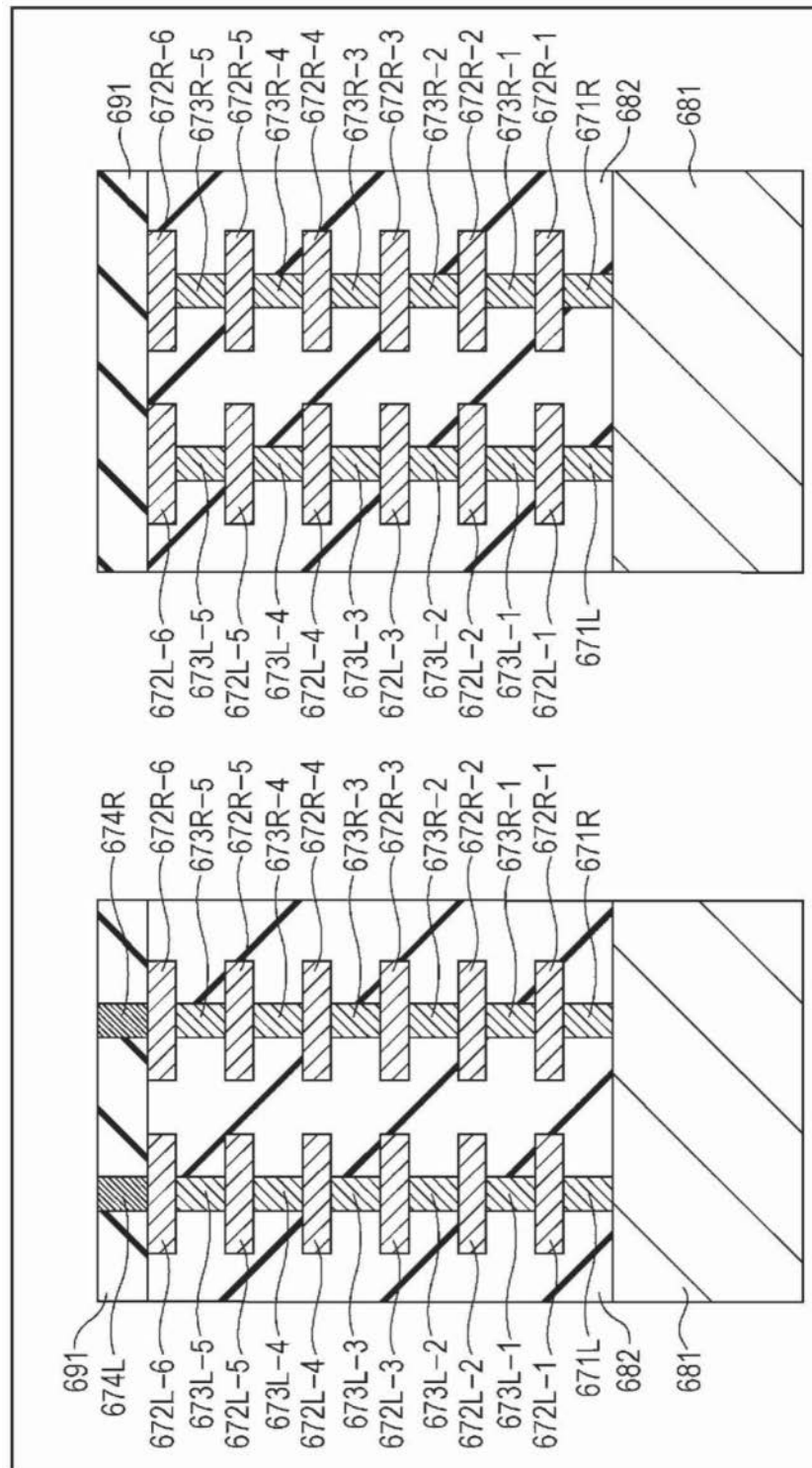


图37

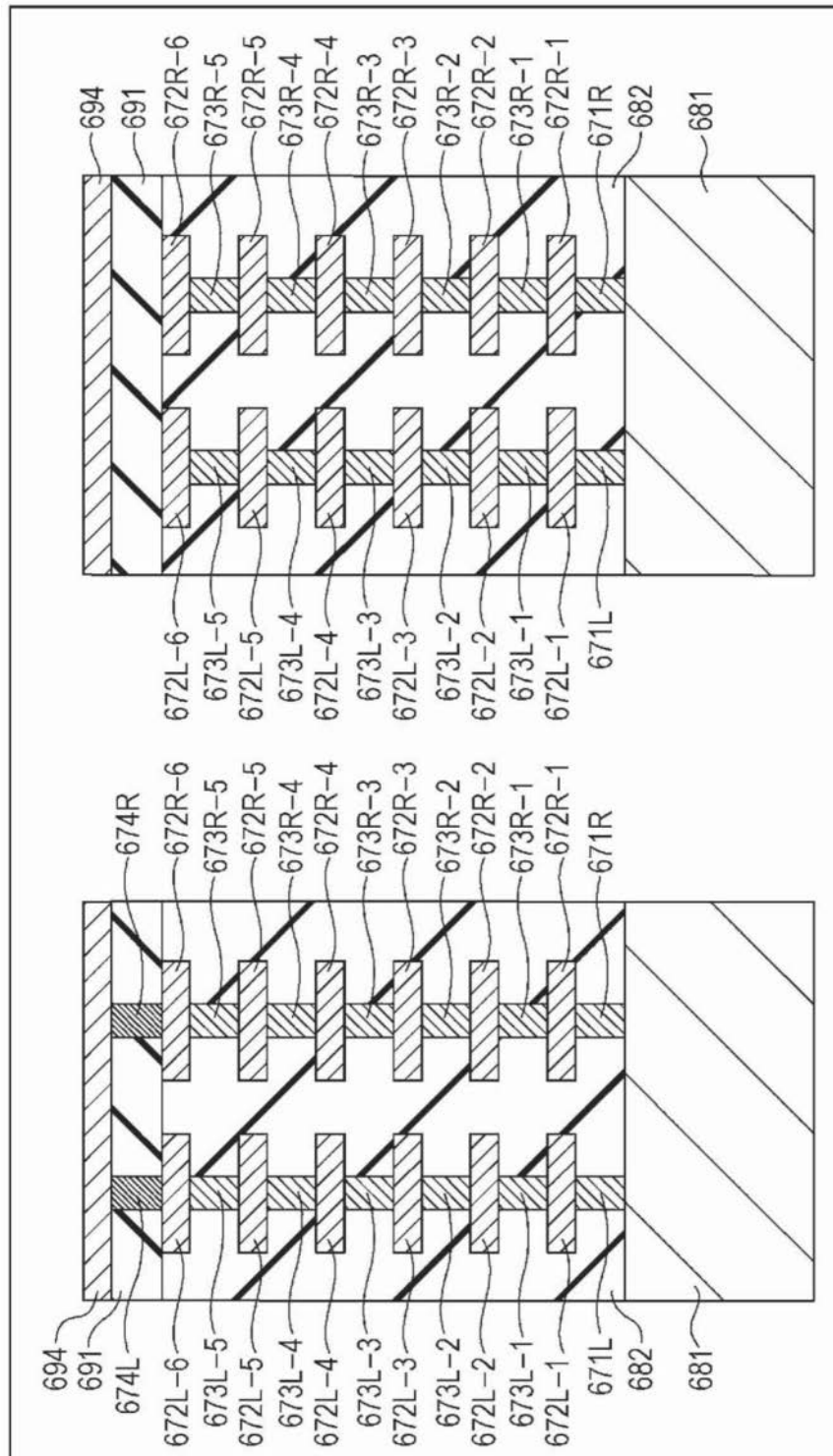


图38

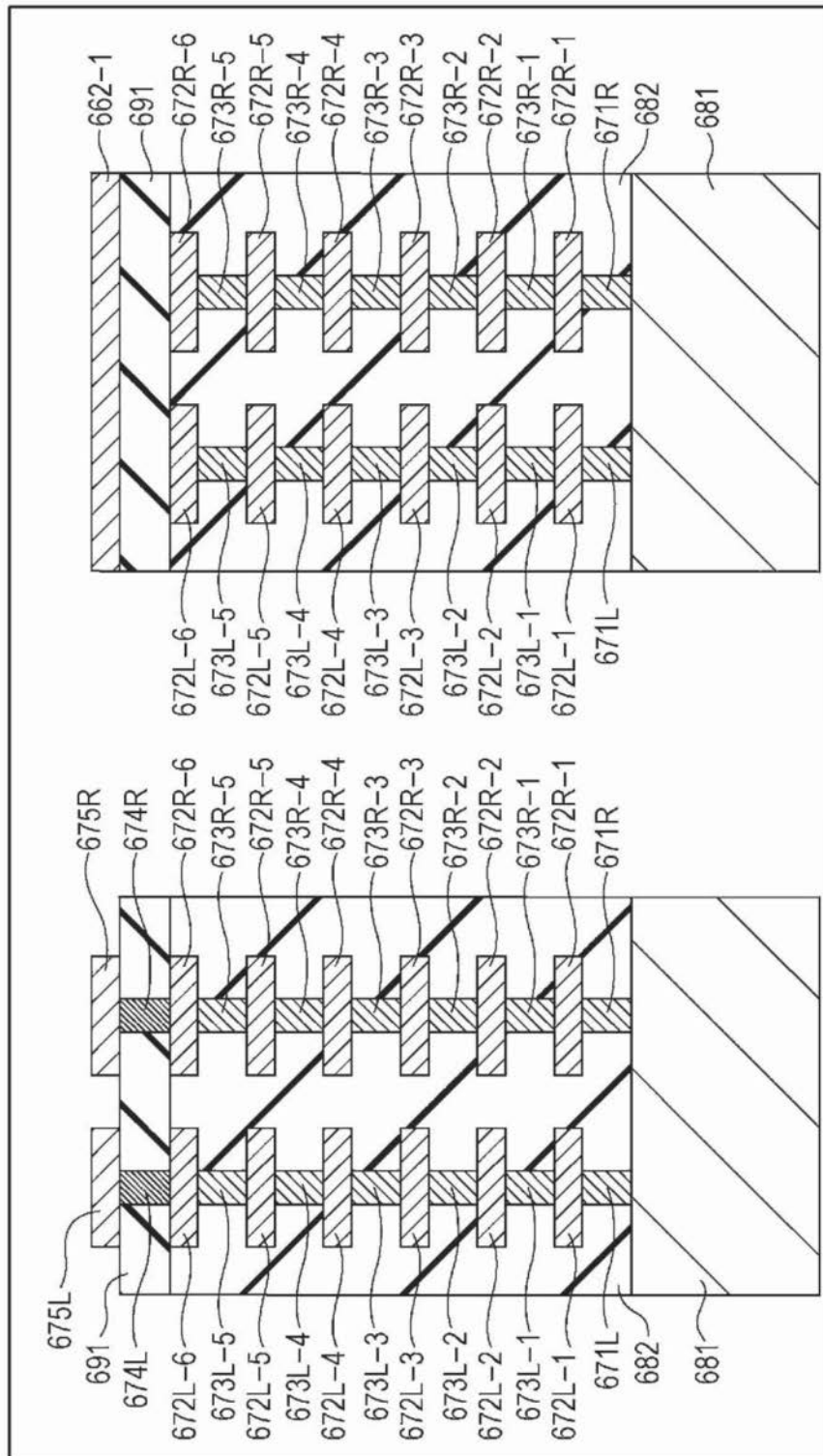


图39

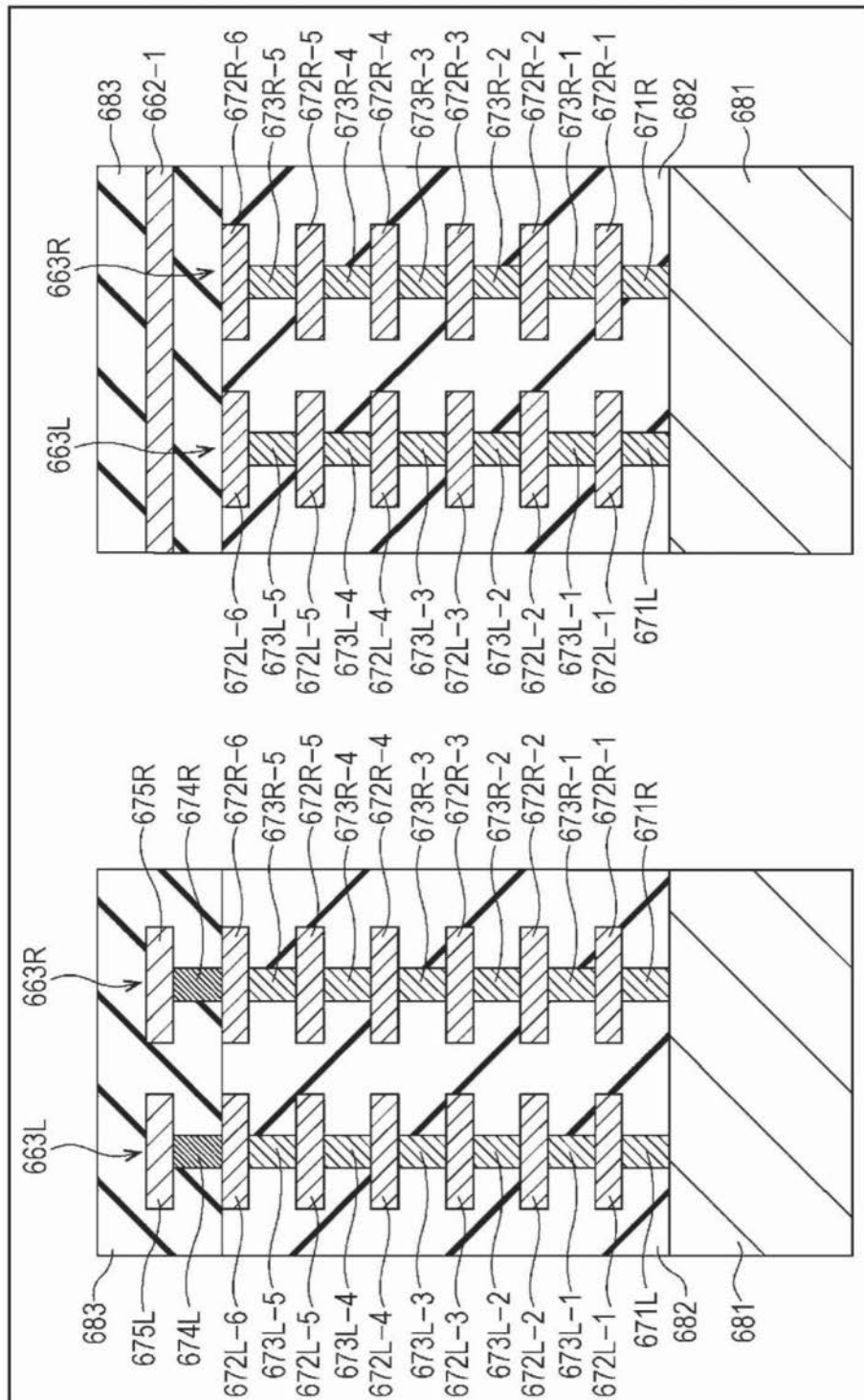


图40

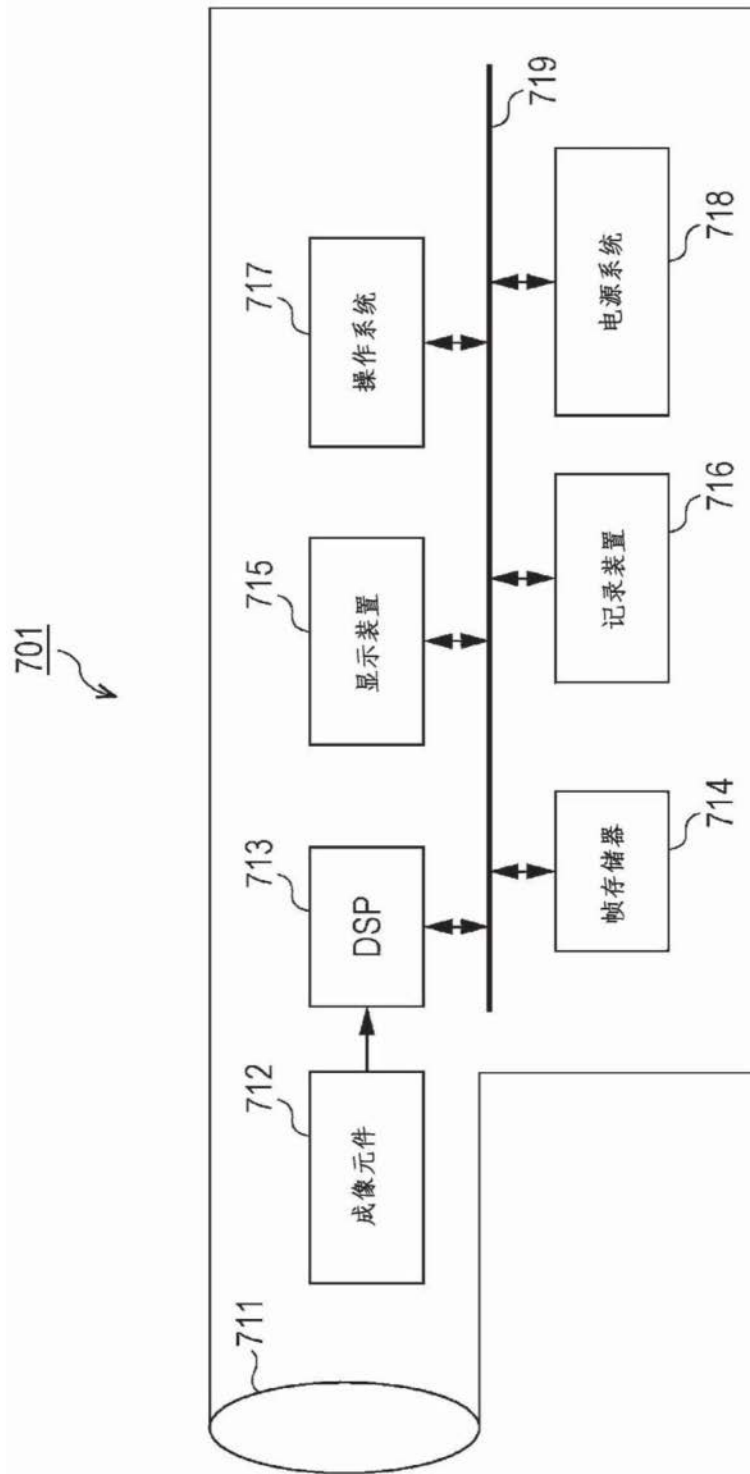


图41