(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0013899
(43) 공개일자 2012년02월15일

(51) Int. Cl.
G02B 6/122 (2006.01)
(21) 출원번호 10-2011-0075643
(22) 출원일자 2011년07월29일
심사청구일자 없음
(30) 우선권주장
12/852,371 2010년08월06일 미국(US)

(71) 출원인
엘에스아이 코포레이션
미국 캘리포니아 밀피타스 바어버 레인 1621 (우:95035)
(72) 발명자
데루카 존
미국 펜실베니아 19087 웨이니 커우드 드라이브 380
카르고 제임스
미국 펜실베니아 18018 베들레헴 이스트 게리슨 스트리트 542
(74) 대리인
장훈

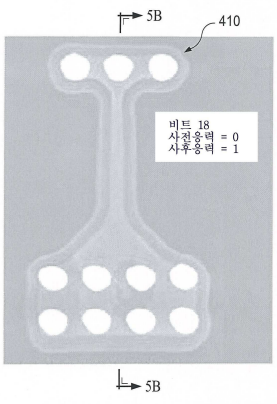
전체 청구항 수 : 총 10 항

(54) 형태학적 조작에 의한 반도체 광학 경로들의 변형

(57) 요 약

광학 장치는 기판과 기판 위에 위치된 반도체 층을 포함한다. 광학 경로는 도파로 코어 영역을 더 포함하는 반도체 층을 포함한다. 코어 영역은 제1 유형의 형태 및 제1 굴절 지수를 갖는 제1 반도체 영역을 포함한다. 제1 반도체 영역은 제2 유형의 형태 및 제1 굴절 지수와는 다른 제2 굴절 지수를 갖는 제2 반도체 영역에 인접하게 위치된다.

대 표 도 - 도4



특허청구의 범위

청구항 1

광학 장치에 있어서,

기판;

상기 기판 위에 위치된 광학 경로를 포함하고,

상기 광학 경로는 도파로 코어 영역을 포함하는 반도체 층을 포함하며, 상기 코어 영역은 제1 유형의 형태 및 제1 굴절 지수를 갖는 제1 반도체 영역을 가지고, 상기 제1 반도체 영역은 제2 유형의 형태 및 상기 제1 굴절 지수와는 다른 제2 굴절 지수를 갖는 상기 반도체 층의 제2 반도체 영역에 인접하게 위치되는 광학 장치.

청구항 2

제 1 항에 있어서, 상기 제1 반도체 영역은 제1 동소체 상태를 가지고, 상기 제2 반도체 영역은 상기 제1 동소체 상태와는 다른 제2 동소체 상태를 갖는 광학 장치.

청구항 3

제 1 항에 있어서, 상기 제1 유형의 형태는 비정질이고, 상기 제2 유형의 형태는 다결정인 광학 장치.

청구항 4

제 1 항에 있어서, 상기 도파로 코어 영역은 공진 광학 경로의 일부인 광학 장치.

청구항 5

제 1 항에 있어서, 상기 도파로 코어 영역을 가열하도록 구성된 가열 요소를 더 포함하는 광학 장치.

청구항 6

광학 장치를 형성하는 방법에 있어서,

입력 광학 신호를 수신하도록 구성될 수 있는 반도체 재료 층이 그 위에 위치되어 있는 기판을 제공하는 단계로서, 상기 반도체 재료 층은 제1 유형의 형태를 갖는 상기 반도체 재료의 영역을 포함하는, 상기 기판 제공 단계;

상기 영역을 상기 제1 유형과는 다른 제2 유형의 형태로 변환시킴으로써 상기 영역을 포함하는 광학 경로의 전파 특성을 변화시키는 단계를 포함하는 광학 장치 형성 방법.

청구항 7

제 6 항에 있어서, 상기 제1 유형의 형태는 상기 반도체 재료의 제1 동소체이고, 상기 제2 유형의 형태는 상기 제1 동소체와는 다른 상기 반도체 재료의 제2 동소체인 광학 장치 형성 방법.

청구항 8

제 6 항에 있어서, 상기 제1 유형의 형태는 비정질이고, 상기 제2 유형의 형태는 다결정인 광학 장치 형성 방법.

청구항 9

제 6 항에 있어서, 상기 영역은 도파로 링의 광학 경로 내에 위치되는 광학 장치 형성 방법.

청구항 10

제 6 항에 있어서, 상기 변환은 상기 영역의 광학적 조명으로부터 달성되는 광학 장치 형성 방법.

명 세 서

기 술 분 야

[0001] 본 출원은 본 발명과 공동 양도되고 본 명세서에 참조로 통합되어 있는 발명의 명칭이 "집적 회로들의 저항 조율을 위한 전자기 방사선에 의해 유도된 실리콘의 동소체 변화"인 2008년 9월 19일자로 프랭크 에이. 바이오치(Frank A. Baiocchi) 등에 의해 출원된 국제 출원 제PCT/US08/76976호 및 본 출원과 공동 양도되고 본 명세서에 참조로 통합되어 있는 발명의 명칭이 "반도체 저항 소자의 형태 조작에 의한 로직의 변형"인 존 드루카(John DeLucca) 등에 의해 출원된 동시 계류중인 미국 특허 출원 제12/852,378호(대리인 문서 번호 L09-0675US1)에 관련한다.

[0002] 발명의 분야

[0003] 본 출원은 일반적으로 광학 장치들에 관한 것이며, 특히, 광학 경로들의 구성에 관한 것이다.

배 경 기 술

[0004] 광-전자 및 포토닉 장치들은 그를 통해 광 신호들이 이동하는 광학 경로들을 포함한다. 굴절 지수(n) 및 소멸계수(extinction coefficient;k)를 포함하는 이들 경로들의 광학 특성들은 신호가 전파되는 속도와 전파로부터 초래되는 손실들을 결정한다. 순차적으로, 장치의 성능 특성들은 전파 속도와 손실에 의존한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 종래 기술의 문제점을 해결하는 것이다.

과제의 해결 수단

[0006] 일 실시예는 기판과 기판 위에 위치된 광학 경로를 포함하는 광학 장치를 제공한다. 광학 경로는 도파로 코어 영역을 포함하는 반도체 층을 포함한다. 코어 영역은 제1 유형의 형태(mophology) 및 제1 굴절 지수를 갖는 제1 반도체 영역을 갖는다. 제1 반도체 영역은 제2 유형의 형태와 제1 굴절 지수와는 다른 제2 굴절 지수를 갖는 반도체 층의 제2 반도체 영역에 인접하게 위치된다.

[0007] 다른 실시예는 광학 장치를 형성하는 방법을 제공한다. 이 방법은 입력 광학 신호를 수신하도록 구성될 수 있는 반도체 재료 층이 그 위에 위치되어 있는 기판을 제공하는 단계를 포함한다. 재료 층은 제1 유형의 형태를 갖는 반도체 재료의 영역을 포함한다. 이 영역은 제1 유형과는 다른 제2 유형의 형태로 변환된다. 변환은 이 영역을 포함하는 광학 경로의 전파 특성을 변화시킨다.

발명의 효과

[0008] 본 발명에 따른 형태학적 조작에 의한 반도체 광학 경로들의 변형은 장치의 성능 특성들에 영향을 미치는 전파 속도와 손실을 개선한다.

도면의 간단한 설명

[0009] 이제, 첨부 도면들과 연계하여 이루어지는 하기의 설명들을 참조한다.

도 1a 내지 도 1c는 반도체 재료의 제1 형태 및 제2 형태를 포함하는 광학 경로의 일 실시예를 예시한다.

도 2a 내지 도 2c는 도파로 코어 영역이 제1 형태 및 제1 굴절 지수를 가지고, 도파로 클래딩 영역이 제2 다른 형태 및 더 낮은 굴절 지수를 갖는 반도체 층의 일 실시예를 예시한다.

도 3은 광학 조명 이후 반도체 층의 현미경사진이다.

도 4는 전기적 응력을 받은 이후 이퓨즈(eFuse)의 현미경사진이다.

도 5a 및 도 5b는 도 4의 이퓨즈가 받은 것과 유사한 전기적 응력에 노출된 이후의 섹션화된 이퓨즈의 현미경

사진들이다.

도 6은 파장의 함수로서 c-Si, a-Si 및 p-Si의 굴절 지수를 예시한다.

도 7은 광학적 가열에 의해 변형된 부분을 갖는 광학적 공진기를 예시한다.

도 8은 전기적 가열에 의해 그 일부를 변형하도록 구성된 이퓨즈를 갖는 광학적 공진기를 예시한다.

도 9는 이퓨즈, 광학 경로 및 가열되도록 구성된 교차 부분을 예시한다.

도 10은 광학적 가열에 의해 그 일부가 변형된 간섭계를 예시한다.

도 11은 전기적 가열에 의해 그 일부를 변형하도록 구성된 이퓨즈들을 갖는 간섭계를 예시한다.

도 12a 내지 도 12e는 도파로 코어 영역을 형성하도록 반도체 층의 부분들의 형태의 제어에 의해 기판 위에 광학 경로를 형성하는 단계를 예시한다.

도 13a 내지 도 13c는 도파로 클래딩 영역들을 형성하도록 반도체 층의 부분들의 형태의 제어에 의해 기판 위에 광학 경로를 형성하는 단계를 예시한다.

도 14는 광학 장치, 예를 들어, 도 1a 내지 도 1c의 광학 장치 또는 도 2a 내지 도 2c의 광학 장치(200)를 형성하기 위한 본 발명의 방법이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명은 반도체 도파로 구조체의 광학 특성들이 도파로 구조체를 포함하는 광학 장치의 동작을 변경시키도록 변형될 수 있다는 인식으로부터 장점을 취한다. 도파로들의 일부 유형들은 예를 들어, 레이저 노광을 사용하여 브래그 격자 같은 광학 소자를 형성하도록 변형되어 있다. 그러나, 이런 변형은 통상적으로 광섬유, $LiNbO_3$ 및 유리 같은 비-반전도성 광학 도파로들에 한정되어 왔다. 본 명세서의 다양한 실시예들에 설명된 바와 같은 반도체 도파로 구조체를 변형시키는 기능은 반도체 도파로를 포함하는 광학 장치의 동작 특성들을 예를 들어, 재가공, 수리 또는 조율하기 위한 수단을 제공한다.

[0011] 본 발명은 광학 도파로들을 위해 반도체 재료들을 채용하는 광학 장치들의 다양한 실시예들을 제시한다. 실시예들은 다양한 반도체 형태들, 즉, 벌크 결정 반도체, 예를 들어, 에피텍셜 층 또는 결정 반도체 격자의 일부 또는 연장; 예를 들어, 수 반도체 결합 길이들 미만의 주기성을 갖는 비정질 반도체; 및 예를 들어, 서로에 관해 임의적 배향을 갖는 수십보다 많은(예를 들어, 약 50) 반도체 결합 길이들에 걸쳐지는 결정 다수의 결정 도메인들을 갖는 다결정 반도체를 언급할 수 있다.

[0012] 본 발명은 Si, Ge, GaAs, InP, SiC, InGaP 및 InAlGaP를 포함하지만 이에 한정되지 않는 임의의 원소 또는 화합물 반도체를 갖는 형태 유형들 각각으로 실시되는 실시예들을 고려한다. 반도체는 도핑될 수 있거나 진성일 수 있다. 예시적 반도체 재료로서 Si를 사용하는 다양한 실시예들이 설명된다. 예시적 재료로서 Si의 이러한 사용은 설명된 실시예들을 Si로 제한하는 것은 아니다. 다양한 실시예들은 비정질 Si를 a-Si라 지칭하고, 결정 Si를 c-Si라 지칭하고, 다결정 Si를 p-Si라 지칭할 수 있다. 본 기술 분야의 숙련자들은 Si의 이들 형태들을 참조로 예시된 원리들이 본 발명의 범주 내의 다른 반도체들로 확장될 수 있다는 것을 알 수 있을 것이다.

[0013] 본 명세서에서 사용될 때, 동소체는 일반적 결합 특성들을 특징으로 하는 반도체 재료의 일 형태를 지칭한다. 따라서, 벌크 결정 및 다결정 형태들 양자 모두가 동일 동소체이며, 그 이유는 반도체 원자들이 결정 배열에 결합되어 있기 때문이다. 비정질 형태는 다른 동소체이며, 그 이유는 반도체 결합들이 일반적으로 그들이 결정으로서 존재하는 것 같이 잘 정렬되어있지 않기 때문이다. 다양한 실시예들 및 청구항들은 제1 유형의 동소체와 제2 유형의 동소체를 언급할 수 있다. 제1 및 제2 유형들의 동소체들은 서로 배제적이다. 따라서, 제1 유형의 동소체는 결정 형태(벌크 결정 또는 다결정) 또는 비정질 형태를 지칭할 수 있고, 이때, 제2 유형의 동소체는 제1 유형의 동소체가 아닌 동소체를 지칭한다.

[0014] 본 명세서에 설명된 다양한 실시예들은 비정질, 다결정 및 벌크 결정으로부터 선택된 형태를 가질 수 있는 반도체 층의 하나 이상의 영역들을 포함한다. 예로서, 비제한적으로, 실리콘 층의 영역들은 비정질 실리콘(a-Si), 다결정 실리콘(p-Si) 또는 벌크 결정 실리콘(c-Si)일 수 있다. 본 설명 및 청구항들은 제1 유형의 형태와, 제2 유형의 형태와, 제3 유형의 형태를 언급할 수 있다. 제1, 제2 및 제3 형태 유형들 각각은 비정질, 다결정 또는 벌크 결정 중 임의의 하나일 수 있다. 그러나, 단일 실시예 또는 청구항 내에서, 상술한 형태들, 예를 들어, 비정질, 다결정 또는 벌크 결정 중 단 하나가 제1, 제2 및 제3 유형들 각각에 고유하게 할당될 수 있다. 따라

서, 예로서, 제1 유형의 형태는 비정질, 다결정 또는 벌크 실리콘 중 임의의 것일 수 있다. 제2 유형의 형태는 두 개의 나머지 형태 유형들 중 임의의 것일 수 있다. 제3 유형의 형태는 나머지 할당되지 않은 형태 유형이다.

[0015] 본 명세서 및 청구범위에서 사용될 때, 반도체 층은 기판 위의 임의의 균질 반도체 층상부와, 균질 층으로부터 유도되는 반도체 특징부들을 포함한다. 반도체 층은 추가적 층이 반도체이건 다른 재료이건, 반도체 층 위에 형성된 임의의 추가적 재료 층을 명백히 배제한다. 따라서, 예로서, 핸들 웨이퍼(handle wafer) 위의 에피텍셜 층은 반도체 층이며, 특징부들이 다른 형태를 갖거나 불연속적이더라도 에피텍셜 층으로부터 형성된 반도체 특징부들도 마찬가지이다. 그러나, 균질 층상부 위에 배설된 반도체 영역 또는 그로부터 유도된 특징부들은 반도체 층 내에 포함되지 않는다. 이런 배제된 영역은 통상적으로 그와 아래에 배설된 균질 층상부 또는 특징부 사이의 불연속 계면에 의해 식별될 수 있다. 또한, 격리된 반도체 특징부가 반도체 층으로부터 형성된 이후 추가되는 임의의 반도체 또는 다른 특징부도 반도체 층으로부터 배제된다. 따라서, 예로서, 도파로 코어 같은 격리된 특징부가 반도체 층으로 형성되는 경우, 도파로 코어 위에 또는 그에 인접하게 퇴적된 재료는 도파로 코어와 동일한 레벨에 위치되는 경우에도 반도체 층의 일부가 아니다.

[0016] 예시적 반도체 재료로서의 실리콘에 중점을 두고, 실리콘 포토닉 네트워크의 동작 동안, 전자기 방사선이 네트워크의 다양한 소자들을 통해 전파된다. 실리콘은 약 1.3 ㎛ 내지 약 6 ㎛의 파장 범위의 EM 방사선에 대해 열려져 있는 투과율 특성(예를 들어, ≥50% 투과율)을 갖는다. 따라서, 이들 파장들은 일반적으로 실리콘 포토닉스에 사용된다. 그러나, 감쇠기 또는 짧은 전파 거리의 경우에서와 같이 1.3 ㎛보다 짧은 파장들은 일부 환경들에서 활용성을 가질 수 있다.

[0017] 상술한 형태들 각각은 일반적으로 파장에 의존하는 복소 굴절 지수 특성(complex refractive index characteristic)을 가질 수 있다(굴절 지수(n) 및 소멸 계수(k)). 또한, 고유저항 같은 전기적 특성들도 형태들 각각에 대해 서로 다를 수 있다. 예로서, 1.12㎛의 파장에서, c-Si 및 a-Si의 굴절 지수들은 각각 3.54 및 4.09인 것으로 공개된 문헌에 보고되어 있다. 매체 재의 빛의 속도가 매체의 굴절 지수에 의존하기 때문에, 광학 신호는 c-Si를 통한 것보다 a-Si를 통해 더 느리게 이동할 것으로 예상된다. 추가로 후술된 바와 같이, 굴절 지수의 차이는 재료 형태의 조작에 의해 도파로를 형성하거나, 도파로의 광학 경로 길이를 맞춤화하거나, 양자 모두를 위해 사용될 수 있다.

[0018] 도 1a 내지 도 1c는 전체가 100으로 표시되어 있는 광학 장치의 평면도(도 1a) 및 단면도들(도 1b 및 도 1c)을 도시한다. 장치(100)는 포토닉스 장치, 예를 들어, 광학 신호(130)의 광학 처리를 수행하는 장치일 수 있다. 장치(100)는 광학 멀티플렉서, 역멀티플렉서, 광학 필터, 광학 공진기, 광학 프로세서, 광학 도파로, 거울 어레이 같은 광학 MEMS(마이크로-전자-기계 시스템) 장치 또는 다른 유사한 광학 구성요소들일 수 있거나 이들을 포함하지만, 이에 한정되지는 않는다. 예시된 실시예는 다양한 실시예들에서 나타날 수 있는 광학 장치의 소자들의 비제한적인 예로서 제시되어 있다.

[0019] 기판(110)은 그 위에 위치된 코어 영역(120)을 갖는다. 코어 영역(120)은 광학 신호(130)를 수신하도록 구성될 수 있다. 기판(110)은 임의의 적절한 기판, 예로서, 웨이퍼일 수 있다. 기판(110) 재료는 실리콘 또는 게르마늄 같은 반도체일 수 있지만 반드시 그래야하는 것은 아니다. 예로서, 유리, 석영 또는 사파이어 기판이 사용될 수 있다.

[0020] 코어 영역(120)은 균질 반도체 층으로 형성될 수 있다. 예로서, 최초에 균일한 특성들을 갖는 연속적 층상부인 층(미도시)이 기판(110) 위에 최초에 위치될 수 있다. 일부 실시예들에서, 균질 층은 그 부분들의 선택적 제거에 의해 패턴화되어 코어 영역(120)을 형성할 수 있다. 다른 실시예들에서, 코어 영역(120)은 본 발명의 범주 내의 방법들에 의해 균질 층의 일부의 형태 및/또는 광학적 특성들을 변경함으로써 형성될 수 있다. 코어 영역(120)은 광학 경로의 구성요소로서, 예를 들어, 평면형 도파로 코어로서 동작하도록 구성될 수 있다. 클래딩 영역(125)은 코어 영역(120)에 인접하게 위치된다.

[0021] 여기서, 광학 경로는 기판(110)의 평면 내에서 전파하도록 광학 신호(130) 같은 광학 신호를 속박하도록 구성된 고체 매체이다. 광학 경로는 코어, 예를 들어, 코어 영역(130) 및 클래딩, 예를 들어, 클래딩 영역(125)을 포함한다. 광학 신호는 일반적으로 코어와 클래딩 사이의 계면에서 전체 내부 반사에 의해 코어의 방향으로 안내된다. 그러나, 본 발명은 클래딩이 코어의 굴절 지수보다 큰 굴절 지수를 갖는 실시예들을 고려한다. 이런 실시예들은, 예를 들어, 광학 경로가 광학 신호를 감쇠시키도록 구성된 경우들을 포함할 수 있다.

[0022] 클래딩 영역(125)은 임의의 특정 재료에 제한되지 않는다. 클래딩 영역(125)은 예를 들어, 공기, 실리콘 산화

물 또는 반도체 재료이거나 이들을 포함할 수 있다. 클래딩 영역(125)이 반도체 재료일 때, 이는 코어 영역(120)을 형성하는 동일 재료 층의 일부일 수 있다.

[0023] 일부 경우들에서, 그 모든 측부들 상에서 코어 영역(120)에 인접한 매체의 굴절 지수는 코어 영역(120)으로부터의 광학 에너지의 손실을 최소화하기 위해 코어 영역(120)의 굴절 지수보다 낮은 것이 바람직할 수 있다. 따라서, 코어영역(120)보다 낮은 굴절 지수를 갖는 유전층(140)이 기판(110)과 코어 영역(120) 사이에 위치되어 코어 영역(120)에 대한 언더클래딩으로서 작용할 수 있다. 존재한다면, 유전체 층(140)은 반도체-온-절연체(SOI) 기판, 열적 산화물 또는 CVD 산화물과 연계된 산화물 층일 수 있거나 기판(110), 예를 들어, 사파이어 웨이퍼일 수 있다.

[0024] 코어 영역(120)은 제1 유형의 형태 및 제1 굴절 지수(n_a)를 갖는 영역(120a)과, 제2 유형의 형태 및 제2 다른 굴절 지수(n_b)를 갖는 영역(120b)을 포함한다. 제한 없이, n_b가 n_a보다 큰 일 실시예가 고려된다. 광학 신호(130)는 영역(120b)보다 영역(120a)을 통해 더 빠른 속도로 전파된다. 코어 영역(120)을 통한 광학 신호(130)의 전파 시간은 신호 전파의 방향 같은 코어 영역(120)의 광학 경로를 따른 영역들(120a, 120b)의 상대적 길이들에 의존한다. 임의의 원하는 길이들의 조합의 영역들(120a, 120b) 각각 중 하나 이상이 코어 영역(120)을 통한 광학 신호(130)에 의해 취해지는 경로를 따라 위치될 수 있다.

[0025] 코어 영역(120)을 형성하는 반도체 재료 층의 형태는 다양한 실시예들에서 제어가능하게 변형될 수 있다. 이러한 변형은 코어 영역(120)의 광학 특성들을 변화시키기 위해 수행될 수 있다. 전파 특성들을 변화시키는 다양한 실시예에서, 추가로 후술된 바와 같이 전파의 방향 또는 속도를 변화시키는 것 또는 광학 신호(130) 상에 코어 영역(120)에 의해 생성되는 감쇠를 변화시키는 것을 포함한다. 코어 영역(120)의 전파 특성들을 변화시키는 것은 코어 영역(120)에 인접한 재료의 형태를 변화시키는 것을 포함할 수 있다. 예로서, 코어 영역(120)에 인접한 반도체 층의 부분, 예를 들어, 클래딩 영역(125)의 굴절 지수는 코어 영역(120)으로부터 인접한 클래딩 영역(125)으로 소실되는 광학 신호(130)의 양을 증가 또는 감소시키도록 변화될 수 있다.

[0026] 도 2a 내지 도 2c는 전체가 200으로 표시되어 있는 광학 장치의 일 실시예의 평면도(도 2a) 및 단면도(도 2b 및 도 2c)를 예시한다. 장치(200)는 도파로(210)를 포함하고, 이 도파로(210)는 순차적으로 코어 영역(215)과 클래딩 영역들(220a, 220b)을 포함한다. 매체(225)는 예를 들어, 공기, 산화물 또는 반도체 재료일 수 있다. 일부 실시예들에서, 매체(225)는 코어 영역(215) 및 클래딩 영역들(220a, 220b)을 형성하는 기판(110) 위에 형성된 연속적 반도체 재료 층상부의 일부이다. 예시된 장치(200)에서, 코어 영역(215) 및 매체(225)는 굴절 지수(n_1)를 갖는다. 클래딩 영역들(220a, 220b)은 굴절 지수($n_2<n_1$)를 가지며, 따라서, 광학 신호(130)의 일부를 도파로(210)에 속박시킨다.

[0027] 이전에 참조 문헌으로 언급한 바이오치(baiocchi) 등의 국제 출원 제PCT/US08/76976호(이하에서 "'976 출원"이라 지칭됨)는 반도체 층의 동소체의 및/또는 형태 유형을 변화시키는 방법들을 개시한다. 여기에 설명된 다양한 실시예들에서, 응집성 (레이저) 에너지는 반도체 층의 일부 상에 집속되어 피조명 부분의 부분적 용융을 유발한다. 예로서, 에너지 투여량 및 기간, 초점 및 다수의 노광들이 수행되는 시간 기간은 피조명 반도체의 비정질 또는 다결정 동소체의 형성을 초래하는 시간-온도 프로파일을 결정할 수 있다. 따라서, '976 출원에서 설명된 바와 같이, 반도체, 예를 들어, 실리콘의 벌크 결정 또는 다결정 부분은 제어가능하게 비정질 동소체로 변환될 수 있고, 그후, 다결정 동소체로 제어가능하게 변화될 수 있다. 변환은 주변 유전체 층들 또는 아래에 배설된 기판에 대한 손상 없이 이루어질 수 있다.

[0028] 도 3은 단결정 실리콘 기판(310)을 예시하며, 그 일부는 제1 펄스 패턴 및/또는 조명 조건을 사용하여 레이저 광으로 기판(310)을 조명함으로써 비정질 영역(320)으로 변환되어 있다. 비정질 영역(320)의 일부는 순차적으로 제2 펄스 패턴 및/또는 조명 조건을 사용하여 레이저 광으로 기판(310)을 조명함으로써 다결정 영역(330)으로 변환된다. 일반적으로, 변경된 기판(310), 비정질 영역(320) 및 다결정 영역(330) 각각은 서로 다른 광학 특성들을 가지며, 특히, 서로 다른 굴절 지수들을 갖는다.

[0029] 본 발명은 하나의 형태 유형으로부터 다른 형태 유형으로의 반도체 재료의 변환이 적절한 특성들을 갖는 전기적 자극들을 사용하여 변환되는 반도체 재료의 일부를 가열함으로써도 실행될 수 있다는 것을 인식하고 있다. 자극은 예를 들어, 원하는 시간 기간에 걸쳐 변환이 필요한 타겟 영역에 원하는 양의 에너지를 투입하도록 구성된 시간적 프로파일을 갖는 전류일 수 있다. 따라서, 예로서, 도 2a로 돌아가서, 클래딩 영역들(220a, 220b)은 제1의 더 높은 값으로부터 제2의 더 낮은 값으로 반도체 재료의 굴절 지수를 제어가능하게 변형함으로써 연속적 반도체 재료 층상부로부터 형성될 수 있다. '976 출원에 설명된 조명 가열에 추가로, 일부 실시예들에서, 반도

체 재료의 광학적 특성들은 전기적 자극, 예를 들어, 재료의 일부를 가열하도록 구성된 전류에 의해 변형될 수 있다.

[0030] 도 4는 이퓨즈(410)를 예시한다. 이퓨즈(410)는 하전 장치 모델(CDM) 정전 방전(ESD) 이벤트의 전형인 전기적 펄스에 노출되었다. 예로서, 이런 이벤트는 약 1ns의 시간 기간에 걸쳐 인가되는 10^6 A/cm^2 정도의 전류 밀도에서 500V의 전압을 특징으로 할 수 있다. 이퓨즈(410)는 프로그래밍의 가시적 증거를 보여주지 않지만, 전기적 특성들은 프로그래밍, 예를 들어, 저항의 증가에 일관적이다. 따라서, 이퓨즈(410)는 그에 대한 또는 주변 구조체에 대한 가시적 손상 없이 물리적 및 전기적으로 변형될 수 있다.

[0031] 도 5a 및 도 5b는 상술한 바와 같은 전기적 응력부가 이후의 이퓨즈(410)의 것과 유사한 이퓨즈(510)의 TEM 사진들(500A(저배율) 및 500B(고배율))을 도시한다. 산화물 층(520)은 이퓨즈(510) 위에 배치된다. 원래 p-Si로 형성되었던 이퓨즈(510)는 이제 p-Si 부분(530)과 a-Si 부분(540)을 포함한다. 결정상태로부터 비정질상태로의 a-Si 부분(540)의 형태의 변화에도 불구하고 이퓨즈(510)에 대한 어떠한 치수 변화도 나타나지 않거나 거의 치수 변화가 나타나지 않는다. 특히, 산화물 층(520)에 대한 어떠한 손상의 증거도 존재하지 않는다.

[0032] 이퓨즈(410) 또는 주변 재료 층들에 대한 미소한 손상으로 또는 어떠한 관찰가능한 손상도 없이 관찰되는 특성들의 변경, 예를 들어, 전기 저항의 변화는 다양한 실시예들에서 프로그래밍 펄스 특성들의 넓은 범위로부터 얻어질 수 있다. 예로서, 펄스 전압은 수십 볼트와 수천 볼트 사이의 범위 이내에 드는 값을 가질 수 있다. 마찬가지로, 펄스는 나노초 미만과 마이크로초 사이의 범위의 기간을 가질 수 있다. 전압과 펄스 기간의 효과적 조합은 펄스가 인가되는 구조체의 특정 레이아웃에 따라 관련 기술 분야의 숙련자에 의해 결정될 수 있는 것으로 예상된다. 다양한 실시예들에서, 프로그램된 구조체의 저항, 커패시턴스 및 인덕턴스를 고려하는 것이 유리할 수 있다. 프로그램된 이퓨즈의 최종 특성들은 이퓨즈에 투입된 총 에너지와 상관되는 것으로 예상된다. 따라서, 일반적으로 프로그래밍 펄스의 전압이 증가함에 따라 펄스의 기간이 감소하고 그 반대도 마찬가지인 것으로 예상된다.

[0033] 다양한 실시예들에서, 도 6a 및 도 6b에 명시된 전기적으로 유도된 형태의 변화는 반도체 포토닉 장치들 및 네트워크들에 활용될 수 있다. 결정 또는 다결정 형태로부터 비정질 형태로 또는 비정질 형태로부터 다결정 형태로 광학 소자의 전체 또는 일부를 변화시키기 위해 적절히 맞춤화된 전기 펄스를 인가하기 위해 전극들이 광학 소자들에 배치될 수 있다. 변환은 원하는 방식으로 반도체 포토닉 소자의 광학적 및 전기적 특성들을 변화시키기 위한 수단을 제공하여 회로 설계, 재가공 또는 트리밍(trimming)을 위한 수단을 제공하는 것으로 예상된다.

[0034] 예로서, 도 6은 포토닉스 용례들을 위한 반도체 재료의 형태들의 비제한적 예들로서 c-Si, a-Si 및 p-Si의 굴절 지수들 사이의 관계를 예시하는 전체가 600으로 표시되어 있는 플롯을 예시한다. 굴절 지수들은 재료를 통해 전파되는 광의 파장의 함수로서 표시되어 있다. 이들 데이터는 공개된 문헌의 굴절 지수 데이터로부터 외삽되고, 실리콘의 이들 형태들의 광학적 거동의 예로서 비제한적으로 제시되어 있다.

[0035] 도 6에서, c-Si는 파장들의 표시된 범위의 모든 파장들에 대하여 a-Si 및 p-Si보다 큰 굴절 지수를 갖는 것으로 나타나 있다. 또한, a-Si는 약 1.58㎛ 미만에서 p-Si보다 큰 굴절 지수를 가지며 그 위에서는 순서가 반대가 되는 것으로 나타나 있다.

[0036] 도 6에 예시된 관계들은 다수의 방식으로 활용될 수 있다. 예로서:

[0037] - 최초에 c-Si 세그먼트를 포함하는 광학 경로가 c-Si 세그먼트의 일부를 a-Si 및/또는 p-Si로 변환함으로써 더 짧은 광학 경로 길이를 갖도록 변경될 수 있다.

[0038] - 최초에 a-Si 세그먼트를 포함하는 광학 경로는 a-Si 세그먼트의 일부를 p-Si로 변환함으로써 약 1.58㎛ 미만의 파장들을 위해 더 짧은 광학 경로 길이를 갖도록 변경될 수 있다. 약 1.58㎛을 초과하면, 세그먼트는 더 긴 광학 경로 길이를 갖는 것으로 예상된다.

[0039] - 최초에 p-Si 세그먼트를 포함하는 광학 경로가 p-Si 세그먼트의 일부를 a-Si로 변환함으로써 약 1.58㎛ 미만의 파장들에 대하여 더 긴 광학 경로 길이를 갖도록 변경될 수 있다. 약 1.58㎛을 초과하면, 세그먼트는 더 짧은 광학 경로 길이를 갖는 것으로 예상된다.

[0040] - 최초에 벌크 결정인 실리콘 층(예를 들어, 매설된 산화물 층 위의 에피텍셜 층)은 의도된 코어 영역에 인접한 결정 층의 일부를 a-Si 및/또는 p-Si로 변환함으로써 내부에 형성된 광학 경로를 가질 수 있다.

[0041] 이하의 표 1은 도 6으로부터 유도된 값들을 사용하여 c-Si에 대한 a-Si, c-Si에 대한 p-Si 및 p-Si에 대한 a-Si

의 굴절 지수의 스케일링된 차이들을 비교한다. a-Si 및 p-Si 양자 모두에 대하여, 도시된 모든 파장에 대해 c-Si에 대한 굴절 지수의 차이는 1%를 초과하고, 1.55㎛ 이상의 파장들에 대해서는 10%를 초과한다. 이러한 굴절 지수의 상대적 편차는 이들 재료들을 사용하여 구성되는 도파로 내의 광학 신호의 강인한 속박을 초래하는 것으로 예상된다

[0042] [표 1]

[0043] 파장(㎛)	(α-c)/c	(p-c)/c	(α-p)/p
[0044] 1.3	-1.7%	-5.2%	3.7%
[0045] 1.4	-5.0%	-7.3%	2.5%
[0046] 1.5	-8.5%	-9.5%	1.1%
[0047] 1.55	-10.2%	-10.6%	0.4%
[0048] 1.6	-12.0%	-11.7%	-0.3%
[0049] 1.65	-13.8%	-12.9%	-1.0%

[0050] 이하의 실시예들은 제1 형태로부터 제2 형태로 반도체 층의 형태를 변환시키기 위해 광학 특성들이 본 명세서에 설명된 실시예들을 사용하여 변형될 수 있는 다양한 방식들을 예시한다. 본 기술 분야의 숙련자들은 다른 광학 장치들이 반도체 형태의 변환으로부터 유사한 이득을 얻을 수 있으며, 이런 다른 광학 장치들은 본 발명의 범주 내에 포함된다는 것을 알 수 있을 것이다. 또한, 이하의 실시예들이 실리콘의 다양한 형태들에 관하여 설명될 수 있지만, 대안적 반도체 재료들을 사용하는 다른 실시예들도 본 발명의 범주 내에 있다.

[0051] 도 7은 최초에 각각 종래의 방식으로 p-Si로 형성될 수 있는 공진기 링(710)과 인접한 도파로(720)를 포함하는 전체가 700으로 표시된 공진기를 예시한다. 도파로(720)는 광학 에너지가 도파로(720)로부터 링(710)으로, 그리고, 링(710)으로부터 도파로(720)로 결합될 수 있도록 위치되어 있다. 다양한 실시예들에서, 공진기(700)는 로지컬 AND 및 로지컬 NAND 게이트 같은 로지컬 회로 소자의 일부로서 채용될 수 있다. 본 기술 분야의 숙련자들은 광학 공진기를 사용한 이들 및 유사한 장치들의 종래의 구현예들에 친숙하다.

[0052] 링(710)은 공진기(700)를 포함하는 회로의 작동 주파수가 부분적으로 그에 의존하는 공진 주파수를 갖는다. 공진 주파수는 링(710)의 치수들, 링(710) 매체, 예를 들어, p-Si의 굴절 지수, 매체 내의 캐리어 농도 및 입사 광학 신호(730)의 강도 또는 파워를 포함하는 다수의 인자들에 의해 결정될 것으로 예상된다.

[0053] 본 명세서의 다양한 실시예들은 링(710)의 공진 파장을 조절하기 위한 수단을 제공한다. 일부 실시예들에서, 조절은 '976 출원에서 설명된 바와 같은 고강도 비-응집성 광원 또는 응집성 광원을 사용하여 이루어진다. 링(710)은 최초에는 대략 원주(C)(본 예에서, π*직경)와 굴절 지수의 곱 또는 OPL=nC와 같은 광학 경로 길이(OPL)를 갖는다. OPL은 세그먼트(740)를 p-Si로부터 a-Si로 변환함으로써 조절될 수 있다. 이 경우에, 링(710)의 OPL은 증가하여 λ_1으로부터 λ_2로의 링(710)의 더 큰 파장을 초래하는 것으로 예상된다. 다른 예에서, 공진기(700)는 최초에 에피텍셜 층 같은 c-Si 층으로 형성된다. 세그먼트(740)는 c-Si로부터 p-Si로 변환되어 링(710)의 OPL을 감소시키고, 따라서, 공진기(700)의 공진 파장을 초기값(λ_3)으로부터 제2 값(λ_4)으로 감소시킨다. 그후, 세그먼트(740)의 일부가 a-Si로 변환됨으로써, OPL을 증가시키고, 공진 파장을 λ_4로부터 다른 중간값(λ_5)으로 증가시킬 수 있다.

[0054] 이 방식으로, 링(710)의 공진 파장은 특정 원하는 값으로 트리밍(조율)될 수 있다. 이런 트리밍은 공진기가 일부가 되는 광학 회로가 동작하는 동안 수행될 수 있다. 일부 경우들에서, 반도체 재료의 이동도 및 캐리어 농도가 하나의 형태로부터 다른 형태로의 재료의 변환에 의해 영향을 받는 것으로 예상된다. 실용적 문제로서, 이런 재료 특성 상호작용들로부터 초래될 수 있는 정확한 공진 주파수를 예측하는 것이 곤란할 수 있다. 공진기(700)를 조율하는 기능은 재료 특성들의 이러한 변화들을 보상하여 공진 파장의 정확한 원하는 값을 도출하기 위한 수단을 제공한다.

[0055] 도 8은 가열 요소들로서 전기 퓨즈 구조체들을 사용하여 조율되도록 구성된 공진기(800)의 일 실시예를 예시한다. 공진기 링(810)은 몇몇 이퓨즈 구조체들(820)을 포함한다. 이퓨즈 구조체들(820)은 링(810)의 일부를 가열하도록 구성되고, 그에 의해, 가열된 부분의 형태의 변화를 유도한다.

[0056] 도 8의 실시예에서, 링(810)은 8개 비변형 이퓨즈 구조체(820a)와 3개 변형 이퓨즈 구조체들(820b)을 포함한다. 각각의 변형 이퓨즈 구조체(820b)는 이미 형성되어 있는 링(810)의 제1 형태로부터 다른 굴절 지수를 갖는 제2 형태로 변형되는 링(810)의 광학 경로의 관련 부분(830)을 갖는다. 공진기 링(710)에 관하여 설명한 바와 같이, 링(810) 및 부분들(830)의 형태는 링(810)의 공진 파장의 조율성을 제공하기 위해 다양한 조합들로 구성될 수 있다.

[0057] 도 9는 이퓨즈(910)가 교차 영역(930)을 갖는 공진 구조체(920)와 교차하는 일 실시예를 예시한다. 공진 구조체(920)는 예를 들어, 공진기 링일 수 있다. 예시된 실시예에서, 이퓨즈(910) 및 공진 구조체(920)는 동일한 반도체 층, 예를 들어, 폴리실리콘 내에 형성된다. 영역(930) 외측의 이퓨즈(910)의 부분들은 영역(930)을 포함하여, 공진 구조체(920)보다 높은 도핑제 농도로 도핑된다. 더 큰 도핑은 공진 구조체(920)보다 영역(930) 외부의 이퓨즈(910)에 더 큰 전도성을 부여한다. 공진기(910)의 프로그래밍, 예를 들어, 교차 부분(930)의 형태의 변경 동안, 이 구성은 이퓨즈(910)의 가열을 영역(930)에 부분적으로 국지화하며, 그에 의해, 하나의 형태로부터 다른 형태로의 변환을 위해 영역(930)을 목표로 할 것으로 예상된다. 가열의 국지화는 의도된 목표 층이 하나의 형태로부터 다른 형태로 변환될 가능성을 바람직하게 증가시키고, 또한, 장치(100)에 투입되는 총 파워를 감소시킴으로써 그에 대한 손상 가능성을 감소시킬 수 있다.

[0058] 대안적 실시예에서, 영역(930) 같은 가열 요소는 하나 이상의 러너들, 예를 들어, 그에 전류를 라우팅하도록 구성된 전도성 트레이스들을 포함할 수 있다. 이런 실시예들에서, 러너들은 영역(930) 외측의 이퓨즈(910)를 대체한다. 러너들의 두께 및/또는 폭 및/또는 조성은 러너들의 현저한 가열이 이루어지는 값 미만으로 러너들의 저항을 제한하도록 선택될 수 있다. 러너들은 실리콘, 예를 들어, 실리사이드형 폴리실리콘 같은 비금속화된 또는 금속화된 반도체로 구성될 수 있거나, W, Ti, TiN, Ta 또는 TaN 같은 적절한 내화 금속 재료로 이루어질 수 있다. 러너들의 가열을 제한하는 것은 러너들의 임의의 화학 반응 또는 그로부터의 외향 확산을 무의미한 레벨로 제한하는 것으로 예상된다. 여기서, 무의미한 반응 또는 확산은 장치 특성들에 대한 어떠한 허용불가한 유해한 영향들도 프로그래밍 프로세스로부터 초래되지 않는다는 것을 의미한다. 러너들은 측부로부터, 예를 들어, 타겟 영역과 동일한 레벨에서 가열 대상 영역(예를 들어, 영역(930))에 연결될 수 있거나, 타겟 영역의 위 및 아래에 위치되어 하나 이상의 접촉부들 또는 비아들 같은 저 저항 연결부에 의해 연결될 수 있다.

[0059] 도 10은 마흐-젠더(Mach-Zehnder) 구성의 제한 없이 제시된 간섭계(1010)를 예시한다. 간섭계(1010)는 입력 광학 신호(1020)를 수신하며, 이는 제1 경로(1030)와 제2 경로(1040) 사이에서 분할된다. 경로들(1030, 1040)을 통과하는 신호 부분들은 재조합되어 출력 신호(1050)를 형성한다. 일반적으로, 출력 신호(1050)의 강도 및 위상 특성들은 경로들(1030, 1040)을 통해 전파되는 신호 부분들의 상대적 위상 지연에 의존한다. 각 경로(1030, 1040)를 통한 위상 지연은 순차적으로 경로들(1030, 1040)을 형성하는 매체의 굴절 지수에 부분적으로 의존한다.

[0060] 본 명세서에 설명된 다양한 실시예들에 따라서, 제1 경로(1030)의 세그먼트(1060)는 최초의 제1 굴절 지수로부터 제2 굴절 지수로 변형될 수 있다. 이러한 변형은 예를 들어, 응집성 또는 고강도 광에 대한 노광으로부터 초래될 수 있다. 일 실시예에서, 세그먼트(1060)는 p-Si로부터 a-Si로 변환되고, 그에 의해, 세그먼트(1060)의 굴절 지수를 감소시킨다. 제1 경로(1030)의 OPL은 이에 의해 감소되고, 순차적으로, 그를 통해 전파되는 입력 광학 신호(1020)의 부분에 부여되는 위상 지연을 감소시킨다. 결과적으로, 출력 신호(1050)의 위상 및 강도 특성들이 변할 것으로 예상된다.

[0061] 도 11은 전기적 이퓨즈 구조체들(1120)에 의해 조율되도록 구성된 간섭계(1110)의 일 실시예를 예시한다. 간섭계는 두 개의 비변형 이퓨즈들(1120a)을 포함한다. 세 개의 변형 이퓨즈들(1120b)은 제1 경로(1030)의 세그먼트들(1130)의 형태를 변형시키도록 동작되어 있다. 예로서, 형태는 결정 상태로부터 비정질 상태로 변화될 수 있다. 이전에서와 같이, 변형은 출력 신호(1050)의 위상 및 강도 특성들을 변화시키는 것으로 예상된다.

[0062] 서로 다른 굴절 지수들을 갖는 두 개의 영역들을 포함하는 다양한 실시예들이 본 명세서에 설명되었지만, 본 발명의 실시예들은 이에 한정되지 않는다. 고려되는 실시예들은 다양한 굴절 지수들의 셋 이상의 영역들을 갖는 것들을 포함한다. 결정, 비정질 또는 다결정 영역들은 각 영역의 소정 평균 굴절 지수를 제공하도록 결정된 두께로 형성된다. 따라서, 예로서, c-Si 및 a-Si의 굴절 지수의 가중 평균인 굴절 지수를 갖는 하나 이상의 영역들이 형성될 수 있다. 이런 영역들의 굴절 지수들의 가중은 이 영역 내의 c-Si 및 a-Si의 상대적 비율들에 의해 결정될 수 있다.

[0063] 도 12a 내지 도 12e를 참조하면, 반도체 층(1220)의 부분들의 형태의 제어에 의해 기판(1210) 위에 광학 경로를 형성하는 방법(1200)의 일 실시예가 예시되어 있다. 추가적 처리 정보는 '976 출원에 설명되어 있다. 층

(1220)은 반도체의 제1 형태, 예를 들어, p-Si이고, 기판(1210)은 예를 들어, 이산화실리콘일 수 있다. 도 12a는 내부에 도파로가 형성되어 있지 않은 최초에 형성된 상태의 층(1220)을 예시한다.

[0064] 도 12b는 층(1220) 내의 코어 영역(1230)을 형성하는 것을 예시한다. 광원(1240), 예를 들어, 레이저가 층(1220)을 가로질러 주사된다. 강도, 초점, 듀티 사이클 및 조명 기간은 층(1220)의 피조명 부분을 층(1220)을 형성하는 반도체의 제2의 다른 동소체로 변환하도록 제어될 수 있다. 따라서, 예로서, 피조명 부분은 a-Si로 변환될 수 있다. 그후, 피조명 부분은 비피조명 층(1220)보다 높은 굴절 지수를 갖는다. 피조명 부분은 그에 의해 도파로의 코어 영역(1230)으로서 동작하며, 인접한 비변형 층(1220)은 클래딩 영역으로서 동작한다.

[0065] 도 12d는 광원(1240)에 의한 후속 조명에 의한 코어 영역(1230)의 변형을 예시한다. 광원(1240)은 코어 영역(1230)의 피조명 부분을 p-Si로 변환하도록 결정된 강도, 초점, 듀티 사이클 및 조명 기간으로 동작될 수 있다. 층(1220)이 또한 p-Si이기 때문에, 코어 영역(1230)의 피조명 부분은 층(1220)과 대략 동일한 굴절 지수를 가지며, 광학 신호(1250)를 구속하도록 동작하기를 중단한다. 달리 말하면, 코어 영역(1230)의 피조명 부분은 실질적으로 삭제된다.

[0066] 도 12e는 층(1220)의 추가적 조명에 의한 코어 영역(1230)의 새로운 부분의 형성 이후의 코어 영역(1230)을 예시한다. 따라서, 코어 영역(1230)은 다른 경로를 갖도록 변형 또는 재가공되었다. 포토닉 장치 내의 광학 경로의 방향을 변형하는 이런 기능은 예를 들어, 기능들의 맞춤화, 레이아웃 오류들의 교정 또는 장치의 손상된 부분의 수리를 위해 포토닉 장치를 재가공하는 고유하고 혁신적인 기능을 제공한다.

[0067] 도 13a 내지 도 13c는 기판(1310) 위에 형성된 광학 경로를 포함하는 광학 장치(1300)의 일 실시예를 예시한다. 도 13a를 먼저 고려하면, 예시된 실시예에서, 반도체 층(1320)은 기판(1310) 위에 위치되고, 유전체 층(1330)이 선택적으로 그 사이에 위치된다. 반도체 층(1320)은 초기 굴절 지수를 갖는다. 유전체 층(1340)은 마찬가지로 반도체 층(1320) 위에도 위치된다. 일부 실시예들에서, 형태의 변화를 유도하도록 가열될 때 반도체 층(1320)을 산화로부터 보호하기 위해 반도체 층(1320) 위에 산화물 층을 위치시키는 것이 바람직할 수 있다. 예로서, 반도체 층(1320)은 에피텍셜 층으로서 c-Si일 수 있고, 유전체 층(1330)은 매설된 산화물 층일 수 있다. 유전체 층(1340)은 상호접속 유전체 스택의 하나 이상의 층들일 수 있거나, 반도체 층(1320)을 특정하게 보호하도록 반도체 층(1320) 위에 형성된 산화물 층일 수 있다.

[0068] 도 13b는 반도체 층(1320)의 일부를 초기 굴절 지수보다 낮은 변형 굴절 지수를 갖는 형태로 변환시킴으로써 광학 경로를 형성하는 것을 예시한다. 광원(1350)은 반도체 층(1320)의 일부를 가열하고, 그에 의해 가열된 부분을 더 낮은 굴절 지수를 갖는 형태로 변환시킨다. 예시된 바와 같이 하나의 클래딩 영역(1360a)이 형성되어 있으며, 다른 클래딩 영역(1360b)이 형성되고 있다. 클래딩 영역들(1360a, 1360b)은 광학 신호를 그 사이의 코어 영역에 속박하도록 작용할 수 있다.

[0069] 도 13c는 부분(1360b)이 형성된 이후의 광학 장치(1300)를 예시한다. 부분들(1360a, 1360b)은 코어 영역(1370)을 경계짓고, 상기 코어 영역(1370) 내에서 광학 신호(1380)가 클래딩 영역들로서 작용하는 부분들(1360a, 1360b)의 더 낮은 굴절지수에 의해 안내될 수 있다.

[0070] 상술한 다양한 실시예들이 일반적으로 복소 굴절 지수의 실수 부분(n)에 관하여 설명되었지만, 복소 굴절 지수의 허수 부분, 또는 소멸 계수(k)도 일반적으로 특정 반도체의 서로 다른 형태들에 대하여 서로 다르다는 것을 인지하여야 한다. 소멸 계수는 광학 신호의 일부의 손실을 나타낸다. 따라서, 광학 경로 내의 광학 신호의 손실 정도 또는 감쇠는 하나의 형태로부터 다른 형태로 광학 경로의 일부를 변환함으로써 변형될 수 있다.

[0071] 광학 경로에 의해 제공되는 감쇠의 변형은 적어도 두 가지 방식들로 이행될 수 있다. 제1 방법에서, 코어 영역(120)(도 1) 같은 광학 경로의 일부가 제1 소멸 계수(k_1)를 갖는 하나의 형태로부터 제2 다른 소멸 계수(k_2)를 갖는 다른 형태로 변환된다. 제2 방법에서, 반도체의 일부, 예를 들어, 광학 경로, 예를 들어, 도파로(210)에 인접한 클래딩 영역(220b)(도 2)이 변형된다. 변형은 광학 신호가 도파로 내에 속박되는 정도를 변화시킨다. 예를 들어, 도파로(210)가 c-Si이고 클래딩 영역들(220a, 220b)이 p-Si인 경우, 광학 신호(130)는 도파로(210) 내에 양호하게 속박될 것으로 예상된다. 클래딩 영역(220b)의 서브부분이 a-Si로 변환되면, 서브부분 및 도파로(210)의 굴절 지수는 단지 약 2%(표 1 참조)만큼 달라진다. 따라서, 광학 신호(130)는 덜 양호하게 속박될 것으로 예상되며, 신호의 일부는 클래딩 영역(220b)으로 소실될 것으로 예상된다. 이 제2 방법은 코어 영역(120)에 대해서 보다 도파로(210)의 파장 의존적 전파 특성들에 대해 적은 동요가 예상되는 일부 경우들에서 제1 방법에 비해 장점을 제공한다.

[0072] 본 명세서에 설명된 실시예들은 본 발명의 범주 내의 광학 소자들 및 장치들의 모든 실시예들을 개시하는 것은

아니다. 본 기술 분야의 숙련자들은 설명된 실시예들에 의해 예시된 원리들이 다른 반도체 포토닉 장치들에 적용될 수 있다는 것을 알 수 있을 것이다. 감쇠기들, 도파로들 및 전자 광학 변조기들 같은 광학 네트워크 축조 블록들이 더 높거나 더 낮은 굴절 지수의 동소체 또는 형태로의 반도체의 변환에 의해 형성될 수 있다. 특히, 비제한적으로, 전자 광학 변조기들은 동소체 또는 형태 변환을 사용함으로써 그 부분들을 조율 또는 변경하는 기능으로부터 상당한 이득을 실현하는 것으로 예상되는 데, 그 이유는, 이런 장치들이 종종 파브리-페롯(Fabry-Perot) 마이크로공동과 유사한 정밀하게 조율된 구조체를 사용하여 제조되기 때문이다. 광학 기술들의 숙련자들은 파브리-페롯 마이크로공동의 공진 파장 및 이에 따른 마이크로공동의 투과율이 공동 매체의 굴절 지수에 크게 의존한다는 것을 알고 있을 것이다. 공동의 공진 주파수는 공동의 일부를 하나의 Si 동소체로부터 다른 것으로 변환시킴으로써 입사 방사선의 특정 파장에 일치하도록 맞춤화될 수 있다.

[0073] 도 14를 참조하면, 광학 장치를 형성하는 방법이 예시되어 있으며, 전체가 1400으로 표시되어 있다. 단계 1410에서, 그 위에 반도체 재료 층이 위치되어 있는 기판이 제공된다. 여기서, 그리고, 청구범위에서, "제공된"은 장치, 기판, 구조적 소자 등이 개시된 방법들을 실행하는 개인 또는 사업체에 의해 제조될 수 있거나, 다른 개인 또는 사업체를 포함하는 그 개인 또는 사업체 이외의 소스로부터 얻어질 수 있다는 것을 의미한다. 재료 층은 입력 광학 신호를 수신하도록 구성될 수 있으며, 제1 유형의 형태를 갖는 반도체 재료의 영역을 포함한다.

[0074] 단계 1420에서, 반도체 재료의 영역은 제1 유형과는 다른 제2 유형의 형태로 변환된다. 변환은 예를 들어, 전자기 방사선에 의한 조명 또는 전기적 가열에 의해 이루어질 수 있다. 변환은 영역을 포함하는 광학 경로의 전파 특성을 변화시킨다. 본 명세서의 다양한 실시예들에 설명된 바와 같이, 형태의 변환은 도파로 코어 영역 또는 코어 영역에 인접한 도파로 클래딩 영역의 반도체 재료의 일부에 관련할 수 있다.

[0075] 본 출원이 관련된 기술 분야의 숙련자들은 다른, 그리고 추가적인 추가들, 삭제들, 치환들 및 변경들이 설명된 실시예들에 대해 이루어질 수 있다는 것을 알 수 있을 것이다.

부호의 설명

[0076] 100: 광학 장치

110: 기판

120: 코어 영역

120a, 120b: 영역들

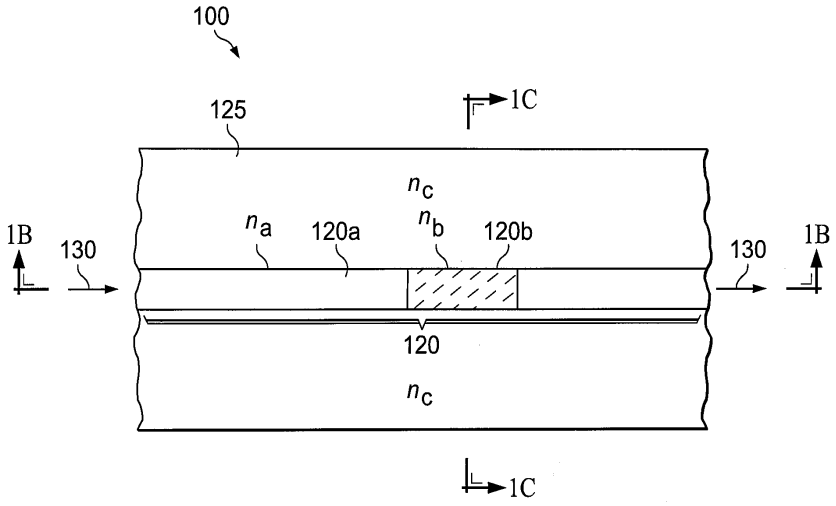
125: 클래딩 영역

130: 광학 신호

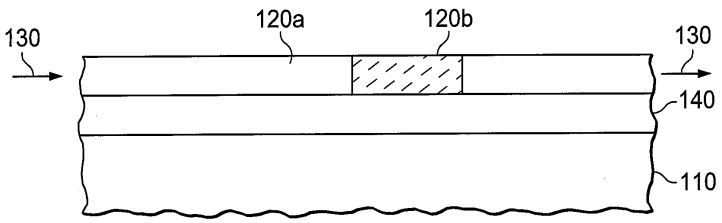
140: 유전체 층

도면

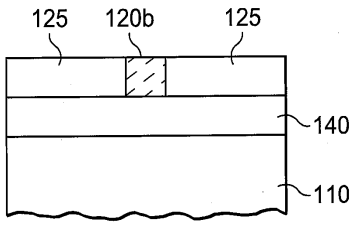
도면1a



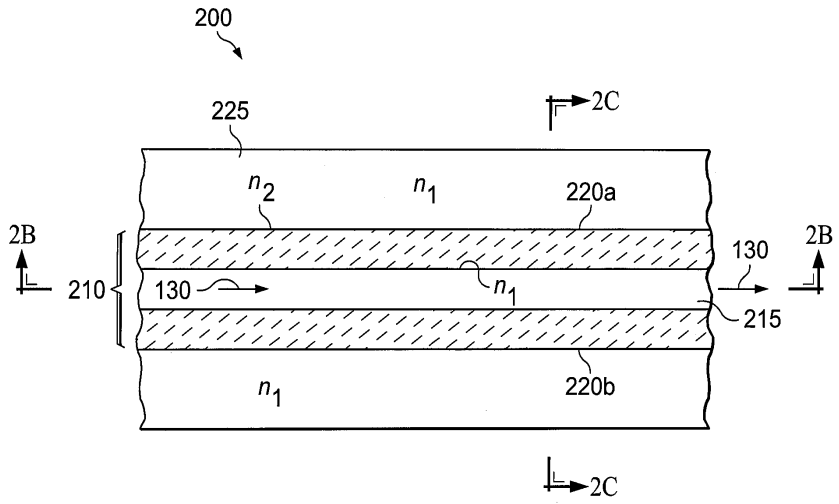
도면1b



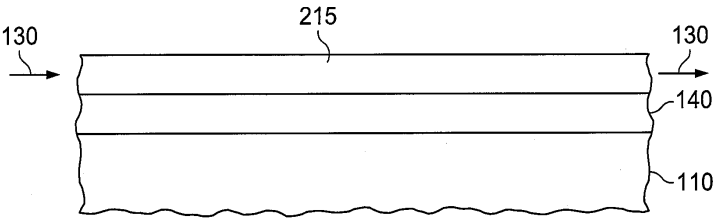
도면1c



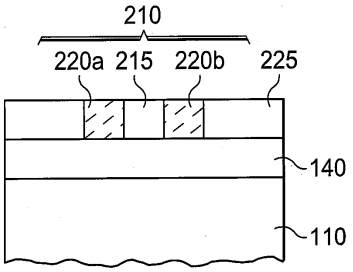
도면2a



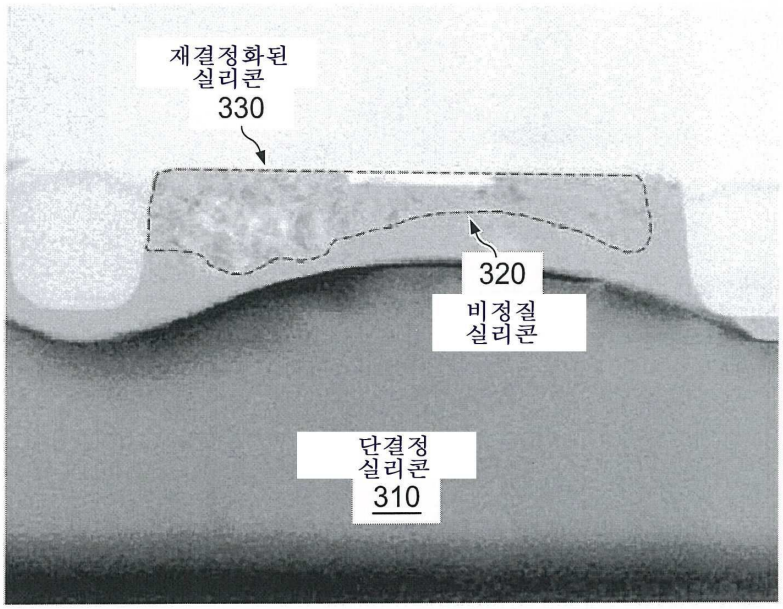
도면2b



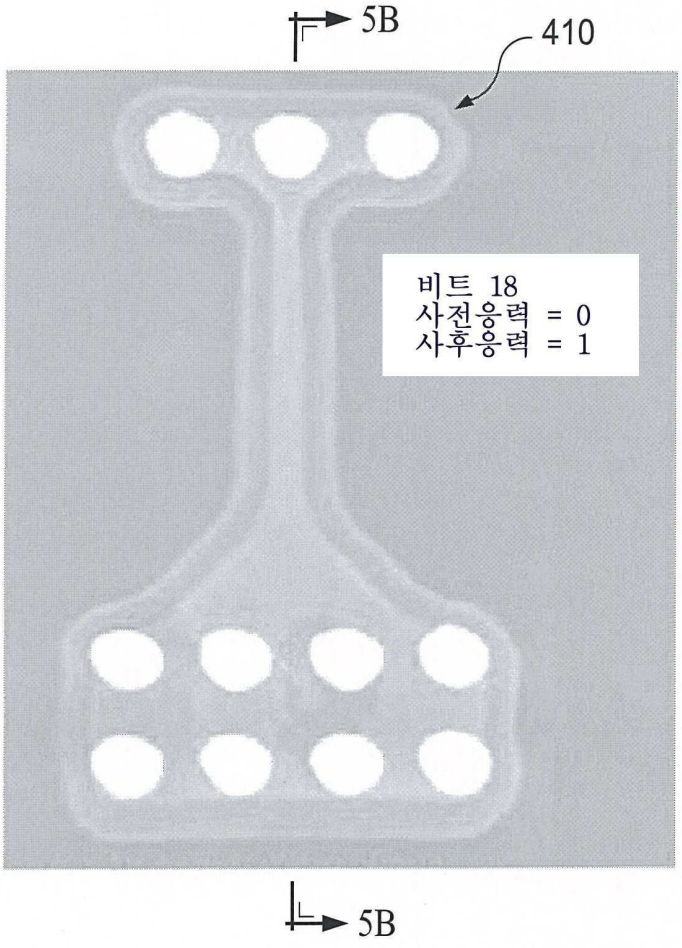
도면2c



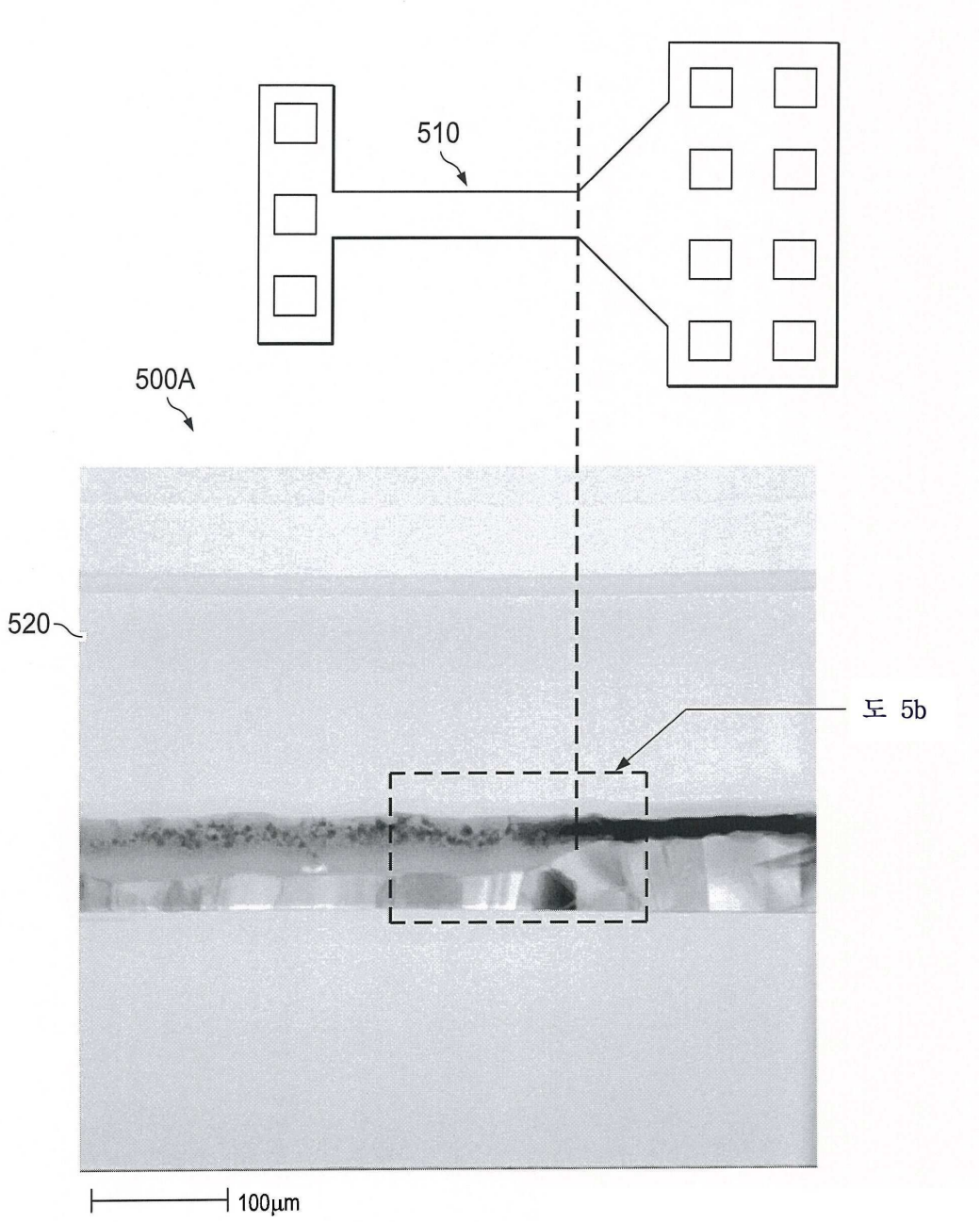
도면3


재결정화된
실리콘
330
320
비정질
실리콘
단결정
실리콘
310

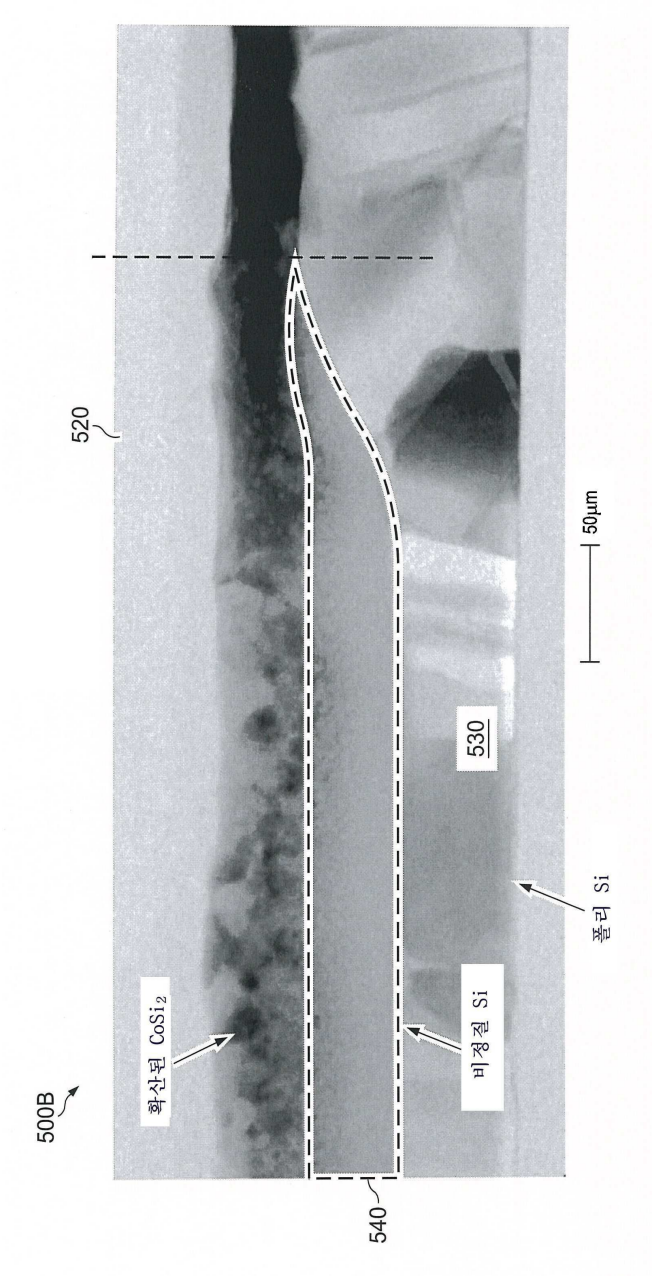
도면4


5B
410
비트 18
사전응력 = 0
사후응력 = 1
5B

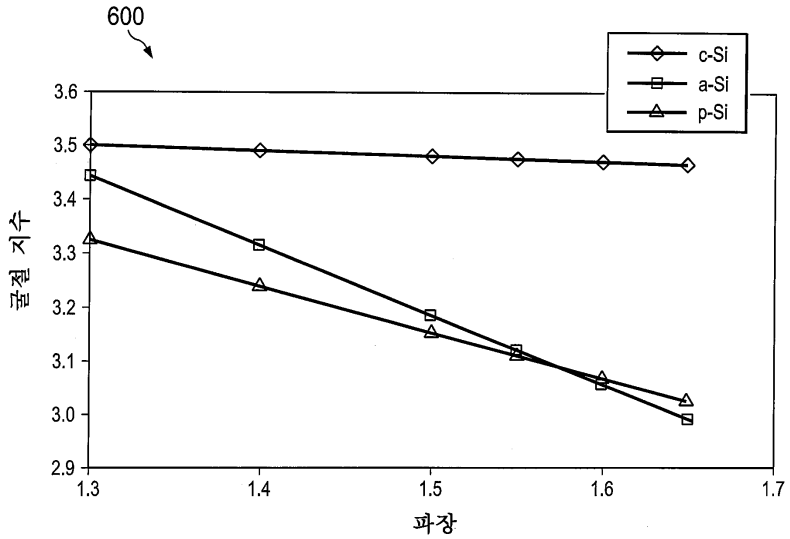
도면5a



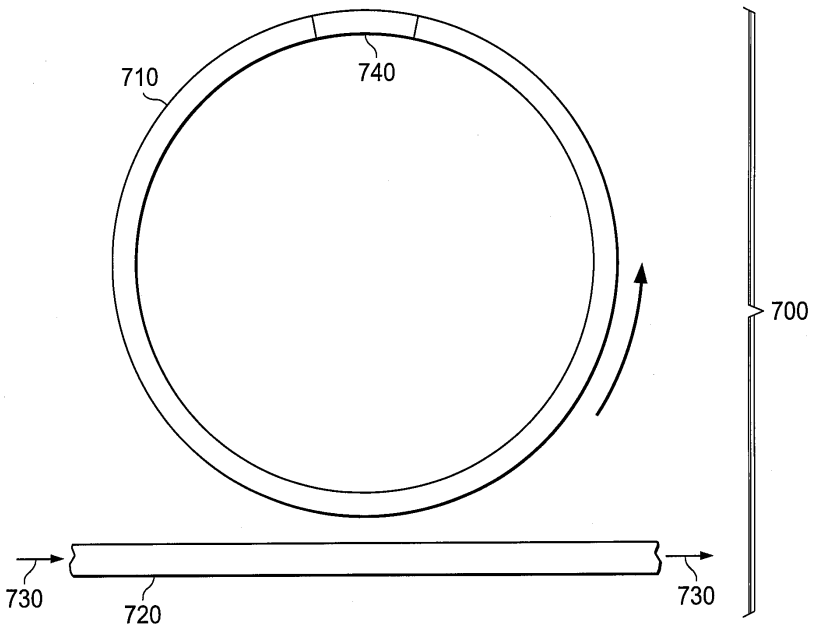
도면5b



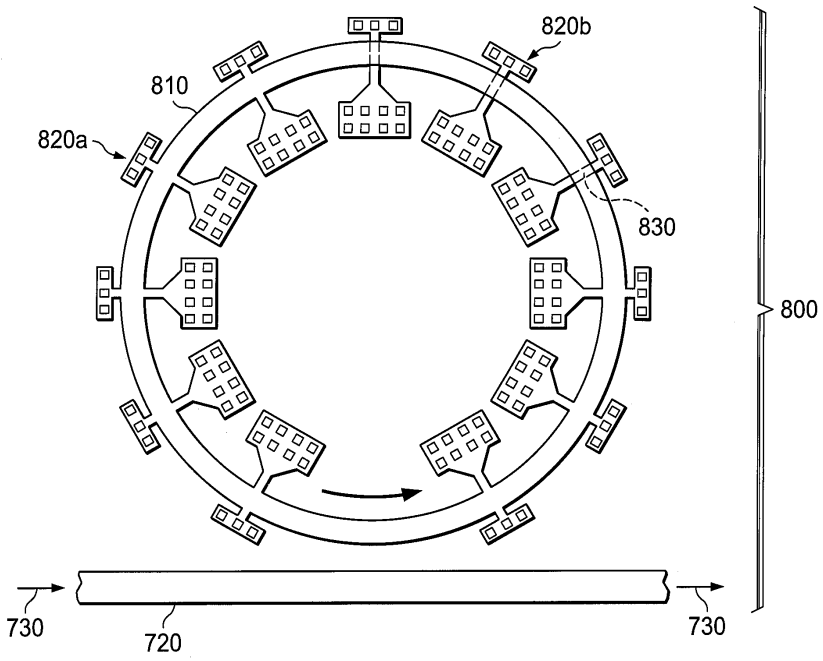
도면6


600
c-Si
a-Si
p-Si
굴절 지수
3.6
3.5
3.4
3.3
3.2
3.1
3.0
2.9
1.3
1.4
1.5
1.6
1.7
파장

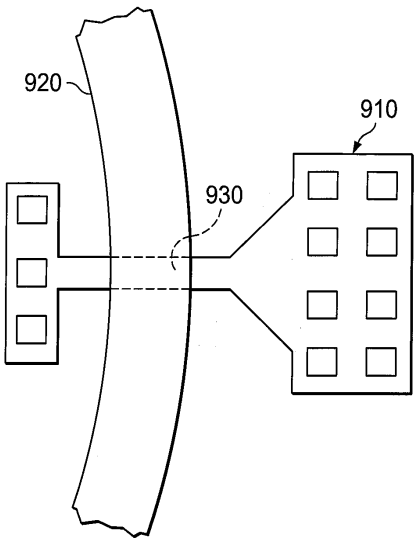
도면7


710
740
700
730
720
730

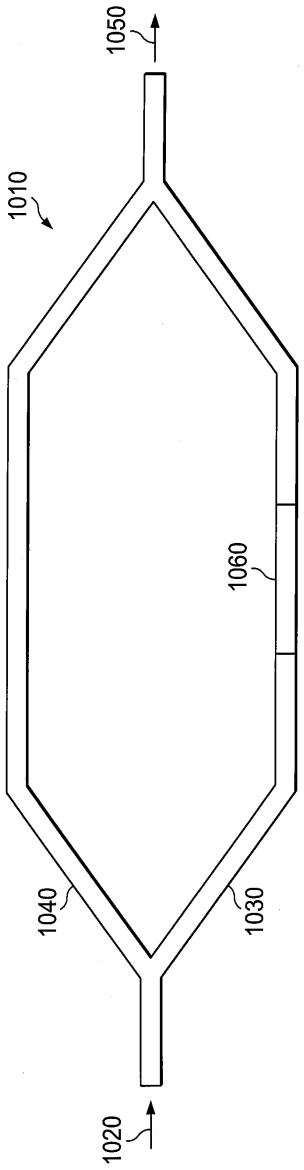
도면8



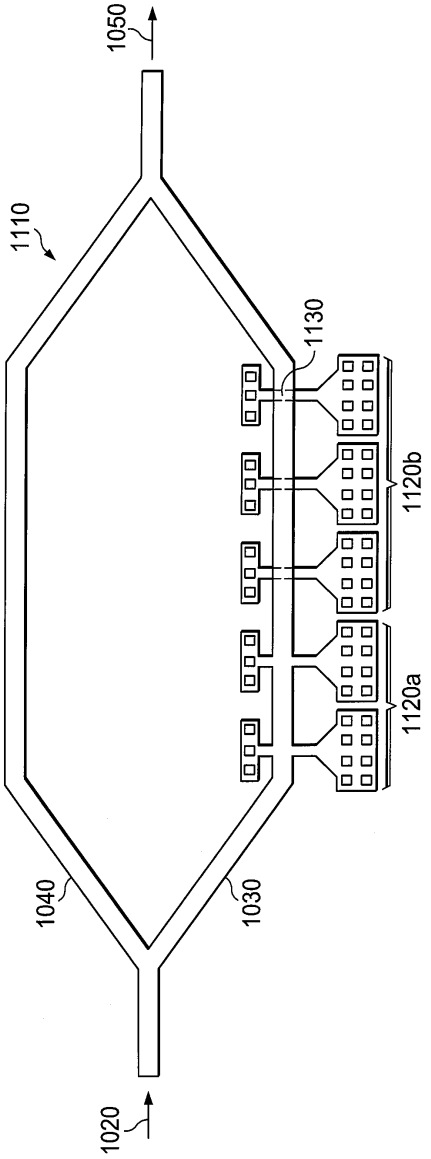
도면9



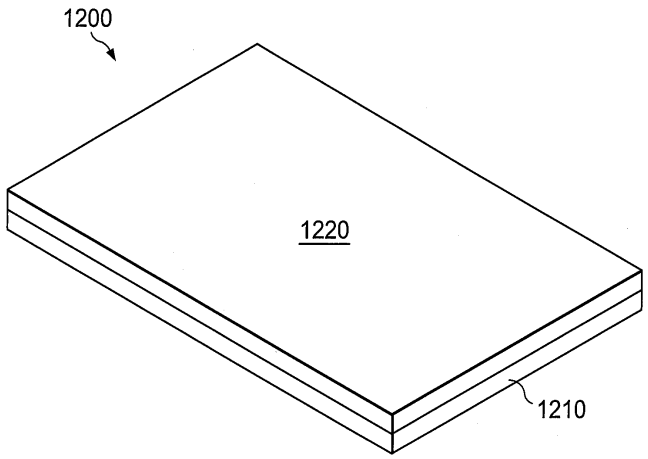
도면10



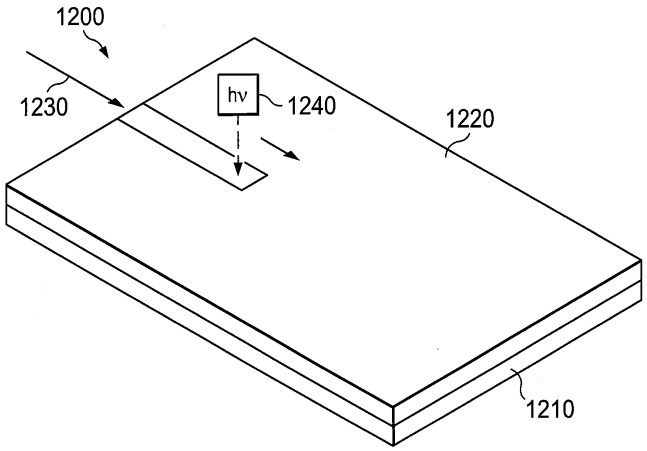
도면11



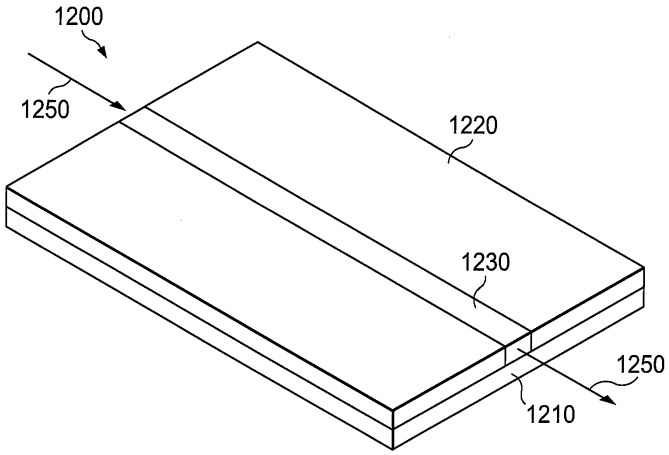
도면12a



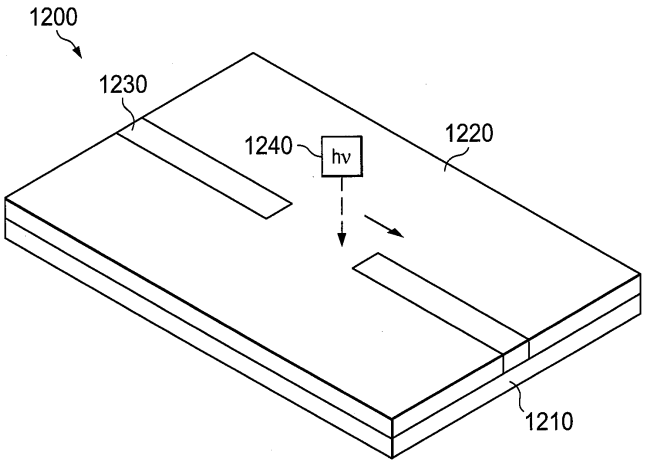
도면12b



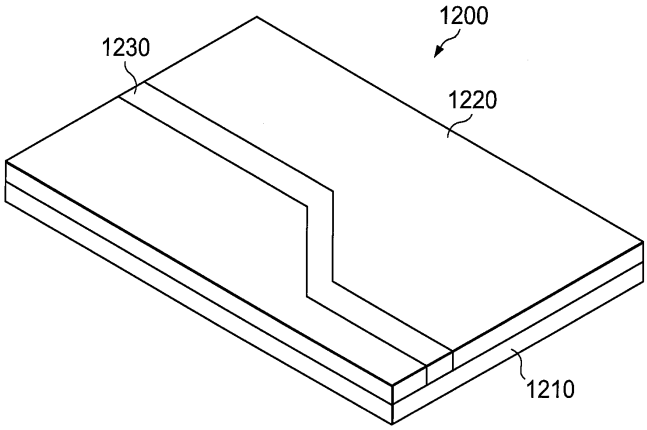
도면12c



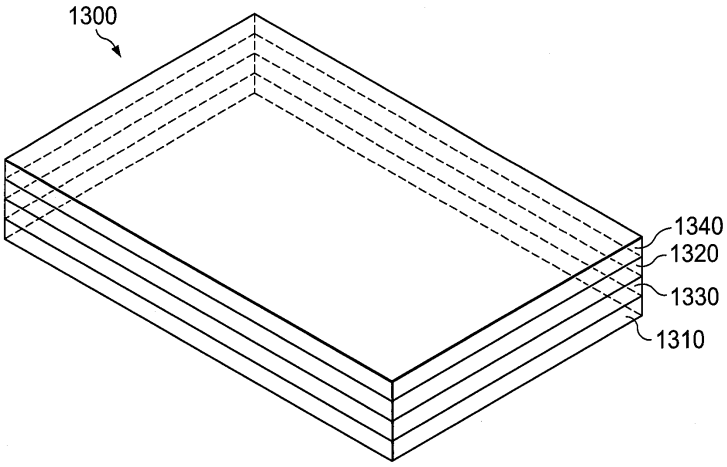
도면12d



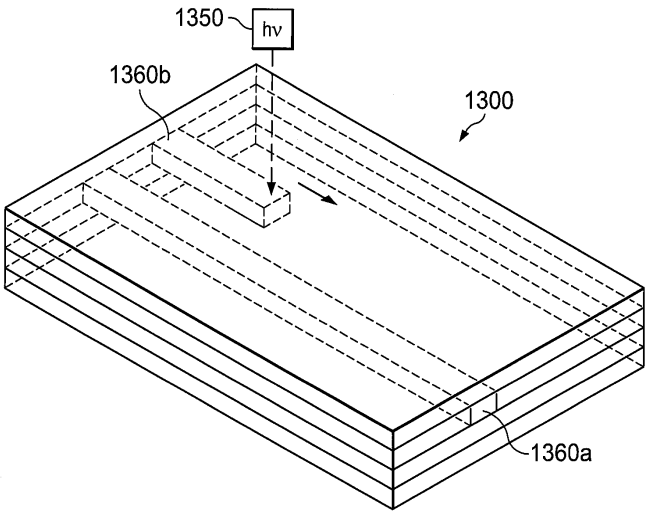
도면12e



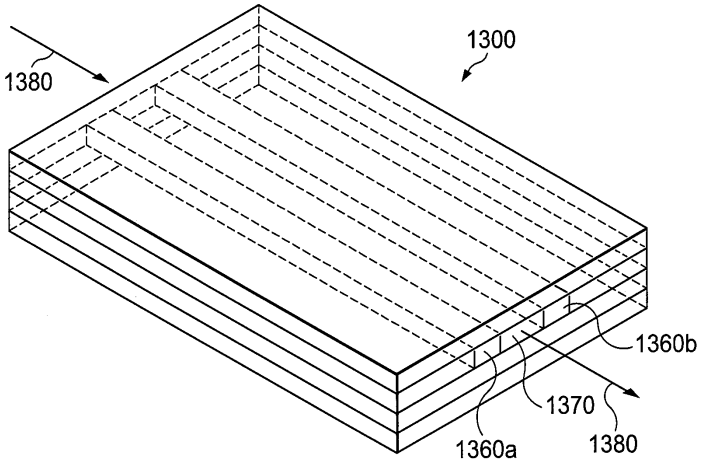
도면13a



도면13b



도면13c



도면14

