(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3594362号
(P3594362)
(45)発行日　平成16年11月24日(2004.11.24)　(24)登録日　平成16年9月10日(2004.9.10)

(51)Int.Cl.[7]　F I
H04L 7/033　H04L 7/02 B
H03L 7/089　H03L 7/08 D

請求項の数 4　(全 12 頁)

(21)出願番号　特願平7-147944
(22)出願日　平成7年6月15日(1995.6.15)
(65)公開番号　特開平9-8787
(43)公開日　平成9年1月10日(1997.1.10)
審査請求日　平成14年6月14日(2002.6.14)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100068087
弁理士　森本　義弘
(72)発明者　東嶋　悟
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

審査官　阿部　弘

最終頁に続く

(54)【発明の名称】クロック再生装置

(57)【特許請求の範囲】
【請求項１】
受信クロック信号を入力しクロック信号の変化点を検出して第１のパルス信号を出力する第１のエッジ検出器と、
再生クロック信号を入力してクロック信号の変化点を検出して第２のパルス信号を出力する第２のエッジ検出器と、
前記第１及び第２のエッジ検出器からのパルス信号の進み位相差か遅れ位相差かに応じたアップ信号またはダウン信号を出力するフリップフロップと、
前記フリップフロップが出力するアップ信号がアクティブのときのみシステムクロックによりカウントアップし、カウント値が最大になったときに第１のキャリーアップ信号を出力する第１のカウンタと、
前記フリップフロップが出力するダウン信号がアクティブのときのみシステムクロックによりカウントアップし、カウント値が最大になったときに第２のキャリーアップ信号を出力する第２のカウンタと、
前記第１のカウンタと第２のカウンタの出力信号でカウント値をアップ／ダウンするアップダウンカウンタと、
システムクロック信号を受信クロック信号と同じ周波数まで分周し、再生クロック信号を出力する分周器とを備え、
前記アップダウンカウンタは、第１のカウンタが第２のカウンタよりも先に最大になればカウント値を１つアップし、逆に第２のカウンタが第１のカウンタよりも先に最大になれ

ばカウント値を１つダウンし、
前記分周器は前記アップダウンカウンタのカウント値に応じて、再生クロックパルスの時間幅を変化させることにより再生クロック信号の位相を制御する
ことを特徴とするクロック再生装置。
【請求項２】
アップダウンカウンタのカウント値と、第１のキャリーアップ信号と第２のキャリーアップ信号の論理和である第３のキャリーアップ信号とを入力し、第３のキャリーアップ信号が入力されたときのみ前記アップダウンカウンタのカウント値を前記分周器へ出力し、それ以外は一定の値を分周器へ出力する初期値可変回路を備え、
前記分周器はカウンタで構成され、システムクロック信号を前記受信クロック信号と同じ周波数まで分周する一方、前記初期値可変回路の出力信号を入力し、その初期値を前記初期値可変回路の出力信号で変化させることにより受信クロック信号と同じ位相を持った再生クロック信号を出力し、
前記第１のカウンタと第２のカウンタの何れか一方が最大になれば両カウンタのカウント値をリセットする
請求項１記載のクロック再生装置。
【請求項３】
復調器から出力される受信クロック信号を入力しクロック信号の変化点を検出してパルス信号を出力する第１のエッジ変出器と、
後述する分周器の再生クロック信号を入力してクロック信号の変化点を検出してパルス信号を出力する第２のエッジ検出器と、
前記第１のエッジ検出器からの第１のパルス信号と前記第２のエッジ検出器からの第２のパルス信号とを入力し第１のパルス信号の位相が第２のパルス信号の位相よりも進んでいるときに進み位相差の分だけアクティブになるアップ信号を出力する第１のフリップフロップと、
逆に第１のパルス信号の位相が第２のパルス信号の位相よりも遅れているときに遅れ位相差の分だけアクティブになるダウン信号を出力する第２のフリップフロップと、
前記第１のフリップフロップが出力するアップ信号を入力しアップ信号がアクティブのときにカウントアップしカウント値が最大になったときに第１のキャリーアップ信号を出力する第１のカウンタと、
前記第２のフリップフロップが出力するダウン信号を入力しダウン信号がアクティブのときにカウントアップしカウント値が最大になったときに第２のキャリーアップ信号を出力する第２のカウンタと、
前記第１のキャリーアップ信号と前記第２のキャリーアップ信号とを入力し第１のキャリーアップ信号が第２のキャリーアップ信号よりも先に入力されたときにはカウント値をアップし、逆に第２のキャリーアップ信号が第１のキャリーアップ信号よりも先に入力されたときにはカウント値をダウンする一方、そのカウント値と前記第１のキャリーアップ信号と前記第２のキャリーアップ信号との論理和をとった第３のキャリーアップ信号とを出力するアップダウンカウンタと、前記アップダウンカウンタのカウント値と第３のキャリーアップ信号と後述する分周器からの第４のキャリーアップ信号とを入力し第３のキャリーアップ信号が入力されたときのみ前記アップダウンカウンタのカウント値を出力しそれ以外は一定の値を出力する初期値可変回路と、
カウンタで構成され、前記初期値可変回路の出力信号と外部からのシステムクロック信号とを入力し、システムクロック信号を前記受信クロック信号と同じ周波数まで分周する一方、その初期値を前記初期値可変回路の出力信号で変化させることにより受信クロック信号と同じ位相を持った再生クロック信号とカウンタの第４のキャリーアップ信号とを出力する分周器と
を備えたクロック再生装置。
【請求項４】
アップダウンカウンタの第３のキャリーアップ信号とＣＰＵからのＨＯＬＤ信号とを入力

し両信号の論理積をとって出力するＡＮＤゲートを備えた請求項３記載のクロック再生装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、通信装置に関し、特に同期式の通信装置において、ジッタのない再生クロックを得られるように構成したクロック再生装置に関する。

【０００２】

【従来の技術】

通信方式には大きく２つの方式があり、１つはシンプレックス（半二重）で、もう１つはデュプレックス（全二重）である。シンプレックスは送信と受信を時間的に切り換えて通信する方式であり、一方、デュプレックスは送信と受信を同時に行う方式である。電話などの音声通信では、送信と受信が同時に行われないと違和感があるため、ほとんどデュプレックスが使用されている。

【０００３】

図８に従来のデュプレックスの通信装置で使用されているクロック再生装置のブロック図を示す。このクロック再生装置は、相手側からの変調波を受信してデータを復調する復調器１１と、受信データを入力し全波整流を行って受信データに含まれるクロック成分を抽出して出力する全波整流器１２と、全波整流器１２の出力信号を入力し希望する受信クロック成分のみをフィルタリングして出力するバンドパスフィルタ１３と、バンドパスフィルタ１３の出力信号を入力しその信号に基準信号を位相同期させることにより受信クロックに含まれるジッタ（ゆらぎ）成分を取り除き再生クロックとして出力するアナログＰＬＬ回路１４とからなる。

【０００４】

以上のように構成された従来のクロック再生装置について以下にその動作を説明する。

変調波はデータによって搬送波が変調されているので、復調器１１はこの電波から搬送波の成分を取り除きデータ成分のみを受信データとして出力する。全波整流器１２は受信データを整流することにより、図９に示すように受信データの波形が振幅の中間点から下側の部分が上側に折り返すようになり、受信データに含まれるクロック成分を抜き出して出力する。全波整流器１２の出力信号には希望するクロック信号の周波数成分以外にもクロック信号の１／ｎ（ｎは２以上の整数）の周波数成分も含まれているため、バンドパスフィルタ１３はフィルタリングによって希望するクロック信号の周波数成分のみを選び出して出力する。バンドパスフィルタ１３から出力される受信クロックは受信データに含まれているクロック成分を抽出したものであるから、受信データが１、０、１、０、と交互に変化していれば、抽出したクロック信号もジッタ（ゆらぎ）を持たないきれいな正弦波として得られる。しかし、一般的に受信データは１、０の値がランダムに変化するので、受信データから抽出したクロック信号には本来のクロック信号の周波数成分の１／ｎ倍（ｎは２以上の整数）の周波数成分も含まれる。また、受信データの波形はデータの内容によって必ずしも同じ軌跡をたどらないために時間的に見れば波形にジッタ（ゆらぎ）がある。また、受信データのＣ／Ｎが悪くなったときにはクロック信号のジッタが増える。したがって、アナログＰＬＬ回路１４はバンドパスフィルタ１３の出力信号にＰＬＬの基準信号を位相同期させることにより、バンドパスフィルタ１３の出力信号に含まれるジッタ成分を取り除き、クロック信号の純度を高めて再生クロック信号として出力する。その結果、復調器１１からの受信データのパターンによらず、アナログＰＬＬ回路１４からは常に一定の周波数の再生クロックが出力される。同期式の通信装置においては、この受信クロックでもって受信データの変化点と変化点の中間の安定したポイントで受信データをサンプリングしている。

【０００５】

【発明が解決しようとする課題】

従来のクロック再生装置では、ジッタを持ったクロック信号にアナログＰＬＬ回路１４を

位相同期させることによりジッタ成分を除去していた。そのため、ジッタを取り除くにはＰＬＬループの応答速度をできるだけ遅くしてＰＬＬ回路がジッタに追随せずに、希望するクロック信号にのみ追随するようにしなければならない。それで、ループの応答速度を決めるループフィルタの定数を大きくするが、逆に、ＰＬＬループが希望するクロック信号にロックするまでの引込時間がかかり過ぎるといった問題も発生するためループフィルタの定数増大にも限界があり、また、ループフィルタを構成する部品自体も大きくなってしまうという問題がある。

【０００６】

本発明は上記問題を解決するもので、デュプレックスの通信装置ではジッタの少ない再生クロックを出力し、シンプレックスの通信装置では送信中も受信クロックと同じ周波数と位相をもった再生クロックを出力し続けることができ、かつ集積化可能なクロック再生装置を供給することを目的とするものである。

【０００７】

【課題を解決するための手段】

上記問題を解決するために本発明は、受信クロック信号を入力しクロック信号の変化点を検出して第１のパルス信号を出力する第１のエッジ検出器と、再生クロック信号を入力してクロック信号の変化点を検出して第２のパルス信号を出力する第２のエッジ検出器と、前記第１及び第２のエッジ検出器からのパルス信号の進み位相差か遅れ位相差かに応じたアップ信号またはダウン信号を出力するフリップフロップと、前記フリップフロップが出力するアップ信号がアクティブのときのみシステムクロックによりカウントアップし、カウント値が最大になったときに第１のキャリーアップ信号を出力する第１のカウンタと、前記フリップフロップが出力するダウン信号がアクティブのときのみシステムクロックによりカウントアップし、カウント値が最大になったときに第２のキャリーアップ信号を出力する第２のカウンタと、前記第１のカウンタと第２のカウンタの出力信号でカウント値をアップ／ダウンするアップダウンカウンタと、システムクロック信号を受信クロック信号と同じ周波数まで分周し、再生クロック信号を出力する分周器とを備え、前記アップダウンカウンタは、第１のカウンタが第２のカウンタよりも先に最大になればカウント値を１つアップし、逆に第２のカウンタが第１のカウンタよりも先に最大になればカウント値を１つダウンし、前記分周器は前記アップダウンカウンタのカウント値に応じて、再生クロックパルスの時間幅を変化させることにより再生クロック信号の位相を制御することを特徴とする。

また、さらに、アップダウンカウンタのカウント値と、第１のキャリーアップ信号と第２のキャリーアップ信号の論理和である第３のキャリーアップ信号とを入力し、第３のキャリーアップ信号が入力されたときのみ前記アップダウンカウンタのカウント値を前記分周器へ出力し、それ以外は一定の値を分周器へ出力する初期値可変回路を備え、前記分周器はカウンタで構成され、システムクロック信号を前記受信クロック信号と同じ周波数まで分周する一方、前記初期値可変回路の出力信号を入力し、その初期値を前記初期値可変回路の出力信号で変化させることにより受信クロック信号と同じ位相を持った再生クロック信号を出力し、前記第１のカウンタと第２のカウンタの何れか一方が最大になれば両カウンタのカウント値をリセットすることを特徴とする。

また、本発明は、復調器から出力される受信クロック信号を入力しクロック信号の変化点を検出してパルス信号を出力する第１のエッジ変出器と、後述する分周器の再生クロック信号を入力してクロック信号の変化点を検出してパルス信号を出力する第２のエッジ検出器と、前記第１のエッジ検出器からの第１のパルス信号と前記第２のエッジ検出器からの第２のパルス信号とを入力し第１のパルス信号の位相が第２のパルス信号の位相よりも進んでいるときに進み位相差の分だけアクティブになるアップ信号を出力する第１のフリップフロップと、逆に第１のパルス信号の位相が第２のパルス信号の位相よりも遅れているときに遅れ位相差の分だけアクティブになるダウン信号を出力する第２のフリップフロップと、前記第１のフリップフロップが出力するアップ信号を入力しアップ信号がアクティブのときにカウントアップしカウント値が最大になったときに第１のキャリーアップ信号

を出力する第１のカウンタと、前記第２のフリップフロップが出力するダウン信号を入力しダウン信号がアクティブのときにカウントアップしカウント値が最大になったときに第２のキャリーアップ信号を出力する第２のカウンタと、前記第１のキャリーアップ信号と前記第２のキャリーアップ信号とを入力し第１のキャリーアップ信号が第２のキャリーアップ信号よりも先に入力されたときにはカウント値をアップし、逆に第２のキャリーアップ信号が第１のキャリーアップ信号よりも先に入力されたときにはカウント値をダウンする一方、そのカウント値と前記第１のキャリーアップ信号と前記第２のキャリーアップ信号との論理和をとった第３のキャリーアップ信号とを出力するアップダウンカウンタと、前記アップダウンカウンタのカウント値と第３のキャリーアップ信号と後述する分周器からの第４のキャリーアップ信号とを入力し第３のキャリーアップ信号が入力されたときのみ前記アップダウンカウンタのカウント値を出力しそれ以外は一定の値を出力する初期値可変回路と、カウンタで構成され、前記初期値可変回路の出力信号と外部からのシステムクロック信号とを入力し、システムクロック信号を前記受信クロック信号と同じ周波数まで分周する一方、その初期値を前記初期値可変回路の出力信号で変化させることにより受信クロック信号と同じ位相を持った再生クロック信号とカウンタの第４のキャリーアップ信号とを出力する分周器とを設けたものである。

【０００８】

さらに、アップダウンカウンタの第３のキャリーアップ信号とＣＰＵからのＨＯＬＤ信号とを入力し両信号の論理積をとって出力するＡＮＤゲートを設けたものである。

【０００９】

【作用】

上記構成により、同期式の通信装置において、第１のカウンタで受信クロックに対する再生クロックの進み位相差の総和をカウントし第２のカウンタで遅れ位相差の総和をカウントすることで、受信クロック信号に含まれるジッタ成分を除去し、さらに両カウンタのキャリーアップ信号のうちどちらが早くアクティブになるかでアップダウンカウンタのカウント値を増減し、そのカウント値に応じて分周器の初期値を変えることにより受信クロックと同じ周波数と位相をもった再生クロックを出力する。

【００１０】

さらに、シンプレックスの通信装置において復調器からの受信クロックが断になる前にＣＰＵからのＨＯＬＤ信号で初期値可変回路へのキャリーアップ信号を遮断し分周器の初期値を保持することにより、送信中も受信クロックとほぼ同じ周波数と位相をもった再生クロックを出力し続けることができる。

【００１１】

【実施例】

図１は本発明の第１の実施例にかかる通信装置に使用されるクロック再生装置のブロック図である。

【００１２】

図１において、１は復調器から出力される受信クロック信号を入力しクロック信号の変化点を検出してパルス信号を出力する第１のエッジ検出器、２は再生クロック信号を入力してクロック信号の変化点を検出してパルス信号を出力する第２のエッジ検出器、３は第１のエッジ検出器１からの第１のパルス信号と第２のエッジ検出器２からの第２のパルス信号とを入力し第１のパルス信号の位相が第２のパルス信号の位相よりも進んでいるときに進み位相差の分だけアクティブになるアップ信号を出力する第１のＪＫ－Ｆ／Ｆ、４は逆に第１のパルス信号の位相が第２のパルス信号の位相よりも遅れているときに遅れ位相差の分だけアクティブになるダウン信号を出力する第２のＪＫ－Ｆ／Ｆ、５は第１のＪＫ－Ｆ／Ｆ３が出力するアップ信号を入力しアップ信号がアクティブのときにカウントアップしカウント値が最大になったときに第１のキャリーアップ信号を出力する第１のカウンタ、６は第２のＪＫ－Ｆ／Ｆ４が出力するダウン信号を入力しダウン信号がアクティブのときにカウントアップしカウント値が最大になったときに第２のキャリーアップ信号を出力する第２のカウンタ、７は第１のキャリーアップ信号と第２のキャリーアップ信号とを入

力し第１のキャリーアップ信号が第２のキャリーアップ信号よりも先に入力されたときにはカウント値をアップし、逆に第２のキャリーアップ信号が第１のキャリーアップ信号よりも先に入力されたときにはカウント値をダウンする一方、そのカウント値と第１のキャリーアップ信号と第２のキャリーアップ信号との論理和をとった第３のキャリーアップ信号とを出力するアップダウンカウンタ、８はアップダウンカウンタ７のカウント値と第３のキャリーアップ信号と後述する分周器９からの第４のキャリーアップ信号とを入力し第３のキャリーアップ信号が入力されたときのみアップダウンカウンタ７のカウント値を出力しそれ以外は一定の値を出力する初期値可変回路、９は初期値可変回路８の出力信号と外部からのシステムクロック信号とを入力し、システムクロック信号を受信クロック信号と同じ周波数まで分周する一方、カウンタで構成した分周器の初期値を初期値可変回路の出力信号で変化させることにより受信クロック信号と同じ位相を持った再生クロック信号とカウンタの第４のキャリーアップ信号とを出力する分周器である。

【００１３】

このクロック再生装置の動作を説明する前にまずクロック再生装置内の初期値可変回路８の説明を行う。

図２に初期値可変回路８のブロック図を示し、図３にそのタイムチャートを示す。図２におけるＤＥＬＡＹ回路８ａとＪ－Ｋ　Ｆ／Ｆ８ｂはアップダウンカウンタ７からの第３のキャリーアップ信号と分周器９からの第４のキャリーアップ信号とを入力し、第３のキャリーアップ信号のパルス信号が入力されてから次の第４のキャリーアップ信号が入力されるまでセレクト信号を保持しておくための回路である。セレクタ８ｃは通常固定の初期値を選択するようになっており、アップダウンカウンタ７からの第３のキャリーアップ信号が入力されたときだけアップダウンカウンタ７からのカウント値のほうを選択するようになる。本発明の分周器９はカウンタで構成されており、初期値可変回路８の出力信号がカウンタの初期値となるように接続されている。したがって、初期値可変回路８の出力信号の値を変えることにより、カウンタの第４のキャリーアップ信号が出力されるまでの時間が変わり、このことはシステムクロック信号を分周して作り出す再生クロック信号の１クロックパルスの中の’Ｌ’の部分の長さが変わることになる。この”Ｌ”の部分の長さが変わるのは１クロックパルスの間だけで、それ以降は固定の初期値によって決まるデューティ５０％の’Ｈ’、’Ｌ’を繰り返すので、マクロ的に見れば再生クロックの位相を変化させることになる。

【００１４】

次に、このクロック再生装置の動作を説明する。

クロック再生装置のうち、第１のエッジ検出器１から第２のカウンタ６までは一種の位相比較器を構成しており、その動作を表わすタイムチャートを図５、図６に示す。ここで、図５は受信クロックの位相が再生クロックの位相よりも進んでいる場合を示し、図６は逆に受信クロックの位相が再生クロックの位相よりも遅れている場合を示している。図５，図６から分かるように第１のエッジ検出器１と第２のエッジ検出器２はそれぞれ受信クロックと再生クロックの立ち上がりでパルスを出力する。第１のＪＫ－Ｆ／Ｆ３の出力であるアップ信号は受信クロックの位相が再生クロックの位相よりも進んでいる場合に進み位相差の分だけアクティブになる。

【００１５】

図７の位相差の変化を示した図において、受信クロックと再生クロックの位相差を平均化するためには横線で示す再生クロックの位相を基準にして、横線より上の縦縞の部分の面積と横線より下の横縞の部分の面積をそれぞれ加算して両者が同じ面積になるように再生クロックの位相を決めればよい。具体的には、縦縞の部分の面積は第１のＪＫ－Ｆ／Ｆ３の出力であるアップ信号がアクティブになっている時間である。アップ信号は受信クロックの位相が再生クロックの位相よりも進んでいる場合に進み位相差の分だけアクティブになる。逆に、横縞の部分の面積は第２のＪＫ－Ｆ／Ｆ４の出力であるダウン信号がアクティブになっている時間である。ダウン信号は受信クロックの位相が再生クロックの位相よりも遅れている場合に遅れ位相差の分だけアクティブになる。したがって、第１のＪＫ－

Ｆ／Ｆ３のアップ信号がアクティブのときに第１のカウンタ５がカウントアップし縦縞の部分の面積を加算する。同じく、第２のＪＫ－Ｆ／Ｆ４のダウン信号がアクティブのときに第２のカウンタ６がカウントアップし縦縞の部分の面積を加算する。そして、第１のカウンタ５が第２のカウンタ６よりも先にＦＵＬＬになれば、アップダウンカウンタ７のカウント値を１つアップし、逆に、第２のカウンタ６が第１のカウンタ５よりも先にＦＵＬＬになれば、アップダウンカウンタ７のカウント値を１つダウンする。このカウント値に応じて、分周器９の初期値を変化させることにより、再生クロック信号の位相を制御する。

【００１６】

これにより、アップダウンカウンタ７のカウント値は常に縦縞の部分の面積と横縞の部分の面積が等しくなるような方向に変化する。また、第１と第２のカウンタ５，６は両カウンタ５，６のいずれか一方がＦＵＬＬになってアップダウンカウンタ７のカウント値が変化する度に両方ともリセットされる。よって、ジッタにより瞬間的に受信クロックの位相が変化しても、その位相変化が第１と第２のカウンタ５，６のカウント値の変化で吸収され再生クロックの位相変化には現われないため、ジッタを取り除くことができる。ジッタにより常に変動している受信クロックの位相変動を平均化し、この平均化した位相差を元に分周器９のリセットタイミングを制御することにより受信クロックと位相の合った再生クロックが得られる。

【００１７】

図４は本発明の第２の実施例におけるクロック再生装置のブロック図である。なお、第１の実施例と同機能のものには同符号を付してその説明は省略する。

図４に示すように、この実施例においては、上記第１の実施例の構成要素に加えて、アップダウンカウンタ７と初期値可変回路８との間にＡＮＤゲート１０が設けられている。このＡＮＤゲート１０はアップダウンカウンタ７の第３のキャリーアップ信号とＣＰＵからのＨＯＬＤ信号とを入力し両信号の論理積をとって出力する。

【００１８】

次に、このクロック再生装置の動作を説明する。

近年、衛星通信の利用が多くなっており、今後の衛星通信を普及させるためには端末の価格を抑える必要がある。そのため、最近ではデータ通信を行うシステムにおいて、端末の価格を抑えるためにデュプレックスに代わりシンプレックスで通信を行うシステムもでてきている。具体的には、チャンネルを切り換えるためのシンセサイザを送信時と受信時で切り換えて使用することによりシンセサイザを１個で済ませることができる。しかしながら、シンプレックスでは送信中はシンセサイザを送信チャンネルに設定するため衛星からの電波は受信できない。そのため、復調器から出力される受信データはでたらめな値となり、アナログＰＬＬ回路はロックがはずれる。よって、同アナログＰＬＬ回路から出力される受信クロックもフリーランの状態となり受信データと同期しないため、ＣＰＵでデータ処理するために必要な８ビット毎のデータの区切りが不定になる。この結果、再び衛星からの電波を受信し始めたときには、アナログＰＬＬ回路が受信データにロックし、かつフレーム同期パターンを検出するまでは８ビット毎のデータの区切りが確定せずに、ＣＰＵで受信データを処理できないといった問題を生じてしまう。

【００１９】

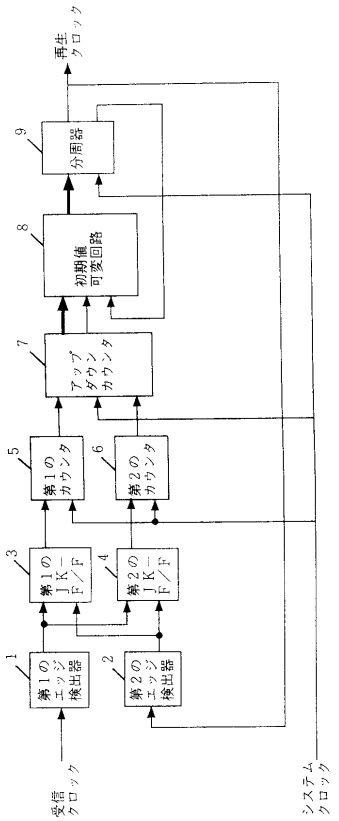
ここで、上記第１の実施例で説明したクロック再生装置をそのまま適用すると受信中は正常に動作するが、通信装置が受信モードから送信モードに切り替わって復調器からの受信データが断になった場合、受信データから抽出した受信クロックの位相が不定になるため、クロック再生装置から出力される再生クロックも不安定になる。

【００２０】

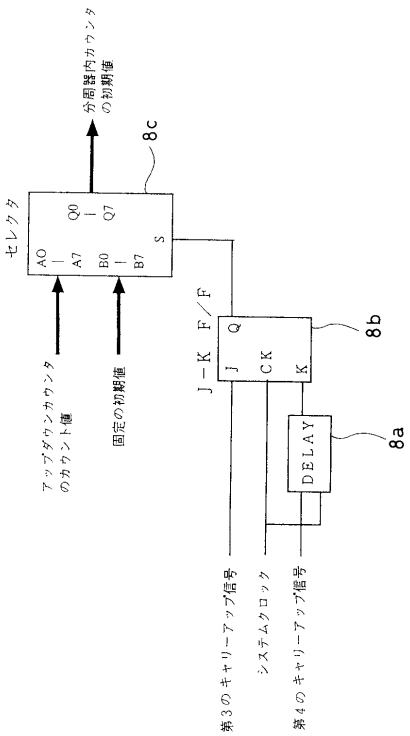
これを解決するためにアップダウンカウンタ７と初期値可変回路８との間にＡＮＤゲート１０を追加し、通信装置が受信モードから送信モードに切り替わって復調器からの受信データが断になる前にＣＰＵからのＨＯＬＤ信号でアップダウンカウンタ７からの第３のキャリーアップ信号を遮断し分周器の初期値を保持する。

【００２１】
これにより、送信中も受信クロックとほぼ同じ周波数と位相をもった再生クロックを出力し続けることができる。そして、再び送信モードから受信モードに切り替わって復調器から受信データが出力され、受信クロックの位相が安定した後にＣＰＵからのＨＯＬＤ信号をディセーブルにすればよい。
【００２２】
【発明の効果】
以上のように本発明によれば、デュプレックスの通信装置において、従来のクロック再生回路以上にジッタの少ない受信クロックを再生できる。さらに、シンプレックスの通信装置においては、送信中も受信クロックと同じ周波数と位相をもった再生クロックを出力し続けることができるため、送信から受信に切り換わったときに同期パターンを検出するまで待つこと無しに、受信に切り換わった直後から受信データを処理することができる。
【図面の簡単な説明】
【図１】本発明の第１の実施例におけるクロック再生装置のブロック図
【図２】同クロック再生装置の初期値可変回路のブロック図
【図３】同初期値可変回路のタイムチャート
【図４】本発明の第２の実施例におけるクロック再生装置のブロック図
【図５】本発明の第１の実施例における位相比較部の各部のタイムチャート
【図６】本発明の第１の実施例における位相比較部の各部のタイムチャート
【図７】本発明の第１の実施例におけるクロック再生装置の位相差の変化を示す図
【図８】従来のクロック再生装置のブロック図
【図９】従来のクロック再生装置の各部の波形を示す図
【符号の説明】
１　　第１のエッジ検出器
２　　第２のエッジ検出器
３　　第１のＪＫ－Ｆ／Ｆ
４　　第２のＪＫ－Ｆ／Ｆ
５　　第１のカウンタ
６　　第２のカウンタ
７　　アップダウンカウンタ
８　　初期値可変回路
９　　分周器
１０　　ＡＮＤゲート

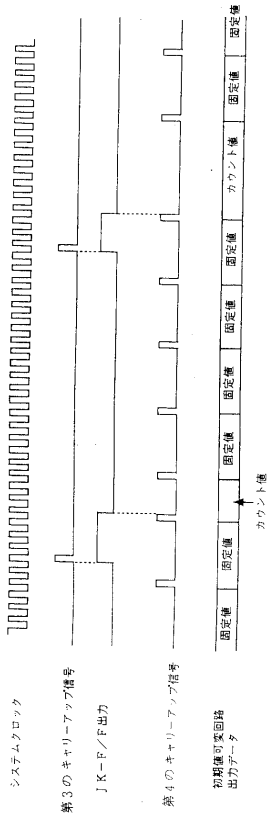
【図１】


再生クロック
9 分周器
8 初期値可変回路
7 アップダウンカウンタ
5 第1のカウンタ
6 第2のカウンタ
3 第1のJK－F／F
4 第2のJK－F／F
1 第1のエッジ検出器
2 第2のエッジ検出器
受信クロック
システムクロック

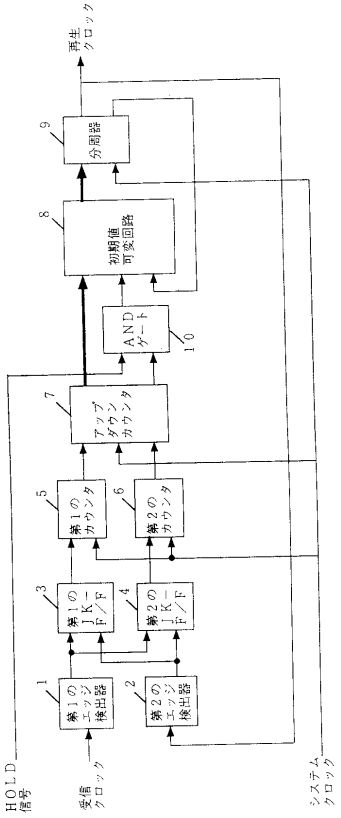
【図２】


分周器内カウンタの初期値
8c
セレクタ
AO
A7
Q0
Q7
B0
B7
S
アップダウンカウンタのカウント値
固定の初期値
J－K F／F
J
CK
K
Q
8b
DELAY
8a
第3のキャリーアップ信号
システムクロック
第4のキャリーアップ信号

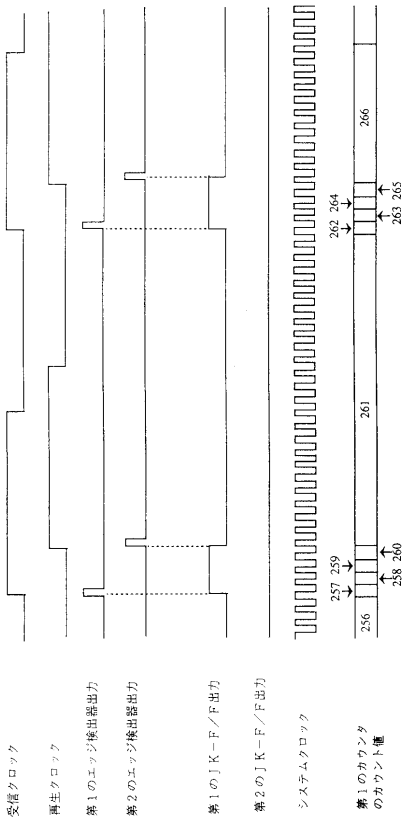
【図３】


システムクロック
第3のキャリーアップ信号
JK－F／F出力
第4のキャリーアップ信号
初期値可変回路出力データ
固定値
カウント値

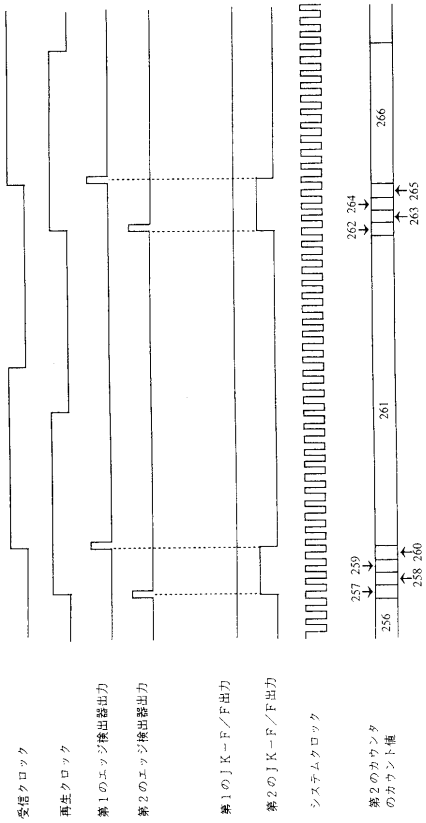
【図４】


再生クロック
9 分周器
8 初期値可変回路
AND ゲート
10
7 アップダウンカウンタ
5 第1のカウンタ
6 第2のカウンタ
3 第1のJK－F／F
4 第2のJK－F／F
1 第1のエッジ検出器
2 第2のエッジ検出器
HOLD信号
受信クロック
システムクロック

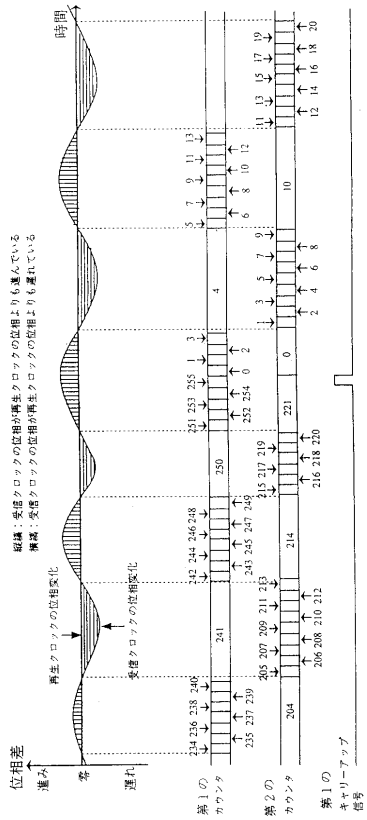
【図５】


受信クロック
再生クロック
第１のエッジ検出器出力
第２のエッジ検出器出力
第１のＪＫ－Ｆ／Ｆ出力
第２のＪＫ－Ｆ／Ｆ出力
システムクロック
第１のカウンタ
のカウント値

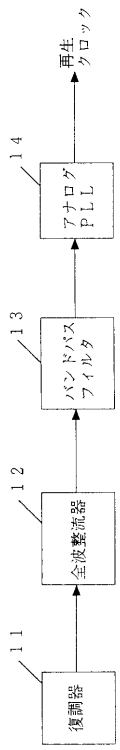
【図６】


受信クロック
再生クロック
第１のエッジ検出器出力
第２のエッジ検出器出力
第１のＪＫ－Ｆ／Ｆ出力
第２のＪＫ－Ｆ／Ｆ出力
システムクロック
第２のカウンタ
のカウント値

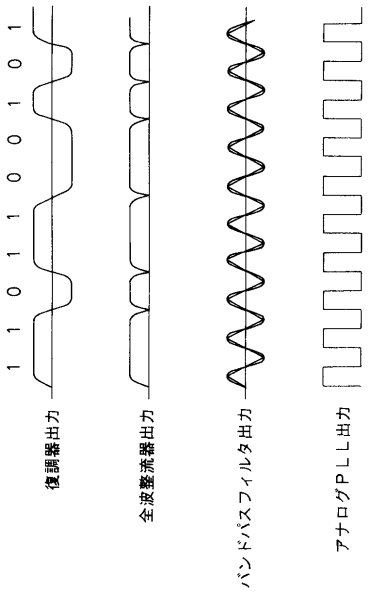
【図７】


時間
位相差
進み
零
遅れ
再生クロックの位相変化
受信クロックの位相変化
第１のカウンタ
第２のカウンタ
第１のキャリーアップ信号

【図８】


復調器
全波整流器
バンドパスフィルタ
アナログＰＬＬ
再生クロック
１１
１２
１３
１４

【図９】



フロントページの続き

(56)参考文献 特開平０６－１５２６６８（ＪＰ，Ａ）
特開昭６２－０６９７９１（ＪＰ，Ａ）
特開平０５－２７６０８７（ＪＰ，Ａ）
特開平０５－０５６０３０（ＪＰ，Ａ）
特開昭６３－１９３６２６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04L 7/033
H03L 7/089