



[12] 发明专利说明书

[21] ZL 专利号 91102044.6

[51]Int.Cl⁵

G06G 7/06

[45]授权公告日 1994 年 12 月 28 日

[24]颁证日 94.10.23

[21]申请号 91102044.6

[22]申请日 91.4.3

[30]优先权

[32]90.4.3 [33]GB[31]9007492.3

[73]专利权人 皮尔金顿微电子有限公司

地址 英国柴郡

[72]发明人 肯尼思·奥斯丁

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

G06G 7/48

代理人 乔晓东

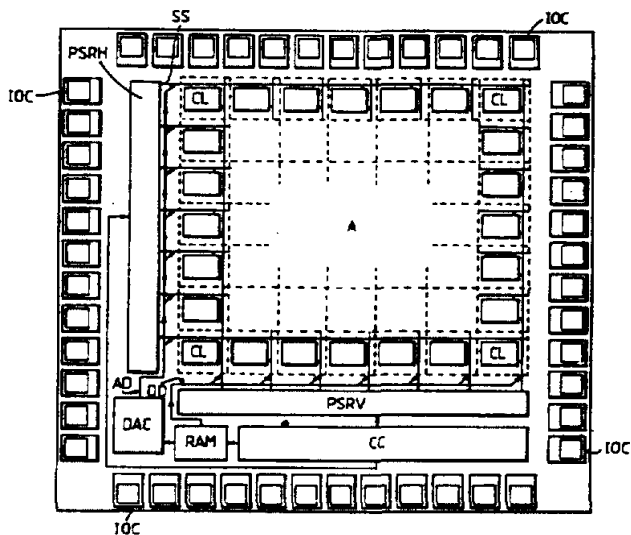
说明书页数:

附图页数:

[54]发明名称 用于模拟系统的集成电路

[57]摘要

可在模拟系统中应用的半导体集成电路由一个带有可组配模拟单元阵列构成, 每个单元过互连电路与阵列中其它单元相连, 并能用从移位寄存器发出的选择信号来有选择地单独被选定。选定后, 该单元可以用组配数据来组配, 后者既可用数字数据来设定该单元以实现某个特定的电路组配, 又能用模拟数据来将单元中各个可编程电阻和电容设定到各特定的数值。组配数据被存入 RAM 中。



权 利 要 求 书

1. 一种用以完成多种不同模拟功能应用的半导体集成电路，包括一个模拟单元阵列，每一模拟单元带有内部电路且在所述内部电路中具有可变化的各种连接，以实现从多种不同电路功能中所选定的一种内部组配；与所述阵列相耦合的互连电路，用以使所述阵列中的任一单元能够与所述阵列中的其它一个或多个单元相互连；以及与所述互连电路相耦合的选择和访问电路，用以有选择地和单独地选择和访问所述阵列内的每一单元，并用以将被选定和访问的单元连接至一个组配数据源，从而整体地组配所述不同电路功能之一中的被选定和访问的单元，控制所述互连电路，以实现被选定和被访问的单元与所述阵列中一个或多个其它单元的选择性互连，以实现所述多种可能的模拟功能应用中的一种特定模拟功能应用。

2. 如权利要求 1 中所述的半导体集成电路，其中：该阵列还包含带有开关控制通路(D, D)的第一数据通路(DD)，并且连接电路包括相关联的开关电路($IS1, IS2, IS3, IS0$)，其中以数字形式存储在存储装置(RAM)中的单元组配数据通过开关控制通路(D, D)以数字形式被送往一个被单独访问的选定的单元(CL)，以实现相关联的开关电路($IS1, IS2, IS3, IS0$)的操作以及选定的模

拟单元(CL)与阵列中其它单元的互连。

3. 如权利要求2中所述半导体集成电路,其中开关电路(IS1、IS2、IS3、IS0)每个都包含一个存储组配数据的开关存储装置(SRAM)和一个作为连接器件的晶体管开关(TR)。

4. 如权利要求2或权利要求3中所述的半导体集成电路,其中连接电路包括一个全程连接系统(HB、VB)和一个局域连接系统,其中全程连接系统(HB、VB)被用来将任一个单元连接到位于阵列中较远处的任何其它单元,而局域连接系统被用来将每个单元的输出端(OP)连接到各相邻单元的输入端(IP1、IP2)。

5. 如权利要求4中所述的半导体集成电路,其中模拟单元(CL)包括,一个放大器(OA)、若干可编程模拟元件(P/res、P/cap)、若干开关装置(PT)和若干信号通路(1IP、NIIP、OP),其中为了实现任何预定的模拟电路,各模拟元件可编程为所需的固有价值,而各开关装置(PT)被用来以一特定的预定组配将已编程的元件和各信号通路进行互连。

6. 如权利要求5中所述的半导体集成电路,其中各元件固有价值以数字形式存储在存储装置中。

7. 如权利要求5中所述的半导体集成电路,其中该阵列包含若干适用于选择单个模拟单元的选择信号通路(SS、DD),其中单元选择信号(SEL、EN)在中央控制装置(CC)的控制之下从各信号发生装置(PSRH、PSRV)发出,并接连地被送往与各个模拟单

元(*CL*)相关联的各信号选择通路(*SS*、*DD*)。

8. 如权利要求 7 中所述的半导体集成电路, 其中该阵列包含用来向每个模拟单元(*CL*)提供模拟数据的第二数据通路(*AD*), 该模拟数据是用数模转换装置(*DAC*)从数字单元组配数据转换来的, 其中模拟数据通过该第二数据通道(*AD*)被送往选定的单元。

9. 权利要求 8 中所述的半导体集成电路, 其中模拟数据由多个独立的模拟信号(*AD*)构成, 每一模拟信号都代表模拟单元中一个将被编程的元件的一个特定的值。

10. 如权利要求 1 中所述的半导体集成电路, 其中阵列的诸单元以行和列的形式排布。

11. 如权利要求 10 中所述的半导体集成电路, 其中信号发生装置(*PSRH*、*PSRV*)包括一第一编程移位寄存器和一第二编程移位寄存器, 其中第一编程移位寄存器提供阵列(*A*)中的水平坐标参考信号(*SS*), 而第二编程移位寄存器提供阵列(*A*)中的垂直坐标参考信号(*SEL*、*EN*), 这些水平(*SS*)和垂直(*SEL*、*EN*)坐标参考信号启动对阵列(*A*)中任一模拟单元(*CL*)的选择。

12. 如权利要求 11 中所述的半导体集成电路, 其中全程连接系统包含水平地行经于各模拟单元行之间的水平全程总线(*HB*)和垂直行经于各模拟单元列之间的垂直全程总线(*VB*)。

13. 权利要求 12 中所述的半导体集成电路, 其中在阵列的所

有边缘处设有开关组(ES),能使阵列边缘处的垂直和水平全程总线(VB、HB)直接相连。

14. 如权利要求 10 中所述的半导体集成电路,其中这种半导体集成电路适用于制作由一对带有栅、源和漏极的特性相匹配的场效应晶体管(M3、M4—M12、M13)构成的可编程电阻元件(P/res),其中这对元件中的第一晶体管(M4—M13)作为参考晶体管,而这对元件中的第二晶体管(M3—M12)用以提供实际电阻值。

15. 如权利要求 14 中所述的半导体集成电路,其中这种半导体电路还包含一个差分放大器(N/CC、P/CC)、一个可调恒流源(CCS),以及第一(1.5 伏)和第二(2.5 伏)参考电位,并且其中恒流源(CCS)作为参考晶体管(M4—M13)的负载,所述参考晶体管(M4—M13)连接成为提供至差分放大器(N/CC、P/CC)的负反馈通路,从而该差分放大器(N/CC、P/CC)的工作被用来调整所述参考晶体管(M4—M13)的栅极电压直至相对于第一和第二参考电位(1.5V、2.5V)的某个特定的电压降(IV)出现在所述参考晶体管(M4—M13)的两端从而在所述参考晶体管的源和漏极之间建立某个预定的电阻值,借此所述参考晶体管的栅极电压被配置为直接控制所述特性相匹配的场效应晶体管(M3、M4—M12、M13)中第二晶体管的导电率,以设定所需的电阻值。

16. 如权利要求 15 中所述的半导体集成电路,其中这种半导

体集成电路适用于通过采用一对互补的极性类型相反且特性相匹配的场效应晶体管($M4$ 、 $M3-M13$ 、 $M12$)来产生一种线性电阻器,使每对特性相匹配的场效应晶体管中的第二晶体管($M13$ 、 $M12$)相并联,借此所述第二晶体管($M13$ 、 $M12$)工作时可获得线性的传输特性函数。

17. 如权利要求 16 中所述的半导体集成电路,其中每个可编程电阻包括:一个含有设置得能够产生不同电阻值范围的多对逆极性的场效应晶体管($N/RE1$ 、 $P/RE1\cdots\cdots N/RE6$ 、 $P/RE6$)的电阻器网络(R/BLK),其中某个特定的电阻值范围是由通过包含在所述第一数据通路(DD)之中的数据总线(DBB)传输到其输出适用于将选定阻值范围的电阻切换入工作状态的存储装置($RAMB$)的单元组配数据来选定的。

18. 如权利要求 15、权利要求 16 或权利要求 17 中所述的半导体集成电路,其中可调恒流源用模拟信号(AD)来调整。

19. 如权利要求 1 中所述的半导体集成电路,其中这种集成电路包括含有至少一个电容倍增电路($M1$ 、 $M2$)的可编程电容元件(P/cap)。

20. 如权利要求 19 中所述半导体集成电路,其中每个逆极性的场效应晶体管都有一个相关联的电容性模拟存储电路(N/STR 、 P/STR),能够在达到所述特定的电压降时在所述参考晶体管的栅极上存储和保持一个模拟电位。

21. 如权利要求 1—17 以及权利要求 19、20 的任何一个中所述的半导体集成电路，其中所有元件的制造公差是通过一个单一的外电阻(*ERR1*)和一个单一的外电容(*ERC1*)来自动补偿的。

22. 如权利要求 18 中所述的半导体集成电路，其中所有元件的制造公差是通过一个单一的外电阻(*ERR1*)和一个单一的外电容(*ERC1*)来自动补偿的。

用于模拟系统的集成电路

此项发明涉及可在各模拟系统中得到应用的半导体集成电路。

已知的模拟电路，例如图示均衡器、音乐合成器、专用滤波器、频谱分析器等等，采用在印制电路板上使用分立元件的设计和制造方法。这些电路通常相当庞大，组装过程耗费大量劳力，致使可靠性问题增加，并最终导致成本较高。

上述类型的模拟电路已经以半导体集成形式制成，但是，采用现行的制造工艺来生产具有精确电阻值和大容量电容的集成电路仍有困难。尽管确有诸如运算放大器、振荡器和锁相环之类的集成电路，但这些电路具有必须为特定的应用专门特制的缺点，这是成本极高的。

此发明的目的就是通过采用一种无需对其制造工艺作任何重大改动就能适合于广泛的功能应用范围的相对廉价的标准半导体集成电路来克服上述缺点和问题。

根据此发明，可制成一种由一个由若干可组配模拟单元的配置构成的半导体集成电路，每个单元能够通过一个连接网路与配置中的其它单元相连，其中每个模拟单元可以用单元组配数据来有选择地并单独地访问，以求从内部来组配该单元并实现被访问模拟单元与该配置中其它模拟单元的连接来完成多种可能的模拟功能应用中的某个特定的模拟功能应用。

该半导体集成电路理想地还包含带有切换控制通路的第一数据通路，而连接网路最好包括相应的切换电路，其中以数据形式存储在存

储装置内的单元组配数据以数字形式通过一个切换控制通路被送往一个被单独访问的选定的单元以实现相应的切换电路的运行和选定的模拟单元与该配置中其它模拟单元的连接。

这些切换电路每个理想地包含一个存储组配数据的存储装置和一个作为连接器件的晶体管开关。

为方便起见，连接网路理想地包含一个全程连接系统和一个局域连接系统。其中全程连接系统被用来将任何一个单元与位于该配置中远处的任何其它单元相连，而局域连接系统则被用来将每个单元的输出端与相邻各单元的输入端相连。

模拟单元理想地包含一个放大器、若干可编程模拟元件、切换装置和信号通路，其中为了构成任何预定的模拟电路，这些模拟元件按所需的固有值来编程，并且切换装置被用来将各已编程元件和各信号通路以某种特殊的预定组配方式互相连接起来。

为方便起见，各元件固有值理想地以数字形式存储在存储装置内。该装置理想地包含若干用于选择各个模拟单元的选择信号通路，各单元选择信号理想地在一个中央控制装置的控制之下从信号发生装置发出，并且各单元选择信号最好接连地被送往与各个模拟单元相关联的各选择信号通路。

该装置理想地还包含若干用以向每个模拟单元提供模拟数据的第二数据通路，这些模拟数据是已用数模转换装置从数字单元组配数据转换而来的，其中这些模拟数据通过各第二数据通路送往选定的单元。

更有益的是：这些模拟数据理想地包含若干独立的模拟信号，其中每个都代表该模拟单元中一个需要编程的元件的某个特定值。

这种有若干可组配模拟单元的配置具有阵列形式，其中各单元按若干行和列排列。

为方便起见，信号发生装置包含一个第一编程移位寄存器和一个第二编程移位寄存器，其中第一编程移位寄存器提供阵列内的水平坐标参考信号，而第二编程移位寄存器提供阵列内的垂直坐标参考信号，这些水平和垂直坐标参考信号能够实现对阵列内任何模拟单元的选择。

全程连接系统理想地包含水平地行经各行模拟单元之间的水平全程总线和垂直行经各列模拟单元之间的垂直全程总线。

在阵列的所有边缘处，设有能够使阵列各边缘处的垂直和水平全程总线直接相连的开关组。

这种半导体集成电路较为理想地适用于制成一种可编程电阻部件，其中包含一对带有栅、源和漏极的特性相匹配的场效应晶体管，这对管中的第一晶体管作为参考晶体管，而这对管中的第二晶体管则用来提供实际的电阻值。

这种半导体电路理想地还包括一个差分放大器、一个可调恒流源、以及第一和第二参考电位，其中恒流源作为参考晶体管的负载，所述参考晶体管与差分放大器连接以构成一个负反馈通路，由此可利用差分放大器的作用来调整所述参考晶体管的栅极电压，直至在所述参考晶体管上出现一个相对于第一和第二参考电位的特定的电压降，从而在所述参考晶体管的源和漏极之间形成某个预定的电阻值，借此所述参考晶体管的栅极电压可以被用来直接控制所述特性相匹配的场效应晶体管中第二只晶体管的导电率以设定所需的电阻值。

为方便起见，这种半导体集成电路理想地通过使用一对互补的极

性相反且特性相匹配的场效应晶体管来适应于制成一种线性电阻，从而使每对特性相匹配的场效应晶体管中的第二晶体管相并联，以至在所述第二晶体管的作用下获得一个线性的传输特性函数。

每个可编程电阻理想地含有一个包括设置得能够产生不同电阻值范围的多对逆极性场效应晶体管在内的电阻网络，其中某个特定的电阻值范围是由通过包含在所述第一数据通路中的一个数据总线传送到存储装置的单元组配数据选定的，该存储装置的输出适用于将选定阻值范围的电阻切换到工作状态。

可调恒流源是用模拟信号来调整的。

该集成电路理想地包括带有至少一个电容倍增电路的可编程电容元件。

更有益的是，每个极性相反的场效应晶体管理想地带有一个相关联的电容模拟存储电路，能够在达到了所述特定的电压降之后在所述参考晶体管的栅极上存储并保持一个模拟电位。

所有模拟元件的元件制造容差最好用一个单一的外电阻和一个单一的内电容来自动补偿。

根据下面应结合附图阅读的几个示例性实施例的说明，本发明将得到更好的理解，其中：

图 1 是此发明所述线性阵列形式的半导体集成电路的示意图；

图 2 表示线性阵列中基本单元和增强单元配置的示意图；

图 3 表示一个基本单元电路

图 4 表示一个增强单元电路

图 5 更详细地表示阵列的一部分，尤其是全程连接的细节；

图 6 表示基本核心单元周围的连接细节；

图 7 表示增强核心单元周围的连接细节；

图 8 表示连接开关的细节；

图 9 表示带有受核心单元随机存储器控制的旁路晶体管的可编程切换电路；

图 10 表示核心单元运算放大器电路；

图 11 表示可编程电阻网络的示意图；

图 12 表示可编程电阻电路的示意图；

图 13 表示可编程电阻器板的示意图；

图 14 表示 N 型沟道可编程电阻元件的切换配置；

图 15 表示 P 型沟道可编程电阻元件的切换配置；

图 16 表示可编程电阻的示意图；

图 17 表示 N 型沟道可编程电阻器电路的详细线路；

图 18 表示 P 型沟道可编程电阻器电路的详细线路；

图 19 表示存储节点放电函数的特性图；

图 20 表示模拟编程电路的示意图；

图 21 和 22. 应如图 23 所示那样配置，表示典型的基本单元及其编程配置的更详细的示意图；

图 24 表示电容倍增器电路的示意图；

图 25 表示电容补偿电路的示意图；

图 26 表示图 24 电路中所用的模拟缓冲器的详细电路；

图 27 表示 P 型沟道控制电路／差分放大器的详细线路；

图 28 表示 N 型沟道控制电路／差分放大器的详细线路；

图 29 表示外围的增益可编程的输入／输出电路的示意图；

图 30 表示常规类型是极性 (pole) 低通滤波器的示意图；以及

图 3 1 表示设置在阵列中的图 3 0 的电路。

此发明在一个示例性实施例中提出了一种用户可编程线性阵列，包括以半导体集成方式制成的采用半导体 MOS 场效应晶体管的运算放大器、电容、电阻、压控电阻和开关。该阵列由 4 9 个含有运算放大器的核心单元（2 8 个基本的和 2 1 个增强的）并带有可组配的连线，使得用户可以实现复杂的模拟电路功能。采用可编程的电阻和电容可使设计者能够完成多种模拟电路功能。

参照附图可以了解到：图面上所有标号 R_N 都代表可编程电阻的两个节点。参照图 1 可以看出：单元 CL 设置成为七乘七的阵列中交替的列，并且这些单元可以用一个连接网路相连起来。该连接网路包括垂直和水平穿过各行和各列单元之间的总线。垂直穿过各列单元之间的是四条全程总线 V_B （见图 5），而水平穿过各行之间的两条全程总线 H_B （见图 5）。各单元能够利用开关元件 IS_1 、 IS_2 、 IS_3 和 IS_0 与这些总线资源中的每个直接连接。此外，在阵列边缘，开关组（图 5 中标为 ES ）使得水平和垂直总线能够直接相连。

根据设计，采用一种电容倍增方法可以实现一百多个 5 毫微法的电容，二百多个电阻可以编程到 1 0 千欧和 6 4 0 千欧之间的范围内的单个电阻值。倍增器功能可以用压控电阻和运算放大器相结合来实现。

元件制造容差可以自动补偿以确保可靠的工作。所有的内部可编程电阻和电容都用一个单一的外电阻和一个电容来补偿。

该器件适合于广泛的模拟功能应用范围，包括取代大多数现有的低频模拟集成电路（ IC ），并且通过采用新的电路技术达到了高度的集成。

需要高数值电容和电阻的模拟集成电路通常只有有限的复杂程度，这是由于制造这些无源元件需要用面积极大的硅片。例如一个单个的一毫微法电容通常就要耗用芯片的整个面积。

因而可编程电阻通常用切换电容技术来实现。但是这种方法对可编程器件只有有限的应用，因为为了产生合适的各个电阻值每个电阻都需要有一个独立的时钟源。而且切换电容技术具有更低的信号带宽。

这种器件的一些典型的模拟功能应用如下所列：

- 图形均衡器
- 音乐合成器
- 混音台
- 专用滤波器
- 频谱分析器
- 信号发生器
- 实验板制造／样机制造
- 电话机的免提手机电路
- 大多数低频线性 I C 的更换
- 教育

参照图 1，它表示该装置的所谓平面布置图。该装置包括可编程模拟核心单元 C L 的阵列 A，每个单元包含需要刷新的动态模拟电路以保持其电路组配和元件值。组配数据被存放在一个芯片上的 4800 位的静态随机存取存储器 R A M 内。这个组配数据源被不断地读出以实现刷新功能。

为了根据需要在阵列内构成新的电路，存放在随机存取存储器 R A M 内的组配数据可以由一个外部源来重新组配。

如果需要, 随机存取存储器 R A M 可用后备电池以在电源断掉之后用来保持电路组配数据。小型后备电池可以装入集成电路封壳内。

为了对核心单元 C L 的内部连接顺序选择进行组配, 电路组配数据可在控制电路 C C 的控制之下利用编程移位寄存器 P S R H 和 P S R V 来访问。这种组配数据通过第一数据通路 D D 以数字形式提供给各连接资源和可编程资源。以数字形式存放在随机存储器 R A M 内的元件值经数模转换器 D A C 通过第二数据通路 A D 以模拟形式提供给各可编程资源。每个可编程资源有一个独立的可寻址的采样和保持电路 (如开关 M 1 和 M 2, 连用模拟存储电路 N / S T R 和 P / S T R), 并且组配数据被依次写入每个采样和保持电路。

尽管在这个示例性实施例中, 编程移位寄存器 P S R H 和 P S R V、数模转换器 D A C、随机存取存储器 R A M 及控制电路 C C 示出在带有单元阵列的半导体集成电路上, 如果需要的话, 将这些元件装在一个另外的 IC 上也是很可行的。

采样和保持电路 (N / S T R, P / S T R) 控制着一个可编程压控电阻, 并且每个电阻是分别补偿的以适应制造容差和温度变化。每个可编程电阻都是用一对互补 M O S 晶体管来实现的。这对中的每个晶体管都与一个构成控制电压反馈环路一部分的第二匹配晶体管相关联。

电容按 5×10^{-12} 法的数值制成。而后这些电容的值每次用两个阻抗变换器来倍增至 5×10^{-9} 法的最终值。每一级 ($\times 33$) 包括一个缓冲器的两个可编程电阻。

在阵列内有二十八个基本单元 B C 1 至 B C 28 和二十一个增强单元 E C 1 至 E C 21 (见图 2)。每个基本单元 B C (图 3) 包含

一个通用运算放大器 $O A$ 、四个可编程电阻 P/res 和两个可编程电容 P/cap 。每个增强单元 EC (图 4) 包含一个高速运算放大器 $O A$ 、四个可编程电阻 P/res 、两个可编程电容 P/cap 和一个可作为模拟开关的压控电阻 VDR 。基本单元 BC 和增强单元 EC 两者都有一个反向输入端 IIP 和一个非反向输入端 $NIIP$ ，并且每个都将偏置电压 BS 与电压参考源 $VREF$ 结合。输出端 OP 通过运算放大器 OA 从每个单元引出。每个增强单元的运算放大器 OA 还可以被用作比较器、线性积分器，或者当与压控电阻或模拟开关结合使用时用作乘法器。这对于压扩、增益控制及调制是特别有用的。图 10 表示核心单元运算放大器电路，它属于通常所见的采用诸如 $MOSN$ 和 $MOSP$ 之类的 MOS 场效应晶体管的标准型，并有一个非反向输入端 $NIIP$ 、一个反向输入端 IIP 和一个输出端 OP 。 VSS 和 VDD 代表电压源，而 BS 代表偏置电压。

在增强单元 EC 中采用压控电阻 VDR ，外部电压 ECV 可以通过压控电阻的节点 $VDRN$ (见图 7) 被用来控制增强单元 EC 内的内部电路响应。例如，采用该阵列来实现一个二十通道的图形均衡器，外部电位器不会将音频信号送入或取自该阵列，而只有控制电压能做到。

连 接

尽管每个单元可以根据所述的电路功能通过对内部电阻和电容进行编程并利用旁路晶体管 PT 经信号通路将各资源连接起来而得出组配，阵列内有一个由金属连线构成的全程连接系统，可用来连接阵列内远距离处的各单元，即非相邻单元。局部连接可以通过局部连接系统来实现，其中每个单元的输出端可与阵列中其邻居的每个输入端相

连。图 5、图 6 和图 7 分别是全程连接及基本单元 B C 和增强单元 E C 的局部连接配置的图示。图 8 表示连接切换电路 I S 的细节。

每个连接资源利用一对受静态随机存取存储器 S R A M 形式的开关存储器装置控制的 P 型和 N 型沟道旁路晶体管来与每个单元物理地连接。图 9 是构成可编程开关电路的旁路晶体管 T R 及其相关的随机存取存储器 S R A M 的图示。构成前面所述第一数据通路一部分的用以控制这个开关电路的数据总线或开关控制通路被标为 D 和 $\bar{D}$ (见图 5)。每个开关可以用线 S E L 来选择。接点 I N 代表连接节点。

该装置内的各单元被排布在连接资源和切换组的网络之中。每个单元 B C (见图 5) 与其两个信号输入端 I P 1 和 I P 2、三个开关组 I S 1、I S 2 和 I S 3 相连。其中两个 I S 1 和 I S 2 能够与其它单元 (邻接单元 A C) 局域地连接, 而另一个 I S 3 能连接到全程总线资源 H B 和 V B。每个单元的输出端 O P 直接连接到邻近单元的开关组, 此外还连接到能够将输出信号送往全程总线资源 H B 和 V B 的开关组 I S O。

可 编 程 电 阻

可编程电阻包含压控可编程电阻元件, 每个元件包含一对互补的 M O S 晶体管。

图 1 1 和图 1 2 表示用来对每个电阻元件进行编程的总体配置。应当注意到, 图 1 2 中所示取自图 1 7 和图 1 8 的各部分电路对所参照的各图中的各种元件标有对应的标号。

参照图 1 1, N / C C 和 P / C C 都是差分放大器, 而 P R 1、P R 2、P R 3... 每个都包含一个可编程电阻网络 R / B L K, 图 1 2、图 1 3、每个可编程电阻网络有两个存储节点 N / S T R 和

P/S T R与之相关联(图 1 2)。每个核心单元(B C、E C)包含两个差分放大器,可为各压控可编程电阻依次设定正确的控制驱动电压。模拟存储节点 N/S T R存储可编程电阻的控制驱动电压,使得差分放大器 N/C C和 P/C C能够设定其它可编程资源。差分放大器的电路细节如图 2 7和 2 8所示。

图 1 4和图 1 5分别表示基本的 'P' 和 'N' 型可编程电阻元件。每个电阻元件能够在 2 : 1 的范围内提供 3 2 个电阻值,例如在 1 0 千欧至 2 0 千欧间分成 3 2 级,即 1 0 千、1 0. 3 1 千、1 0. 6 2 千等等...

每个可编程电阻是由六对电阻值在 1 0 千欧至 6 4 0 千欧的 'P' 和 'N' 电阻元件 N/R E 1、P/R E 1 至 N/R E 6、P/R E 6 来实现的。每个元件与前一个元件并联,并且电阻值是其两倍。例如 1 0 千至 2 0 千、2 0 千至 4 0 千等等...

参照图 2 0, 它表示选择阵列 A 中某个特定核心单元 C L 的基本要求。首先,用来自移位寄存器 P S R H 的选择信号 S S 来选定适当的行,从而得到特定的恒流源 C C S, 从而一个与某个特定电阻值范围内的特定的预期电阻相关的特定电流值用已被随机存取存储器 R A M (图 1) 编程的数模转换器 D A C 通过第二数据通路 A D 编程到选定的恒流源 C C S。这可作为阵列内的一个坐标参考信号。其次,移位寄存器 P R S V 提供一个包括启动信号 E N 和选择信号 S E L 的适当的列选择信号,作为阵列内的另一个坐标参考信号。特定的启动信号 E N 和选择信号 S E L 一起 (S E L / E N) 被用以选出电阻 (P R 1 至 P R 4) 中的一个来用来自恒流源 C C S 的电流编程。这可在编程过程中实现,从而可以用存储在随机存取存储器 R A M B 中、

来自构成第一数据通路一部分的数据总线 D B B 的单元组配数据来选定 (见图 1 4 及图 2 1 和图 2 2) 电阻的电阻网络内的六对电阻之中的一对电阻未被选定的电阻与电路断开。

参照图 2 1 和 2 2, 它们应设置成如图 2 3 那样, 基本单元 B C 的总体配置用四个可编程电阻 P R 1 至 P R 4 (P / r e s, 图 3) 来表示, 每个都具有如图 1 3 所示的网络 R / B L K 的形式。

每个电阻都包含前面所述的六对电阻元件 N / R E 1、P / R E 1 至 N / R E 6、P / R E 6, 并且每个都有前面所指出的相关联的模拟存储节点 N / S T R、P / S T R。任何一对电阻从而一个特定的电阻值范围可以在用总线 D B B 上的存储在随机存取存储装置 R A M B 中的数据来选定。开关 S W A 和 S W B (图 1 4 和图 1 5) 被启动将适当的电阻对接入。这个切换动作的作用在图 1 7 和图 1 8 中作了示意性的表示, 其中 D R I V E (1 0、1 9、图 1 6) 和 S E T 输入端 (1 0、1 9, 图 1 7、图 1 8) 可通过切换开关 S W A 和 S W B 来控制。

再参照图 2 1 和图 2 2, 水平 (C C S, R E F 7) 坐标参考和垂直 (E N, S E L) 坐标参考每个都同前面提到的差分放大器 N / C C 和 P / C C 一起示出, 后者服务于整个单元, 并且为将电阻元件设定到选定范围内的期望值提供必要的 D R I V E 和 S E N S E 信号 (N D / S, P D / S)

随着这个移位寄存器 P S R H 和 P S R V 逐步增值的过程, 所有单元中的各种元件相继被编程和设定。例如, 行一被首先选定, 而后是行二等其后的每一行, 随后相继选定每一列, 选定单元中的每个元件都按照顺序被编程和设定。

在编程过程中，用存储在随机存取存储器 R A M B 中的数据选定六对中的一对。未被选定的电阻元件被断升。

可编程电阻电路的另一个例子在图 1 6 中作了表示。N / C C 和 P / C C 为差分放大器，而 N / R E 和 P / R E 都是一个网络内的可编程电阻元件。通过参看图 1 6 和图 1 7，可以看出：差分放大器 N / C C 的输出被用来通过由晶体管 M 1 和 M 2 构成的开关驱动 (S E T, 1 0) ' N' 型晶体管 M 4 的栅极。M 4 的源接点保持在 1.5 伏的参考电位 (R E F 5) 上，M 4 的漏极连接到晶体管 M 5 上，后者再接到处于端子 (R E F 7) 的恒流源上。M 4 和 M 5 的接点通过晶体管 M 3 3 (图 1 7) 连接到差分放大器 N / C C 的非反向输入端 (1 7, S E N S E - 图 2 8)，差分放大器的反向输入端 (2 6, R E F 3 - 图 2 8) 连接到 2.5 伏的参考电位上。

可编程电阻是用晶体管 M 3 来实现的。M 3 的栅极驱动是从 M 4 的栅极电位获得的，后者是差分放大器 N / C C 周围负反馈通路的一部分 (图 1 7、图 2 8)。

为了将电阻编程到所需的电阻值，恒流源 C C S (图 2 0) 被调整到适当的电流设定值 (对 1 0 千欧为 0.1 毫安，对 1 0 0 千欧为 0.01 毫安等) 直至负反馈通路达到稳定。当差分放大器的两个输入端处于同一电位 (2.5 伏) 时，它就达到了稳定状态。此时，跨越晶体管 M 4 的电压降等于 1 伏 (2.5 - 1.5, R e f 5)。于是晶体管 M 4 就会有一个与恒流源相等的漏电流。晶体管 M 4 栅极上的电位这时处于可使晶体管 M 4 具有所需要的电导的水平。由于晶体管 M 4 的栅极电位还连接着晶体管 M 3，晶体管 M 3 也将被编程或设定到所需的电阻值。

参照图 1 3、图 1 7 和图 1 8，可以了解到：与 'N' 型晶体管 M 3 并联的是 'P' 型晶体管 M 1 2。晶体管 M 1 2 与其相关联电路完成与晶体管 M 3 及其相关联电路相似的功能，但晶体管 M 1 2 具有对晶体管 M 3 而言相反的特性。为了实现可偏程电阻，两个晶体管都有必要保证具有线性的传输函数。

模拟存储方式

一旦晶体管 M 4 所需的驱动建立起来，晶体管 M 1 和 M 2 就被截止，M 4 的栅极电位被保持在电容 C 1 (2 0 0 f F) 和 C 2 (4 0 0 f F) 上直至 1×10^{-8} 秒之后它被刷新。为了防止因切换晶体管 M 1 和 M 2 栅极上驱动信号的电容耦合使存储在 C 1 和 C 2 的电位失稳，需要有两个晶体管来切换 M 4 的栅极驱动。

加在晶体管 M 4 栅极上的电位也加在设在晶体管 M 6 至 M 9 及 C 1 至 C 2 周围的电容存储电路上。

N/S T R、P/S T R 表示存储电路（见图 1 7 和图 1 8）。晶体管 M 8 和 M 9 构成一个反向放大器。这个简单的放大器只能在将近一半的供电量上工作，晶体管 M 6 和 M 7 提供电压值变换功能，使得存储电路能在接近 V D D 的电压下工作。'P' 型可编程电阻元件需要能在接近电压 V S S 情况下工作的存储电路。

图 1 9 表示该存储电路与同样电容值的简单电容电路相比的放电特性，可以清楚地看出对能够维持适用电压的保持期的改善。

在编程电路正在设定阵列上其它电阻时，要求存储电路维持这个模拟电压。有源存储电路产生与一个电容和一个电阻的正常的指数放电特性正相反的特性。这种存储电路还能够阻止由晶体管 M 3 或晶体管 M 1 2 的栅与源或漏区之间电容耦合所导致的对栅极电压的调制。

用来保持晶体管 M 3 和 M 4 栅极驱动的电容必须能够保持电荷直至下一个刷新期 (1×10^{-3} 秒) 而无显著的下降。跨越电容的电位的任何变化都会造成晶体管 M 4 的、而更严重的是晶体管 M 3 的电阻值的改变。这对于用户电路具有灾难性的影响。如果所实现的电路是一个滤波器, 特性可以改变, 即改变增益或相位。如果电路具有一个高增益级, 就会导致振荡。

晶体管 M 4 电阻值变化的影响与固定的电阻容差不同, 因为这个电阻值是按照刷新速率动态变化的, 这将会给与其相连的电路节点加上 1 千赫的频率。

编程

再参照图 2 0, 它表示全程编程电路。数模转换器 D A C 产生与核心单元中每个元件所需的电阻值或电容值成比例的电压。数模转换器 D A C 的输出在 C C S 处被变换成电流, 后者被加在全程负载 (R E F 7) 上来为选定的单元提供适当的编程电流。数模转换器 D A C 由芯片内的随机存取存储器 R A M 来驱动 (见图 1), 后者以数字形式存有组配数据和元件值。应当注意到: 阵列内的所有可编程元件都被依次刷新以保持正确的各个元件值。

可编程电容

参照附图尤其是表示可编程电容电路的图 2 4, 应了解到: 电容是用一种电容倍增器技术来实现的。可编程电容主要由三个元件构成: 一个电容 C 1 和一或两个电容倍增器 M 1 和 M 2。图示这些元件连接在节点 C N 1 和 C N 2 之间。

由于不可能制造出一百个 5×10^{-9} 法的电容, 制作了一个小电容 C 1 (5×10^{-12} 法)。等效的所需电容值于是就靠一个阻抗

变换过程来产生。

5×10^{-12} 法的电容 C_1 连接到第一缓冲电路 B_1 的输出端上。可编程电阻 R_{P1} 和 R_{P2} (其电阻值可以根据需要予以改变的电阻) 串联在第一缓冲电路 B_1 的输入和输出端之间, 一个输出端从第一和第二可编程电阻的连接点引出。采用这种元件配置, 两个可编程电阻 R_{P2} 和 R_{P1} 设定值的比率就决定了电容 (C_1) 值倍增的量。

电阻 R_{P2} 的设定值高于电阻 R_{P1} 的设定值, 因而在电阻 R_{P1} 和 R_{P2} 连接点处的效果是倍增, 并且总的有效电容值等于 $(R_{P2}/R_{P1}) \times C_1$ 。电阻 R_{P1} 和 R_{P2} 连接点处的有效电容再由包括可编程电阻 R_{P3} 和 R_{P4} 及缓冲器 B_2 的第二级倍增器 M_2 来倍增。因而, 在电阻 R_{P3} 和 R_{P4} 连接点处最终的有效电容近似为 $(R_{P2}/R_{P1}) \times (R_{P4}/R_{P3}) \times C_1$ 。为了避免在制造较大值的电容所需的较高电阻值的可编程电阻上出现的寄生电容的影响, 如果需要较大的电容, 这个第二级倍增是必要的。

可编程电阻 R_{P2} 和 R_{P4} 被用来对最终电容值编程, 而电阻 R_{P1} 是由参考信号 CCV 驱动的 (见图 2 4 和图 2 5) 以补偿电容 C_1 的制造/工艺误差。

这种电路的主要缺点是无法制成高 Q 值的电容。然而, 对于用这种方法制成的电容的大多数应用而言, 这并不是主要问题, 因为电容倍增器具有接近电阻 R_{P3} 的电阻值的串联电阻值。

图 2 5 所示包括外电路部分 EXT 和半导体集成电路部分 SIC 在内的电容补偿电路被配置来提供控制可编程电阻 R_{P1} 的电容倍增器电压参考控制信号 CCV 。用这种方式, 5×10^{-12} 法的电容

C 1 的氧化层厚度误差可自动地被补偿。

电源电压加在端子 S P 上。工作时它被配置成定时电路来比较两个独立的但基本上相同的电容/电阻电路的时间常数。一个时间常数电路采用与已知精确值的外电阻 $E R R 1$ 串联的精确的 5×10^{-9} 法的外电容 $E R C 1$ ，而另一个时间常数电路采用与外电阻 $E R R 2$ 串联的 5×10^{-9} 法（由 5×10^{-12} 法的内电容倍增产生）的内电容 $I C$ （图 2 4 中所示的那种）。

按照设计，两个电容 $I C$ 及 $E R C 1$ 在时钟信号 $D C L K$ （它是经延迟器 $D L$ 延迟的时钟信号 $C L K$ ）的控制之下通过切换开关 $S W 1$ 和 $S W 2$ 而被反复充电和放电。开关 $S W 1$ 和 $S W 2$ 的接点 $R E F 4$ 被方便地接至零伏。

在被延迟的时钟信号 $D C L K$ 时刻，比较器 $C P$ 反复比较每个电容 $I C$ 及 $E R C 1$ 上的电压以确定哪个电容充电最快。比较器的最后输出由 'D' 型触发器 $D F F$ 来锁定/存储。

在时钟信号 $C L K$ 的实际时刻，触发器 $D F F$ 的输出 Q （对应于紧接着的前一个时钟信号 $C L K$ 时刻的前面信号的比较输出）被输出到由另一个外电容 $E R C 2$ 和另一个外电阻 $E R R 3$ 构成的积分电路 $I N T$ ，它接连对来自 Q 的输出信号进行积分。积分电路 $I N T$ 的输出被送到第二缓冲电路 $B U F$ 以提供参考信号 $C C V$ （模拟信号），后者提供改变倍增器 $M 1$ 中电阻 $R P 1$ 电阻值的直接控制，从而改变比率 $R P 2 / R P 1$ 以及电容 $I C$ 的有效值。

应当了解到：模拟信号 $C C V$ 需要转换成等价的数字形式以作用于电路来改变电阻 $R P 1$ 的值。这可以通过插在第二缓冲电路 $B U F$ 的输出端与用以控制可编程电阻 $R P 1$ 的电路 $P R C$ 的输入端之间的

适当的模数转换器 A D C 来实现。

因此，工作时进行一个迭代过程，从而积分电路不断地改变模拟信号 C C V，后者再改变电阻 R P 1 的值，并且依次改变内电容 I C 的有效值。这个过程持续到获得正确的电容值。

现进一步说明这一点，如果内电容 I C 充电比外电容 E R C 1 快，则参考电压 C C V 被降低。这具有通过改变倍增器 M 1 中电阻 R P 1 和 R P 2 比率来提高内电容 I C 值的作用。

反过来，如果外电容 E R C 1 充电比内电容 I C 快，则参考电压 C C V 被提高。这具有通过改变倍增器 M 1 中电阻 R P 1 和 R P 2 比率来降低内电容 I C 值的作用。

参照图 2 6，它表示一个高阻抗输入、低阻抗输出的单一增益缓冲级，如在倍增器 M 1 和 M 2 中用于第一缓冲电路 B 1 和 B 2 的，输入端被标为 I P N 而输出端被标为 O P N。这些节点在图 2 4 和图 2 5 中都作了同样的标注。

缓冲电路包括三个 P 型 M O S 晶体管 T R 1、T R 2 和 T R 3 及四个 N 型 M O S 晶体管 T R 4、T R 5、T R 6 和 T R 7。V S S 和 V D D 代表电路的电源电压，而 R E F 1 代表适当的参考偏置电压。

图 2 9 表示外围的增益可编程的输入/输出电路 I O C (图 1) 的细节。每个单元采用若干运算放大器 O A I、一个随机存取存储器 R A M 1、一个可编程电阻 P / R E S 和一个作为旁路晶体管的晶体管开关 T R 1。E C N 代表焊接连线点，而 I P A 代表阵列输入端，O P A 代表阵列输出端。R E F V 代表参考电压。

低通滤波电路实例

二阶级通滤波器如图 3 0 所示。同一电路在阵列上的实现如图 3 1

所示。在图 3 1 中，电路中未用的元件与电路部分即被断开的部分用虚线轮廓来表示。

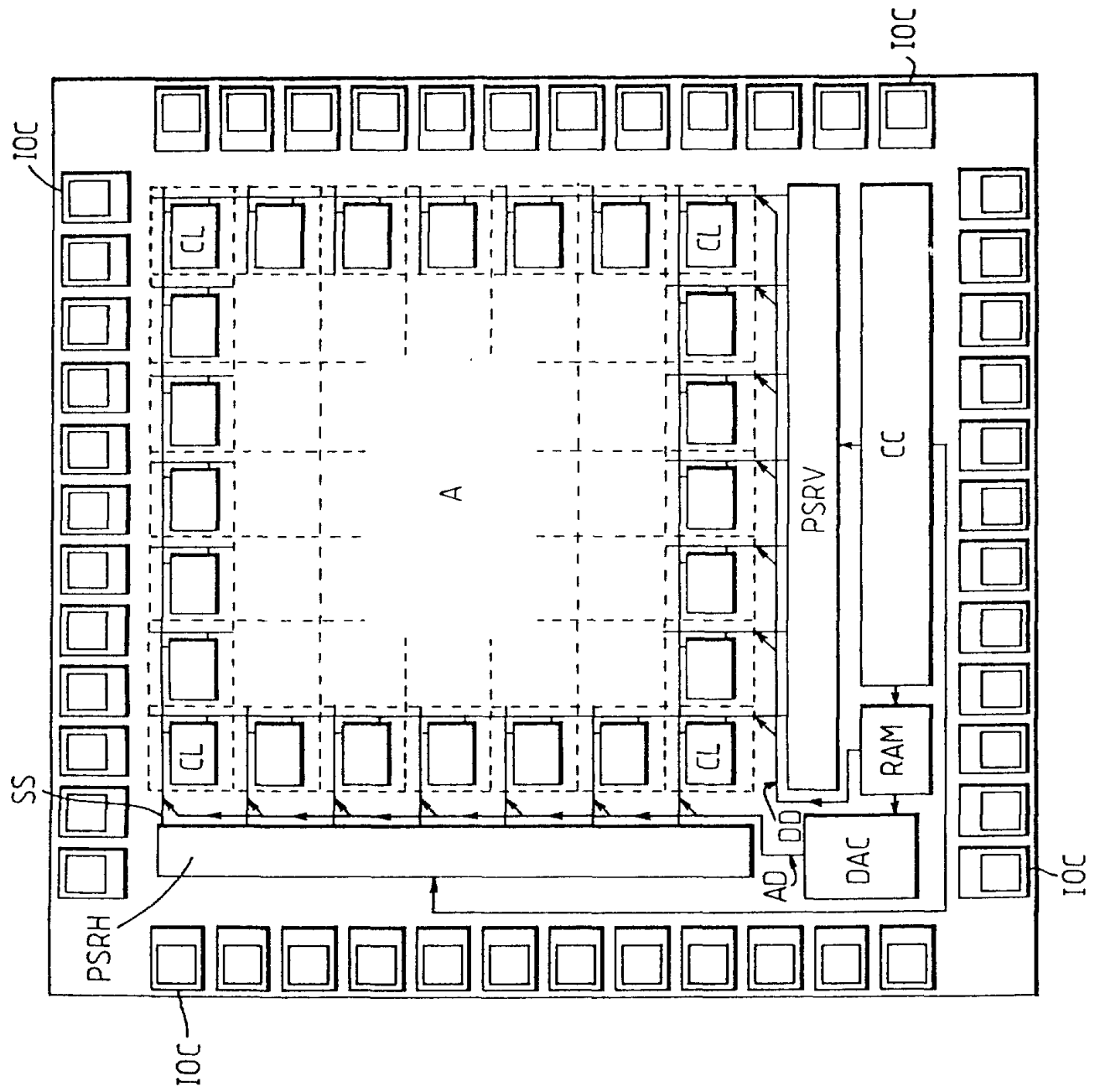


图7.

图2.

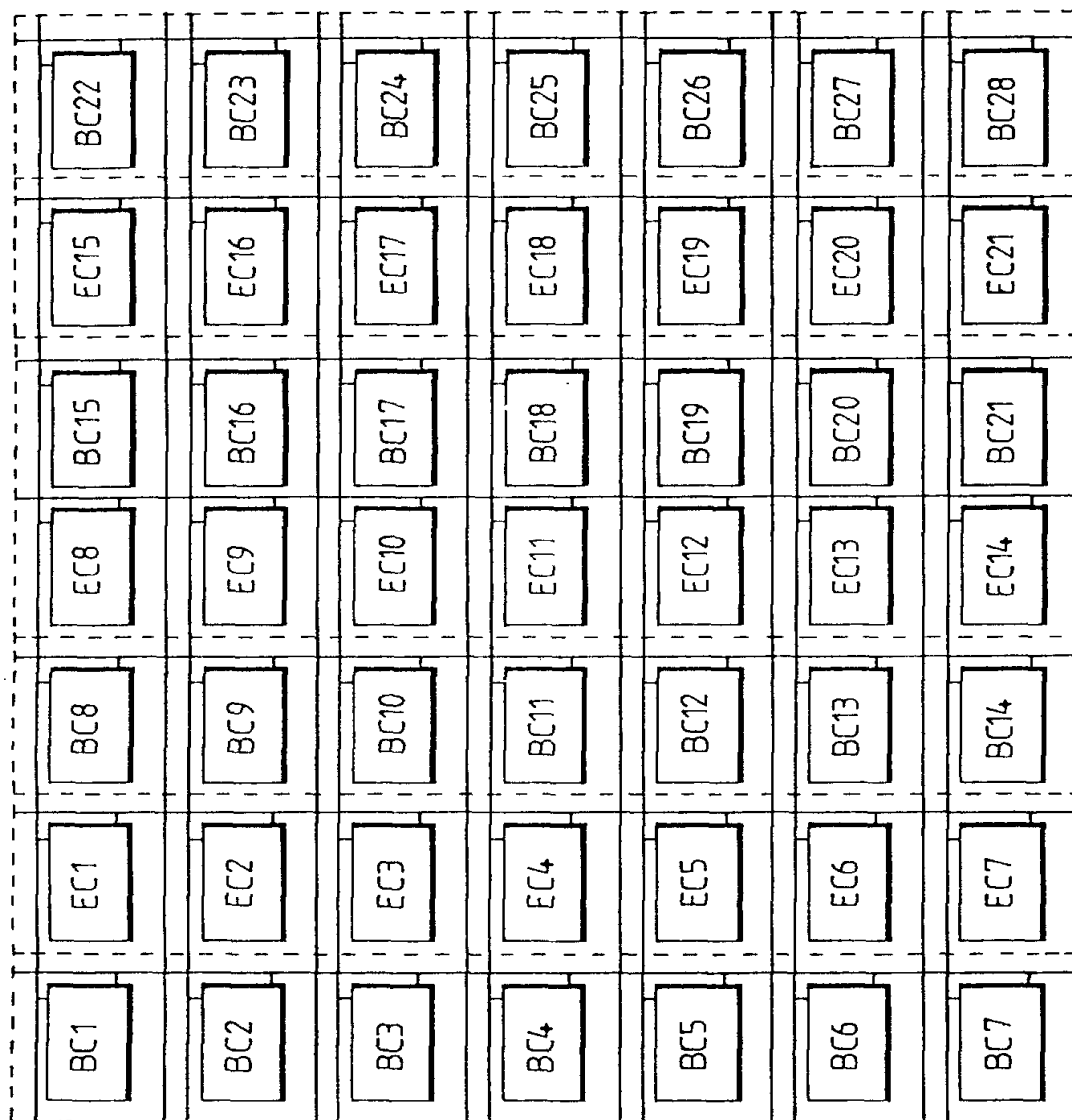


图3.

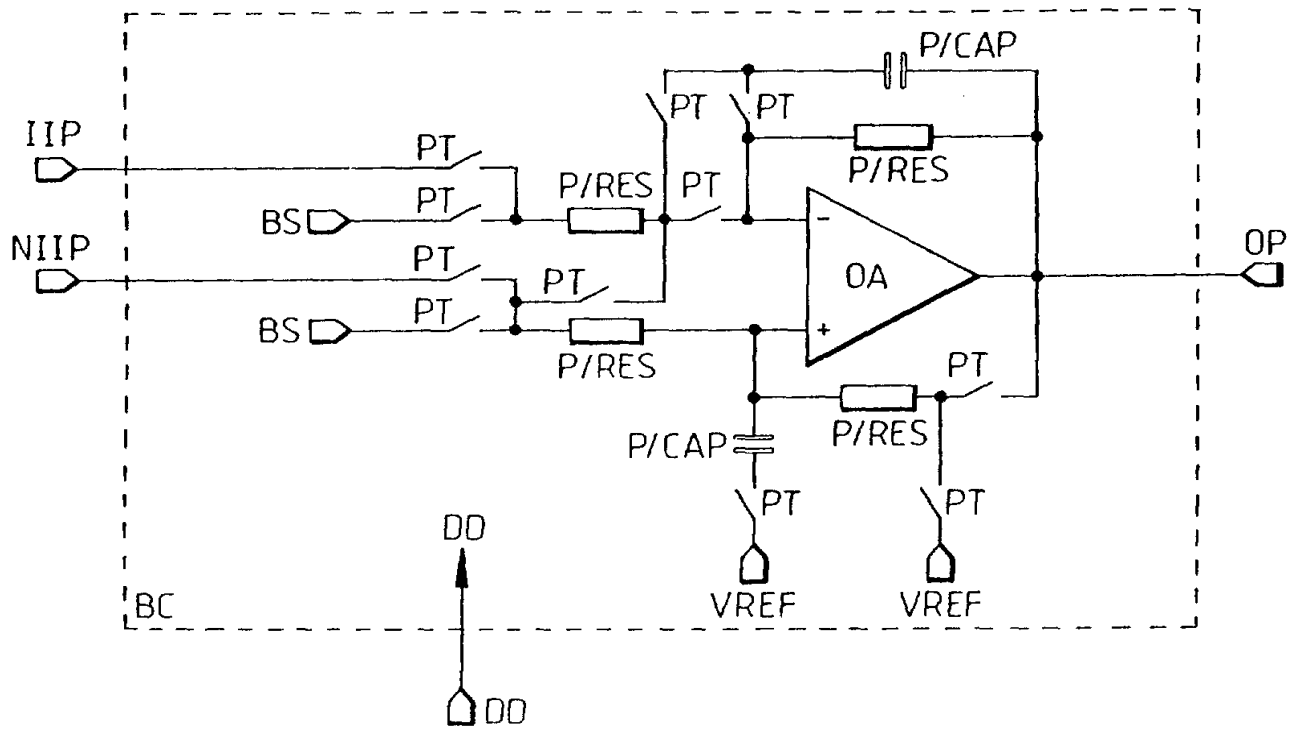


图4.

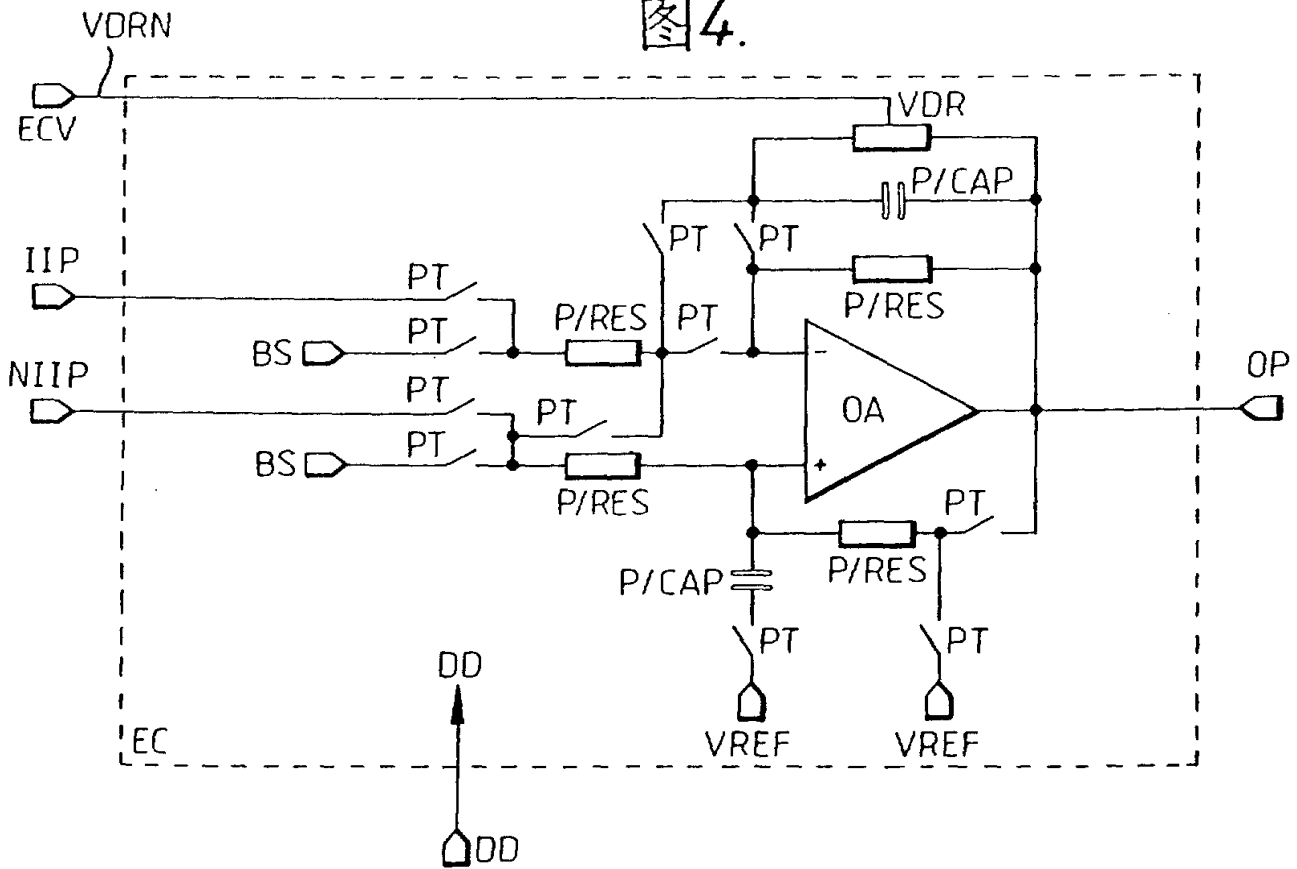


图 5.

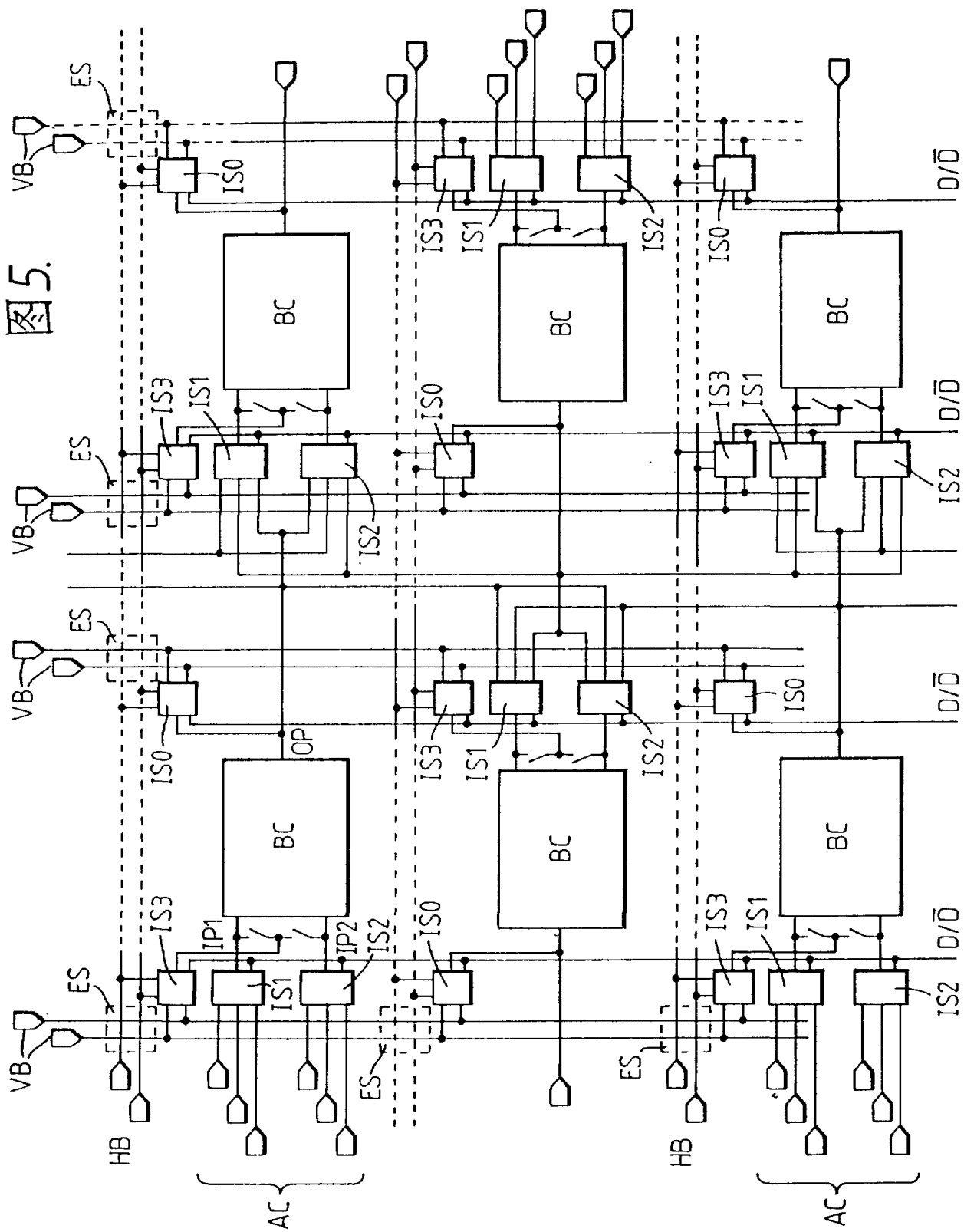


图6.

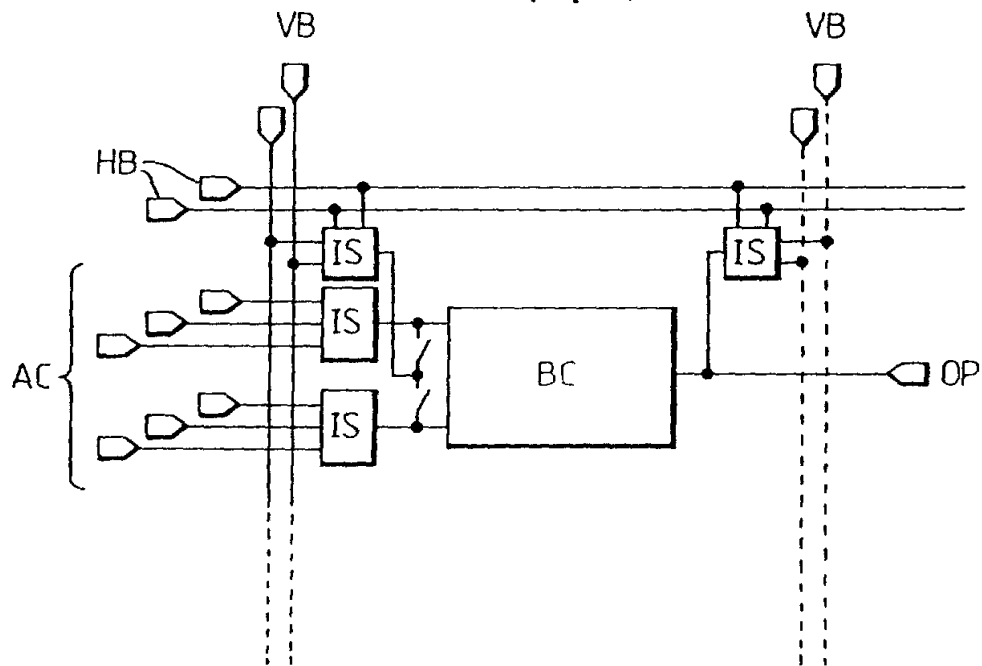


图7.

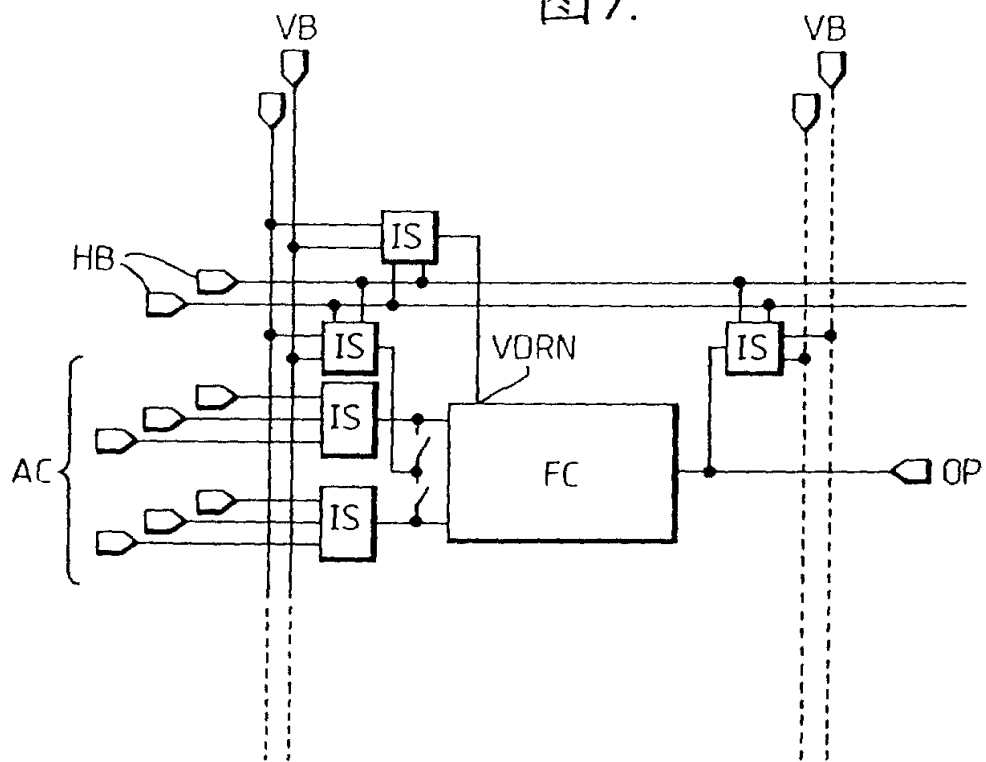


图8.

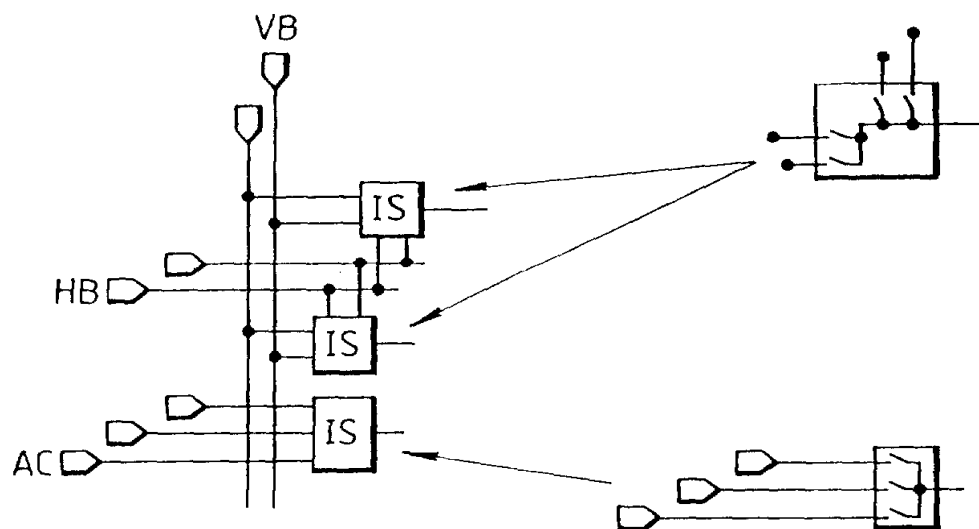


图9.

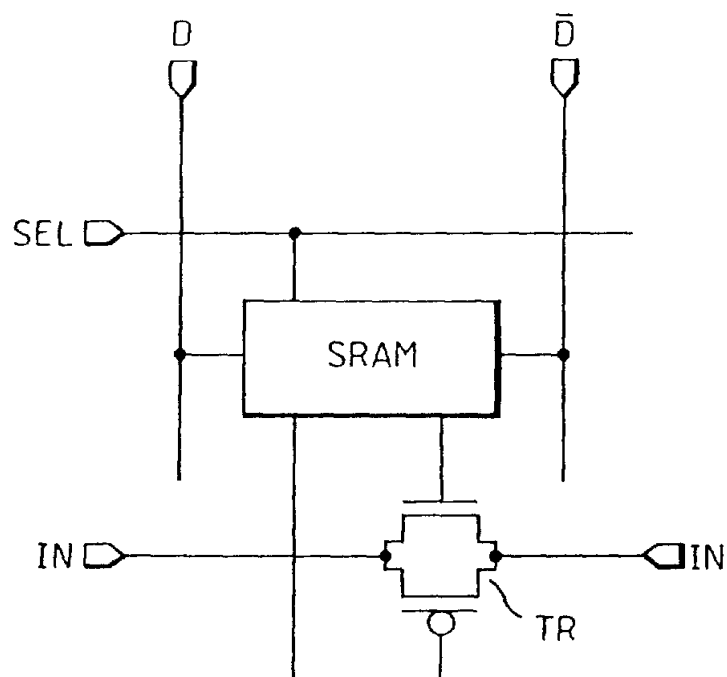


图10.

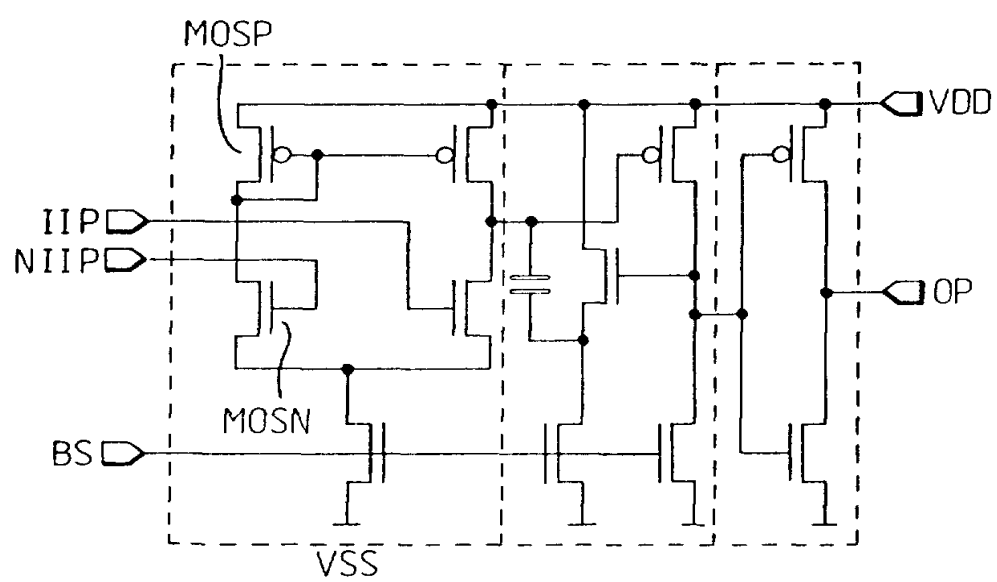


图 11.

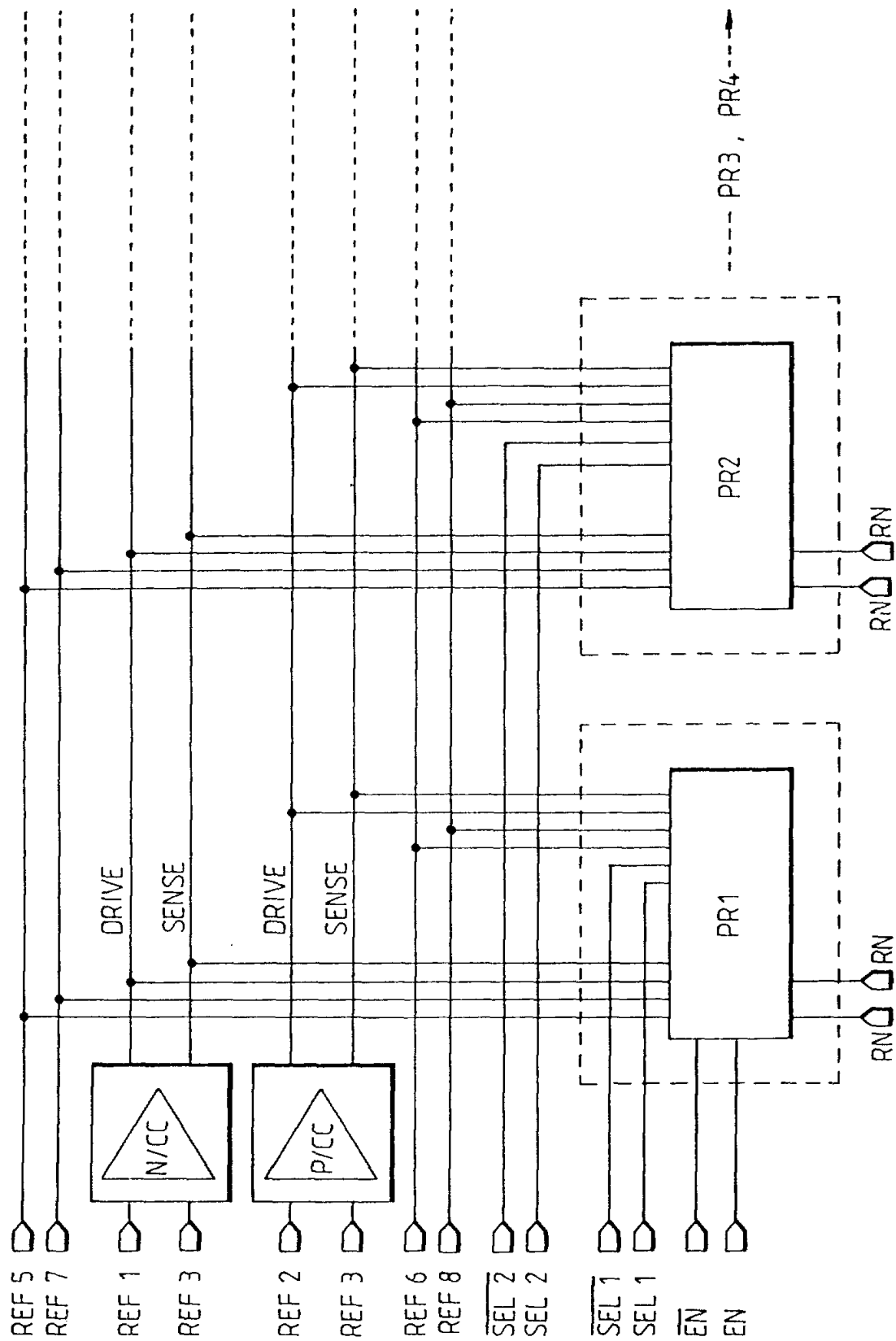


图12.

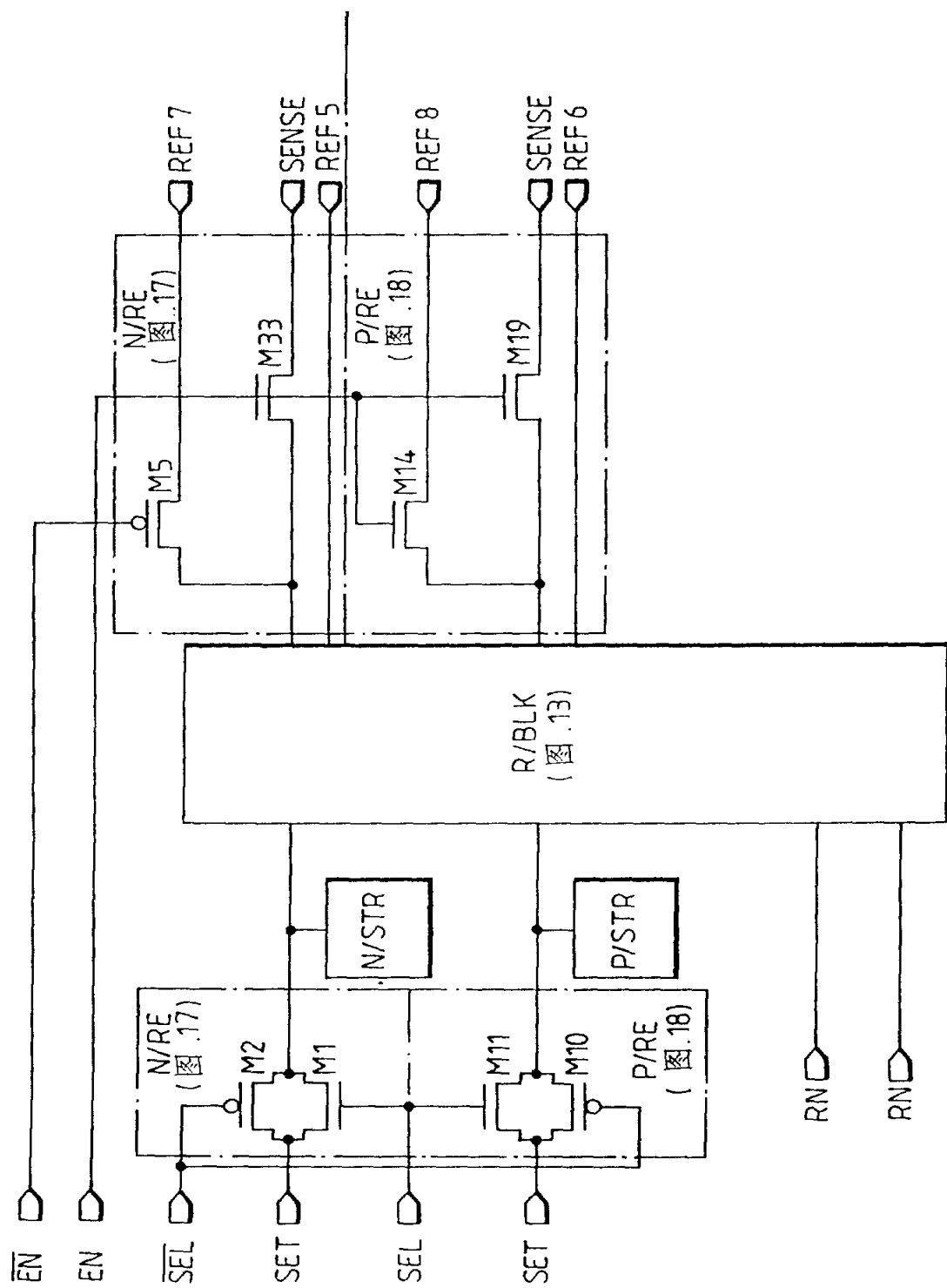


图13.

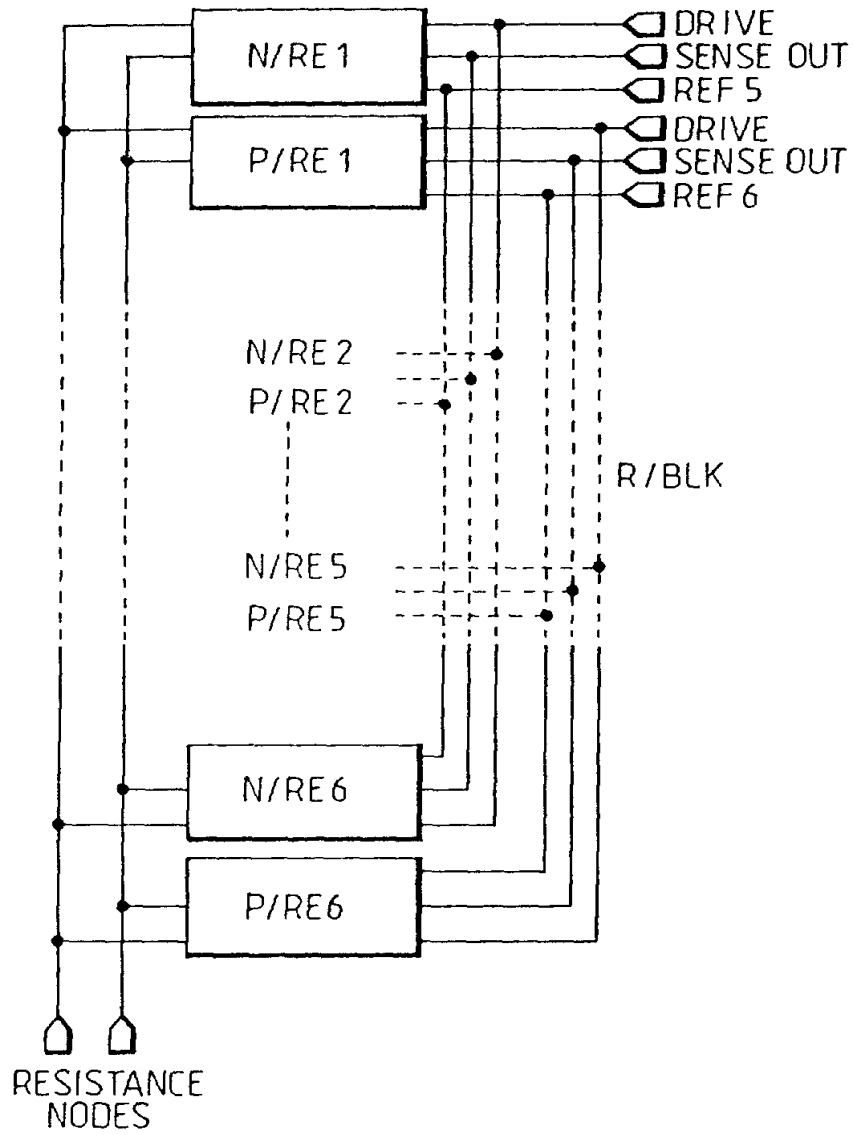


图14.

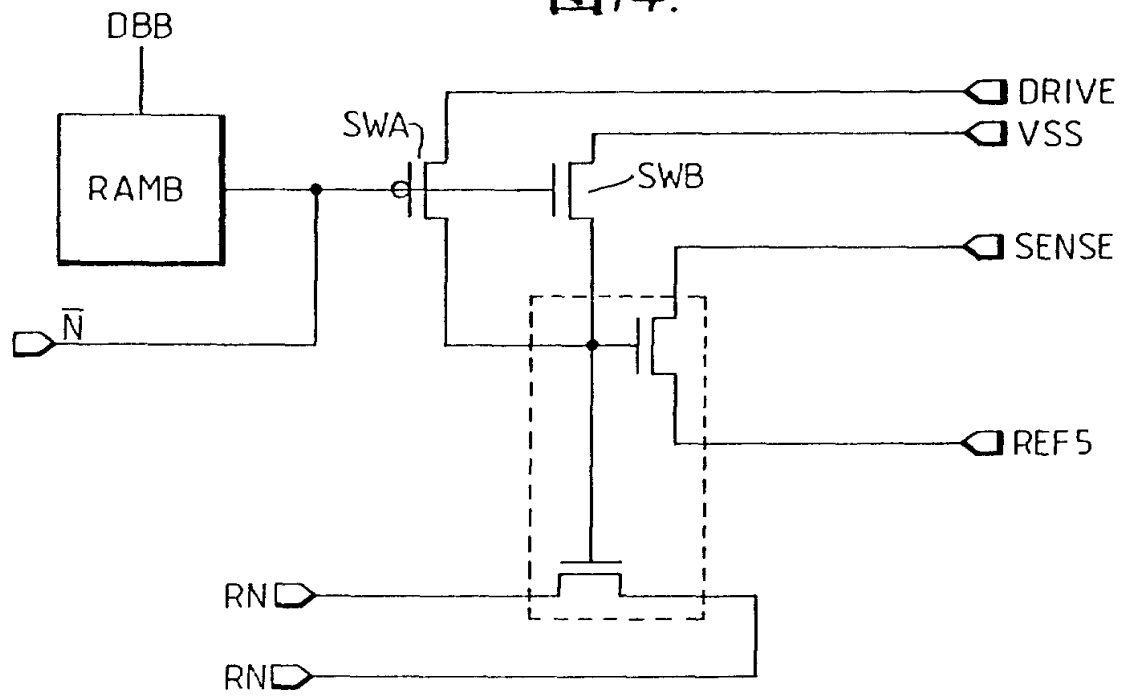


图15.

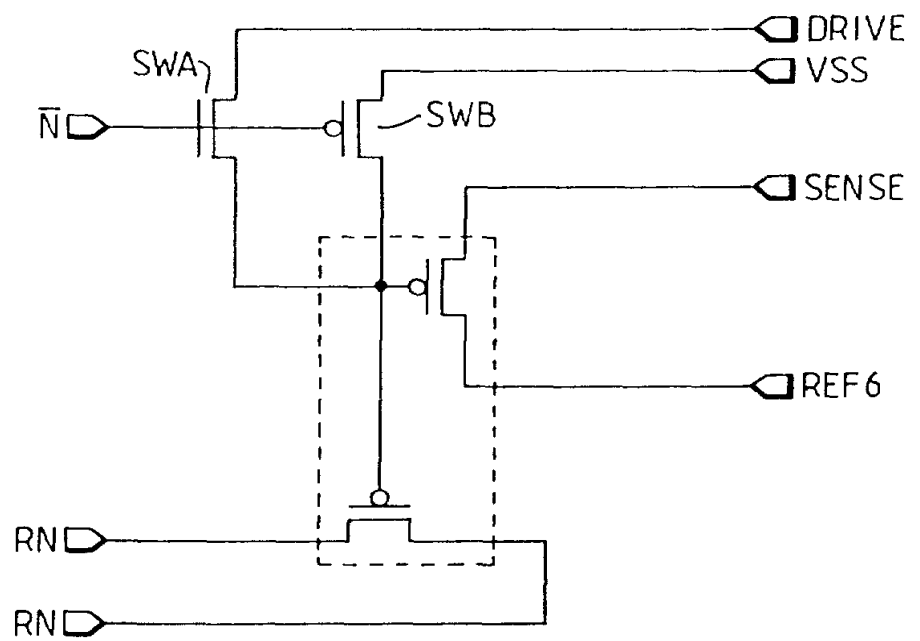


图16.

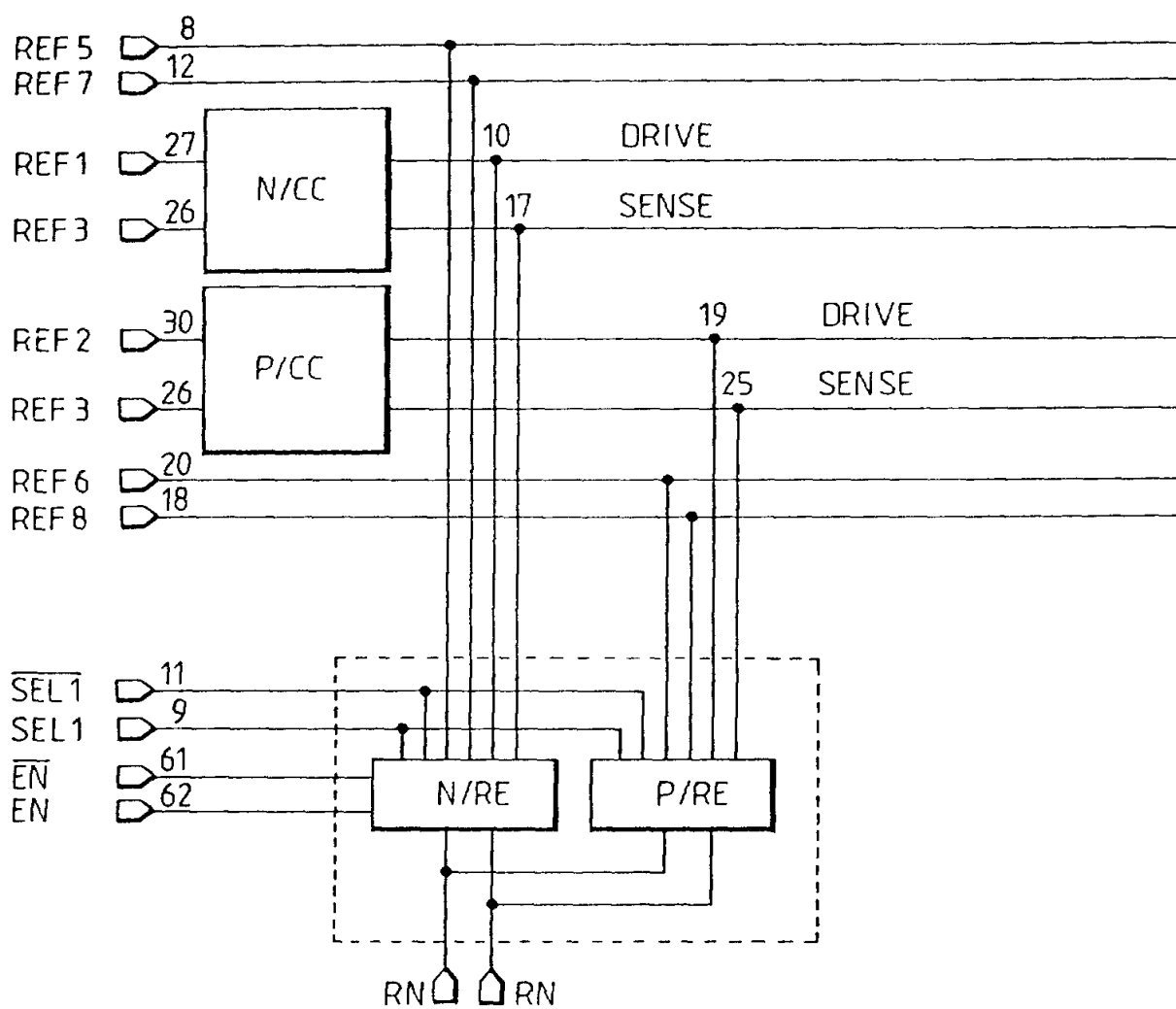


图17.

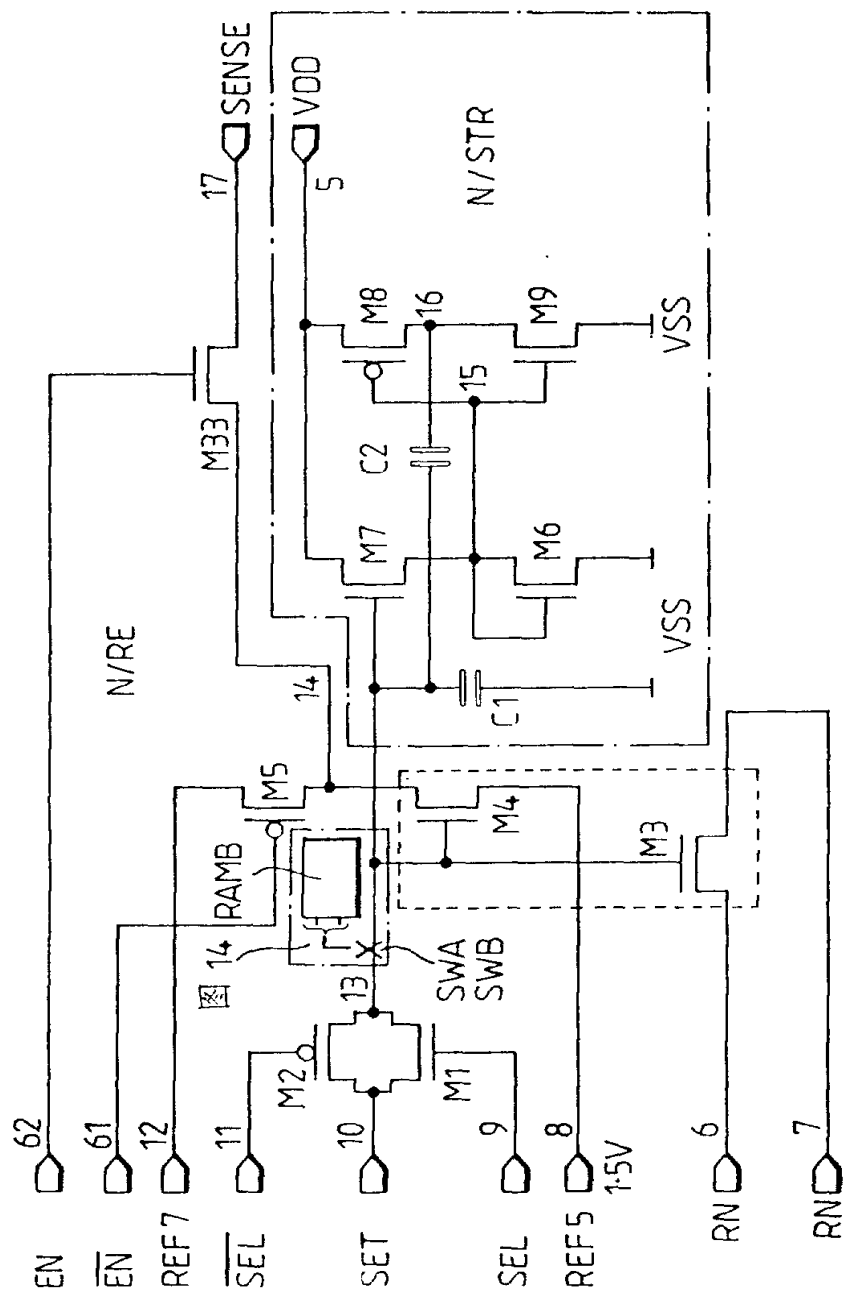


图18.

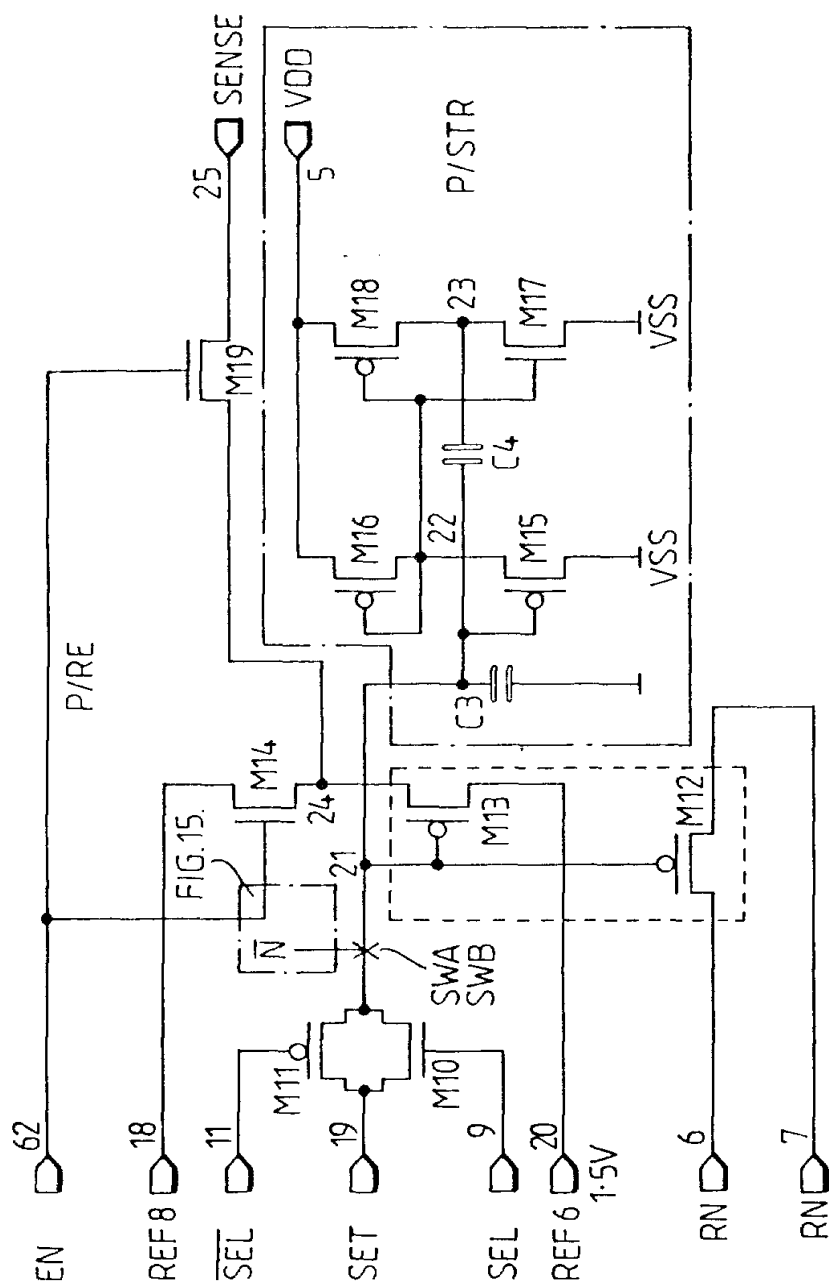


图19.

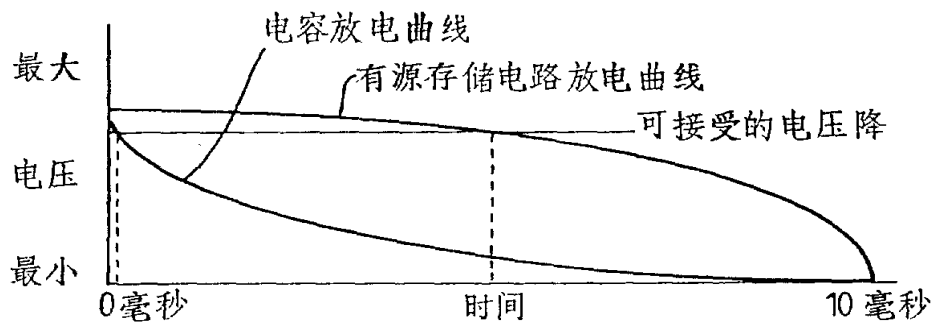


图20.

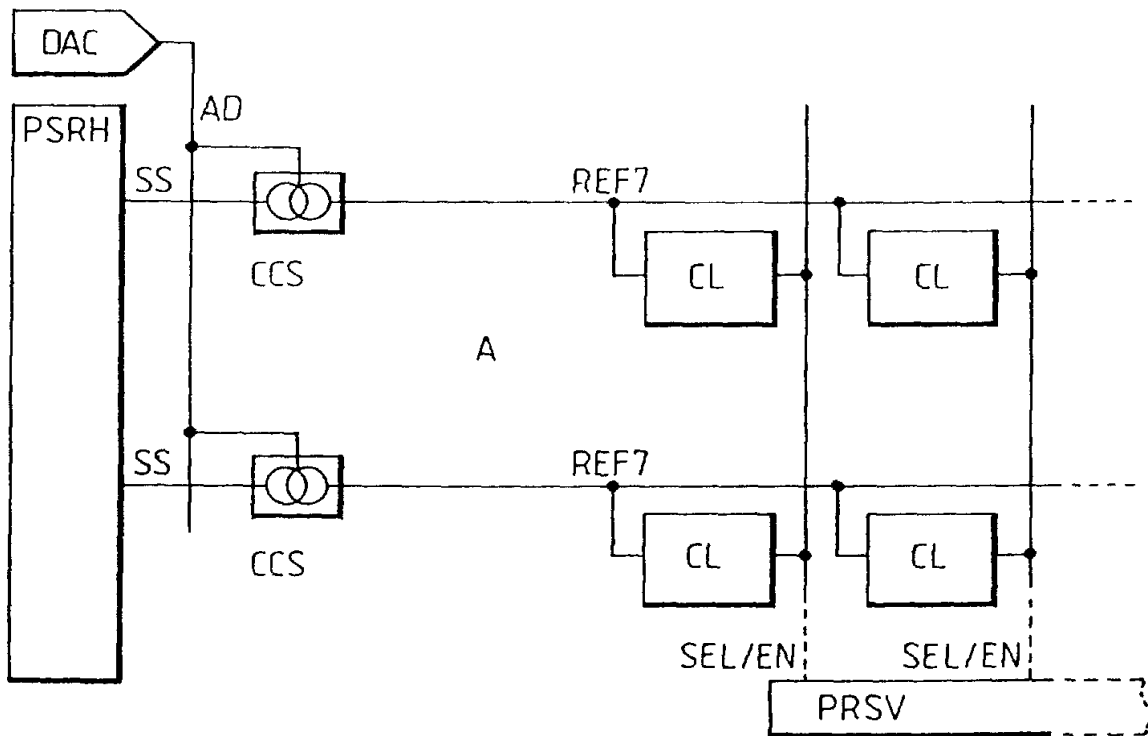


图21.

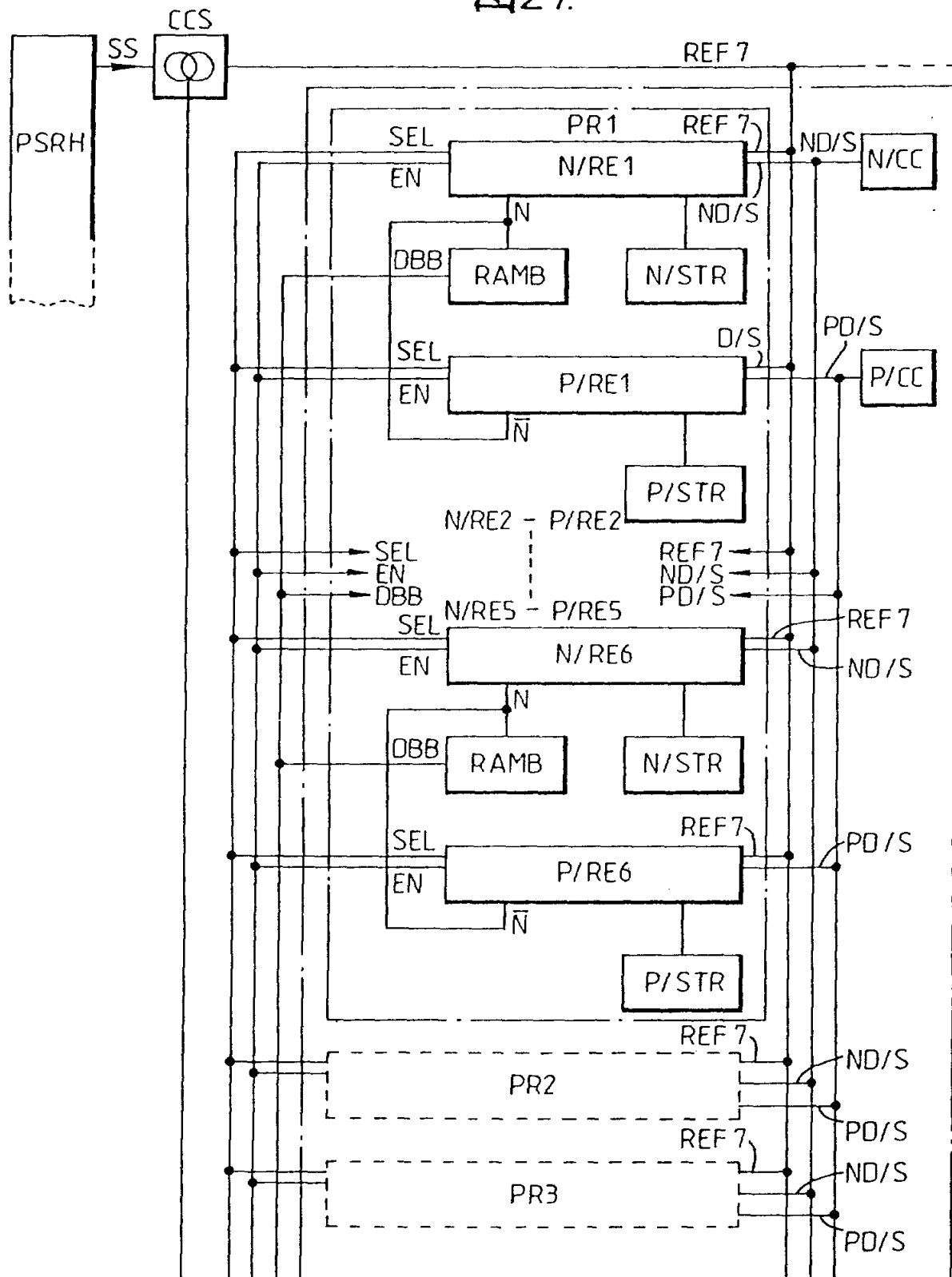


图22.

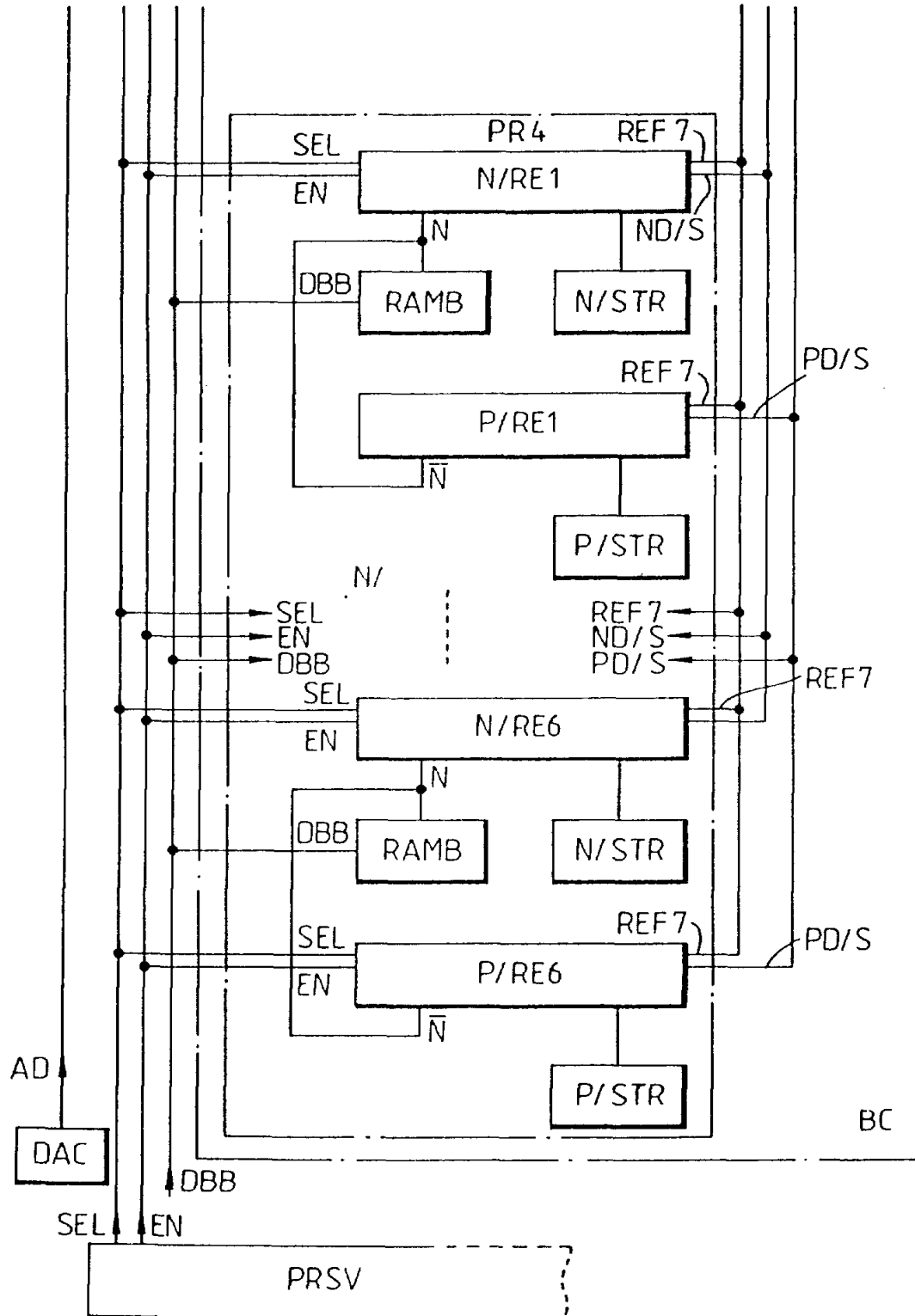


图23.

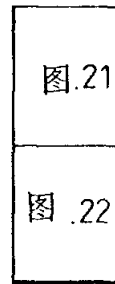


图24.

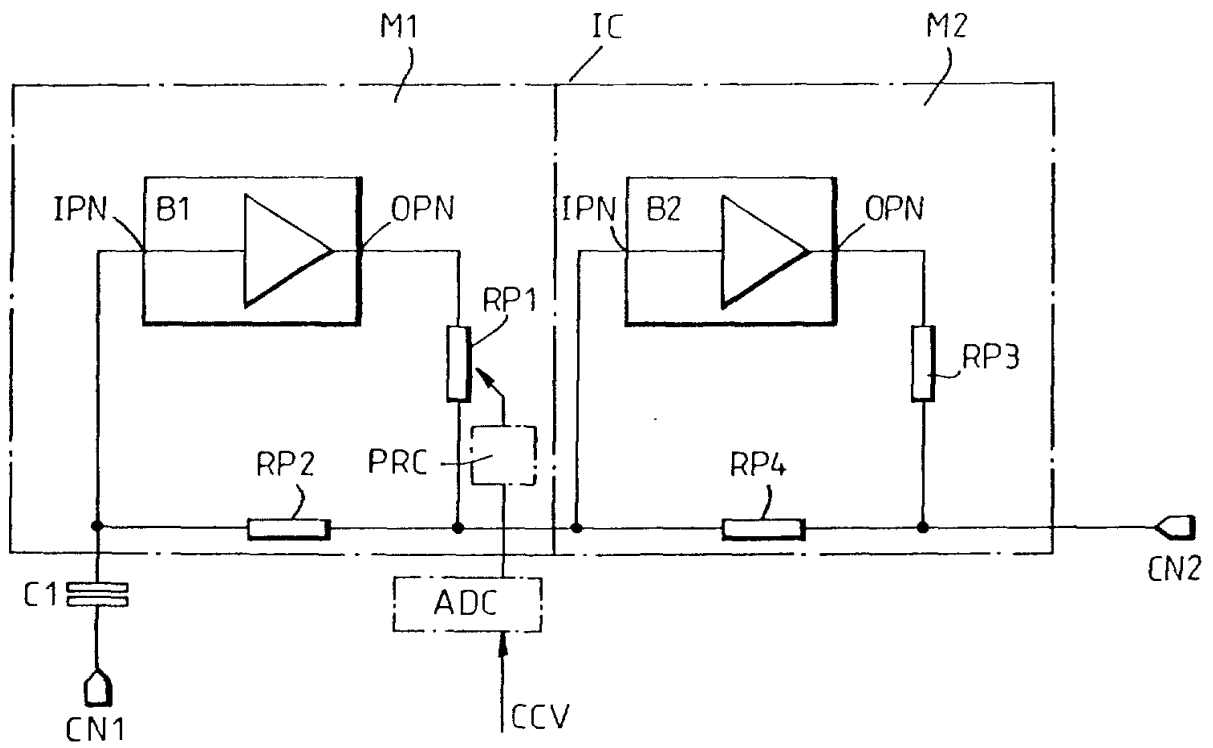


图26.

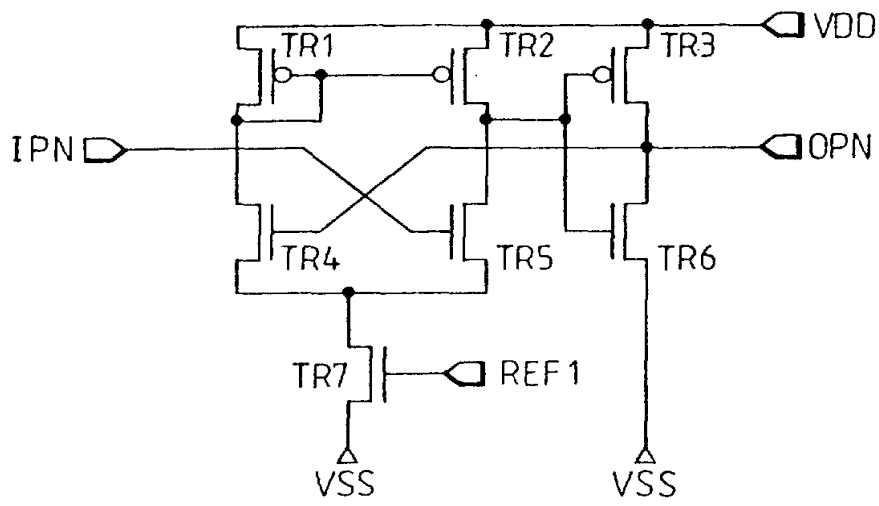


图27.

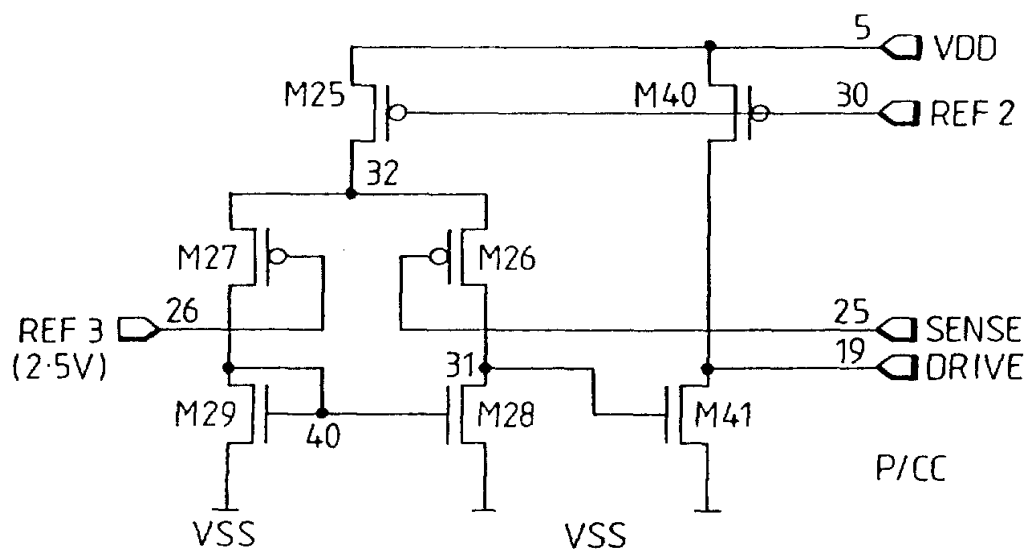


图30.

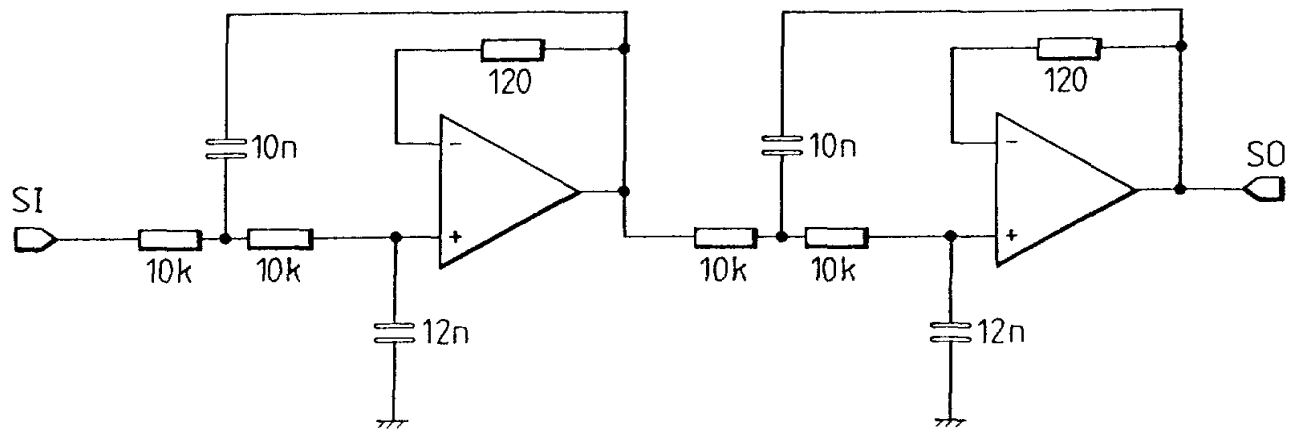


图31.

