(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3695905号

(P3695905)

(45)発行日　平成17年9月14日(2005.9.14)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]	F I	
H01L 29/66	H01L 29/66	T
H01L 29/06	H01L 29/06	601W
H01L 29/68	H01L 29/68	

請求項の数 9　(全 15 頁)

(21)出願番号	特願平9-218601
(22)出願日	平成9年8月13日(1997.8.13)
(65)公開番号	特開平10-74932
(43)公開日	平成10年3月17日(1998.3.17)
審査請求日	平成13年3月30日(2001.3.30)
(31)優先権主張番号	9617284.6
(32)優先日	平成8年8月16日(1996.8.16)
(33)優先権主張国	英国(GB)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

半導体基板と、

前記半導体基板上に選択的に形成された第１の端子と、

前記第１の端子の上部に形成された第１の障壁層と、

前記第１の障壁層の上部に形成された第２の量子井戸層と、

前記第２の量子井戸層の上部に形成された第３の障壁層と、

前記第３の障壁層の上部に形成された第１の量子井戸層と、

前記第１の量子井戸層の上部に形成され、かつドーピングされた第２の障壁層と、

前記第２の障壁層の上部に形成されたフロントゲートと、

前記第１の端子にコンタクトをとるための第１のオーム接点と、

前記第１の量子井戸層にコンタクトをとるための第２のオーム接点と、を備え、

第１の端子は平行に配置された複数の帯状のパターン化されたコレクタを形成し、

第１の量子井戸は平行に配置された複数の帯状のパターン化されたエミッタを形成し、

該パターン化されたエミッタと該パターン化されたコレクタが交差して、アレイ状の複数の重なり部が形成され、

第１の障壁層は、パターン化されたエミッタとパターン化されたコレクタとの間の前記重なり部に配置されていることを特徴とする半導体装置。

【請求項２】

請求項１に記載の半導体装置において、前記パターン化されたコレクタとの長手方向と

前記パターン化されたエミッタの長手方向とが垂直に配置されていることを特徴とする半導体装置。

【請求項３】

請求項１又は請求項２に記載の半導体装置において、

前記パターン化されたコレクタとパターン化されたエミッタとが複数の交差部分を構成し、

相互に分離された第１及び第３の障壁層が、前記パターン化されたコレクタと前記パターン化されたエミッタとの間の複数の交差部分に係る領域内にのみ点在するように配置されていることを特徴とする半導体装置。

【請求項４】

請求項１から請求項３のいずれかに記載の半導体装置において、前記基板上斜面を有する凸状領域を更に備え、前記第１の端子は該凸状領域上に形成されることを特徴とする半導体装置。

【請求項５】

請求項１から請求項４のいずれかに記載の半導体装置において、前記パターン化されたコレクタの側壁に斜面を形成したことを特徴とする半導体装置。

【請求項６】

請求項４に記載の半導体装置において、前記パターン化されたコレクタの凸状領域はドープ層を備え、前記凸状領域の平面上と斜面とが反対の導電型であることを特徴とする半導体装置。

【請求項７】

請求項４から請求項６のいずれかに記載の半導体装置において、前記パターン化されたコレクタの上部にドープ層が形成され、ドープ層は、凸部により形成された平面と斜面の結晶配向に応じてｎ型とｐ型の両方の導電型の部分を備えたことを特徴とする半導体装置。

【請求項８】

請求項４から請求項７のいずれかに記載の半導体装置において、前記フロントゲートがドープ半導体層を備え、該ドープ層は、凸部により形成された平面と斜面の結晶配向に応じてｎ型とｐ型の両方の導電型の部分を更に備えたことを特徴とする半導体装置。

【請求項９】

半導体基板と、

第１から第３の障壁層と、

第１と第２の量子井戸と、

第１の端子と、

フロントゲートと、を備え、

前記第１の障壁層は、前記第１の端子上に設けられ、

前記第２の量子井戸は、前記第１の障壁層上に設けられ、

前記第３の障壁層は、前記第２の量子井戸上に設けられ、

前記第１の量子井戸は、前記第３の障壁層上に設けられ、

前記第２の障壁層は、前記第１の量子井戸上に設けられ、

前記フロントゲートは、前記第２の障壁層上に設けられ、

前記第１の端子は平行に配置された複数の帯状のパターン化されたコレクタであり、前記第１の量子井戸は平行に配置された複数の帯状のパターン化されたエミッタであって、

前記パターン化されたエミッタは、前記第１の障壁層が該パターン化されたエミッタと該パターン化されたコレクタとの交差領域におけるパターン化されたエミッタ及びパターン化されたコレクタ間のみに存在するように、前記交差領域のパターン化されたコレクタのみを覆うことを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体装置に関し、その中でもトンネル素子、特に共鳴トンネル素子と称される半導体装置に関する。

【０００２】

【従来の技術】

共鳴トンネル素子は、L. L. Chang et al, Appl. Phys. Lett., 24 595(1974)に述べられている。従来の共鳴トンネル素子は、ダイオードの形状をしているが、端子はしばしば「コレクタ」及び「エミッタ」と呼ばれる。典型的な装置は、両側に障壁層（例えば、AlGaAs）が配置された量子井戸層(例えば、GaAs) から成る。

【０００３】

従来のこの種の装置では、エミッタとコレクタ間に印加するバイアス電圧によって、電荷が層を通り抜けて導通するようになる。低電圧の場合には、小さい電流しか流れないが、バイアス電圧を増加させると、電流はそれに伴って増加する。エネルギーが量子井戸内の準束縛状態のそれと一致すると、電子は障壁層をトンネルすることができるようになり、電流がエミッタからコレクタまで自由に流れる。このバイアス電圧では、量子井戸は共鳴状態にあると言われている。そして、このバイアス値は、一般的に、「共鳴電圧」と称される。

【０００４】

バイアス電圧が共鳴電圧を超えて増加されると、エネルギーは、準束縛状態のそれより高くなり、トンネルが抑止されて、ＩＶ特性の共鳴ピークの高電圧側に負の微分抵抗領域が現れる。このようにして、共鳴電圧より低い電圧から共鳴電圧より高い電圧までコレクタ・エミッタ間のバイアス電圧を掃引すると、共鳴電圧を中心としてその周りにトンネル電流のピークがみられ、そのピークを「トンネルピーク」と称する。

【０００５】

トンネリングは、電荷の輸送の非常に速い現象であって、共鳴トンネル素子は、極めて高速な動作を可能性にする。これらは、発振器(例えば、T. C. L. G. Soliner et al Appl. Phys. Lett., 45 1319(1984)) およびスイッチ(例えば、S. K. Diamond et al Appl. Phys. Lett., 54 153(1989))として、記載されている。また、712 ギガヘルツまでの発振周波数が報告されている。なお、これらの装置は、遠赤外線検出器としても製造可能である。

【０００６】

この分野における進歩は、 M. Heniniらによって2 編の論文でレビューされている。１つめは、III －Ｖ's Review, 7 33 (1994) であり、もう１つは、III －Ｖ's Review, 7 46 (1944) である。すなわち、3 端子トランジスタのような装置の構成をとることによって得られる可能性について述べられている。

【０００７】

良い共鳴トンネル素子を製造するためには、トンネルピーク特性の最適化が要求される。山－谷比と称される共鳴時と非共鳴時とにおけるトンネル電流の大きな違いが要求される。高速動作をさせる場合にも、狭いトンネルピーク、すなわち、共鳴トンネルが起こる電圧範囲を小さくすることが要求される。2 端子装置では、その構造の製造、すなわち、成長材料条件の変化等、によってのみしかこれらの特性を調整することができない。他方、３端子装置では、装置の製造後に、これらの特性を調整することが可能である。

しかし、従来の３端子構造では、３端子の各々に電気的な接点をとることが困難であり、この種の半導体装置の製造が困難であった。

【０００８】

【発明が解決しようとする課題及び課題を解決するための手段】

上記のように、従来の装置においては、トンネル特性の調整が困難であると共に、そのような調整を可能な素子の製造も困難であった。

本発明は、上記の課題を解決し、非常に簡単な方法でトンネル特性の調整を達成した半導体装置及びその製造方法を提供することを目的とする。

すなわち、キャリアは、量子井戸から成るエミッタから放出され、エミッタのキャリア濃

度の調整と、それ故の全装置のトンネル特性の調整がフロントゲートによってなされる。共鳴トンネル素子を作成するには、第２の量子井戸を必要とし、エミッタを構成する第１の量子井戸と第２の量子井戸のエネルギー状態が揃ったときに共鳴が起きる。

【０００９】

本発明は、上記の課題を解決するために次のような手段を講じた。

本発明の局面は、半導体装置に係る発明であって、半導体基板と、前記半導体基板上に選択的に形成された第１の端子と、前記第１の端子の上部に形成された第１の障壁層と、前記第１の障壁層の上部に形成され第２の量子井戸層と、前記第２の量子井戸層の上部に形成された第３の障壁層と、前記第３の障壁層の上部に形成された第１の量子井戸層と、前記第１の量子井戸層の上部に形成され、かつドーピングされた第２の障壁層と、前記第２の障壁層の上部に形成されたフロントゲートと、前記第１の端子にコンタクトをとるための第１のオーム接点と、前記第１の量子井戸層にコンタクトをとるための第２のオーム接点と、を備え、第１の端子は帯状のパターン化されたコレクタを形成し、第１の量子井戸は帯状のパターン化されたエミッタを形成し、該パターン化されたエミッタと該パターン化されたコレクタが交差して、アレイ状の複数の重なり部が形成され、第１の障壁層は、パターン化されたエミッタとパターン化されたコレクタとの間の前記重なり部に配置されていることを特徴とする。

【００１０】

第１の端子は、コレクタになり、エミッタは第１の量子井戸として表現される。エミッタからのキャリアは、障壁層を横切ってコレクタに注入されるが、バイアスを反転させると、コレクタとエミッタの役割が逆になる。従って、用語としては、コレクタとエミッタを区別しないで使うことができる。

【００１１】

共鳴トンネルに対して、第２の量子井戸と障壁層が必要である。それ故に、本発明に係る半導体装置が第１の障壁層の上部に形成された第２の量子井戸と第２の量子井戸の上部に形成された第３の障壁層とを更に備えていれば好ましい。共鳴トンネルは、３つ以下の障壁層であるような装置に限定されない。それ故に、本装置は４つ以上の障壁層を更に備えていても良い。例えば、障壁層と量子井戸層の超格子構造としても良い。

【００１２】

疑義を回避するために、本明細書中に使用される用語「障壁層」は隣接している層より高いバンドギャップを有する層を意味する。他の層の「上部に形成された」層に関するあらゆる言及は、１つ以上の他の層に直接コンタクトしていようと、それから離れて配置されていようと、他の層の上部に直接配置されているような関連がある層をいう。位置「上部」は、装置の底面上にある基板を基準とすることを意味する。層を参照する位置「垂直」とは、その層の平面に垂直であることを意味する。層になされたコンタクトに対する用語「独立のコンタクト」は、特定の層へのコンタクトが構造体内で他の層への他の電気的なコンタクトがなされていないことを意味する。

【００１３】

共鳴トンネル素子の動作原理は、キャリアがエミッタからコレクタへとトンネルすることにある。すなわち、第３の障壁層、第２の量子井戸内に形成された準束縛状態、第１の障壁層、コレクタへとキャリアがトンネルすることによって行われる。

【００１４】

好ましい層構造において、第１の端子が高ドープn^+層から形成されるのであれば、この層は構造体の奥に埋め込まれる。高ドープn^+層は、コンタクトをとるのが比較的に容易である。このことは、本発明に係る半導体装置、前記第１の端子が高ドープ半導体層を備えた装置、によって実現可能である。

【００１５】

第１の量子井戸に電子を供給するために、第２の障壁層がドープ層であれば好ましい。高移動度の装置を得るために、第１の量子井戸内のキャリアがスペーサ層を用いて第２の障壁層のドーパントから分離されることが好ましい。これ故に、本発明に係る装置、前記

第２の障壁層がドープ障壁層とアンドープスペーサ層を備えた変調ドープ障壁層である装置において、スペーサ層が第１の量子井戸層に隣接していることが好ましい。

【００１６】

近年、キャリアがトンネルする状態が本質的に本来０次元であるような装置の製造に関心が持たれている。０次元の状態のキャリアは、全ての3 つの次元内の所定のエネルギーレベルを占めることができるのみである。本発明に係る装置において、キャリアがトンネルするエリアは、第１の端子の上部に形成されたエミッタのエリアによって、規定される。キャリアのエネルギーが層の成長方向に垂直な方向に量子化される程、このエリアが小さければ、残された第３の次元は２つの障壁層間に点在する量子井戸内に閉じ込められているので、本装置は０次元共鳴トンネルダイオードになる。キャリアのエネルギーが閉じ込められるようにトンネルが起きる成長方法に垂直なエリアが小さく、コレクタとパターン化されたエミッタのオーバーラップによって規定されるエリアを通ってトンネルするのであれば、この種の装置は容易に実現可能である。この目的のために、小エリアは好ましくは４μm^2以下、例えば１μm^2のオーダーで規定される。このことは、この方法によって簡単に単電子効果を利用して動作する装置を製造できることを意味する。いくつかのケースにおいては、本発明がトンネルが起こる装置のエリアが４μm^2以下であるような上記の半導体装置に関するものであることが好ましい。

【００１７】

多くのケースにおいて、量子井戸に対して、歪みがないことが好ましい。本装置でこれを達成するには、量子井戸の格子定数と隣接する半導体層の格子定数とが同様の格子定数を有するようにすれば良い。

【００１８】

疑義を回避するために、「同様の格子定数」を有する２つの層とは、互いに非常に近い格子定数を有する２つの層であるか、又は１つの層の格子定数が他層の格子定数の正確な倍数に近いことによって定義される。

【００１９】

上記の議論は、１つのキャリアタイプ（すなわち、電子又は正孔のいずれか）について本発明を説明した。しかし、本発明はこれに限定されない。第２の障壁層は第１の端子と反対の導電型であっても良い。従って、本装置は、光が電子と正孔との再結合によって放出されるＬＥＤやレーザ構造のように動作するように構成しても良い。

【００２０】

多くの方法を介してそのような構造体を製造することが可能であるが、製造プロセスで克服すべき問題点はエミッタと第１の端子への独立のコンタクトを作ることである。この問題点の第１の解決方法は、第１の端子への独立のコンタクトに関し、コンタクトする必要のある領域の上部にある層をエッチングして、好ましくはトンネル領域から遠い部分で、第１の端子とコンタクトをとることである。エミッタをパターン化する簡便な方法は、エッチングすることであろう。エミッタへのコンタクトは、ＰｄＧｅのような浅いオーム接点技術によって容易に達成することができる。フロントゲートは、エミッタコンタクトが配置されるところから離れたエミッタ領域の上部に設けられた金属層である。金属層へのコンタクトは、熱処理する必要がない。

【００２１】

__本発明に係る半導体装置を製造するための特に簡単かつ応用可能な技術は、第１の端子をエミッタと同様にパターン化することによって達成される。このことは、本発明に係る半導体装置において以下のように実現される。まず、第１の端子をパターン化して、パターン化されたコレクタを形成する。次に、第１の量子井戸をパターン化してパターン化されたエミッタを形成する。ここに、所定の導電領域はパターン化されたエミッタとパターン化されたコレクタとが上下に交差する領域であり、パターン化されたエミッタとパターン化されたコレクタとの間の所定の導電領域には、第１の障壁層が点在している。疑義を回避するために、層を参照する場合の用語「パターン化」は、層の成長方向に垂直な方向に対して特性の変化がみられる場合について使用する。例えば、層の平面内でドーピング

に変化があるようにもできるし、または、層は任意の領域でエッチングされていても良い。

【００２２】

装置内に埋め込まれたコレクタをパターン化するするために適用できる多くの方法がある。本発明は、また、上記のような前記パターン化されたコレクタがイオンビーム損傷技術の使用でパターン化される半導体装置を製造する方法に関する。このような技術を用いることは、例えば、コレクタが高ドープ半導体層で形成され、この半導体層は、高ドープ半導体層が部分的に非伝導になるようにイオンビームで照射される。

【００２３】

上記のような装置内のコレクタをパターン化するのに使用可能な方法の第２の例は、コレクタの側壁を形成する斜面を有するパターン化されたコレクタを形成するために、ウェットエッチングあるいはドライエッチングを用いるものである。

【００２４】

エミッタとコレクタは様々な形状でパターン化されても良いが、本発明の装置においては、上記のコレクタとエミッタが相当に細長くなっているのが便利である。製造の観点からすると、本発明が上記の相当細長くなっている部分がほぼ長方形であるような半導体装置に関するものであればより好ましい。また、本発明に係る半導体装置では前記パターン化されたエミッタのパターンの方向とパターン化されたコレクタのパターンの方向とが実質的に垂直であるような装置に関するのであれば製造面からみて有利である。

【００２５】

多くのケースにおいて、本発明に係るトンネル構造のアレイを製造することは有利であり、これは、複数の部分にエミッタとコレクタをパターンニングして、エミッタとコレクタがオーバーラップするようなエリアのアレイを規定することによって可能である。これは、パターン化されたコレクタとパターン化されたエミッタとが複数の交差部分を持ち、各交差部分は所定の導電領域であり、相互に分離された第１及び第３の障壁層が、所定の領域内で、パターン化されたコレクタとパターン化されたエミッタとの間にのみ点在するように配置された本発明に係る装置において実現可能である。

【００２６】

コレクタは、構造体内に埋め込まれ、複数の半導体層はコレクタの上部に形成される。これらの層がパターン化されたコレクタのプロファイルの上部で連続していることを保証するために、本発明がパターン化されたコレクタが斜面の側壁を備えている装置に関することが好ましい。急峻にパターン化されたコレクタの側壁では、トンネル領域の端でのエッチング欠陥を形成したり、パターン化されたエミッタ内での電子輸送を妨げることになる。

【００２７】

本発明は、成長が３次元的に起こる半導体に関する。このことは、層自身の中でドーピングの型を変えることにより、薄い層に沿ってｐｎ接合を形成することを可能にしている。これには、種々の応用が考えられる。例えば、コレクタとエミッタのオーバーラップによって規定された領域内でのさらなる閉じ込めを達成するように使うことができる。つまり、薄いｐｎ接合の一方にバイアスをかけて、層内のサイドゲートとして振る舞うようにすることができる。このことは、ドープ層がコレクタの上部にあり、該ドープ層がｎ型の部分とｐ型の部分の両方の導電型の部分を備えている本発明に係る半導体装置において実現可能である。

【００２８】

第１の端子は、ｎ型とｐ型の導電部分がストリップ状であるドープ層を備えていても良い。このことは、ドープ層が両性のドーパントを備え、第１の端子が形成される基板の表面が斜面を備えているか、又は、第１の端子が基板の上部に凸状に形成された斜面を備えた凸状領域の上部に形成されていれば、都合良く達成される。なお、凸形状領域は基板の上部に形成された１又は複数の層からなっている。第１の端子領域は、凸形状領域の上部に形成される。また、凸形状領域は、ドープ層又はアンドープ層を備えていても良い。

【００２９】
層内へのドーピングのこの変化を達成する特に簡便な１つの方法として、ＧａＡｓベース構造の場合において、例えば、シリコンのような両性のドーパントを使う方法がある。斜面上に形成された層上にはｐ型ドーパントとして、そのほかのすべての部分にはｎ型ドーパントとして、シリコンを組み込むことができる。シリコンドーパントの正確な性質は、層が形成される平面の正確な結晶配向や、正確な成長条件などの多くの要因に依存する。このようにして、ドープ層が両性のドーパントを備えているような本発明に係る装置におけるエッチングされた基板の上部に成長されたｎ型とｐ型の両方の導電型の部分を有する層を実現することができる。

【００３０】
両タイプの導電型の部分を備えた層を作る能力は、前記複数の半導体層において有益であるのみではない。それ故、本発明は、フロントゲートがドープ半導体層を備え、ドープ層が更にｎ型とｐ型の両方の導電型の部分を備えた半導体装置に関する。この構造の有利な点は、フロントゲート内にｐｎ接合を作ることができ、更なる閉じ込めを作り出すという事実にある。このことは、上記のようにドープ層が両性のドーパントを備えているので、容易に実現することができる。また、これにより「セルフアライン」されたフロントゲートの製造が極めて容易になる。第２の端子の上部とエッチングされたパターン化されたコレクタの上部とに両性のドーパントをドープしたフロントゲートを成長させることによって、パターン化されたコレクタの斜面の上部に、例えば、p^+領域を、その他のすべての領域にはn^+領域を有するフロントゲートが得られ、これは、もちろん、上記のようにフロントゲートが形成される面の正確な結晶配向と成長条件に依存する。このようにして、パターン化されたコレクタの上部のフロントゲートの部分は分離される。エミッタはここでは先のようにパターン化することが可能であって、ここで、フロントゲートが同様にエッチングされる。

【００３１】
従って、パターン化されたエミッタとコレクタがオーバーラップするエリアの上部に形成されたフロントゲートの分離領域があり、フロントゲートのこの領域の広さはエミッタとコレクタをパターン化するプロセスによって決定される。このようにして、本発明は先に述べたような半導体装置に関し、前記フロントゲートはコレクタとエミッタがオーバーラップする領域の上部に直接形成されたセルフアラインされたゲートを形成する。フロントゲートの分離領域にコンタクトするために、フロントゲートが単一の導電型のドープ半導体層を備えていれば便利である。この層は第１のフロントゲート層の分離領域へのコンタクトをなし、外部端子と該分離領域との電気的なコンタクトを、パターン化されたエミッタとコレクタとがオーバーラップする領域から離れて行うことが可能となる。

【００３２】
上記の議論から、本発明に係る装置を製造するための極めて多方面にわたる方法が、側壁に斜面を有する埋め込まれたパターン化された層を製造するために、ウェット又はドライエッチング剤を使用することと、パターン化された層の上部に成長された層に両性のドーパントを使用することによって提供されることが明らかである。

【００３３】
【発明の実施の形態】
図面を参照して本発明の実施の形態を説明する。
広い範囲の化合物を用いて本発明に係る半導体装置を製造することができるが、以下の説明においては、装置はＧａＡｓをベースとした構造に関して、述べることとする。

【００３４】
図１～図３によれば、高ドープn^+ＧａＡｓ層３が半絶縁ＧａＡｓ基板１の上部に形成され、本実施形態ではコレクタとなるような第１の端子が形成されている。ここで、高ドープn^+層は、選択的にエッチングされて、パターン化されたコレクタ５を形成する。パターン化されたコレクタ５は、ほぼ長方形にパターン化されている。エッチング剤は、パターン化されたコレクタ５の側壁７、９が斜面になるように選ばれる。図２は、図１のライ

ンＡに沿った断面図を示す。図２により、パターン化されたコレクタ５の長い側壁に沿った長い斜面９がみられる。長い斜面９と基板１の平面とのなす角度は、ウェット又はドライエッチングの技術によって制御できる。図３は、図１のラインＢに沿った断面図を示す。図３により、パターン化されたコレクタ５の短い側壁に沿った短い斜面７がみられる。

【００３５】

図４～図６によれば、複数の半導体層１１が基板１とパターン化されたコレクタ５の上部に形成されている。ここに、複数の半導体層１１は基板１とパタン化されたコレクタ５の両者にコンタクトし、隣接している。パターン化されたコレクタ５と基板１は、パターン化されたベース層６を形成する。複数の半導体層１１は、パターン化されたベース層６の浮き堀りになった表面に続けて積層される。複数の半導体層１１は、厚いＧａＡｓバッファ層２１を備え、バッファ層２１の下部表面は、パターン化されたベース層６の上部表面とコンタクトしている。第１のＡｌＧａＡｓ障壁層２３は、前記バッファ層２１の上部表面とコンタクトし、隣接している。ＧａＡｓ第２の活性層（第２の量子井戸層）２５は、第１の障壁層２３の上部にあり、該第１の障壁層２３の上部表面とコンタクトしている。最終的に、第２の活性層２５の上部表面に隣接し、コンタクトするＡｌＧａＡｓ第３の障壁層２７によって複数の半導体層１１が完成する。

【００３６】

エミッタ１３と呼ばれる第２の端子は、複数の半導体層１１の上部に成長させられる。エミッタ１３は、第３の障壁層２７の上部表面とコンタクトしているＧａＡｓ第１の活性層（第１の量子井戸層）２９から成る。薄いアンドープＡｌＧａＡｓスペーサ層３１は、第１の活性層２９の上部表面に形成される。第２のドープＡｌＧａＡｓ障壁層３３がスペーサ層３１の上部に形成される。ここに、第２の障壁層３３はスペーサ層３１の上部表面とコンタクトしている。第２の障壁３３の上部にはＧａＡｓキャップ層３５が形成され、これによりエミッタ１３が完成する。キャップ層３５は、第３の障壁層２７の上部表面に隣接し、コンタクトしている。コレクタによる盛り上がり３９が、複数の半導体層１１とエミッタ１３を通してみられる。

【００３７】

図７～９によれば、エミッタ１３はエッチングされて細長い部分であるパターン化されたエミッタ４１が規定される。パターン化されたエミッタ４１の側壁４３のエッチングプロファイルは、パターン化されたエミッタ４１の上部で半導体層が全面に形成されることはないので、決定的なものではない。従って、複数の半導体層１１は、閉じ込め領域５１において、パターン化されたコレクタ５とパターン化されたエミッタ４１との間だけに挟まれている。エミッタ層１３をパターン化するためのエッチングは、ここでは図示しないが、複数の半導体層１１の中まで行うことができる。

【００３８】

図１０～１２は、最終製造後の構造を示す。構造体を完成させるために、金属フロントゲート４５が最終製造構造体の上部に形成される。フロントゲート４５は閉じ込め領域５１に規定され、パターン化されたエミッタ４１とパターン化されたコレクタ５は互い交差するように形成されている。図１０は、構造の平面図、図１１はＡ断面図、図１２はＢ断面図である。コレクタのオーム接点（コレクタコンタクト）６１は、パターン化されたコレクタ５へ提供され、このことは、図１２に示す断面図から明らかである。オーム接点が、複数の半導体層１１を通って拡散していることがわかる。しかし、コレクタコンタクト６１は、複数の半導体層１１の層へのオーム接続をすることができないので、問題を生じることはない。すなわち、この構造において、複数の半導体層１１はドープされておらず、第２の活性層２５に形成された量子井戸にはキャリアがないためである。エミッタのオーム接点（エミッタコンタクト）６３は、パターン化されたエミッタ４１がパターン化されたコレクタ５と交差する閉じ込め領域５１から離れて、パターン化されたエミッタ４１へ提供される。図１１は、エミッタのオーム接点６３を示し、エミッタのオーム接点６３はコレクタのオーム接点６１に対する説明と同じ理由によって、複数の半導体層１１へのオーム接点を作らない。

【００３９】
装置の個々の層の機能を図１０～図１２を参照して説明する。装置の動作原理は、複数の半導体層１１を通ってパターン化されたエミッタ４１からパターン化されたコレクタ５へのキャリアが注入されることである。エミッタ４１内の電子は、第１の活性層２９に形成された量子井戸内で発生する。電子は、不純物ドープされた第２の障壁層３３によってこの量子井戸内に誘起され、障壁層３３のドーパントは、スペーサ層３１で量子井戸から分離される。これは第１の活性層２９の量子井戸内に含まれる電子の移動度を増加させる。エミッタ・コレクタバイアスは、複数の半導体層１１を交差するエミッタ４１とコレクタ５のオーム接点６３、６１によって印加される。キャリアは、まず、２つの活性層２９、２５より高いバンドギャップを有する第３の障壁層２７を通って、第１の活性層２９から第２の活性層２５へトンネルする。次に、キャリアは第１の障壁層２３を通って、第２の活性層２５からパターン化されたコレクタ５へトンネルする。厚いバッファ層２１は、第１の障壁層２３をパターン化されたコレクタ５から分離する。フロントゲート４５は、トンネル特性を調整する。
【００４０】
図１８は、本発明に係るもっとも簡単な装置の概要のバンド構造の概略図であり、ただ１つの量子井戸、すなわち第１の量子井戸１０１のみを有する。エミッタ・コレクタのバイアスＶを印加すると、電子は第１の障壁１０７を通って第１の量子井戸１０１からコレクタ１０９へトンネルすることができる。フロントゲートバイアスを変えると、第１の量子井戸１０１の閉じ込めポテンシャル、とそれによるトンネル電流特性が変調される。
【００４１】
図１３、１４、１９は、２つの量子井戸を有する装置のバンド構造の概略を示し、フロントゲートの振る舞いをこれらの図を参照して説明する。図示されたバンド構造を変調させることができる２つの可変パラメータがあり、これらは、フロントゲートバイアスと図にＶｒｅｓ示されているコレクタ・エミッタバイアスである。これらの図において、キャリアは第１の量子井戸１０１から第３の障壁１０３を通って第２の量子井戸１０５の中へ、そして、第１の障壁１０７を通ってコレクタ１０９へトンネルする。第１の量子井戸エネルギーレベル１１３が第２の量子井戸のエネルギーレベル１１１と揃うときに、量子井戸が共鳴状態になる。図１９には共鳴がオフの状態を示し、図１３と１４には共鳴がオンの状態を示している。これらのレベルは、図上にＶｒｅｓとして示されているエミッタ・コレクタバイアスによって、揃えられる。前述したように、装置の性能を良くするためには、トンネル特性が大きな山－谷比と狭いトンネルピークを有していなければならない。コレクタ・エミッタバイアスでは、これらの特性を制御することができない。しかし、この構造において、図１３、１４のバンド図を比較することによって、第１の量子井戸１０１のバンド図がフロントゲートバイアスを変えることによって変化させることができることがわかる。従って、トンネルピーク特性を調整することができる。
【００４２】
図１５は、装置構成の変形例を示す。本変形例の装置は、本質的に図８に示されたそれと同じである。図８との主な違いは、基板１の平面と斜面との角度にある。すなわち、斜面９と基板１とのなす角度は、パターン化されたベース層６の凸形状部の上部においてドーピングが変化するように選択される。長い斜面９のプロファイルのみが図には示されている。これは、その後の積層膜におけるあらゆるドーピングが両性のドーパント、すなわちシリコンであれば達成される。例えば、もし基板１の結晶配向が（１００）平面で特定され、斜面９が（３１１）Ａで特定されるのであれば、標準的な成長条件で分子ビームエピタキシーで成長したシリコンドーパントは、（１００）平面上のドーピングではｎ型、（３１１）Ａ平面７１上ではｐ型となる。異なる表面の上部のドーピングの変化は、成長条件にある程度までは依存しており、非常に高い砒素の圧力下での成長はパターン化されたベース層６の凸形状部においてｎ型であるドーピングになる。
【００４３】
両性のドーパントを使用することによって、ベース構造に対する更なる変形が可能であっ

て、凸上の構造７３において、更なる閉じ込めを達成することができる。複数の半導体層１１は、第１の障壁層２３と第３の障壁層２７が低シリコンドーピングされることを除いて、前述の方法と非常に類似した方法で成長させることができる。層は、標準条件の下で成長させられるので、第１と第３の障壁層２３、２７は、長い斜面９の部分を除いて、ｎ型ドープである。表面領域７１において、第１および第３の障壁層２３、２７はｐ型である。これは、複数の層を通ってトンネルするキャリアの閉じ込めを更に強くする。更に、より高い砒素圧力又は異なるｎ型ドーパントを使ってエミッタ１３を成長させれば、第２の障壁層３３を基板の凸形状部全域を横切るようにｎ型のドーピングをすることができる。この層は、エミッタのオーム接点６３によるコンタクトがパターン化されたコレクタ５から離れて作ることができるようにするための構造体の全部を横切ってｎ型ドープであることが必要であろう。

【００４４】

図１７に、両性のドーパントを使用して構造体を製造する他の例を示す。ここでは、複数の半導体層１１における、第１及び第３の障壁層２３，２７のドーピングを行っておらず、図４～６を参照した説明と同様に、成長させられる。パターン化されたエミッタ１３は、第２の障壁層の全領域でｎ型ドーピングを確実にするために、両性ドーパントを用いた高砒素圧力下で又は非両性ドーパントを用いた標準状態で成長させられる。しかし、両性ドーピングは、基板のトップの上部のフロントゲートの新規なタイプを形成するのに使用することができる。新規なフロントゲート８１を形成するために、両性の高濃度ドープＧａＡｓである第１のフロントゲート層８３が成長させられる。このn^+層は、層のドーピングが斜面９でｐ型で、その他のいずれもｎ型になるように、標準条件下で成長させられる。その時、第２のn^+フロントゲートコンタクト層８５は第１のフロントゲート層８３の上部に成長させられ、第２のフロントゲート層８５は全体構造の上部にｎ型ドープされるように両性ドーパントでドープされるか、より高い砒素圧力か、又は非両性ドーパントとでドープされるかのいずれかである。そして、フロントゲート８１は、長方形のストリップ形状にエミッタ１３と共にパターン化される。これにより、第１のフロントゲート層が、パターン化されたコレクタ５とパターン化されたエミッタ４１がオーバーラップする領域でのセルフアラインされた分離n^+領域を有するようになる。この分離n^+領域は第２のフロントゲート層８５とコンタクトをとることができる。

【００４５】

本発明に係る取り囲まれたエリアを用いてアレイを形成するのが必要になる場合がある。図１６は、そのような構造物の平面図を示し、ここではパターン化されたコレクタが細長い部分１２１のアレイを備えていることを除いて、処理ステップが、図１～図９を参照して詳細に説明されている。パターン化されたエミッタ１２３も、複数の半導体層が、パターン化されたコレクタとエミッタの間に閉じ込められるエリアのアレイを形成するように、細長い部分のアレイを備えている。

本発明は、上記の発明の実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲で種々変形して実施できるのは勿論である。

【００４６】

【発明の効果】

本発明によればコレクタ及びエミッタのそれぞれに容易にオーム接点をとることができ、それ故、本発明に係る半導体装置の製造が容易になると共に、トンネル特性を容易に調整できる半導体装置及びその製造方法が提供できる。

【図面の簡単な説明】

【図１】　第１の成長及びエッチング工程後の本発明に係る半導体装置の平面図。

【図２】　図１に示す本発明に係る半導体装置のＡ断面図。

【図３】　図１に示す本発明に係る半導体装置のＢ断面図。

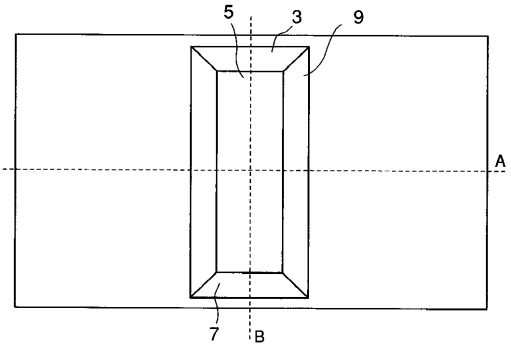
【図４】　第２の成長ステップの後の図１に示す本発明に係る半導体装置の平面図.

【図５】　図４に示す本発明に係る半導体装置のＡ断面図。

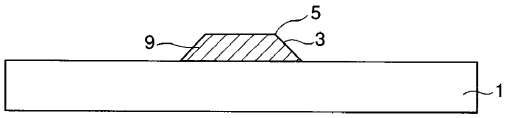
【図６】　図４に示す本発明に係る半導体装置のＢ断面図。

【図７】　第２のエッチングステップ後の図４に示す本発明に係る半導体装置の平面図。
【図８】　図７に示す本発明に係る半導体装置のＡ断面図。
【図９】　図７に示す本発明に係る半導体装置のＢ断面図。
【図１０】　全ての処理後の図４に示す本発明に係る半導体装置の平面図。
【図１１】　図７に示す本発明に係る半導体装置のＡ断面図。
【図１２】　図７に示す本発明に係る半導体装置のＢ断面図。
【図１３】　フロントゲート電圧が印加された本発明に係る半導体装置のバンド構造の概略図。
【図１４】　異なるフロントゲート電圧が印加されたことを除き図１３と同様である本発明に係る半導体装置のバンド構造の概略図。
【図１５】　導電型を変える領域を示す図８に示された本発明に係る半導体装置。
【図１６】　閉じ込め領域のアレイが規定された本発明に係る半導体装置を示す.
【図１７】　半導体フロントゲートが用意された本発明に係る半導体装置を示す.
【図１８】　共鳴トンネルが可能ではないような１つの量子井戸のみがある点を除いて図１３に示すものと同様の本発明に係る半導体装置のバンド構造の概略図。
【図１９】　エミッタ・コレクタバイアスが印加されていることを除き図１３と図１４に示すものと同様の本発明に係る半導体装置のバンド構造の概略図。
【符号の説明】
１…基板、
５…コレクタ（第１の端子）、
６…ベース層、
１１…半導体層、
１３…エミッタ（第２の端子）、
２１…バッファ層、
２３…第１の障壁層、
２５…第２の活性層（第２の量子井戸層）、
２７…第３の障壁層、
２９…第１の活性層（第１の量子井戸層）、
３１…スペーサ層、
３３…第２の障壁層、
３５…キャップ層、
３９…コレクタインプレッション、
４１…エミッタ、
４５…フロントゲート、
５１…閉じ込め領域、
６１…コレクタのオーム接点、
６３…エミッタのオーム接点。

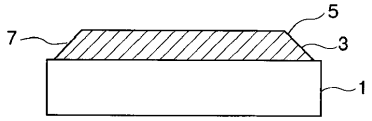
【図１】



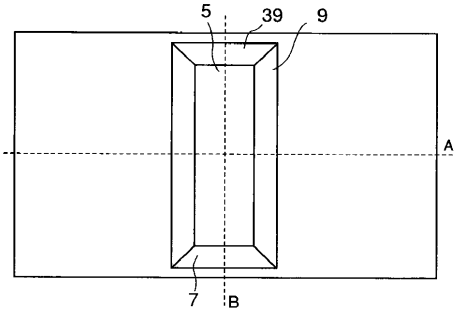
【図２】



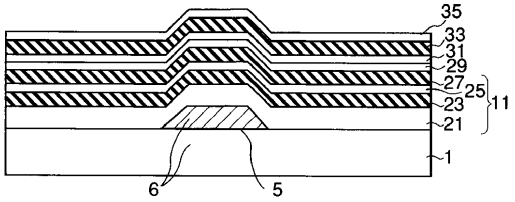
【図３】



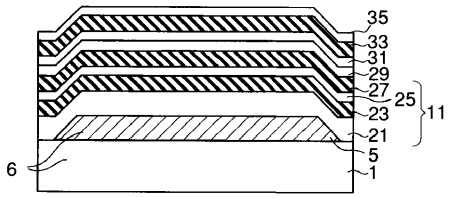
【図４】



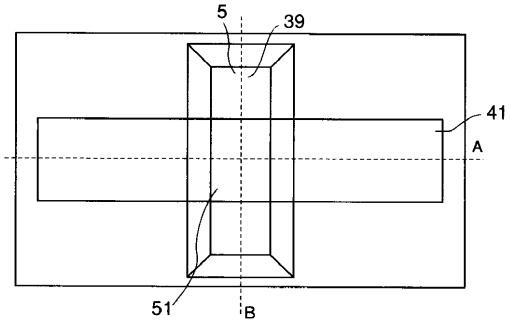
【図５】



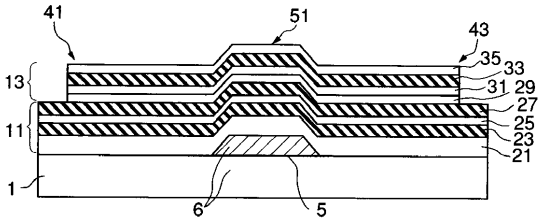
【図６】



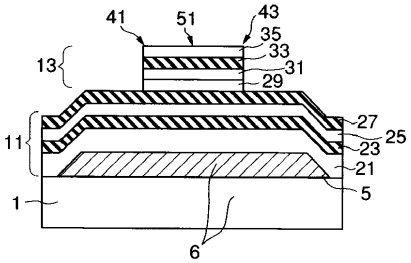
【図７】



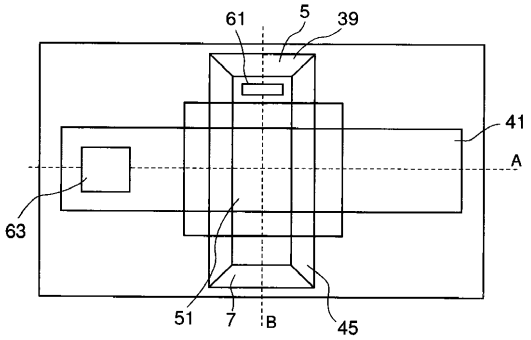
【図８】



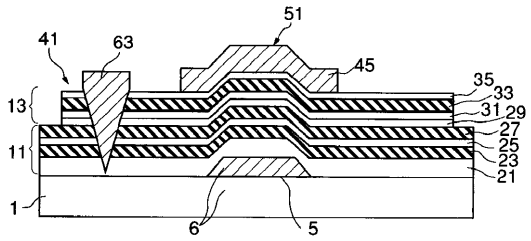
【図９】



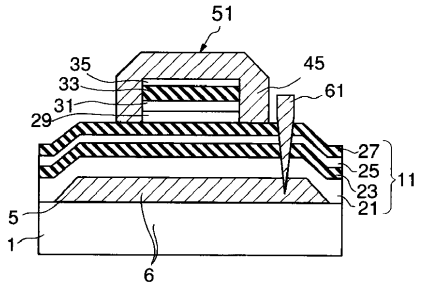
【図１０】



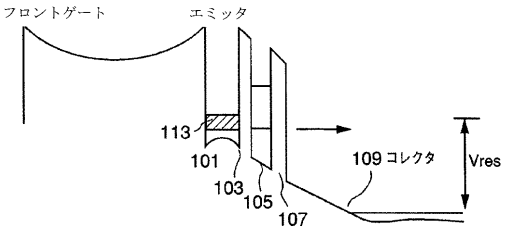
【図１１】



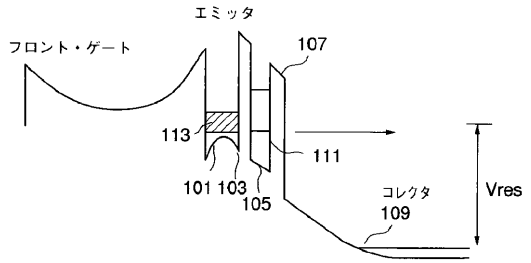
【図１２】



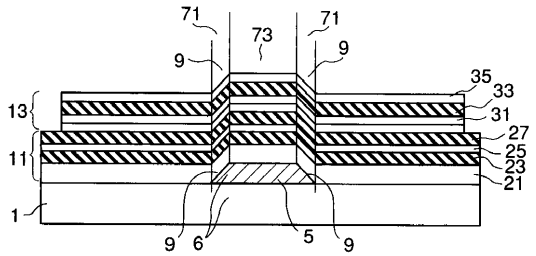
【図１３】



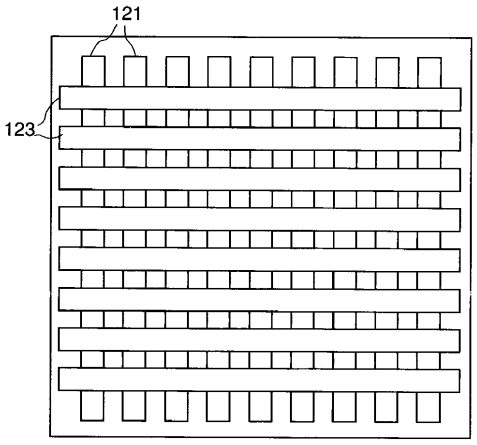
【図１４】



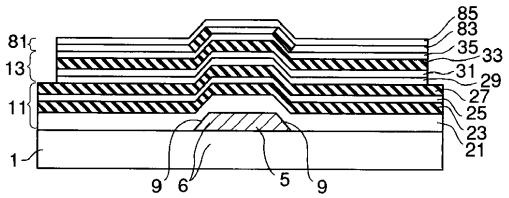
【図１５】



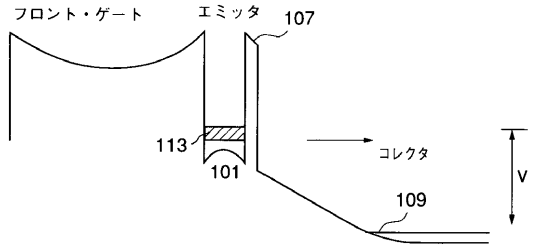
【図１６】



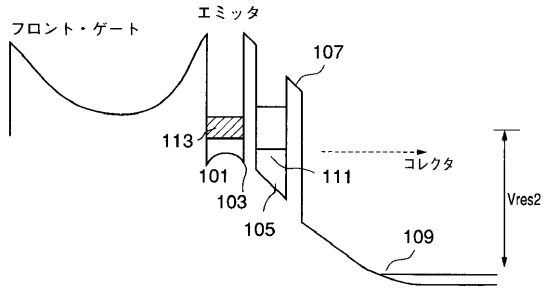
【図１７】



【図１８】


フロント・ゲート
エミッタ
107
113
101
コレクタ
V
109

【図１９】


フロント・ゲート
エミッタ
107
113
101
103
105
111
コレクタ
Vres2
109

フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 エム・エル・リードビーター
イギリス国、 シービー４・４ダブリュイー、 ケンブリッジ、 ミルトン・ロード、 ケンブリッジ・サイエンス・パーク ２６０
(72)発明者 エヌ・ケー・パテル
イギリス国、 シービー４・４ダブリュイー、 ケンブリッジ、 ミルトン・ロード、 ケンブリッジ・サイエンス・パーク ２６０

審査官 渕 真悟

(56)参考文献 特開平０６－３０２６２３（ＪＰ，Ａ）
特開平０６－３２６２９８（ＪＰ，Ａ）
K.F.Longenbach, et.al., Two-dimensional electron gas modulated resonant tunneling transitor, Applied Physics Letters, １９９１年 ８月１９日, Vol.59, No.8, pp.967-969

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 29/66
H01L 29/06
H01L 29/68
H01L 29/80