



(12) 发明专利

(10) 授权公告号 CN 102226940 B

(45) 授权公告日 2013. 05. 22

(21) 申请号 201110165156. 1

(22) 申请日 2011. 06. 10

(30) 优先权数据

12/823, 237 2010. 06. 25 US

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 张竣桓 苏国彰 陈勇志 刘俊欣

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 张浴月 张志杰

(51) Int. Cl.

G09G 3/20 (2006. 01)

审查员 毕淑影

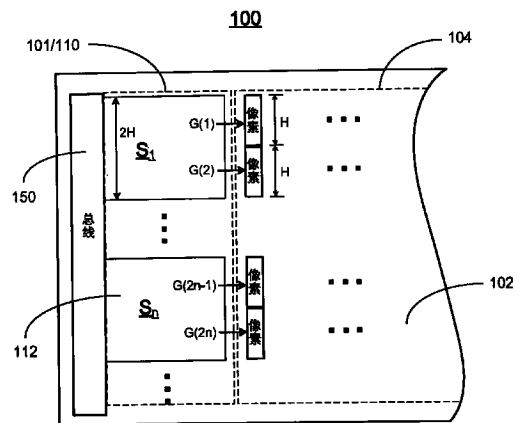
权利要求书2页 说明书11页 附图12页

(54) 发明名称

显示面板上的移位暂存器以及栅极驱动阵列结构

(57) 摘要

本发明涉及在显示面板中的一种移位暂存器以及栅极驱动阵列结构。显示面板包含一基板以及多个像素，像素形成于定义数个像素行的基板上，每个像素行具有H的高度。移位暂存器具有多级移位暂存单元，并且依序配置于基板之上，使得每一级移位暂存单元具有高度为(j*H)的布局，j为一大于1的正整数。每一级移位暂存单元用以产生j个扫描信号，其分别用以驱动j个相邻的像素行。本发明能精简基板上的移位暂存器的电路布局。



1. 一种移位暂存器,包含多级移位暂存单元 $\{S_n\}$, $n=1, 2, \dots, N$, N 为一正整数,所述多级移位暂存单元相互串联电性耦接,每一所述多级移位暂存单元 S_n 包含:

一级移位电路,具有一第一输入端以及一输出端,该第一输入端用以接收一第一控制信号 HC_n ,该输出端用以相对应输出一输出信号;以及

一解多工电路,用以接收该级移位电路所输出的输出信号以及一数据总线产生的 j 个时钟脉冲信号 CK_1, CK_2, \dots, CK_j , 并输出相对应的 j 个扫描信号 $G(j*n-j+1), G(j*n-j+2), \dots, G(j*n)$, 该解多工电路包含 j 个开关电路, j 为一大于 1 的正整数,其中每一所述开关电路具有一第一输入端、一第二输入端以及一输出端,该第一输入端用以接收 j 个时钟脉冲信号 CK_1, CK_2, \dots, CK_j 中相对应的一个,该第二输入端电性耦接至该级移位电路的输出端,以接收该输出信号,该输出端用以输出 j 个扫描信号 $G(j*n-j+1), G(j*n-j+2), \dots, G(j*n)$ 中相对应的一个;

其中该第一控制信号 HC_n 以及 j 个时钟脉冲信号中的每一个均具有特征为介于高电压电平与低电压电平间交替的波形;其中该第一控制信号以及 j 个时钟脉冲信号的高电压电平脉宽分别为 $W_H, W_1, W_2, \dots, W_j$, 满足下列关系:

$$W_H \geq W_1 + W_2 + \dots + W_j;$$

其中该级移位电路还具有第二输入端、一第三输入端、一第四输入端、一第五输入端以及一第六输入端,该第二输入端用以接收一第二控制信号,该第三输入端用以接收一第三控制信号,该第四输入端用以接收一电压参考信号,该第五输入端用以接收由最接近的前级移位电路 S_{n-1} 所输出的 j 个扫描信号中的一个,该第六输入端用以接收由最接近的次级移位电路 S_{n+1} 所输出的 j 个扫描信号中的一个。

2. 如权利要求 1 所述的移位暂存器,其中 j 个开关电路中的每一个包含一第一晶体管,该第一晶体管具有一栅极、一源极以及一漏极,该栅极电性耦接至该开关电路的第二输入端,该源极电性耦接至该开关电路的第一输入端,该漏极电性耦接至该开关电路的输出端。

3. 如权利要求 2 所述的移位暂存器,其中 j 个开关电路中的每一个还包含一第二晶体管,该第二晶体管具有一栅极,一源极以及一漏极,该栅极电性耦接至该第一晶体管的该漏极,该源极电性耦接至该第二晶体管的栅极,该漏极电性耦接至该第一晶体管的该源极。

4. 如权利要求 2 所述的移位暂存器,其中 j 个开关电路中的每一个包含一下拉电路,该下拉电路电性耦接至该第一晶体管的该漏极。

5. 如权利要求 1 所述的移位暂存器,其中 j 个开关电路中的每一个包含:

一第一晶体管,该第一晶体管具有一栅极、一源极以及一漏极,该栅极电性耦接至该开关电路的第一输入端,该源极电性耦接至该开关电路的第二输入端,该漏极电性耦接至该开关电路的输出端;以及

一二极管,该二极管具有一阳极以及一阴极,该阳极电性耦接至该第一晶体管的该漏极,该阴极电性耦接至该第一晶体管的该栅极。

6. 如权利要求 1 所述的移位暂存器,其中 j 个开关电路中的每一个包含:

一二极管,该二极管具有一阳极以及一阴极,该阳极电性耦接至该开关电路的第一输入端;

一第一晶体管,该晶体管具有一栅极、一源极以及一漏极,该栅极电性耦接至该开关电

路的该第二输入端,该源极电性耦接至该二极管的该阴极,该漏极电性耦接至该开关电路的该输出端;

一第二晶体管,该晶体管具有一栅极、一源极以及一漏极,该栅极电性耦接至该第一晶体管的该漏极,该源极电性耦接至该第二晶体管的该栅极,该漏极电性耦接至该二极管的该阳极。

7. 如权利要求 1 所述的移位暂存器,其中 j 个开关电路中的每一个包含:

一二极管,该二极管具有一阳极以及一阴极,该阳极电性耦接至该开关电路的该第一输入端;

一第一晶体管,该第一晶体管具有一栅极、一源极以及一漏极,该栅极电性耦接至该开关电路的该第二输入端,该源极电性耦接至该二极管的该阴极,该漏极电性耦接至该开关电路的该输出端;

一下拉电路,该下拉电路电性耦接至该第一晶体管的该漏极。

8. 如权利要求 1 所述的移位暂存器,其中该级移位电路包含:

一上拉控制电路,该上拉控制电路电性耦接至该第五输入端;

一上拉电路,该上拉电路电性耦接至该上拉控制电路、该第一输入端以及该输出端;

一下拉控制电路,该下拉控制电路电性耦接至该上拉控制电路、该上拉电路、该第二输入端、该第三输入端以及该第四输入端;以及

一下拉电路,该下拉电路电性耦接至该下拉控制电路、该上拉电路、该第六输入端以及该输出端。

9. 一种在显示面板中如权利要求 1 所述的移位暂存器中的栅极驱动阵列结构,该显示面板包含一基板以及多个像素,所述多个像素形成于定义数个像素行的该基板上,每一所述多个像素行具有一高度 H ,其特征在于所述多级移位暂存单元 $\{S_n\}$ 依序配置于该基板上,使得每一所述多级移位暂存单元 S_n 具有一高度为 $j \cdot H$ 的布局,且输出自该级位移暂存单元 S_n 的 j 个扫描信号 $G(j \cdot n - j + 1), G(j \cdot n - j + 2), \dots, G(j \cdot n)$ 分别用以驱动第 $(j \cdot n - j + 1)$ 像素行、第 $(j \cdot n - j + 2)$ 像素行、 \dots 、以及第 $(j \cdot n)$ 像素行。

10. 如权利要求 9 所述的栅极驱动阵列结构,其特征为一数据总线配置于该基板上,用以至少提供 j 个时钟脉冲信号 $CK1, CK2, \dots, CKj$ 。

显示面板上的移位暂存器以及栅极驱动阵列结构

技术领域

[0001] 本发明披露一种移位暂存器,尤其涉及显示面板上的一种移位暂存器结构以及栅极驱动阵列结构。显示面板具有基板以及多个像素,像素形成于定义数个像素行的基板上,每个像素行具有H的高度。移位暂存器具有多级移位暂存单元,并且依序配置于基板之上,使得每一级移位暂存单元具有高度为(j*H)的布局,j为大于1的正整数。每一级移位暂存单元用以产生j个扫描信号,其分别用以驱动j个相邻的像素行。

背景技术

[0002] 一种显示面板具有一基板以及像素元件。这些像素元件的配置排列则是以一矩阵的方式,其具有以行的方式排列的栅极线与以列的方式排列的数据线。显示面板借由一驱动电路所驱动,其中驱动电路包含一栅极驱动器与一数据驱动器。栅极驱动器产生多个栅极信号(扫描信号)依序作用于栅极线,用以一行一行地依序开启像素元件。数据驱动器产生多个源极信号(数据信号),也即,依序对图像信号进行取样,上述源极信号同时作用于数据线,并结合作用于栅极线的栅极信号,用以显示图像于面板之上。

[0003] 在此驱动电路中,具有多级移位暂存单元的一移位暂存器运用于栅极驱动器中,以产生多个栅极信号,进而依序驱动栅极线。为了降低成本,目前已有许多方式将移位暂存器与栅极驱动器整合于显示面板上。举例来说,其中一种方式是将移位暂存器与栅极驱动器制造于面板的玻璃基板之上,也即所谓栅极驱动阵列结构(Gate Driver on Array, GOA),主要是使用非晶硅(a-Si)薄膜晶体管(TFTs),且/或低温多晶硅(LTPS)薄膜晶体管。

[0004] 图12所示为一显示面板10,其具有一移位暂存器常见的一栅极驱动阵列结构11。其中,移位暂存器具有多级移位暂存单元16。每一级移位暂存单元16产生一扫描信号,其用以驱动面板上相对应的像素行。在栅极驱动阵列结构11当中,每一级移位暂存单元16形成于具有高度为H的一布局13的基板之上,此高度与显示面板10的像素行12高度相同。当运用于高画质图像显示时,高解析度是非常需要的,因此移位暂存器通常会设计成多个级数。此外,当显示科技更进步发展时,每一级移位暂存单元的电路就变得更加复杂。这使得显示面板的栅极驱动阵列设计变得非常复杂。

[0005] 因而,迄今为止,本领域普通技术人员无不穷其努力找寻其解决之道,以改善上述的问题症结。

发明内容

[0006] 为了解决现有技术的问题,本发明的一形式是关于一种移位暂存器。在一实施例中,移位暂存器包含多级移位暂存单元 $\{S_n\}$, $n = 1, 2, \dots, N$,N为一正整数,上述级移位暂存单元相互串联电性耦接。

[0007] 每一级移位暂存单元 S_n ,包含一级移位电路以及一解多工电路。级移位电路具有一第一输入端以及一输出端。其中,第一输入端用以接收一第一控制信号HCn。输出端用以

输出相对应的输出信号。解多工电路包含一第一开关电路以及一第二开关电路。其中，第一开关电路具有一第一输入端、一第二输入端以及一输出端。第一开关电路的第一输入端用以接收一第一时钟脉冲信号 CK1，第一开关电路的第二输入端电性耦接至级移位电路的输出端，第一开关电路的输出端用以相对应输出一第一扫描信号 G(2n-1)。第二开关电路具有一第一输入端、一第二输入端以及一输出端。第二开关电路的第一输入端用以接收一第二时钟脉冲信号 CK2，第二开关电路的第二输入端电性耦接至级移位电路的输出端，第二开关电路的输出端用以相对应输出一第二扫描信号 G(2n)。

[0008] 第一控制信号 HCn、第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2 中的每一个均具有特征为介于高电压电平与低电压电平间交替的波形。其中，第一控制信号 HCn、第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2 的高电压电平的脉宽分别为 W_H ， W_1 ， W_2 ，且满足下列关系式：

$$[0009] \quad W_H \geq W_1 + W_2$$

[0010] 第一开关电路以及第二开关电路中的每一个均具有一第一晶体管。第一晶体管具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第二输入端，源极电性耦接至开关电路的第一输入端，漏极电性耦接至开关电路的输出端。在一实施例中，第一开关电路以及第二开关电路中的每一个均还具有有一第二晶体管。第二晶体管具有一栅极、一源极以及一漏极。第二晶体管的栅极电性耦接至第一晶体管的漏极，第二晶体管的源极电性耦接至第二晶体管的栅极，第二晶体管的漏极电性耦接至第一晶体管的源极。在另一实施例中，第一开关电路以及第二开关电路中的每一个也均具有一电性耦接至第一晶体管漏极的下拉电路。

[0011] 在一实施例中，第一开关电路以及第二开关电路中的每一个均包含一第一晶体管以及一二极管。第一晶体管具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第一输入端，源极电性耦接至开关电路的第二输入端，漏极电性耦接至开关电路的输出端。二极管具有一阳极以及一阴极。阳极电性耦接至第一晶体管的漏极，阴极电性耦接至第一晶体管的栅极。

[0012] 在另一实施例中，第一开关电路以及第二开关电路中的每一个均包含一二极管、一第一晶体管以及一第二晶体管。二极管具有一阳极以及一阴极。阳极电性耦接至开关电路的第一输入端。第一晶体管具有一栅极、一源极以及一漏极。第一晶体管的栅极电性耦接至开关电路的第二输入端，第一晶体管的源极电性耦接至二极管的阴极，第一晶体管的漏极电性耦接至开关电路的输出端。第二晶体管具有一栅极、一源极以及一漏极。第二晶体管的栅极电性耦接至第一晶体管的漏极，第二晶体管的源极电性耦接至第二晶体管的栅极，第二晶体管的漏极电性耦接至二极管的阳极。

[0013] 在一实施例中，第一开关电路以及第二开关电路中的每一个均包含一二极管、一第一晶体管以及一下拉电路。二极管具有一阳极以及一阴极。二极管的阳极电性耦接至开关电路的第一输入端。第一晶体管具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第二输入端，源极电性耦接至二极管的阴极，漏极电性耦接至开关电路的输出端。下拉电路电性耦接至第一晶体管的漏极。

[0014] 在级移位电路的一实施例中，级移位电路还具有有一第二输入端、一第三输入端、一第四输入端、一第五输入端以及一第六输入端。第二输入端用以接收一第二控制信号 LC1，

第三输入端用以接收一第三控制信号 LC2, 第四输入端用以接收一参考电压 VSS, 第五输入端用以接收由最接近的前级移位电路 S_{n-1} 所输出的第二扫描信号 $G(2n-2)$, 第六输入端用以接收由最接近的次级移位电路 S_{n+1} 所输出的第二扫描信号 $G(2n+2)$ 。

[0015] 在一实施例中, 级移位电路包含一上拉控制电路、一上拉电路、一下拉控制电路以及一下拉电路。上拉控制电路电性耦接至第五输入端。上拉电路电性耦接至上拉控制电路、第一输入端以及输出端。下拉控制电路电性耦接至上拉控制电路、上拉电路、第二输入端、第三输入端以及第四输入端。下拉电路电性耦接至下拉控制电路、上拉电路、第六输出端以及输出端。

[0016] 本发明的另一形式是有关于上述显示面板中所披露的移位暂存器的一栅极驱动阵列结构。显示面板包含一基板以及多个像素, 上述像素形成于定义数个像素行的基板上, 每个像素行具有 H 的高度。在一实施例中, 多级移位暂存单元 $\{S_n\}$, 依序配置于基板之上, 使得每一级移位暂存单元 S_n 具有一高度为 2H 的布局, 且输出自级移位暂存单元 S_n 的第一扫描信号 $G(2n-1)$ 以及第二扫描信号 $G(2n)$, 其分别用以驱动第 $(2n-1)$ 像素行以及第 $(2n)$ 像素行。

[0017] 栅极驱动阵列结构还包含形成于基板上的一数据总线结构。此数据总线结构用以至少提供第一控制信号 HCn、第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2。

[0018] 本发明的另一形式是关于一种移位暂存器。此移位暂存器包含多级移位暂存单元 $\{S_n\}$, $n = 1, 2, \dots, N$, N 为一正整数, 上述级移位暂存单元相互串联电性耦接。

[0019] 每一级移位暂存单元 S_n 包含一级移位电路以及一解多工电路。级移位电路具有一第一输入端以及一输出端。第一输入端用以接收一第一控制信号 HCn。输出端用以输出相对应的输出信号。解多工电路用以接收级移位电路所输出的输出信号以及源自于数据总线的 j 个时钟脉冲信号 CK1, CK2, ..., CKj, 并输出相对应的 j 个扫描信号 $G(j*n-j+1)$, $G(j*n-j+2)$, ..., $G(n)$ 。解多工电路包含 j 个开关电路, j 为一大于 1 的正整数。其中, 每个开关电路具有一第一输入端、一第二输入端以及一输出端。第一输入端用以接收 j 个时钟脉冲信号 CK1, CK2, ..., CKj 中相对应的一个。第二输入端电性耦接至级移位电路的输出端, 用以接收输出信号。输出端用以输出 j 个扫描信号 $G(j*n-j+1)$, $G(j*n-j+2)$, ..., $G(n)$ 中相对应的一个。

[0020] 第一控制信号 HCn 以及 j 个时钟脉冲信号 CK1, CK2, ..., CKj 中的每一个均具有特征为介于高电压电平与低电压电平间交替的波形。其中, 第一控制信号 HCn 以及 j 个时钟脉冲信号 CK1, CK2, ..., CKj 的高电压电平的脉宽分别为 $W_H, W_1, W_2, \dots, W_j$, 且满足下列关系式:

$$[0021] \quad W_H \geq W_1 + W_2 + \dots + W_j$$

[0022] j 个开关电路中的每一个均具有一第一晶体管。此第一晶体管具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第二输入端, 源极电性耦接至开关电路的第一输入端, 漏极电性耦接至开关电路的输出端。在一实施例中, j 个开关电路中的每一个均还具有有一第二晶体管。此第二晶体管具有一栅极、一源极以及一漏极。第二晶体管的栅极电性耦接至第一晶体管的漏极, 第二晶体管的源极电性耦接至第二晶体管的栅极, 第二晶体管的漏极电性耦接至第一晶体管的源极。在一实施例中, j 个开关电路中的每一个也均具有一下拉电路, 其电性耦接至第一晶体管的漏极。

[0023] 在一实施例中, j 个开关电路中的每一个均包含一第一晶体管以及一二极管。第一晶体管具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第一输入端, 源极电性耦接至开关电路的第二输入端, 漏极电性耦接至开关电路的输出端。二极管具有一阳极以及一阴极。阳极电性耦接至第一晶体管的漏极, 阴极电性耦接至第一晶体管的栅极。

[0024] 在一实施例中, j 个开关电路中的每一个均包含一二极管、一第一晶体管以及一第二晶体管。二极管具有一阳极以及一阴极。阳极电性耦接至开关电路的第一输入端。第一晶体管具有一栅极、一源极以及一漏极。第一晶体管的栅极电性耦接至开关电路的第二输入端, 第一晶体管的源极电性耦接至二极管的阴极, 第一晶体管的漏极电性耦接至开关电路的输出端。第二晶体管具有一栅极、一源极以及一漏极。第二晶体管的栅极电性耦接至第一晶体管的漏极, 第二晶体管的源极电性耦接至第二晶体管的栅极, 第二晶体管的漏极电性耦接至二极管的阳极。

[0025] 在一实施例中, j 个开关电路中的每一个均包含一二极管、一第一晶体管以及一下拉电路。二极管具有一阳极以及一阴极。二极管的阳极电性耦接至开关电路的第一输入端。第一晶体管具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第二输入端, 源极电性耦接至二极管的阴极, 漏极电性耦接至开关电路的输出端。下拉电路电性耦接至第一晶体管的漏极。

[0026] 本发明的另一形式是有关于上述一显示面板中所披露的移位暂存器的一栅极驱动阵列结构。显示面板包含一基板以及多个像素, 上述像素形成于定义数个像素行的基板上, 每个像素行具有 H 的高度。在一实施例中, 多级移位暂存单元 $\{S_n\}$, 依序配置于基板之上, 使得每一级移位暂存单元 S_n 具有一高度为 $(j*H)$ 的布局, 且输出自级移位暂存电路 S_n 的 j 个扫描信号 $G(j*n-j+1)$, $G(j*n-j+2)$, \dots , $G(j*n)$, 分别用以驱动第 $(j*n-j+1)$ 像素行、第 $(j*n-j+2)$ 像素行、 \dots 、以及第 $(j*n)$ 像素行。

[0027] 栅极驱动阵列结构也包含形成于基板上的一数据总线。此数据总线用以至少提供第一控制信号 HC_n 以及 j 个时钟脉冲信号 CK_1, CK_2, \dots, CK_j 。

[0028] 本发明能精简基板上的移位暂存器的电路布局。

[0029] 然而, 至于上述本发明的各样式与其他样式, 将由下列各个实施方式与其所对应的图示, 来予以详细说明。

附图说明

[0030] 为了让本发明的上述和其他目的、特征、优点与实施例能更明显易懂, 所附附图的说明如下:

[0031] 图 1 是根据本发明的第一实施例所示出的一种显示面板示意图, 上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0032] 图 2 是根据本发明的第二实施例所示出的一种显示面板示意图, 上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0033] 图 3 是根据本发明的第三实施例所示出的一种显示面板示意图, 上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0034] 图 4 是根据本发明的第四实施例所示出的一种显示面板示意图, 上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0035] 图 5 是根据本发明的第五实施例所示出的一种显示面板示意图,上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0036] 图 6 是根据本发明的第六实施例所示出的一种显示面板示意图,上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0037] 图 7 是根据本发明的第七实施例所示出的一种显示面板示意图,上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0038] 图 8 是根据本发明的第八实施例所示出的一种显示面板示意图,上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0039] 图 9 是示出图 7 中显示面板的时序图。

[0040] 图 10 是示出图 7 中显示面板的时序模拟图。

[0041] 图 11 是根据本发明的第九实施例所示出的一种显示面板示意图,上述显示面板的移位暂存器具有栅极驱动阵列结构。

[0042] 图 12 是示出一种显示面板方框图,上述显示面板的移位暂存器具有常见的栅极驱动阵列结构。

[0043] 其中,附图标记说明如下:

[0044]	10 :显示面板	430 :解多工电路
[0045]	11 :栅极驱动阵列结构	530 :解多工电路
[0046]	12 :像素行	630 :解多工电路
[0047]	13 :布局	730 :解多工电路
[0048]	16 :级移位暂存单元	810 :移位暂存器
[0049]	100 :显示面板	820 :级移位电路
[0050]	101 :栅极驱动阵列结构	821 :上拉控制电路
[0051]	102 :基板	822 :上拉电路
[0052]	104 :多个像素	823 :下拉控制电路
[0053]	110 :移位暂存器	824 :下拉电路
[0054]	112 :布局	830 :解多工电路
[0055]	150 :数据总线	1100 :显示面板
[0056]	200 :显示面板	1101 :栅极驱动阵列结构
[0057]	201 :栅极驱动阵列结构	1102 :基板
[0058]	210 :移位暂存器	1110 :移位暂存器
[0059]	212 :布局	1150 :数据总线
[0060]	220 :级移位电路	
[0061]	230 :解多工电路	
[0062]	330 :解多工电路	

具体实施方式

[0063] 为了使本发明的叙述更加详尽与完备,以让本领域普通技术人员将能清楚明白其中的差异与变化,可参照以下所述的实施例。在下列段落中,对于本发明的各种实施方式予以详细叙述。所附的附图中,相同的号码代表相同或相似的元件。另外,于实施方式与权

利要求中,除非内文中对于冠词有所特别限定,否则“一”与“该”可泛指单一个或多个。并且,于实施方式与权利要求中,除非本文中有所特别限定,否则所提及的“在...中”也包含“在...里”与“在...上”的涵义。

[0064] 为了使本发明的叙述更加详尽与完备,可参照所附的附图及以下所述各种实施例,附图中相同的号码代表相同或相似的元件。另一方面,众所周知的元件与步骤并未描述于实施例中,以避免造成本发明不必要的限制。

[0065] 关于本文中所使用的“约”、“大约”或“大致约”一般通常指数值的误差或范围于百分之二十以内,较好地是于百分之十以内,而更佳地则是于百分之五以内。文中若无明确说明,其所提及的数值均视作为近似值,即如“约”、“大约”或“大致约”所表示的误差或范围。

[0066] 关于本文中所使用的“栅极驱动阵列”或其字母缩写“GOA”,指在一显示面板的一玻璃基板上的一移位暂存器及/或一栅极驱动器的制造布局或结构,主要是使用非晶硅(a-Si)薄膜晶体管(TFTs),及/或低温多晶硅(LTPS)薄膜晶体管。

[0067] 然而,至于本文中所使用的“包含”、“包括”、“具有”及相似词汇,均认定为开放式连接词。例如,“包含”表示元件、成分或步骤的组合中不排除权利要求未记载的元件、成分或步骤。

[0068] 下列将对于本发明的实施方式及所对应的图1至图11,予以详细说明。根据本披露的目的,以更具体且广泛地来阐述本发明的一种形式,即为关于一种位于显示面板中的移位暂存器以及栅极驱动阵列。

[0069] 请参照图1,其示出根据本发明一实施例中一种显示面板100,上述显示面板100的一移位暂存器110具有一栅极驱动阵列结构101。显示面板100包含一基板102以及多个像素104。上述像素104形成于定义数个像素行的基板102上。每个像素行具有一高度H。

[0070] 移位暂存器110包含多级移位暂存单元 $\{S_n\}$, $n = 1, 2, \dots, N$, N 为一正整数,上述移位暂存单元 S_n 相互串联电性耦接。每一级移位暂存单元 S_n 用以接收一个或多个控制信号以及时钟脉冲信号,并且用以相对应输出一第一扫描信号 $G(2n-1)$ 以及一第二扫描信号 $G(2n)$,其分别用以驱动第 $(2n-1)$ 像素行以及第 $(2n)$ 像素行。在此实施例中,多级移位暂存单元 $\{S_n\}$ 依序配置于基板102之上,使得每一级移位暂存单元 S_n 具有一高度为 $2H$ 的一布局(layout)112。由级移位暂存单元 S_n 所输出的第一扫描信号 $G(2n-1)$ 以及第二扫描信号 $G(2n)$,其分别用以驱动第 $(2n-1)$ 像素行以及第 $(2n)$ 像素行。

[0071] 栅极驱动阵列结构101也包含形成于基板102上的一数据总线150。上述数据总线150用以提供如控制信号与时钟脉冲信号予每一级移位暂存单元 S_n 。

[0072] 请参照图2,其示出根据本发明一实施例中一种显示面板200,上述显示面板200的一移位暂存器210具有一栅极驱动阵列201。移位暂存器210包含多级移位暂存单元 $\{S_n\}$, $n = 1, 2, \dots, N$, N 为一正整数,依序配置于基板202之上,使得每一级移位暂存单元 S_n 具有高度为 $2H$ 的布局212。

[0073] 每一级移位暂存单元 S_n 包含一级移位电路220以及一解多工电路230。解多工电路230电性耦接至级移位电路220,用以输出一第一扫描信号 $G(2n-1)$ 以及一第二扫描信号 $G(2n)$,其分别用以驱动第 $(2n-1)$ 像素行以及第 $(2n)$ 像素行。

[0074] 如图2所示的实施例中,级移位电路220具有一第一输入端、一第二输入端、一第

三输入端、一第四输入端、一第五输入端、一第六输入端以及一输出端。第一输入端用以接收一第一控制信号 HC_n。第二输入端用以接收一第二控制信号 LC1。第三输入端用以接收一第三控制信号 LC2。第四输入端用以接收一参考电压 VSS。输出端用以相对应输出一输出信号。此外,第五输入端用以接收最接近的前级移位暂存单元 S_{n-1} 所输出的第二扫描信号 G(2n-2),同时,第六输入端用以接收最接近的次级移位暂存单元 S_{n+1} 所输出的第二扫描信号 G(2n+2)。为了达到如此的排列方式,上述移位暂存单元 {S_n} 均相互串联电性耦接。

[0075] 依据本发明,任何种类的级移位电路均可利用并实行于此发明中。一般来说,级移位电路 220 包含一上拉控制电路、一上拉电路、一下拉控制电路以及一下拉电路。上拉控制电路电性耦接至第五输入端。上拉电路电性耦接至上拉控制电路、第一输入电路以及输出电路。下拉控制电路电性耦接至上拉控制电路、上拉电路、第二输入端、第三输入端以及第四输入端。下拉电路电性耦接至下拉控制电路、上拉电路、第六输入端以及输出端。

[0076] 解多工电路 230 包含一第一开关电路以及一第二开关电路。第一开关电路具有一第一输入端、一第二输入端以及一输出端。第一开关电路的第一输入端用以接收一第一时钟脉冲信号 CK1。第一开关电路的第二输入端电性耦接至级移位电路 220 的输出端。第一开关电路的输出端用以相对应输出第一扫描信号 G(2n-1)。第二开关电路具有一第一输入端、一第二输入端以及一输出端。第二开关电路的第一输入端用以接收一第二时钟脉冲信号 CK2。第二开关电路的第二输入端电性耦接至级移位电路 220 的输出端。第二开关电路的输出端用以相对应输出第二扫描信号 G(2n)。

[0077] 实际上,第一控制信号 HC_n 为一低频交流信号,同时,第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2 两者均为高频交流信号。更进一步来说,第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2,两者互为异相。第一控制信号 HC_n、第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2 中的每一个均具有特征为介于高电压电平与低电压电平之间交替的波形。第一控制信号 HC_n、第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2 的高电压电平脉宽分别为 W_H, W₁, W₂, 且满足下列关系式:

$$[0078] \quad W_H \geq W_1 + W_2$$

[0079] 如图 3 至图 8 所示为一种显示面板的不同实施例,上述显示面板的一移位暂存器具有一栅极驱动阵列结构。在所有显示面板的实施例中,均具有如图 2 中显示面板 200 的移位暂存器之中相同的栅极驱动阵列。其中,基板上的每一级移位暂存单元 S_n 具有一高度为 2H 的布局,而且每一级移位暂存单元 S_n 能够用以产生一第一扫描信号 G(2n-1) 以及一第二扫描信号 G(2n),其分别用以驱动显示面板的第 (2n-1) 像素行以及第 (2n) 像素行。这种栅极驱动阵列结构,实质上可精简基板上移位暂存器的电路布局。

[0080] 然而,在图 3 至图 8 的实施例中,具有第一开关电路以及第二开关电路的解多工电路,其具有不同的设定方式。

[0081] 例如,如图 3 所示,解多工电路 330 的第一开关电路以及第二开关电路中的每一个均具有一晶体管 T1 或 T2。晶体管 T1 或 T2 具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第二输入端,用以接收级移位电路所输出的输出信号。源极电性耦接至开关电路的第一输入端,用以接收第一时钟脉冲信号 CK1 或第二时钟脉冲信号 CK2。漏极电性耦接至开关电路的输出端,用以输出一相对应的扫描信号 G(2n-1) 或 G(2n)。

[0082] 如图 4 所示,解多工电路 430 的第一开关电路以及第二开关电路中的每一个均具

有一晶体管 T1 或 T2 以及一二极管 D1 或 D2。晶体管 T1 或 T2 具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第一输入端,用以接收第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2。源极电性耦接至开关电路的第二输入端,用以接收级移位电路的输出信号。漏极电性耦接至开关电路的输出端,用以输出一相对应的扫描信号 G(2n-1) 或 G(2n)。二极管 D1 或 D2 具有一阳极以及一阴极。阳极电性耦接至晶体管 T1 或 T2 的漏极,阴极电性耦接至晶体管 T1 或 T2 的栅极。

[0083] 如图 5 所示,解多工电路 530 的第一开关电路以及第二开关电路中的每一个均具有一晶体管 T1 或 T2 以及一第一下拉单元或第二下拉单元。晶体管 T1 或 T2 具有一栅极、一源极以及一漏极。栅极电性耦接至开关电路的第二输入端,用以接收级移位电路的输出信号。源极电性耦接至开关电路的第一输入端,用以接收第一时钟脉冲信号 CK1 或第二时钟脉冲信号 CK2。漏极电性耦接至开关电路的输出端,用以输出一相对应的扫描信号 G(2n-1) 或 G(2n)。第一下拉单元或第二下拉单元,分别电性耦接至晶体管 T1 或 T2 的漏极。

[0084] 如图 6 所示,解多工电路 630 的第一开关电路以及第二开关电路中的每一个均与图 5 相似,除了第一开关电路以及第二开关电路中的每一个均包含一额外的二极管 D1 或 D2。二极管 D1 或 D2 具有一阳极以及一阴极。阳极连接至开关电路的第一输入端,用以接收第一时钟脉冲信号 CK1 或第二时钟脉冲信号 CK2。阴极连接至晶体管 T1 或 T2 的源极。

[0085] 如图 7 所示,解多工电路 730 的第一开关电路以及第二开关电路中的每一个均具有一第一晶体管 T1 或 T2 以及一第二晶体管 M1 或 M2。第一晶体管 T1 或 T2 具有一栅极、一源极以及一漏极。第一晶体管 T1 或 T2 的栅极电性耦接至开关电路的第二输入端,用以接收级移位电路的输出信号。第一晶体管 T1 或 T2 的源极电性耦接至开关电路的第一输入端,用以接收第一时钟脉冲信号 CK1 或第二时钟脉冲信号 CK2。第一晶体管 T1 或 T2 的漏极电性耦接至开关电路的输出端,用以输出一相对应的扫描信号 G(2n-1) 或 G(2n)。第二晶体管 M1 或 M2 具有一栅极、一源极以及一漏极。第二晶体管 M1 的栅极电性耦接至第一晶体管 T1 的漏极,第二晶体管 M1 的源极电性耦接至第二晶体管 M1 的栅极,第二晶体管 M1 的漏极电性耦接至第一晶体管 T1 的源极。或者,第二晶体管 M2 的栅极电性耦接至第一晶体管 T2 的漏极,第二晶体管 M2 的源极电性耦接至第二晶体管 M2 的栅极,第二晶体管 M2 的漏极电性耦接至第一晶体管 T2 的源极。

[0086] 如图 8 所示,解多工电路 830 的第一开关电路以及第二开关电路中的每一个均与图 7 相似,除了第一开关电路以及第二开关电路中的每一个均包含一额外的二极管 D1 或 D2。二极管 D1 或 D2 具有一阳极以及一阴极。阳极连接至开关电路的第一输入端,用以接收第一时钟脉冲信号 CK1 或第二时钟脉冲信号 CK2。阴极连接至晶体管 T1 或 T2 的源极。

[0087] 此外,图 8 也显示关于移位暂存器 810 的级移位电路 820 的一实施例。级移位电路 820,包含一上拉控制电路 821、一上拉电路 822、一下拉控制电路 823 以及一下拉电路 824。上拉控制电路 821 电性耦接至第五输入端,用以接收由最接近的前级移位暂存单元 S_{n-1} 所输出的扫描信号 G(2n-2)。上拉电路 822 电性耦接至上拉控制电路 821、第一输入端以及输出端。第一输入端用以接收第一控制信号 HCn。输出端用以输出一输出信号 g(n)。下拉控制电路 823 电性耦接至上拉控制电路 821、上拉电路 822、第二输入端、第三输入端以及第四输入端。第二输入端用以接收第二控制信号 LC1。第三输入端用以接收第三控制信号 LC2。第四输入端用以接收电压参考信号 VSS。下拉电路 824 电性耦接至下拉控制电路 823、上拉

电路 822、第六输入端、输出端。第六输入端用以接收由最接近的次级移位暂存单元 S_{n+1} 所输出的扫描信号 $G(2n+2)$ 。输出端用以输出信号 $g(n)$ 。

[0088] 具体而言,上拉控制电路 821 包含一晶体管 T11,其具有一栅极、一源极以及一漏极。栅极电性耦接至级移位电路 820 的第五输入端,用以接收由最接近的前级移位暂存单元 S_{n-1} 所输出的扫描信号 $G(2n-2)$,源极电性耦接至栅极,漏极电性耦接至一节点 $Q(n)$ 。

[0089] 上拉电路 822 包含一晶体管 T21,其具有一栅极、一源极以及一漏极。栅极电性耦接至节点 $Q(n)$,源极电性耦接至级移位电路 820 的第一输入端,用以接收第一控制信号 HC_n ,漏极电性耦接至级移位电路 820 的输出端 $g(n)$ 。

[0090] 下拉控制电路 823 包含一第一下拉控制电路以及一第二下拉控制电路。每个下拉控制电路具有四个晶体管,例如:第一下拉控制电路具有晶体管 T31, T32, T33, T34, 第二下拉控制电路具有晶体管 T35, T36, T37, T38。

[0091] 在下拉控制电路 823 中的第一下拉控制电路中,晶体管 T31 具有一栅极、一源极以及一漏极,其栅极电性耦接至级移位电路 820 的第二输入端,用以接收第二控制信号 LC_1 ,源极电性耦接至栅极,而漏极电性耦接至一节点 $P(n)$ 。

[0092] 此外,晶体管 T32 具有一栅极、一源极以及一漏极。其中栅极电性耦接至节点 $Q(n)$,源极电性耦接至节点 $P(n)$,漏极电性耦接至级移位电路 820 的第四输入端,用以接收电压参考信号 VSS 。

[0093] 其次,晶体管 T33 具有一栅极、一源极以及一漏极。其中栅极电性耦接至节点 $P(n)$,源极电性耦接至节点 $Q(n)$,漏极电性耦接至晶体管 T32 的漏极。

[0094] 此外,晶体管 T34 具有一栅极、一源极以及一漏极。其中栅极电性耦接至节点 $P(n)$,源极电性耦接至级移位电路 820 的输出 $g(n)$,漏极电性耦接至晶体管 T32 的漏极。

[0095] 在下拉控制电路 823 中的第二下拉控制电路中,晶体管 T35 具有一栅极、一源极以及一漏极。其中栅极电性耦接至级移位电路 820 的第三输入端,用以接收第三控制信号 LC_2 ,源极电性耦接至栅极,漏极电性耦接至一节点 $K(n)$ 。

[0096] 此外,晶体管 T36 具有一栅极、一源极以及一漏极。其中栅极电性耦接至节点 $Q(n)$,源极电性耦接至节点 $K(n)$,漏极电性耦接至级移位电路 820 的第四输入端,用以接收电压参考信号 VSS 。

[0097] 其次,晶体管 T37 具有一栅极、一源极以及一漏极。其中栅极电性耦接至节点 $K(n)$,源极电性耦接至节点 $Q(n)$,漏极电性耦接至晶体管 T36 的漏极。

[0098] 此外,晶体管 T38 具有一栅极、一源极以及一漏极。其中栅极电性耦接至节点 $K(n)$,源极电性耦接至级移位电路 820 的输出 $g(n)$,漏极电性耦接至晶体管 T36 的漏极。

[0099] 下拉电路 824 具有一第一晶体管 T41 以及一第二晶体管 T42。第一晶体管 T41 具有一栅极、一源极以及一漏极。其中第一晶体管 T41 的栅极电性耦接至第六输入端,用以接收由最接近的次级移位暂存单元 S_{n+1} 所输出的扫描信号 $G(2n+2)$ 。第一晶体管 T41 的源极电性耦接至节点 $Q(n)$,第一晶体管 T41 的漏极电性耦接至晶体管 T38 的漏极。第二晶体管 T42 具有一栅极、一源极以及一漏极。其中第二晶体管 T42 的栅极电性耦接至第一晶体管 T41 的栅极。第二晶体管 T42 的源极电性耦接至级移位电路 820 的输出端 $g(n)$ 。第二晶体管 T42 的漏极电性耦接至晶体管 T41 的漏极。

[0100] 如图 9 所示为关于图 8 中移位暂存器的控制信号 HC_n (如: HC_1 、 HC_2)、 LC_1 和 LC_2 、

时钟脉冲信号 CK1 和 CK2、节点 Q(n) 的电压电平、输出端 g(n) 的电压电平以及由移位暂存器所产生相对于控制信号与时钟脉冲信号的扫描信号 G(2n-2)、G(2n-1)、G(2n)、G(2n+1) 和 G(2n+2) 的时序图。如时序所示,第一控制信号 HC_n、第一时钟脉冲信号 CK1 以及第二时钟脉冲信号 CK2 中每一个的高电压电平脉宽均遵守下列关系式:

$$[0101] \quad W_H \geq (W_1+W_2)$$

[0102] 如图 10 所示为关于图 8 中移位暂存器的控制信号 HC_n (如:HC1、HC2)、LC1 和 LC2、时钟脉冲信号 CK1 和 CK2、节点 Q(n) 的电压电平、输出端 g(n) 的电压电平以及由移位暂存器所产生相对于控制信号与时钟脉冲信号的扫描信号 G(2n-2)、G(2n-1)、G(2n)、G(2n+1) 和 G(2n+2) 的模拟时序图。

[0103] 请参照图 11,其示出根据本发明一实施例中一种显示面板 1100,上述显示面板 1100 的一移位暂存器 1110 具有一栅极驱动阵列结构 1101。显示面板 1100 包含一基板 1102 以及多个像素 1104,上述像素 1104 形成于定义数个像素行的基板 1102 上。每个像素行具有一高度为 H。

[0104] 移位暂存器 1110,包含多级移位暂存单元 $\{S_n\}$, $n = 1, 2, \dots, N$, N 为一正整数,上述级移位暂存单元相互串联电性耦接。每一级移位暂存单元 S_n 用以接收一个或多个控制信号或时钟脉冲信号(例如:一控制信号 HC_n、j 个时钟脉冲信号 CK1, CK2, ..., CK_j),且输出相对应的 j 个扫描信号 G(j*n-j+1), G(j*n-j+2), ..., G(j*n), 其分别用以驱动显示面板 1110 的 (j*n-j+1), (j*n-j+2), ..., (j*n) 像素行。

[0105] 每一级移位暂存单元 S_n 包含一级移位电路以及解多工电路(未示出)。级移位电路与上述的披露相同。然而,解多工电路具有 j 个开关电路, j 为一大于 1 的正整数。解多工电路用以接收级移位电路的输出,以及源自于数据总线 1150 的 j 个时钟脉冲信号 CK1, CK2, ..., CK_j, 并输出相对应的 j 个扫描信号 G(j*n-j+1), G(j*n-j+2), ..., G(n)。

[0106] 每个开关电路具有如同披露于上述图 3 至图 8 的电路。特别是每个开关电路具有一第一输入端、一第二输入端以及一输出端。第一输入端用以接收 j 个时钟脉冲信号 CK1, CK2, ..., CK_j 中相对应的一个。第二输入端电性耦接至级移位电路的输出端,用以接收输出信号。输出端用以输出 j 个扫描信号 G(j*n-j+1), G(j*n-j+2), ..., G(n) 中相对应的一个。

[0107] 实际上,第一控制信号 HC_n 为一低频交流信号,同时 j 个时钟脉冲信号 CK1, CK2, ..., CK_j 均为高频交流信号。更进一步来说,第一控制信号 HC_n 以及 j 个时钟脉冲信号 CK1, CK2, ..., CK_j 中的每一个均具有特征为介于高电压电平与低电压电平之间交替的波形。其中第一控制信号 HC_n 以及 j 个信号 CK_j 的高电压电平脉宽分别为 $W_H, W_1, W_2, \dots, W_j$, 且满足下列关系式:

$$[0108] \quad W_H \geq W_1+W_2+\dots+W_j$$

[0109] 在这个实施例中,多级移位暂存单元 $\{S_n\}$ 依序配置于基板 1102 上,使得每一级移位暂存单元 S_n 具有一高度为 (j*H) 的布局,且输出自级移位暂存单元 S_n 的 j 个扫描信号 G(j*n-j+1), G(j*n-j+2), ..., G(n), 分别用以驱动第 (j*n-j+1), (j*n-j+1), ..., (j*n) 像素行。

[0110] 栅极驱动阵列结构 1101 也包含形成于基板 1102 上的一数据总线 1150。此数据总线 1150 用以提供,例如,第一控制信号 HC_n 以及 j 个时钟脉冲信号 CK1, CK2, ..., CK_j 给每

一级移位暂存单元 S_n 。

[0111] 这种栅极驱动阵列结构,能实质上精简基板上的移位暂存器的电路布局。

[0112] 以上对于本发明典型的具体实施方式的叙述仅为了以图示和文字叙述本发明,并非为了彻底描述本发明或将本发明完全限制于所披露的形式。由上述所教示的内容可启发各种修正和改良。

[0113] 所选择并描述的具体实施方式是为了解释本发明的原则和其实际的应用,借此促使其它在本领域普通技术人员可利用本发明和其各种具体实施方式,并借由各种具体的实施方式思考出合适的特定的使用模式。在维持本发明且没有背离其精神和范围的情况下,本领域普通技术人员可发现其它的具体实施方式。基于此,本发明的范围由所附的权利要求定义,而非由上述例示的具体实施方式的叙述定义。

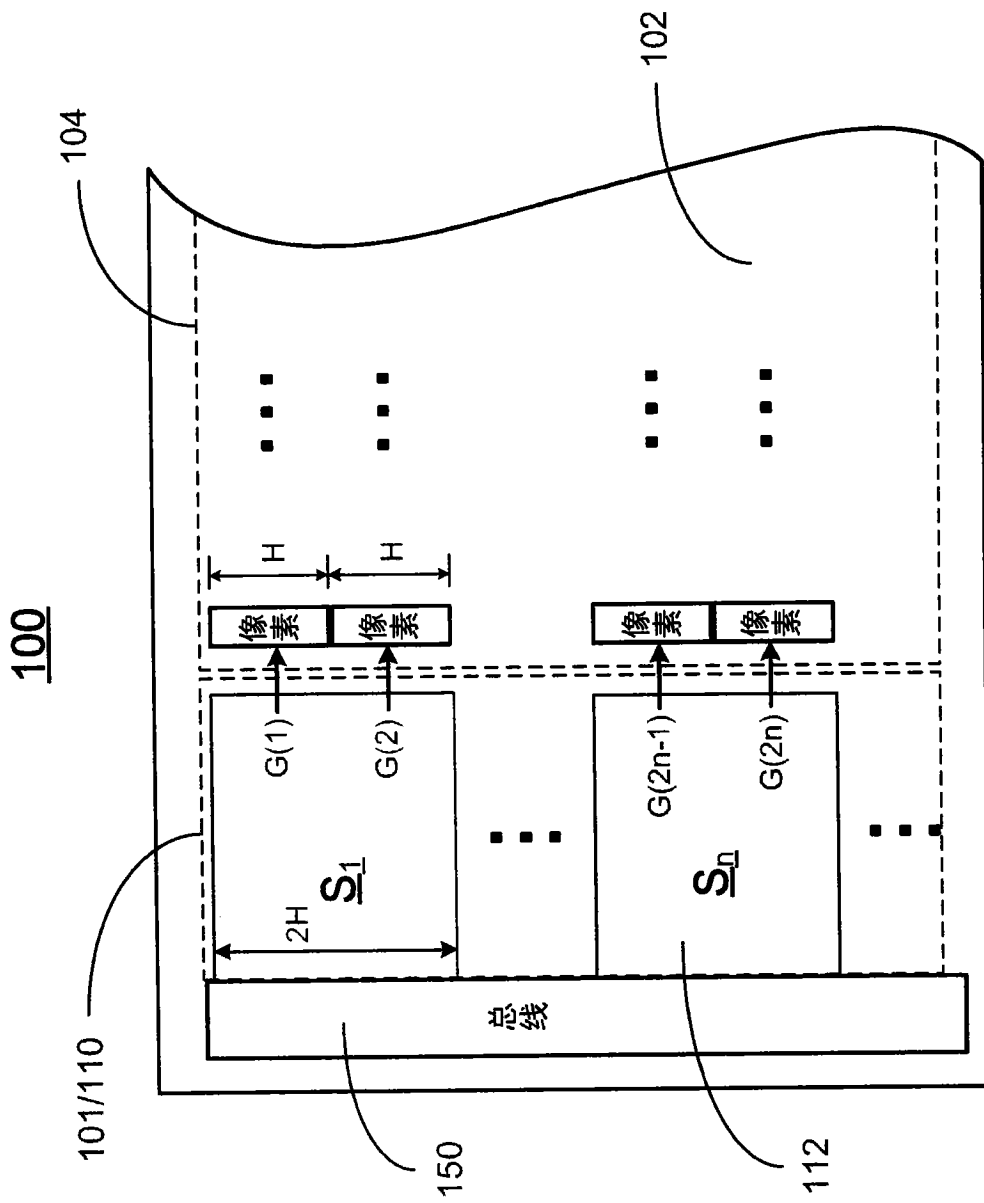


图 1

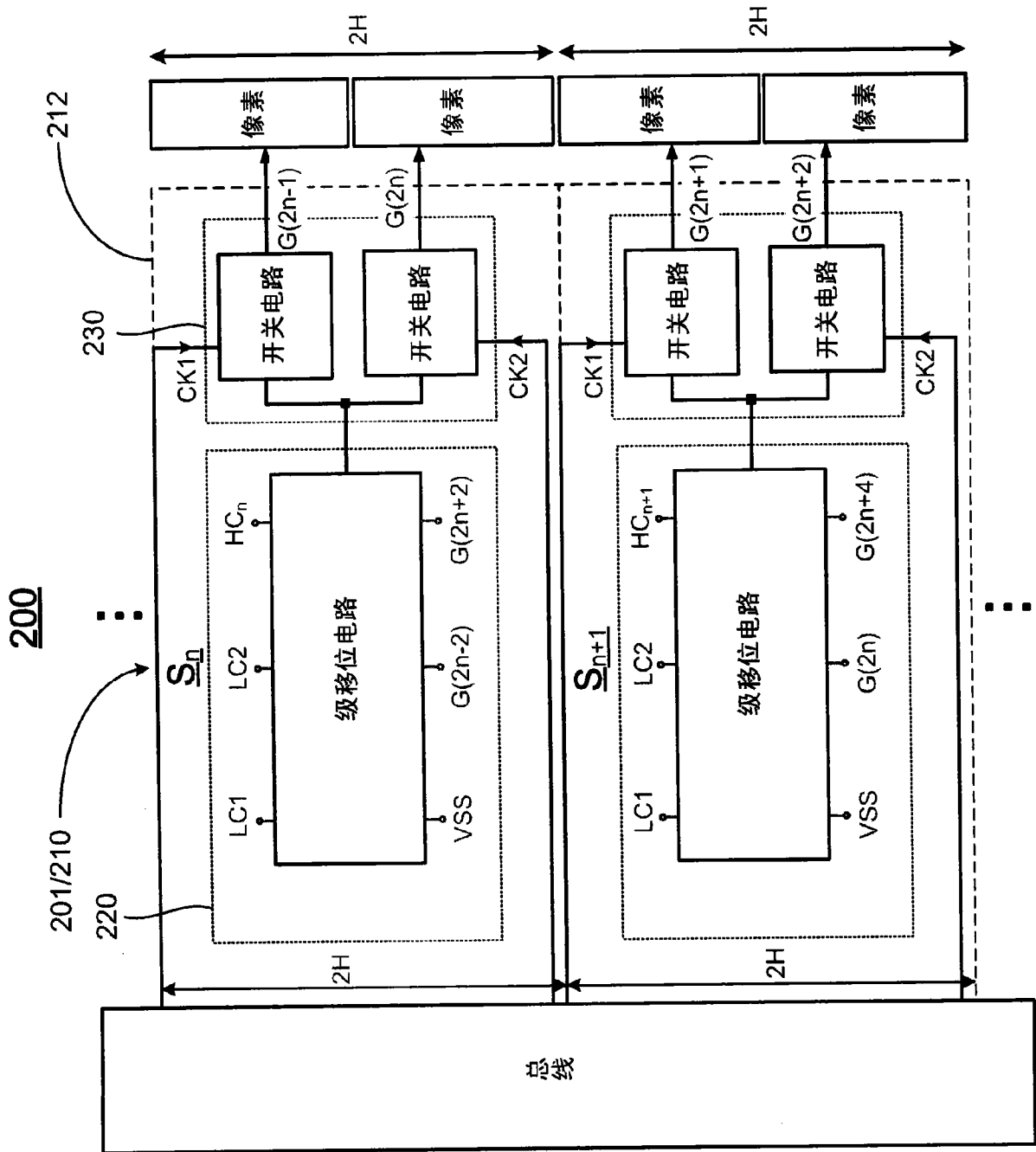


图 2

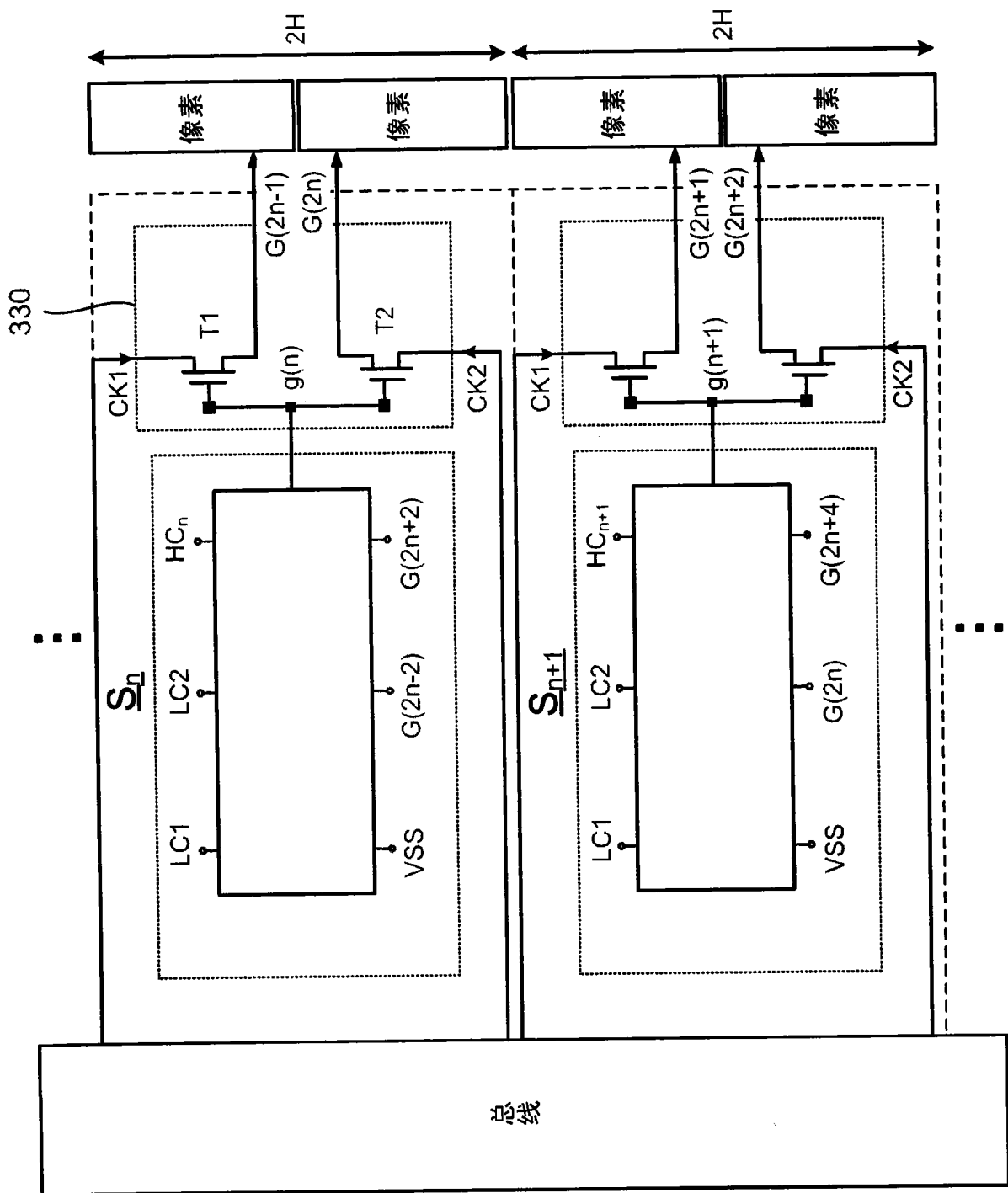


图 3

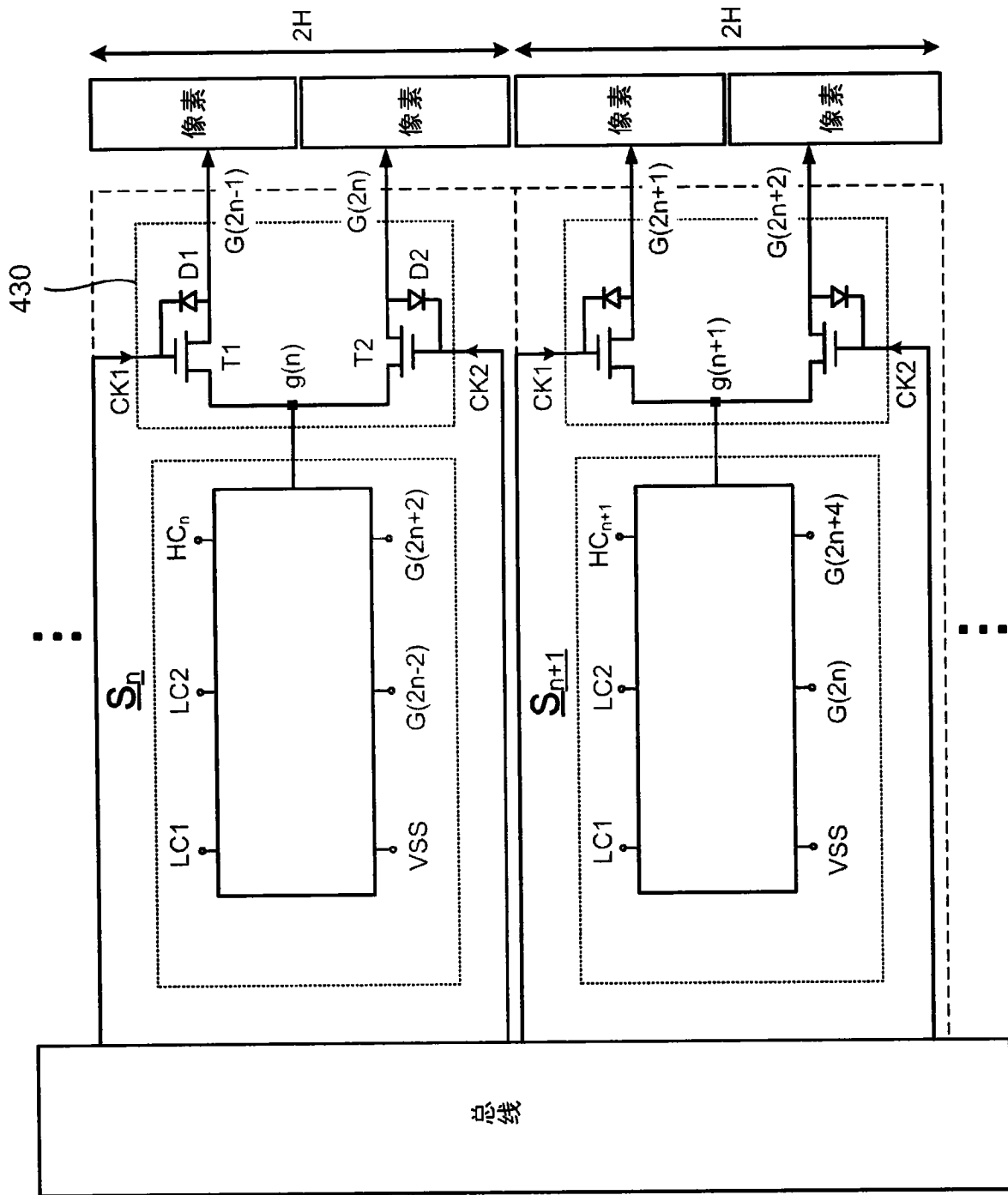


图 4

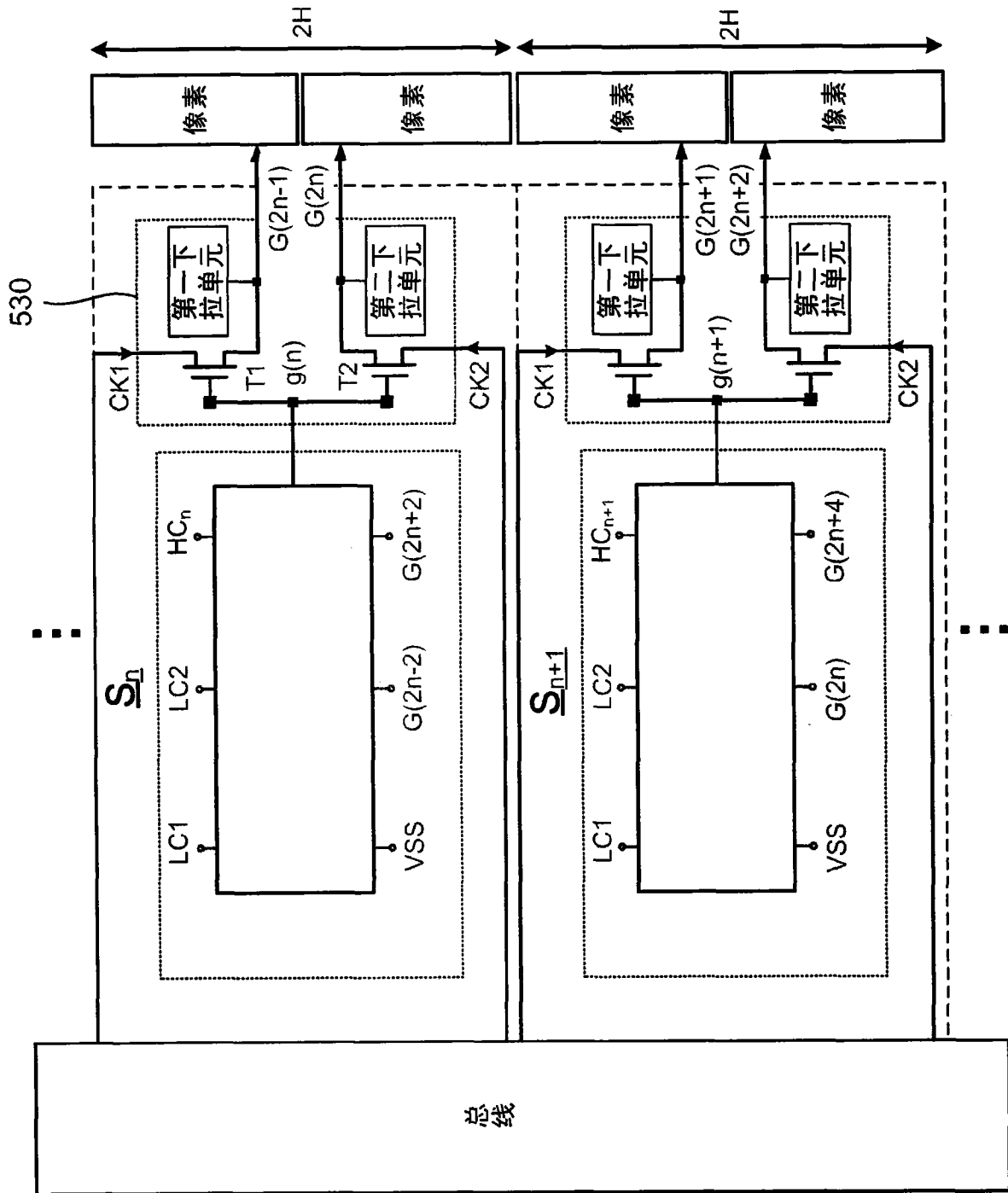


图 5

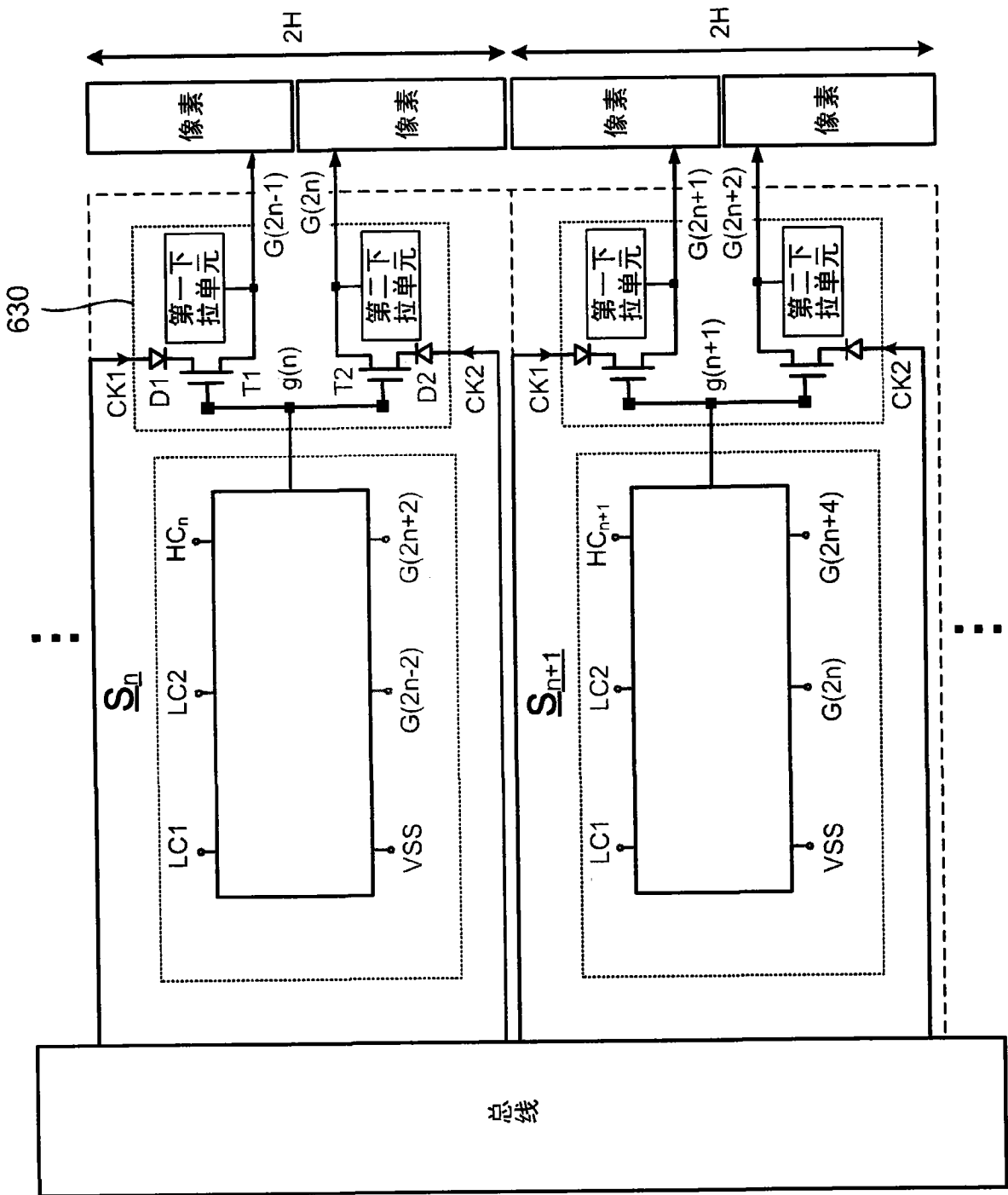


图 6

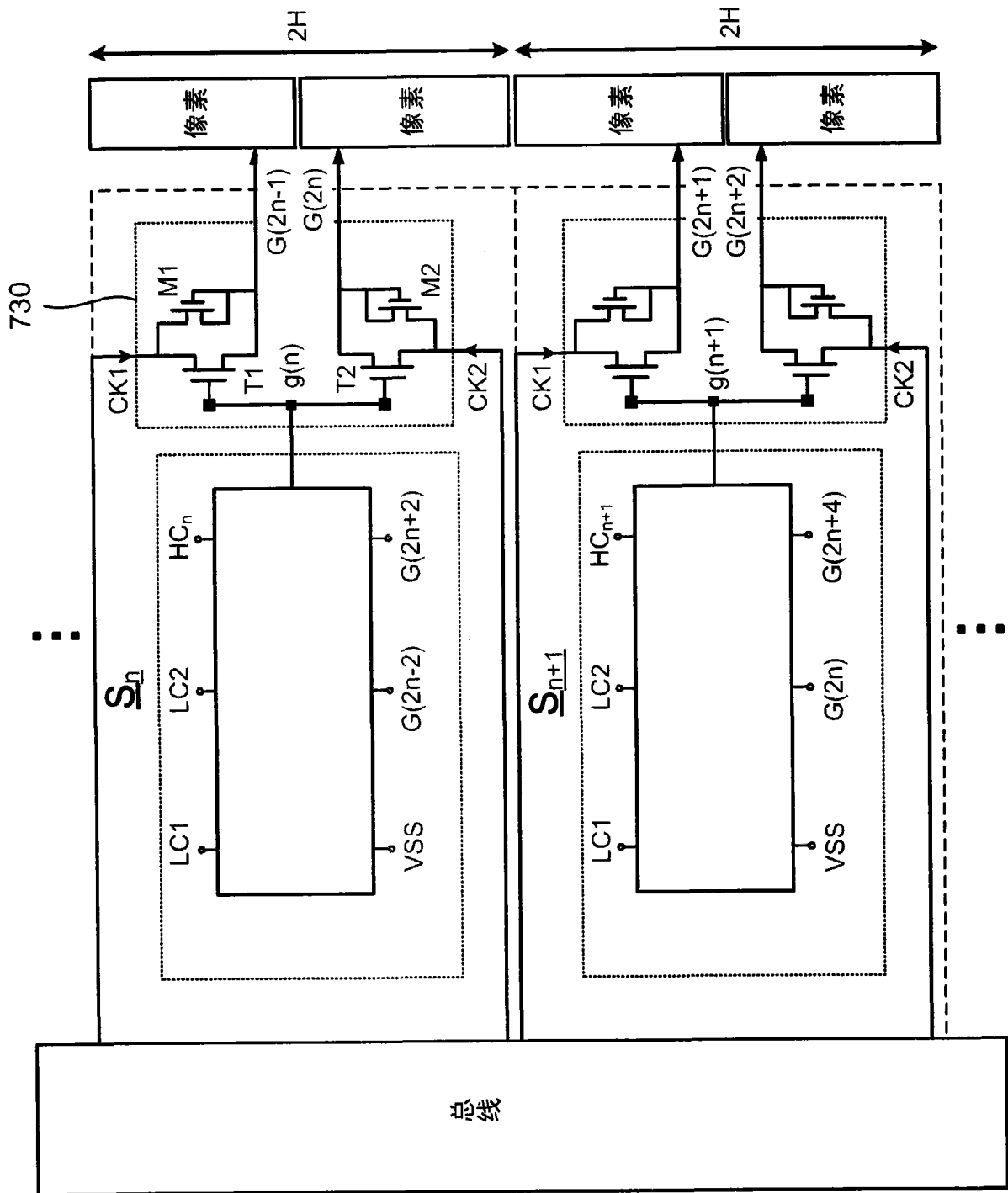


图 7

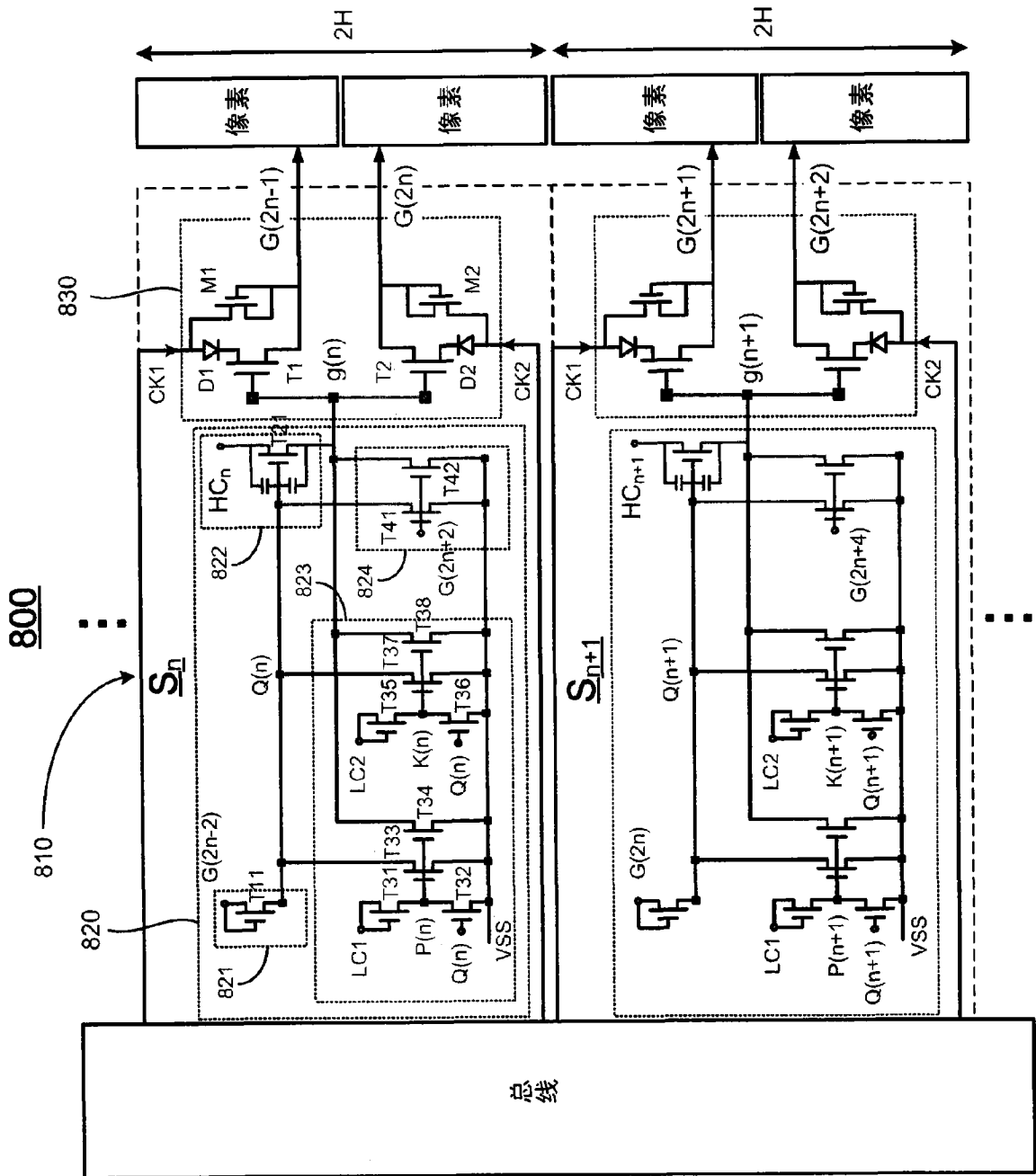


图 8

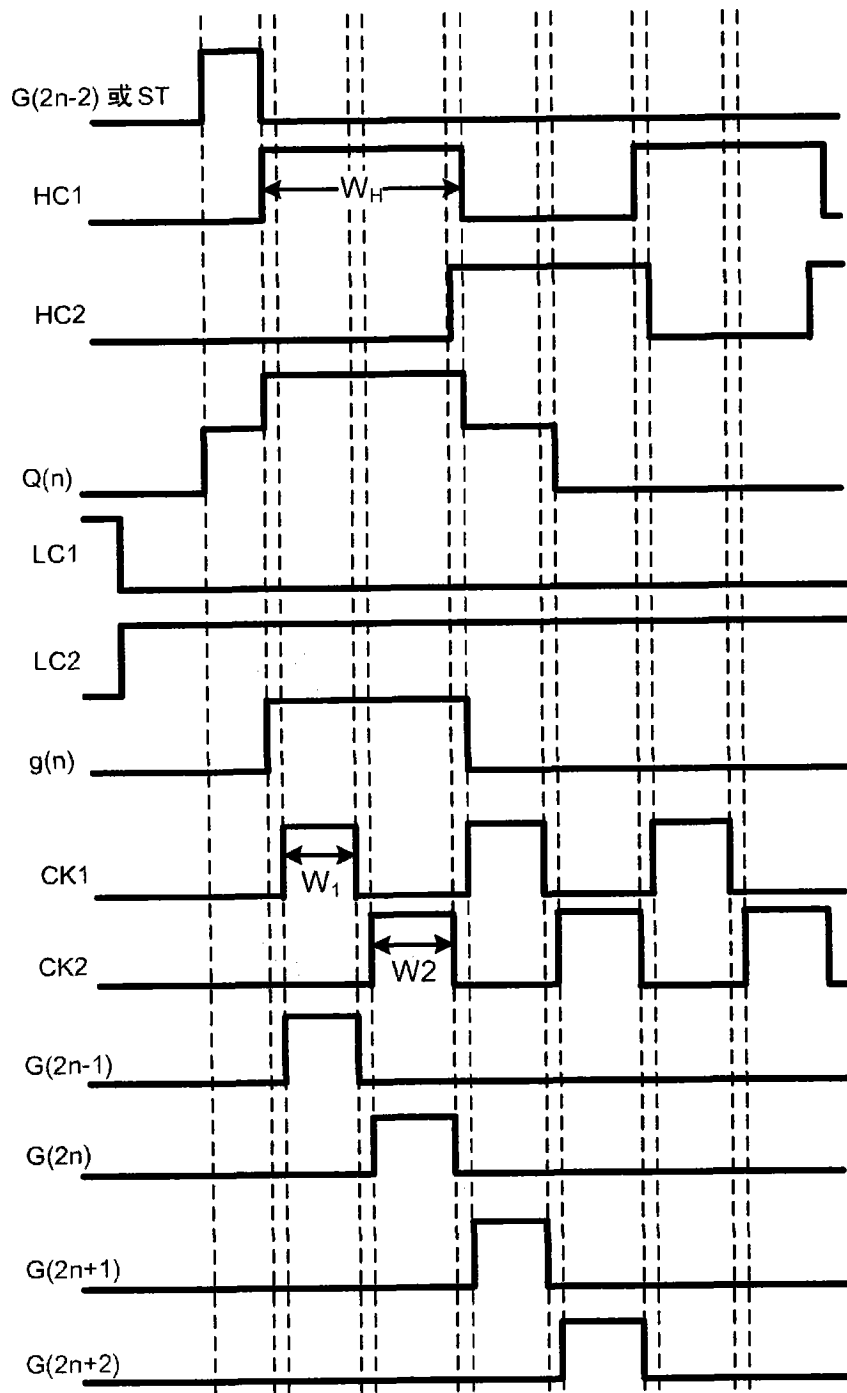


图 9

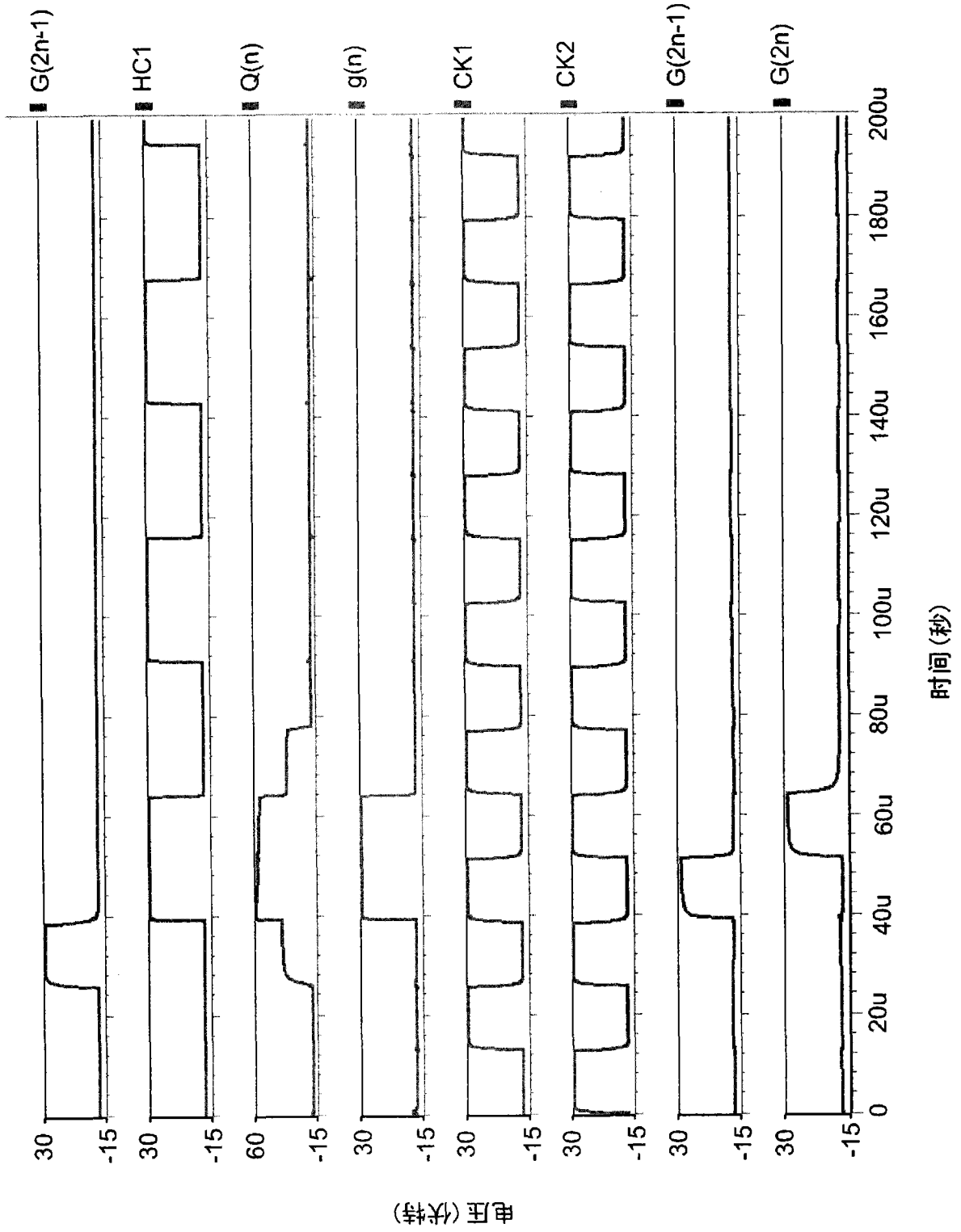


图 10

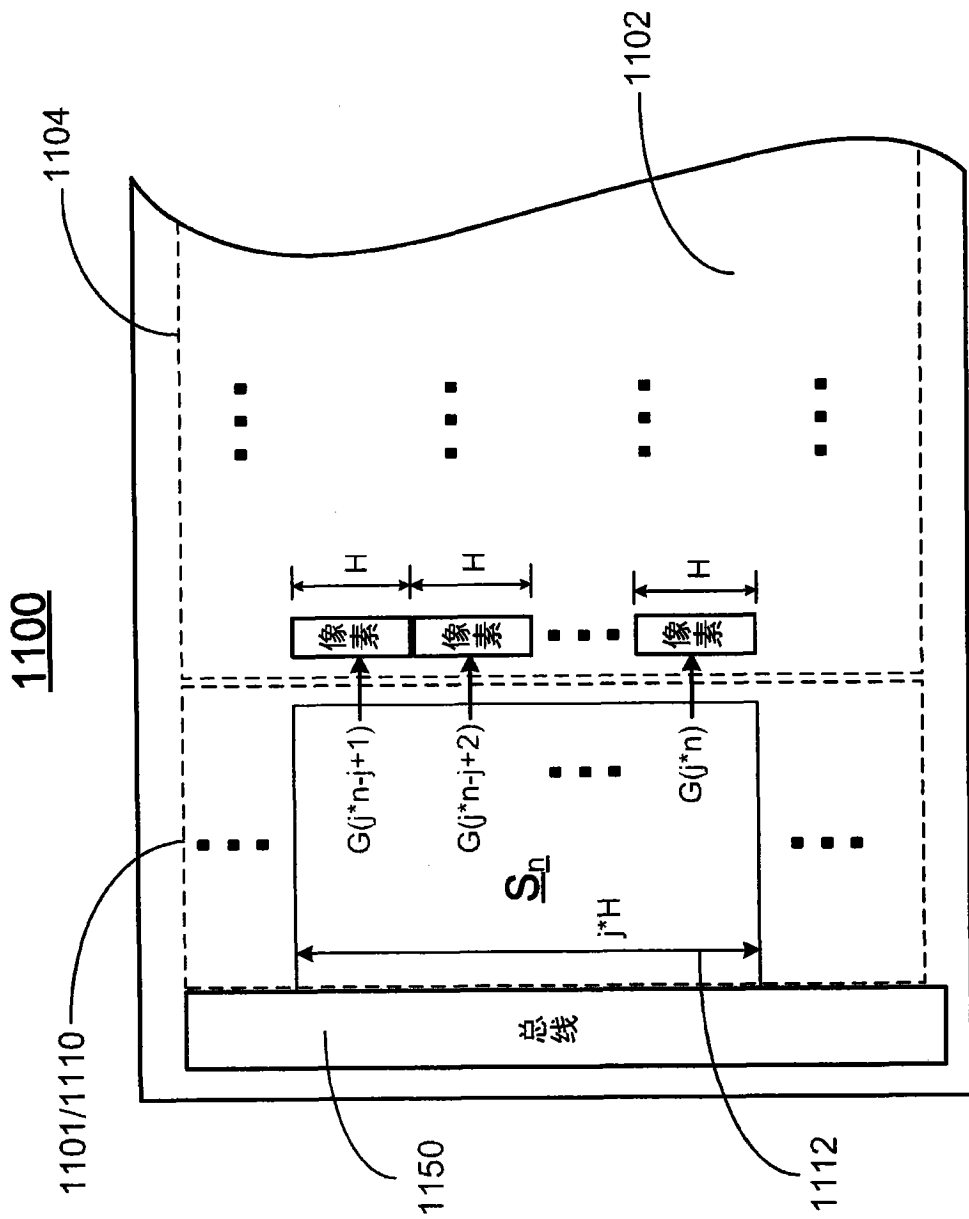


图 11

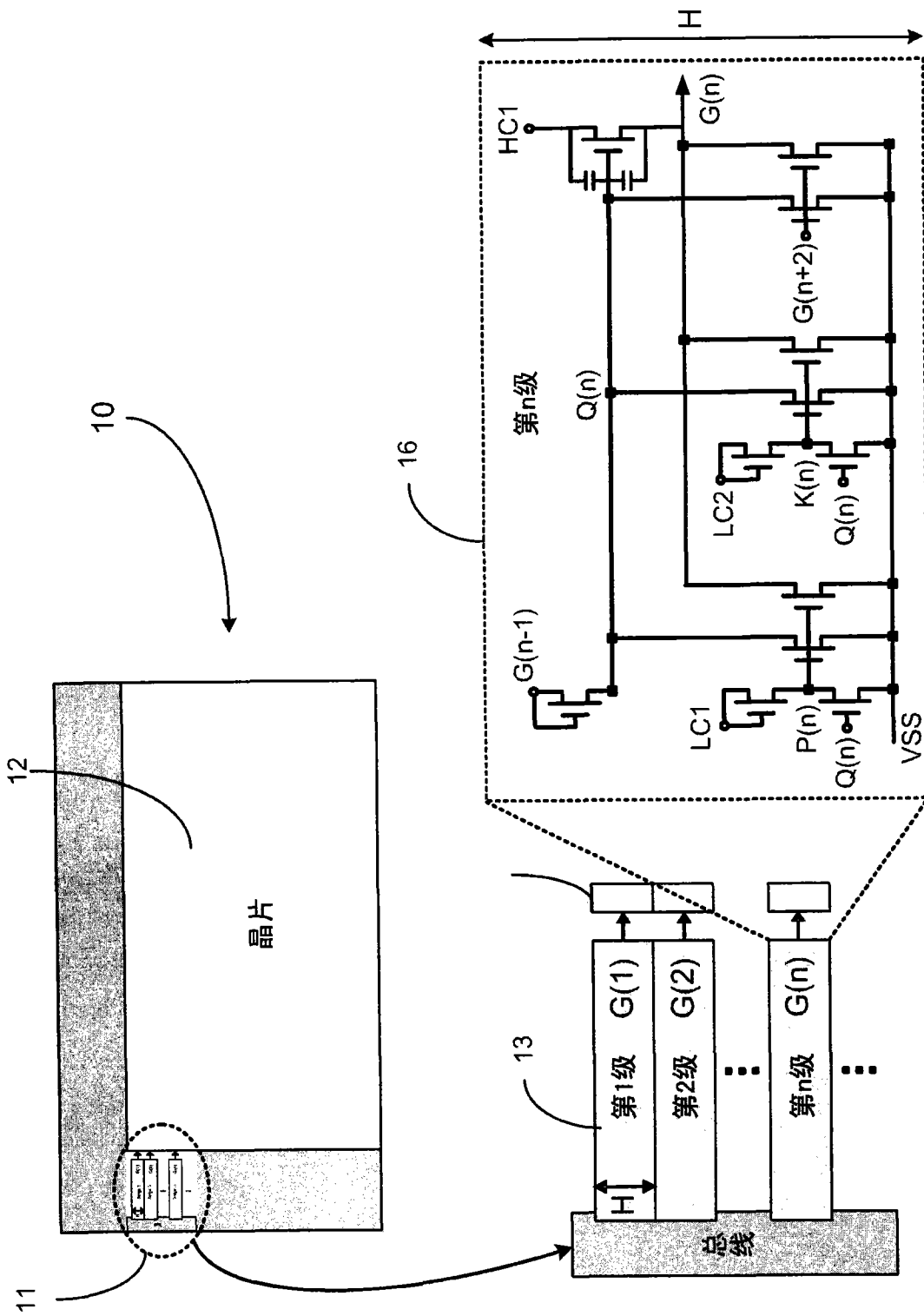


图 12