



(12) 发明专利

(10) 授权公告号 CN 102064694 B

(45) 授权公告日 2015.06.10

(21) 申请号 201010553872.2

审查员 梁雪峰

(22) 申请日 2010.11.11

(30) 优先权数据

2009-258413 2009. 11. 11 JP

(73) 专利权人 精工电子有限公司

地址 日本千叶县千叶市

(72) 发明人 山崎太郎 宇都宫文靖

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 何欣亭 王忠忠

(51) Int. Cl.

H02M 3/155(2006.01)

(56) 对比文件

US 5386153 A, 1995.01.31.

US 4539489 A, 1985. 09. 03,

JP 特开平 10-290145 A, 1998. 10. 27,

US 5594361 A, 1997.01.14,

CN 101385243 A, 2009. 03. 11.

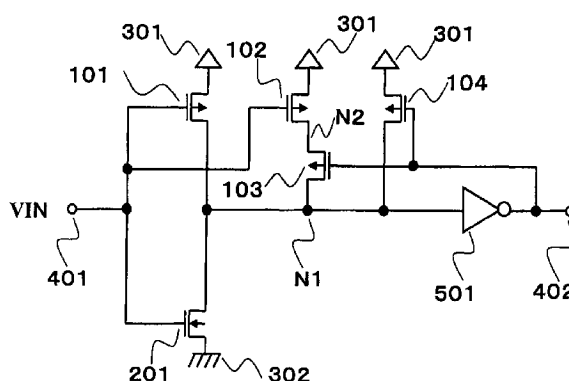
权利要求书2页 说明书9页 附图8页

(54) 发明名称

输入电路

(57) 摘要

本发明提供缓冲磁滞电压或响应速度的电源电压相关性且具有在宽范围的电源电压条件下进行动作的磁滞特性的输入电路。设有在低电源电压条件下磁滞电压变小的电路 (PMOS 晶体管 (101 ~ 103) 及反相器 (501)) 和在低电源电压条件下磁滞电压变大的电路 (PMOS 晶体管 (101、104) 及反相器 (501))。



1. 一种输入电路,其特征在于包括:

输入电压被输入的输入端子;

输出基于所述输入电压的输出信号的输出端子;

栅极上被输入所述输入电压且在所述输入电压为低电平时对第一节点进行充电的第一 PMOS 晶体管;

栅极上被输入所述输入电压且在所述输入电压为高电平时使所述第一节点放电的第一 NMOS 晶体管;

栅极上被输入所述输入电压且在所述输入电压为低电平时对所述第一节点进行充电的第二 PMOS 晶体管;

在所述第一节点的电压为低电平时截断所述第二 PMOS 晶体管对所述第一节点的充电路径的第一截断单元;以及

在所述第一节点的电压为高电平时对所述第一节点进行充电的第三 PMOS 晶体管。

2. 如权利要求 1 所述的输入电路,其特征在于:

所述第一截断单元由 PMOS 晶体管构成。

3. 如权利要求 1 或 2 所述的输入电路,其特征在于:

在所述第一节点与所述输出端子之间具备反相电路,所述输出信号为所述反相电路的输出信号。

4. 一种输入电路,其特征在于包括:

输入电压被输入的输入端子;

输出基于所述输入电压的输出信号的输出端子;

栅极上被输入所述输入电压且在所述输入电压为低电平时对第一节点进行充电的第一 PMOS 晶体管;

栅极上被输入所述输入电压且在所述输入电压为高电平时使所述第一节点放电的第一 NMOS 晶体管;

栅极上被输入所述输入电压且在所述输入电压为高电平时使所述第一节点放电的第二 NMOS 晶体管;

在所述第一节点的电压为高电平时截断所述第二 NMOS 晶体管的来自所述第一节点的放电路径的第二截断单元;以及

在所述第一节点的电压为低电平时使所述第一节点放电的第三 NMOS 晶体管。

5. 如权利要求 4 所述的输入电路,其特征在于:

所述第二截断单元由 NMOS 晶体管构成。

6. 如权利要求 4 或 5 所述的输入电路,其特征在于:

在所述第一节点与所述输出端子之间具备反相电路,所述输出信号为所述反相电路的输出信号。

7. 一种输入电路,其特征在于包括:

输入电压被输入的输入端子;

输出基于所述输入电压的输出信号的输出端子;

栅极上被输入所述输入电压且在所述输入电压为低电平时对第一节点进行充电的第一 PMOS 晶体管;

栅极上被输入所述输入电压且在所述输入电压为高电平时使所述第一节点放电的第一 NMOS 晶体管；

栅极上被输入所述输入电压且在所述输入电压为低电平时对所述第一节点进行充电的第二 PMOS 晶体管；

在所述第一节点的电压为低电平时截断所述第二 PMOS 晶体管对所述第一节点的充电路径的第一截断单元；

在所述第一节点的电压为高电平时对所述第一节点进行充电的第三 PMOS 晶体管；

栅极上被输入所述输入电压且在所述输入电压为高电平时使所述第一节点放电的第二 NMOS 晶体管；

在所述第一节点的电压为高电平时截断所述第二 NMOS 晶体管的来自所述第一节点的放电路径的第二截断单元；以及

在所述第一节点的电压为低电平时使所述第一节点放电的第三 NMOS 晶体管。

8. 如权利要求 7 所述的输入电路,其特征在于:

所述第一截断单元由 PMOS 晶体管构成,

所述第二截断单元由 NMOS 晶体管构成。

9. 如权利要求 7 或 8 所述的输入电路,其特征在于:

在所述第一节点与所述输出端子之间具备反相电路,所述输出信号为所述反相电路的输出信号。

输入电路

技术领域

[0001] 本发明涉及半导体集成电路中的输入电路,更具体涉及带磁滞(hysteresis)特性的输入电路的电源电压特性的改善。

背景技术

[0002] 说明传统的具有磁滞特性的输入电路(参照专利文献 1)。

[0003] 图 14 是表示传统的带磁滞特性的输入电路的电路图。在输入端子 401 的输入电压 V_{IN} 从高电平过渡到低电平时,磁滞发生用的 PMOS 晶体管 803 截止。因而,通过 PMOS 晶体管 801 和 NMOS 晶体管 901 的导通电阻之比来确定反相器电路的阈值电压。在输入电压 V_{IN} 从低电平过渡到高电平时,磁滞发生用的 PMOS 晶体管 803 导通。因此,PMOS 晶体管 801 侧的导通电阻相应地比 NMOS 晶体管 901 侧变小。因而,通过 2 个 PMOS 晶体管 801 及 803 和 NMOS 晶体管 901 的导通电阻之比来确定反相器电路的阈值电压。因而,反相器电路的阈值在输入电压 V_{IN} 从低电平过渡到高电平时,输入电压 V_{IN} 比在从高电平过渡到低电平时上升。即,反相器电路的阈值具有磁滞特性。

[0004] 此外,图 15 是表示传统带磁滞特性的输入电路的其它例的电路图。在输入电压 V_{IN} 从低电平过渡到高电平时,PMOS 晶体管 804 与成为导通状态联动,开关用的 PMOS 晶体管 805 成为截止状态,因此与图 14 的电路相比,能够减少开关时的消耗电流。

[0005] 专利文献 1:日本特开平 10-229331 号公报

[0006] 但是,在传统技术中,如下所述,电源电压相关性体现在磁滞电压或响应速度上。

[0007] 首先,对图 15 的带磁滞特性的输入电路进行说明。在低电源电压条件下使输入电压 V_{IN} 从低电平过渡到高电平时,输入电压 V_{IN} 从低电平接近电路的阈值电压。然后 PMOS 晶体管 801 及 804 的栅极/源极间电压小于晶体管阈值。这时,由于进入弱反相区域,所以导通电阻会比高电源电压时增大。因此,在低电源电压条件下,磁滞电压会变小。此外,为了增大低电源电压时的磁滞电压,增大 NMOS 晶体管 901 侧的导通电阻相对于 PMOS 晶体管 801 侧的导通电阻的比,这样在电源电压较高时电路的阈值就会升高,且不会接受摆幅较小的输入信号。并且,随着 NMOS 晶体管 901 的导通电阻的增大,在低电源电压下的响应速度也会下降。

[0008] 接着,对图 14 的带磁滞特性的输入电路进行说明。在低电源电压条件下使输入电压 V_{IN} 从低电平过渡到高电平之际,PMOS 晶体管 801 的栅极/源极间电压小于阈值且进入弱反相区域。这样,导通电阻会比高电源电压时变大。但是,在电路的输出端子 402 反转为高电平之前,PMOS 晶体管 803 的栅极/源极间电压与电源电压相等。因此,输入电压 V_{IN} 从低电平过渡到高电平时的 PMOS 晶体管 803 的导通电阻,在电源电压为晶体管阈值以上的情况下,几乎与电源电压不相关。并且,在低电源电压条件下,能看到 PMOS 晶体管 803 的电流驱动能力的影响较大,因此 PMOS 晶体管侧的导通电阻变小。这样,在低电源电压条件下,磁滞电压变大。如上所述,当电路的阈值升高时,不会接受摆幅较小的输入信号。并且,若设计成在低电源电压条件下电路阈值不会过高,则 PMOS 晶体管 801 在电路的阈值附近,且

在强反相区域动作这样的电源电压条件下,磁滞电压会变小。此外,在低电源电压条件下,NMOS 晶体管 901 对 PMOS 晶体管侧的电流驱动能力较小,因此在低电源电压条件下的响应速度会下降。

发明内容

[0009] 本发明鉴于上述课题构思而成,提供缓冲磁滞电压或响应速度的电源电压相关性且在宽范围的电源电压条件下动作的带磁滞特性的输入电路。

[0010] 为了解决传统技术的课题,本发明的带磁滞特性的输入电路如下构成。

[0011] 一种输入电路,其特征在于包括:输入电压 VIN 输入的输入端子;输出基于输入电压 VIN 的输出信号的输出端子;当输入电压 VIN 为低电平时对第一节点进行充电的第一 PMOS 晶体管;当输入电压 VIN 为高电平时使第一节点放电的第一 NMOS 晶体管;当输入电压 VIN 为低电平时对第一节点进行充电的第二 PMOS 晶体管;当第一节点的电压为低电平时截断第二 PMOS 晶体管对第一节点的充电路径的第一截断单元;以及当第一节点的电压为高电平时对第一节点进行充电的第三 PMOS 晶体管。

[0012] 此外,一种输入电路,其特征在于包括:输入电压 VIN 输入的输入端子;输出基于输入电压 VIN 的输出信号的输出端子;当输入电压 VIN 为低电平时对第一节点进行充电的第一 PMOS 晶体管;当输入电压 VIN 为高电平时使第一节点放电的第一 NMOS 晶体管;当输入电压 VIN 为高电平时使第一节点放电的第二 NMOS 晶体管;当第一节点的电压为高电平时截断第二 NMOS 晶体管的来自第一节点的放电路径的第二截断单元;以及当第一节点的电压为低电平时使第一节点放电的第三 NMOS 晶体管。

[0013] 在本发明中,无需使用逻辑电路或运算放大电路等而能够在宽的电源电压条件下确保较大的磁滞电压。此外,由于能够使 NMOS 晶体管侧的导通电阻相对于 PMOS 晶体管侧的导通电阻的比小于传统技术,所以与传统技术相比能够防止在低电源电压动作中的响应速度下降。而且,由于能够得到电源电压相关性比传统电路小的磁滞特性,所以能够不增大电路规模地进行设计。

[0014] 综上,本发明的电路具有与传统技术相比,不会增大电路规模而缓冲磁滞电压或响应速度的电源电压相关性的效果。

附图说明

[0015] 图 1 是表示本实施方式的输入电路的电路图。

[0016] 图 2 是表示第二实施方式的输入电路的电路图。

[0017] 图 3 是表示第三实施方式的输入电路的电路图。

[0018] 图 4 是表示第四实施方式的输入电路的电路图。

[0019] 图 5 是表示第五实施方式的输入电路的电路图。

[0020] 图 6 是表示第六实施方式的输入电路的电路图。

[0021] 图 7 是表示第七实施方式的输入电路的电路图。

[0022] 图 8 是表示第八实施方式的输入电路的电路图。

[0023] 图 9 是表示第九实施方式的输入电路的第一例的电路图。

[0024] 图 10 是表示第九实施方式的输入电路的第二例的电路图。

- [0025] 图 11 是表示第九实施方式的输入电路的第三例的电路图。
[0026] 图 12 是表示第九实施方式的输入电路的第四例的电路图。
[0027] 图 13 是表示第十实施方式的输入电路的电路图。
[0028] 图 14 是表示传统的输入电路的第一例的电路图。
[0029] 图 15 是表示传统的输入电路的第二例的电路图。

具体实施方式

[0030] 以下,参照附图,对本发明的实施方式进行说明。

[0031] 第一实施方式

[0032] 图 1 是本实施方式的具有磁滞特性的输入电路。

[0033] 本实施方式的具有磁滞特性的输入电路,包括:PMOS 晶体管 101 ~ 104 ;NMOS 晶体管 201 ;反相器 501 ;第一电源 301 (以下 VDD) ;电压比第一电源低的第二电源 302 (以下 VSS) ;输入端子 401 ;以及输出端子 402 。

[0034] PMOS 晶体管 101、102 及 104 的源极与 VDD 连接,NMOS 晶体管 201 的源极与 VSS 连接。PMOS 晶体管 101 及 NMOS 晶体管 201 的栅极都与输入端子 401 连接,漏极都与节点 N1 连接。反相器 501 的输入与节点 N1 连接,而输出与输出端子 402 连接。PMOS 晶体管 102 的栅极与输入端子 401 连接,而漏极与节点 N2 连接。PMOS 晶体管 103 的栅极与输出端子 402 连接,而源极与节点 N2 连接,且漏极与节点 N1 连接。PMOS 晶体管 103 设于节点 N1 与节点 N2 之间作为截断单元。PMOS 晶体管 104 的栅极与输出端子 402 连接,而漏极与节点 N1 连接。PMOS 晶体管 101 和 NMOS 晶体管 201 构成反相器电路。

[0035] 此外,虽然未做图示,但 PMOS 晶体管 101 ~ 104 的背栅极与 VDD 或比源极电位高的电位连接,NMOS 晶体管 201 的背栅极与 VSS 或比源极电位低电位连接。

[0036] 接着,对本实施方式的具有磁滞特性的输入电路的动作进行说明。

[0037] 当输入端子 401 的输入电压 V_{IN} 从高电平过渡到低电平时,输出端子 402 的电压,在输入电压 V_{IN} 小于整个电路的阈值之前为高电平。因此,PMOS 晶体管 103 及 104 处于截止状态。接着,当输入电压 V_{IN} 小于由 PMOS 晶体管 101 及 NMOS 晶体管 201 构成的电路的阈值时,节点 N1 过渡到高电平,输出端子 402 从高电平过渡到低电平。即,整个电路的阈值通过由 PMOS 晶体管 101 及 NMOS 晶体管 201 构成的电路的阈值确定,该值通过 PMOS 晶体管 101 和 NMOS 晶体管 201 的导通电阻的比来确定。

[0038] 当输入电压 V_{IN} 从低电平过渡到高电平时,输出端子 402 的电压在输入电压 V_{IN} 超过整个电路的阈值之前为低电平,PMOS 晶体管 103 及 104 处于导通状态。因此,与输入从高电平过渡到低电平时相比,PMOS 晶体管 101 侧的导通电阻仅减小相当于 PMOS 晶体管 102 及 104 的量。这样,整个电路的阈值上升,输入电路具有磁滞特性。

[0039] 在此,从图 1 的电路图中 PMOS 晶体管 104 除外,而利用由 PMOS 晶体管 101 ~ 103、NMOS 晶体管 201、反相器 501 构成的结构考虑电源电压相关性。在低电源电压下输入电压 V_{IN} 从低电平接近阈值电压时,PMOS 晶体管 101 及 102 进入弱反相区域。这时的 PMOS 晶体管 101 及 102 的导通电阻,会比输入电压 V_{IN} 在阈值电压附近即在强反相区域动作的高电源电压时变大。因此,在低电源电压条件下,磁滞电压变小。

[0040] 接着,从图 1 的电路图中 PMOS 晶体管 102 及 103 除外,而利用由 PMOS 晶体管 101

及 104、NMOS 晶体管 201、反相器 501 构成的结构考虑电源电压相关性。如上所述,在低电源电压条件下,当输入电压 VIN 从低电平接近电路的阈值电压时,PMOS 晶体管 101 及 104 进入弱反相区域,导通电阻会比高电源电压条件下还要大。在此,PMOS 晶体管 104 的栅极/源极间电压在输出端子 402 反转为高电平之前与电源电压相等。因此,在电源电压为 PMOS 晶体管 104 的晶体管阈值以上的情况下,PMOS 晶体管 104 的导通电阻几乎不与电源电压相关。此外,电源电压越小,PMOS 晶体管 104 的电流驱动能力的影响就越大,PMOS 晶体管侧的导通电阻变小。因此,在低电源电压条件下,磁滞电压变大。

[0041] 本实施方式的输入电路,通过设置 2 个电路,在低电源电压条件下能够确保使 PMOS 晶体管 101、104 及反相器 501 的电路工作的磁滞电压较大,并且在高电源电压条件下也能确保使 PMOS 晶体管 101 ~ 103 及反相器 501 的电路工作的磁滞电压较大。如此,能够缓冲磁滞电压的电源电压相关性。因此,在高电源电压时无需增大 PMOS 晶体管 102 的电流驱动能力,而能减小 PMOS 晶体管 102 的电流驱动能力。此外,也能减少开关时的消耗电流。而且,由于能够减小 PMOS 晶体管 102 相对于 NMOS 晶体管 201 的电流驱动能力的比,在低电源电压时,从输入低电平到高电平的响应速度不会降低。

[0042] 如以上说明的那样,依据第一实施方式的具有磁滞特性的输入电路,可以缓冲磁滞电压或响应速度的电源电压相关性,并且可在宽范围的电源电压条件下进行动作。此外,无需增大电路规模而能减少开关时的消耗电流。

[0043] 第二实施方式

[0044] 图 2 是第二实施方式的具有磁滞特性的输入电路。

[0045] 第二实施方式的具有磁滞特性的输入电路,包括:PMOS 晶体管 101 ~ 104;NMOS 晶体管 201;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。第二实施方式在以下方面与第一实施方式不同。PMOS 晶体管 102 的漏极与节点 N1 连接,而源极与节点 N2 连接,截断单元即 PMOS 晶体管 103 的漏极与节点 N2 连接,而源极 VDD 连接。

[0046] 接着对第二实施方式的具有磁滞特性的输入电路进行说明。

[0047] 与第一实施方式相比,第二实施方式的结构为更换了 PMOS 晶体管 102 和 PMOS 晶体管 103。在这种情况下,进行与第一实施方式同样的动作,并能得到同样的效果。

[0048] 因而,依据第二实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模而能减少开关时的消耗电流。

[0049] 第三实施方式

[0050] 图 3 是第三实施方式的具有磁滞特性的输入电路。

[0051] 第三实施方式的具有磁滞特性的输入电路,包括:NMOS 晶体管 201 ~ 204;PMOS 晶体管 101;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。

[0052] NMOS 晶体管 201、202 及 204 的源极与 VSS 连接,PMOS 晶体管 101 的源极与 VDD 连接。PMOS 晶体管 101 及 NMOS 晶体管 201 的栅极都与输入端子 401 连接,而漏极都与节点 N1 连接。反相器 501 的输入与节点 N1 连接,而输出与输出端子 402 连接。NMOS 晶体管 202 的栅极与输入端子 401 连接,而漏极与节点 N3 连接。NMOS 晶体管 203 的栅极与输出端子 402

连接,而源极与节点 N3 连接,漏极与节点 N1 连接。NMOS 晶体管 203 设于节点 N1 与节点 N3 之间作为截断单元。NMOS 晶体管 204 的栅极与输出端子 402 连接,而漏极与节点 N1 连接。

[0053] 此外,虽然未做图示,但 NMOS 晶体管 201 ~ 204 的背栅极与 VSS 或比源极电位低的电位连接,PMOS 晶体管 101 的背栅极与 VDD 或比源极电位高的电位连接。

[0054] 接着对第三实施方式的具有磁滞特性的输入电路进行说明。

[0055] 当输入电压 VIN 从低电平过渡到高电平时,输出端子 402 的电压在输入电压 VIN 小于整个电路的阈值之前为低电平。因此,NMOS 晶体管 203 及 204 成为截止状态。接着,当输入电压 VIN 超过由 PMOS 晶体管 101 及 NMOS 晶体管 201 构成的电路的阈值时,节点 N1 过渡到低电平,输出端子 402 从低电平过渡到高电平。即,整个电路的阈值利用由 PMOS 晶体管 101 及 NMOS 晶体管 201 构成的电路的阈值确定,该值是通过 PMOS 晶体管 101 和 NMOS 晶体管 201 的导通电阻的比来确定的。

[0056] 当输入电压 VIN 从高电平过渡到低电平时,输出端子 402 的电压在输入电压 VIN 小于整个电路的阈值之前为高电平。因此,NMOS 晶体管 203 及 204 成为导通状态。因此,与输入从低电平过渡到高电平时相比,NMOS 晶体管 201 侧的导通电阻仅减小相当于 NMOS 晶体管 202 及 204 的量。这样,整个电路的阈值上升,输入电路具有磁滞特性。

[0057] 在此,从图 3 的电路图中 NMOS 晶体管 204 除外,利用由 NMOS 晶体管 201 ~ 203、PMOS 晶体管 101、反相器 501 构成的结构考虑电源电压相关性。在低电源电压下输入电压 VIN 从高电平接近阈值电压时,NMOS 晶体管 201 及 202 进入弱反相区域。这时的 NMOS 晶体管 201 及 202 的导通电阻会比输入电压 VIN 在阈值电压附近即在强反相区域动作时大。因此,在低电源电压条件下,磁滞电压变小。

[0058] 接着,从图 3 的电路图中 NMOS 晶体管 202 及 203 除外,而利用由 NMOS 晶体管 201 及 204、PMOS 晶体管 101、反相器 501 构成的结构考虑电源电压相关性。如上所述,NMOS 晶体管 201 及 204 在低电源电压条件下,输入电压 VIN 从高电平接近电路的阈值电压时,进入弱反相区域,导通电阻会比高电源电压条件下还要大。在此,NMOS 晶体管 204 的栅极/源极间电压在输出端子 402 反转为低电平之前与电源电压相等。因此,在电源电压为 NMOS 晶体管 204 的晶体管阈值以上的情况下,NMOS 晶体管 204 的导通电阻几乎与电源电压不相关。此外,电源电压越小,NMOS 晶体管 204 的电流驱动能力的影响就越大,NMOS 晶体管侧的导通电阻会越小。因此,在低电源电压条件下,磁滞电压变大。

[0059] 本实施方式的输入电路,通过设置 2 个电路,在低电源电压条件下能够确保使 NMOS 晶体管 201、204 及反相器 501 的电路工作的磁滞电压较大,并且在高电源电压条件下能够确保使 NMOS 晶体管 201 ~ 203 及反相器 501 的电路工作的磁滞电压较大。这样,能够缓冲磁滞电压的电源电压相关性。因此,在高电源电压时无需增大 NMOS 晶体管 202 的电流驱动能力,而能够减小 NMOS 晶体管 202 的电流驱动能力。因此,能够减少开关时的消耗电流。而且,能够使 NMOS 晶体管 202 相对于 PMOS 晶体管 101 的电流驱动能力的比较小,因此在低电源电压时,从输入低电平到高电平的响应速度不会下降。

[0060] 如以上说明的那样,依据第三实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模,而能够减少开关时的消耗电流。

[0061] 第四实施方式

[0062] 图 4 是第四实施方式的具有磁滞特性的输入电路。

[0063] 第四实施方式的具有磁滞特性的输入电路,包括:NMOS 晶体管 201 ~ 204;PMOS 晶体管 101;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。第四实施方式在以下方面与第三实施方式不同。NMOS 晶体管 202 的漏极与节点 N1 连接,而源极与节点 N3 连接,截断单元即 NMOS 晶体管 203 的漏极与节点 N3 连接,而源极与 VSS 连接。

[0064] 接着对第四实施方式的具有磁滞特性的输入电路进行说明。

[0065] 与第三实施方式相比,第四实施方式的结构为更换了 NMOS 晶体管 202 和 NMOS 晶体管 203。在这种情况下,进行与第三实施方式同样的动作,并能得到同样的效果。

[0066] 因而,依据第四实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模而能够减少开关时的消耗电流。

[0067] 第五实施方式

[0068] 图 5 是第五实施方式的具有磁滞特性的输入电路。

[0069] 第五实施方式的具有磁滞特性的输入电路,包括:NMOS 晶体管 201 ~ 204;PMOS 晶体管 101 ~ 104;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。

[0070] NMOS 晶体管 201、202 及 204 的源极与 VSS 连接,PMOS 晶体管 101、102 及 104 的源极与 VDD 连接。PMOS 晶体管 101 及 NMOS 晶体管 201 的栅极都与输入端子 401 连接,而漏极都与节点 N1 连接。反相器 501 的输入与节点 N1 连接,而输出与输出端子 402 连接。NMOS 晶体管 202 的栅极与输入端子 401 连接,而漏极与节点 N3 连接。NMOS 晶体管 203 的栅极与输出端子 402 连接,而源极与节点 N3 连接,而漏极与节点 N1 连接。NMOS 晶体管 204 的栅极与输出端子 402 连接,而漏极与节点 N1 连接。PMOS 晶体管 102 的栅极与输入端子 401 连接,而漏极与节点 N2 连接。PMOS 晶体管 103 的栅极与输出端子 402 连接,而源极与节点 N2 连接,且漏极与节点 N1 连接。PMOS 晶体管 104 的栅极与输出端子 402 连接,而漏极与节点 N1 连接。

[0071] 此外,虽然未做图示,但 NMOS 晶体管 201 ~ 204 的背栅极与 VSS 或比源极电位低的电位连接,PMOS 晶体管 101 ~ 104 的背栅极与 VDD 或比源极电位高的电位连接。

[0072] 接着对第五实施方式的具有磁滞特性的输入电路进行说明。

[0073] 第五实施方式的具有磁滞特性的输入电路,为合并第一实施方式和第三实施方式的电路结构。因而,在低电源电压时磁滞电压变小的结构(PMOS 晶体管 101 ~ 103、NMOS 晶体管 201 ~ 203 及反相器 501)和在低电源电压时磁滞电压变大的结构(PMOS 晶体管 101、104、NMOS 晶体管 201、204 及反相器 501)各自存在 2 个。

[0074] 本实施方式的输入电路,通过设置 2 个电路,在低电源电压条件下能够确保使 PMOS 晶体管 101、104、NMOS 晶体管 201、204 及反相器 501 的电路工作的磁滞电压较大,并且在高电源电压条件下也能确保使 PMOS 晶体管 101 ~ 103、NMOS 晶体管 201 ~ 203 及反相器 501 的电路工作的磁滞电压较大。这样,能够缓冲磁滞电压的电源电压相关性。因此,在高电源电压时无需增大 NMOS 晶体管 202、PMOS 晶体管 102 的电流驱动能力,而能够减小 PMOS 晶体管 102 及 NMOS 晶体管 202 的电流驱动能力。此外,也能减少开关时的消耗电流。

而且,能够进一步减小 NMOS 晶体管 202 相对于 PMOS 晶体管 101 的电流驱动能力的比以及 PMOS 晶体管 102 相对于 NMOS 晶体管 201 的电流驱动能力的比,因此在低电源电压时,从输入低电平到高电平的响应速度不会降低。此外,通过采用这样的结构,能够取较大的磁滞电压。

[0075] 如以上所述,依据第五实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模,而能够减少开关时的消耗电流,并能取得较大的磁滞电压。

[0076] 第六实施方式

[0077] 图 6 是第六实施方式的具有磁滞特性的输入电路。

[0078] 第六实施方式的具有磁滞特性的输入电路,包括:NMOS 晶体管 201 ~ 204;PMOS 晶体管 101 ~ 104;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。第六实施方式在以下方面与第五实施方式不同。NMOS 晶体管 202 的漏极与节点 N1 连接,而源极与节点 N3 连接,NMOS 晶体管 203 的漏极与节点 N3 连接,而源极与 VSS 连接。

[0079] 接着对第六实施方式的具有磁滞特性的输入电路进行说明。

[0080] 与第五实施方式相比,第六实施方式的结构为更换了 NMOS 晶体管 202 和 NMOS 晶体管 203。在这种情况下,能够进行与第五实施方式同样的动作,并能得到同样的效果。

[0081] 以上,依据第六实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模,而能够减少开关时的消耗电流,并能取得较大的磁滞电压。

[0082] 第七实施方式

[0083] 图 7 是第七实施方式的具有磁滞特性的输入电路。

[0084] 第七实施方式的具有磁滞特性的输入电路,包括:NMOS 晶体管 201 ~ 204;PMOS 晶体管 101 ~ 104;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。第七实施方式在以下方面与第五实施方式不同。PMOS 晶体管 102 的漏极与节点 N1 连接,而源极与节点 N2 连接,PMOS 晶体管 103 的漏极与节点 N2 连接,而源极与 VDD 连接。

[0085] 接着对第七实施方式的具有磁滞特性的输入电路进行说明。

[0086] 与第五实施方式相比,第七实施方式的结构为更换了 PMOS 晶体管 102 和 PMOS 晶体管 103。在这种情况下,能够进行与第五实施方式同样的动作,并能得到同样的效果。

[0087] 以上,依据第七实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模,而能够减少开关时的消耗电流,并能取得较大的磁滞电压。

[0088] 第八实施方式

[0089] 图 8 是第八实施方式的具有磁滞特性的输入电路。

[0090] 第八实施方式的具有磁滞特性的输入电路,包括:NMOS 晶体管 201 ~ 204;PMOS 晶体管 101 ~ 104;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。第八实施方式在以下方面与第五实施方式不同。PMOS 晶体管 102 的漏极与节点 N1 连接,而源极与节点 N2 连接,PMOS 晶体管 103

的漏极与节点 N2 连接,而源极与 VDD 连接,NMOS 晶体管 202 的漏极与节点 N1 连接,而源极与 N3 连接,NMOS 晶体管 203 的漏极与节点 N3 连接,而源极与 VSS 连接。

[0091] 接着对第八实施方式的具有磁滞特性的输入电路进行说明。

[0092] 与第五实施方式相比,第八实施方式的结构为更换了 PMOS 晶体管 102 和 PMOS 晶体管 103、NMOS 晶体管 202 和 NMOS 晶体管 203。在这种情况下,能够进行与第五实施方式同样的动作,并能得到同样的效果。

[0093] 以上,依据第八实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模,而能够减少开关时的消耗电流,并能取得较大的磁滞电压。

[0094] 第九实施方式

[0095] 图 9 是第九实施方式的具有磁滞特性的输入电路。

[0096] 第九实施方式的具有磁滞特性的输入电路,包括:PMOS 晶体管 101 ~ 104;NMOS 晶体管 201;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;输出端子 402;以及开关元件 601、701。与第一实施方式相比,其不同点在于在 PMOS 晶体管 101 与 VDD 之间追加了开关元件 601,并且在节点 N1 与 VSS 之间追加了开关元件 701。

[0097] 接着对第九实施方式的具有磁滞特性的输入电路进行说明。

[0098] 第九实施方式构成为在第一实施方式的电路上追加了开关元件 601、701。通过这样构成,利用输入至开关元件的使能信号能够控制在允许(enable)时电性断开,而禁止(disable)时电性连接。开关元件对其它的动作不产生影响。因此,与第一实施方式没有变化,而能得到与第一实施方式相等的效果。此外,虽然未做图示,该开关元件用于第二至第八实施方式也发挥同样的效果。

[0099] 图 10 至图 12 是表示变更开关元件 602、603、604、702 的插入部位的本实施方式的其它例的电路图。如此,即使变更开关元件的插入部位,也具有同样的效果。此外,虽然未做图示,该开关元件用于第二至第八实施方式也发挥同样的效果。

[0100] 以上,依据第九实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。此外,无需增大电路规模,而能够减少开关时的消耗电流,并能取得较大的磁滞电压。

[0101] 第十实施方式

[0102] 图 13 是第十实施方式的具有磁滞特性的输入电路。

[0103] 第十实施方式的具有磁滞特性的输入电路,包括:PMOS 晶体管 101 ~ 104;NMOS 晶体管 201;反相器 501;第一电源 301(以下 VDD);电压比第一电源低的第二电源 302(以下 VSS);输入端子 401;以及输出端子 402。第十实施方式在以下方面与第一实施方式不同。变更连接反相器 501 的位置,并将输出端子 402 和节点 N1 连接,并且使输出端子 402 的逻辑反转。

[0104] 接着对第十实施方式的具有磁滞特性的输入电路进行说明。

[0105] 与第一实施方式相比,第十实施方式的结构为输出端子 402 与节点 N1 连接。因此,仅仅改变了输出端子 402 的逻辑,而对其它的动作不产生影响。因而,即使是与第一实施方式反相的输出逻辑的输入电路,也能得到与第一实施方式同样的效果。此外,虽然未做

图示,但用于第二至第九实施方式也发挥同样的效果。

[0106] 以上,依据第十实施方式的具有磁滞特性的输入电路,能够缓冲磁滞电压或响应速度的电源电压相关性,并能在宽范围的电源电压条件下进行动作。

[0107] 附图标记说明

[0108] 301 第一电源 (VDD)

[0109] 302 第二电源 (VSS)

[0110] 401 输入端子

[0111] 402 输出端子

[0112] 501 反相器电路

[0113] 601 ~ 604、701 ~ 702 开关元件

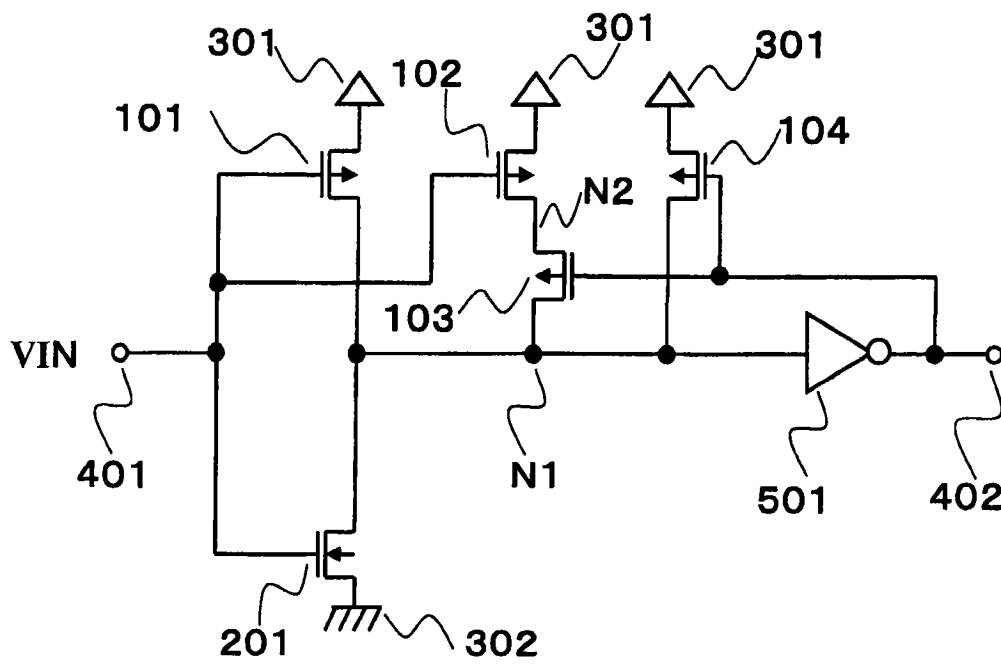


图 1

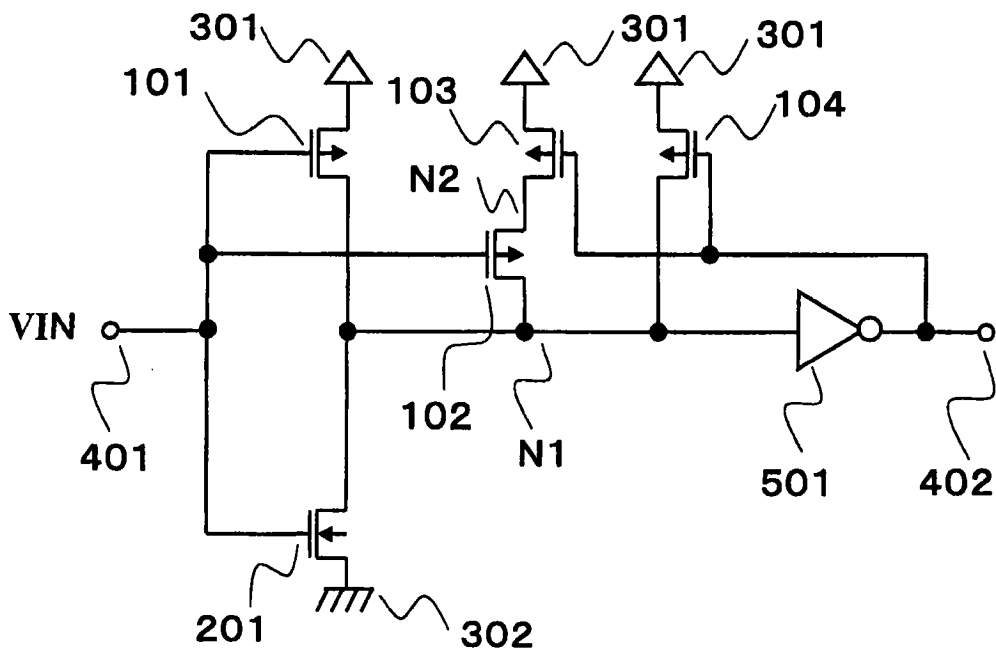


图 2

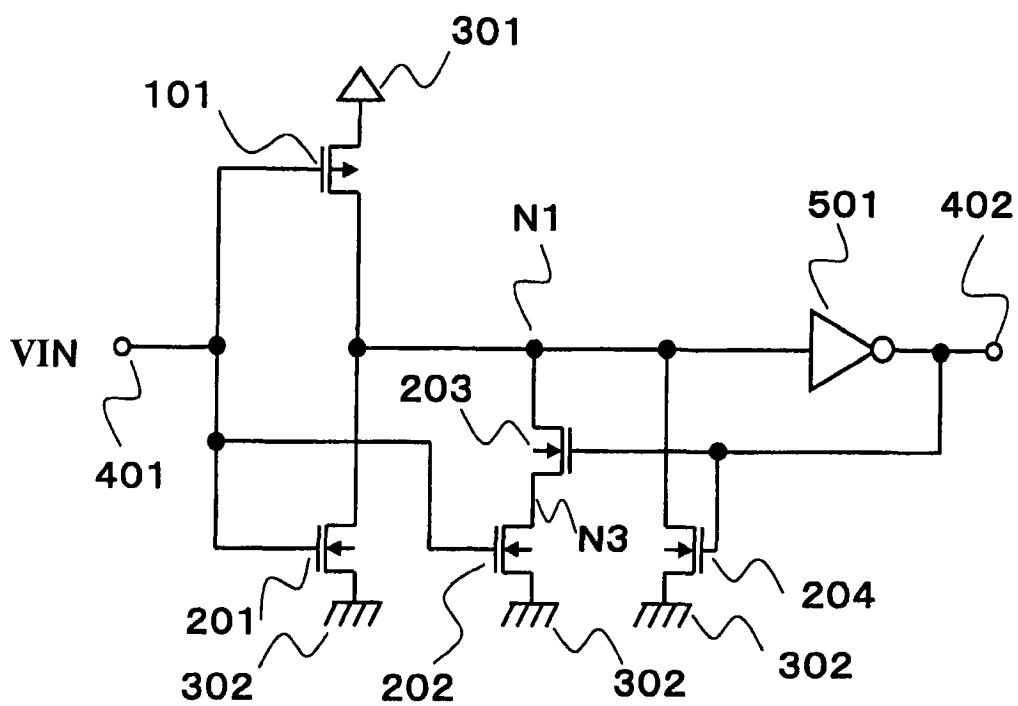


图 3

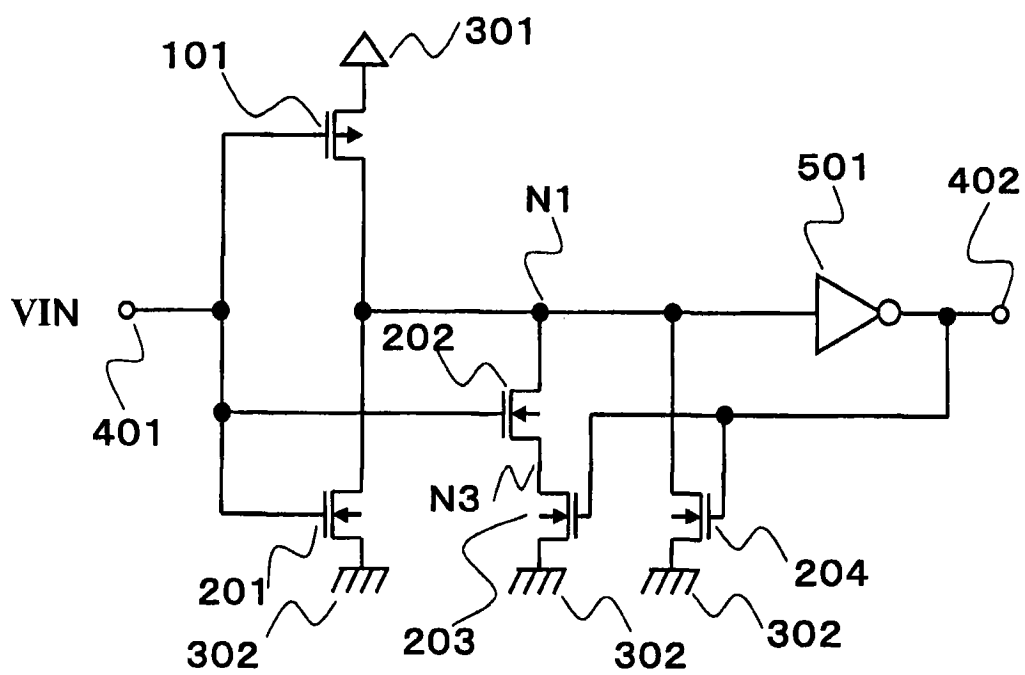


图 4

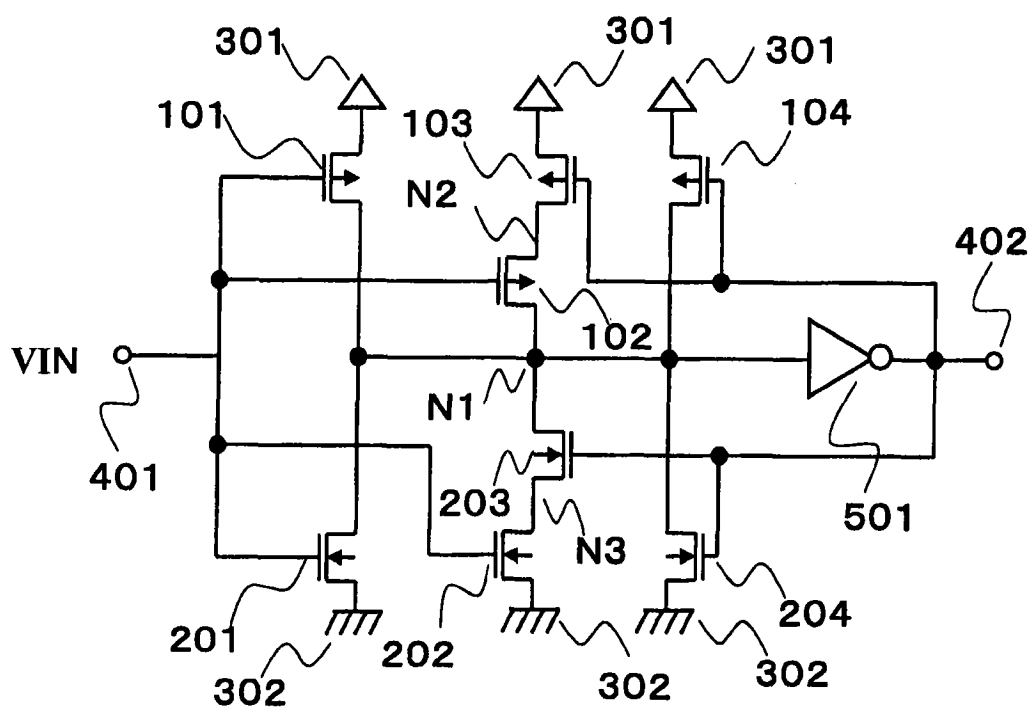


图 7

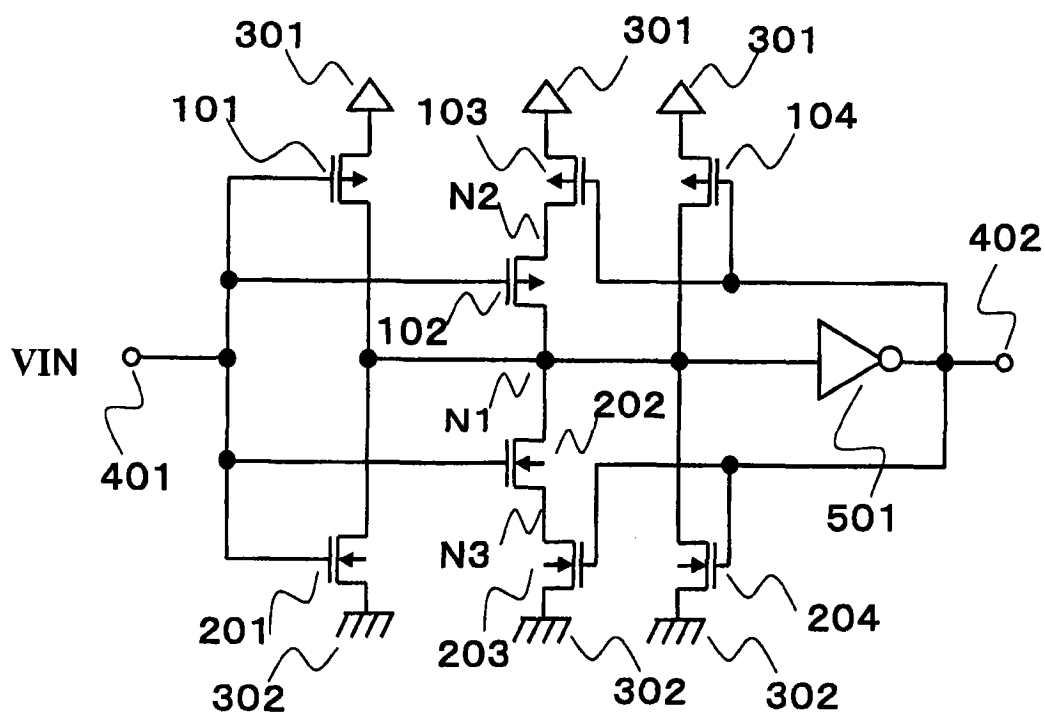


图 8

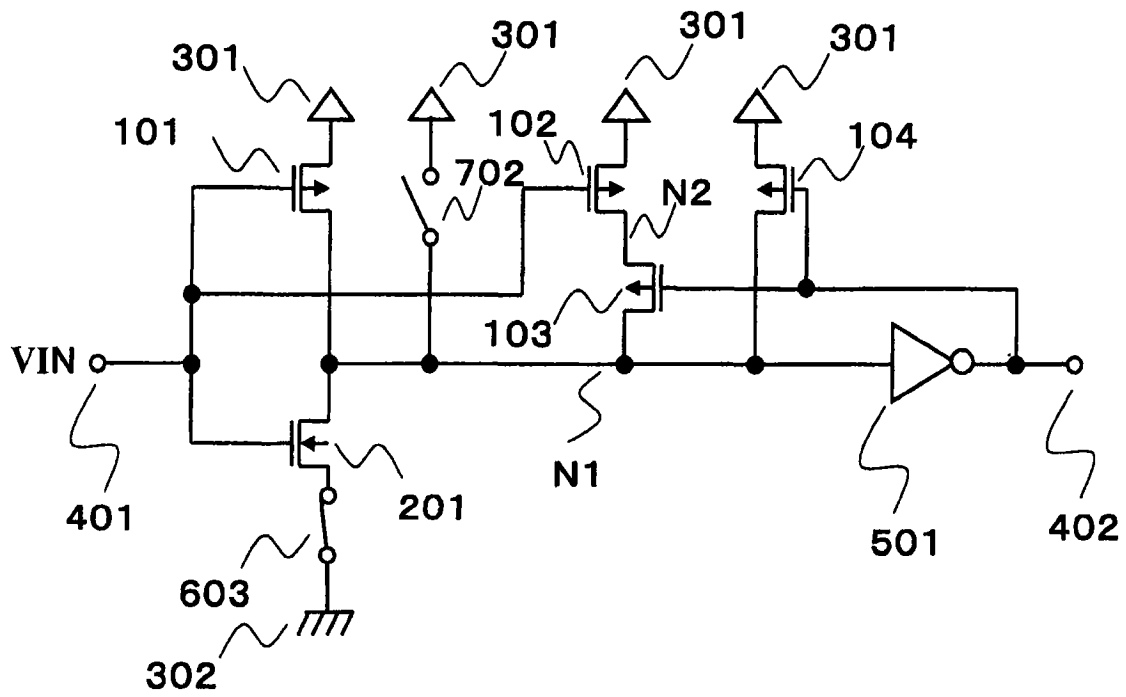


图 11

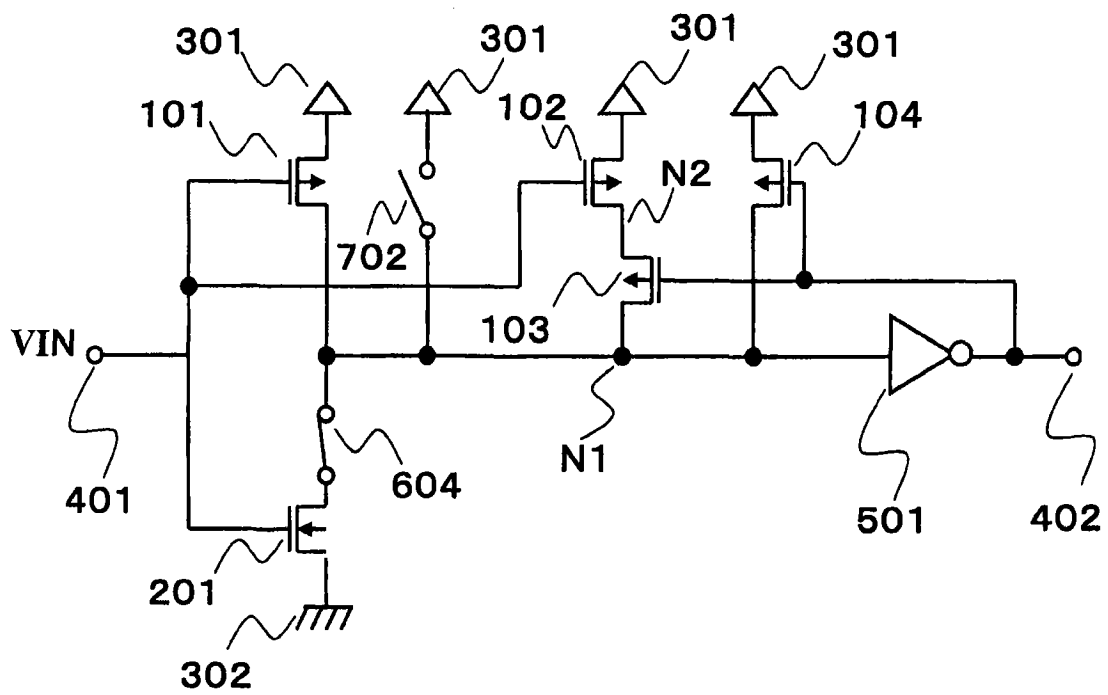


图 12

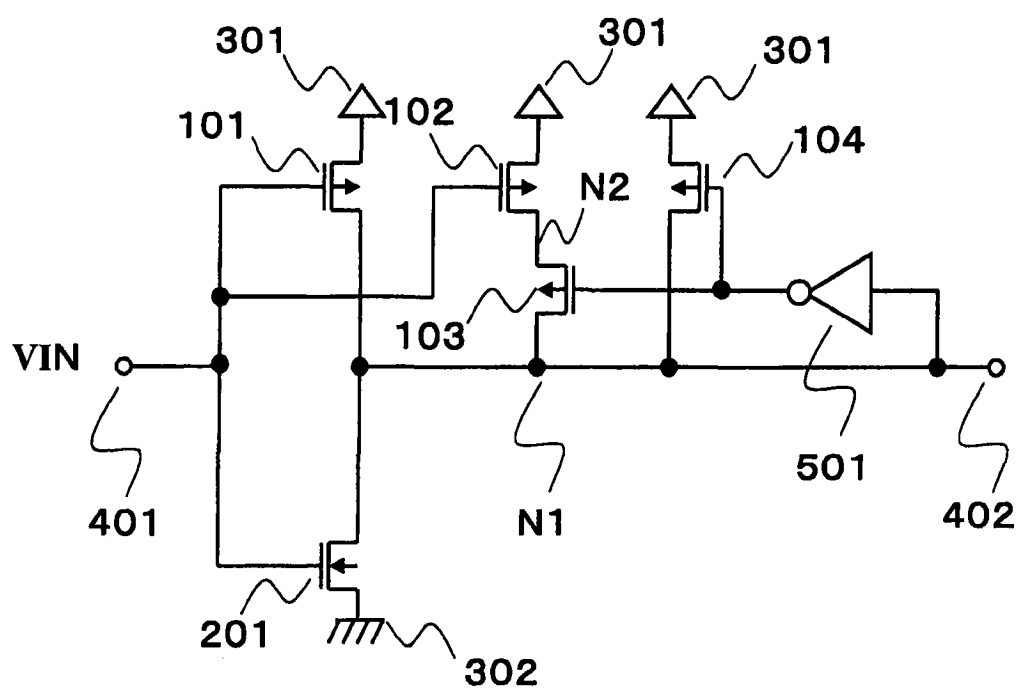


图 13

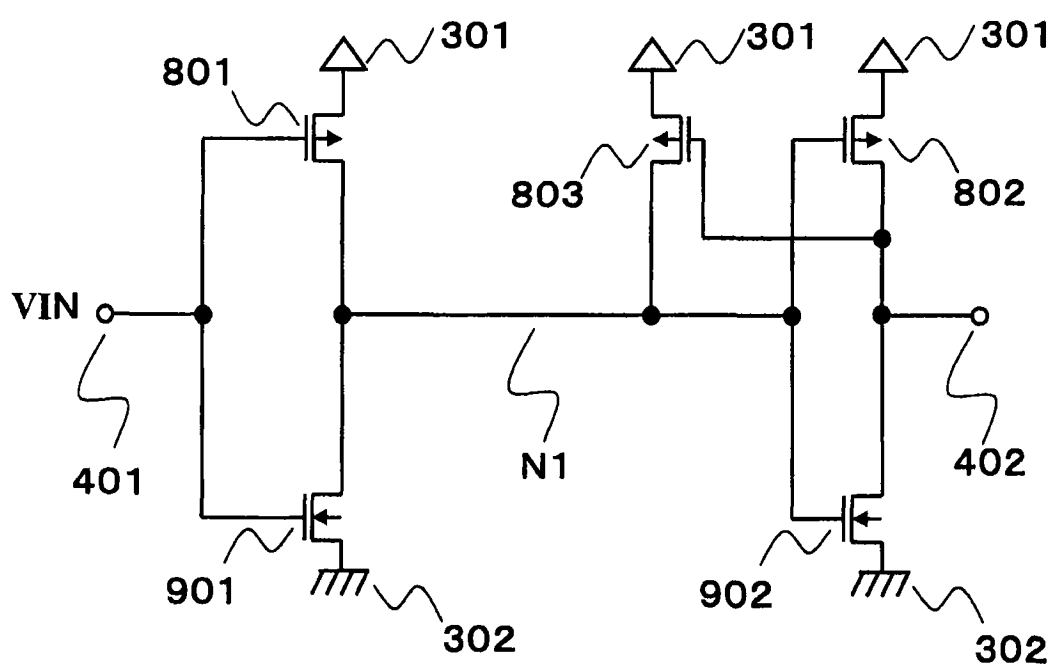


图 14

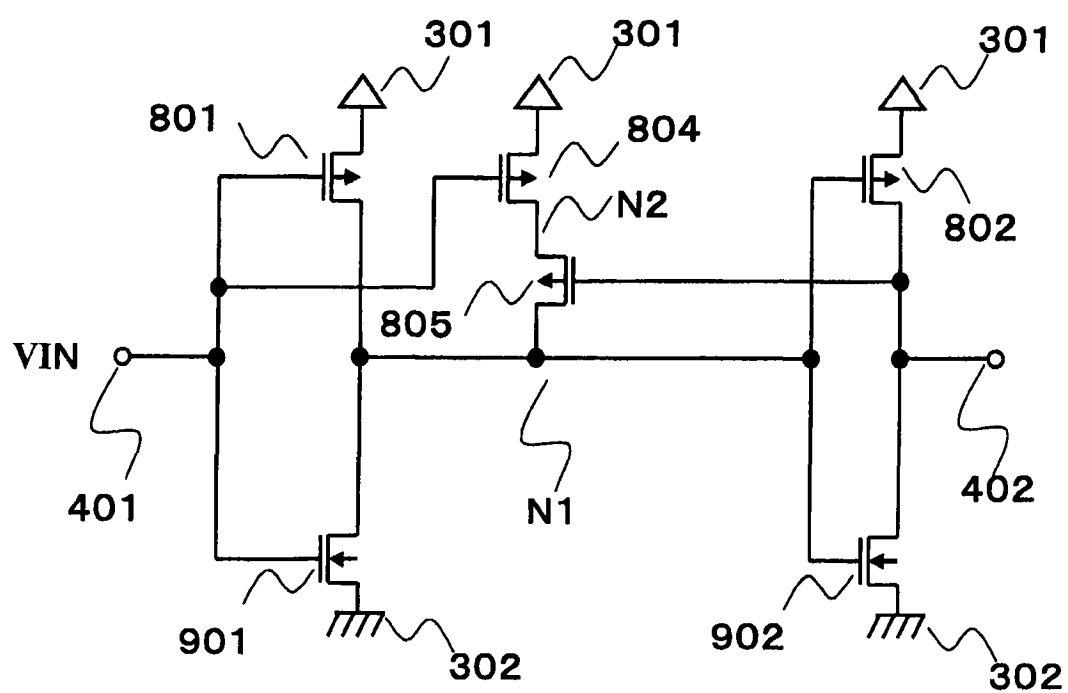


图 15