



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

/224 847

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 28 04 82

(21) PV 3059 - 82

(51) Int. Cl.³ G 05 B 19/02

(40) Zveřejněno 27 05 83

(45) Vydáno 01 11 84

(75)

Autor vynálezu

MATOUŠEK FRANTIŠEK ing.,

SCHUT MIROSLAV ing., PRAHA

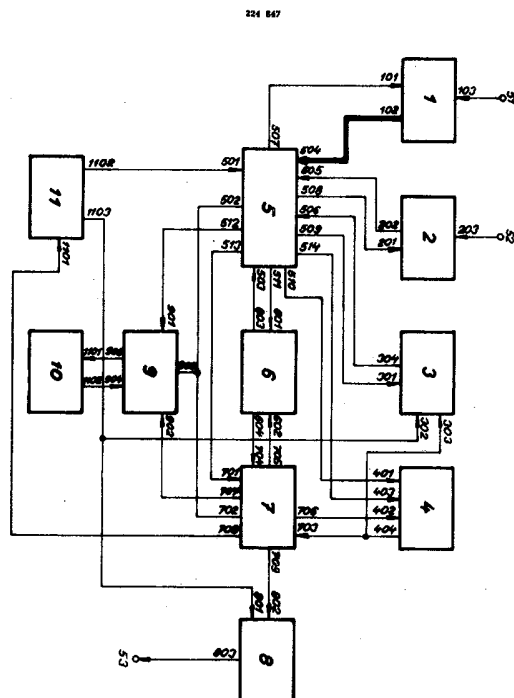
EKRT JIŘÍ ing., PRAHA,

LANG PRAVDOMIL ing., JESENICE,

DLOUHÝ JIŘÍ ing.,

(54)

Zapojení korekční jednotky pro výpočet parametrů programované dráhy



Vynález se týká zapojení korekční jednotky pro výpočet parametrů programované dráhy poloměrových a délkových korekcí řízených souřadnic obráběcího stroje při číslicovém řízení.

Jednou ze základních funkcí při číslicovém řízení obráběcích strojů je přepočet zadané dráhy s ohledem na zadané korekce a řízení jednotlivých posuvových souřadnic při této korigované dráze.

Dosud známé způsoby řeší tento problém buď speciálními přístrojovými pevně zapojenými bloky, nebo pomocí procesoru vybaveného speciálním korekčním programem. Tyto způsoby přepočtu zadané dráhy s ohledem na zadané korekce mají značné nevýhody.

U prvního je to složitý pevně zapojený korekční blok, který značně zvětšuje přístrojové vybavení minipočítačového nebo mikropočítačového systému. Navíc není možno u tohoto typu korekčního bloku v případě potřeby měnit nebo rozšiřovat jeho funkce.

U druhého uvedeného způsobu jsou hlavní nevýhodou značné časové nároky na provádění jednotlivých korekčních výpočtů centrálním minipočítačem nebo mikropočítačem, které mají za následek speciální paralelní řešení procesoru. Výpočet složitého korekčního a interpolačního algoritmu a požadavek na jeho provedení v omezeném časovém intervalu vede rovněž k značnému zvětšení kapacity operační paměti a ke zvýšeným nárokům na tuto paměť i co do její rychlosti. Tyto nevýhody odstraňuje zapojení korekční jednotky pro výpočet parametrů programované dráhy podle vynálezu.

Jeho podstata spočívá v tom, že spouštěcí výstup centrálního řadiče je spojen se spouštěcím vstupem korekčního řadiče, jehož první řídicí výstup je spojen s řídicím vstupem ~~programové~~ programové paměti. Programový výstup programové paměti je spojen s programovým vstupem korekčního řadiče, jehož korekční vstup je spojen s korekčním výstupem korekční paměti. Korekční vstup korekční paměti je spojen s korekčním vstupem zapojení. Řídicí vstup korekční paměti je spojen s druhým řídicím výstupem korekčního řadiče. Mezipaměťový vstup korekčního řadiče je spojen s mezipaměťovým výstupem mezipaměti, jejíž řídicí vstup je spojen s třetím řídicím výstupem korekčního řadiče. Zápisový výstup korekčního řadiče je spojen se zápisovým vstupem pracovní paměti. Pracovní vstup pracovní paměti je spojen s pracovním výstupem korekčního řadiče, jehož výběrový výstup je spojen s prvním výběrovým vstupem instrukční paměti. První instrukční výstup instrukční paměti je spojen s instrukčním vstupem korekčního řadiče, jehož obousměrný informační vývod je spojen s obousměrným informačním vývodem řídicí jednotky a s obousměrným informačním vývodem interpolačního řadiče. Povelový výstup interpolačního řadiče je spojen se druhým povelovým vstupem řídicí jednotky. Mikroinstrukční vstup řídicí jednotky je spojen s mikroinstrukčním výstupem mikroinstrukční paměti, jejíž výběrový vstup je spojen s výběrovým výstupem řídicí jednotky. První povelový vstup řídicí jednotky je spojen s povelovým výstupem korekčního řadiče. Příkazový vstup korekčního řadiče je spojen s příkazovým vstupem interpolačního řadiče. Výběrový výstup interpolačního

řadiče je spojen se druhým výběrovým vstupem instrukční paměti. Druhý instrukční výstup je spojen s instrukčním vstupem interpolačního řadiče. Řídicí výstup interpolačního řadiče je spojen s řídicím vstupem pracovní paměti. Datový výstup pracovní paměti je spojen s datovým vstupem interpolačního řadiče a s datovým vstupem mezipaměti. Přepisový vstup mezipaměti je spojen s přepisovým vstupem interpolační paměti a s přepisovým vstupem centrálního řadiče. Informační vstup centrálního řadiče je spojen s informačním výstupem interpolačního řadiče, jehož hodnotový výstup je spojen s hodnotovým vstupem interpolační paměti. Interpolační výstup interpolační paměti je spojen s interpolačním výstupem zapojení, jehož programový vstup je spojen s programovým vstupem programové paměti.

Zapojení korekční jednotky pro výpočet parametrů programované dráhy má řadu výhod, z nichž nejhlavnější tkví v tom, že umožňuje řešit korekční výpočet bez zvětšení nároků na funkce základního procesoru.

Korekční jednotka znamená jen nepatrný přístrojový doplněk k centrální řídicí jednotce, který však zvětší užitnou hodnotu této řídicí jednotky několikanásobně.

Zapojení korekční jednotky je řešeno přehledným universálním způsobem pomocí sítě pamětí typu PROM, v kterých jsou zaprogramovány přenosové funkce jednotlivých bloků zapojení. Toto řešení usnadní použití u nejrůznějších typů obráběcích strojů, čímž vzrůstá sériovost výroby takovéto korekční jednotky a klesají její výrobní náklady.

Příklad zapojení korekční jednotky pro výpočet parametrů programované dráhy je znázorněn v blokovém schematu na připojeném výkresu.

Jednotlivé bloky je možno charakterisovat takto:

Programová paměť 1 je vytvořena z pamětí typu RAM, které umožňují zápis a čtení uložených informací a slouží k uchování vstupních informací a dat programovaných v jednotlivých programových blocích.

Korekční paměť 2 je tvořena nedestruktivními pamětmi typu RAM a uchovává zadané korekční hodnoty.

Mezipaměť 3 a pracovní paměť 4 jsou vytvořeny z pamětí typu RAM a slouží k úschově vypočtených parametrů programované dráhy pro prováděný a následný programový blok.

Korekční řadič 5 a interpolační řadič 7 jsou vytvořeny z logických prvků kombinačního a sekvenčního charakteru a logické sítě pamětí typu PROM. Tyto řadiče vytvářejí potřebné řídicí informace pro činnost řídicí jednotky 9 při řešení korekčního algoritmu a výpočtu interpolačních parametrů.

Instrukční paměť 6 a mikroinstrukční paměť 10 jsou tvořeny pamětmi typu PROM a logickou sítí pro přenos příslušných instrukcí uložených v těchto pamětích do korekčního řadiče 5, interpolačního řadiče 7 nebo do řídicí jednotky 9. Řídicí jednotka 9 je tvořena aritmeticko logickou jednotkou s příslušnými registry a akumulátory a rychlou operační pamětí typu RAM.

Centrální řadič 11 je vytvořen z logické sítě pamětí typu PROM a logických prvků kombinačního a sekvenčního charakteru.

Jednotlivé bloky jsou zapojeny takto:

224 847

Spouštěcí výstup 1102 centrálního řadiče 11 je spojen se spouštěcím vstupem 501 korekčního řadiče 5. Řídicí výstup 507 korekčního řadiče 5 je spojen s řídicím vstupem 101 programové paměti 1. Programový výstup 102 programové paměti 1 je spojen s programovým vstupem 504 korekčního řadiče 5, jehož korekční vstup 505 je spojen s korekčním výstupem 202 korekční paměti 2. Korekční vstup 203 korekční paměti 2 je spojen s korekčním vstupem 52 zapojení. Řídicí vstup 201 korekční paměti 2 je spojen s druhým řídicím výstupem 508 korekčního řadiče 5, jehož mezipaměťový vstup 506 je spojen s mezipaměťovým výstupem 304 mezipaměti 3. Řídicí vstup 301 mezipaměti 3 je spojen s třetím řídicím výstupem 509 korekčního řadiče 5. Zápisový výstup 510 korekčního řadiče 5 je spojen se zápisovým vstupem 401 pracovní paměti 4. Pracovní vstup 403 pracovní paměti 4 je spojen s pracovním výstupem 514 korekčního řadiče 5. Výběrový výstup 511 korekčního řadiče 5 je spojen s prvním výběrovým vstupem 601 instrukční paměti 6. První instrukční výstup 603 instrukční paměti 6 je spojen s instrukčním vstupem 503 korekčního řadiče 5. Obousměrný informační vývod 502 korekčního řadiče 5 je spojen s obousměrným informačním vývodem 903 řídicí jednotky 9 a s obousměrným informačním vývodem 702 interpolačního řadiče 7. Povelový výstup 707 interpolačního řadiče 7 je spojen se druhým povelovým vstupem 902 řídicí jednotky 9. Mikroinstrukční vstup 904 řídicí jednotky 9 je spojen s mikroinstrukčním výstupem 1002 mikroinstrukční paměti 10.

Výběrový vstup 1001 instrukční paměti 10 je spojen s výběrovým výstupem 905 řídicí jednotky 9. První povelový vstup 901 řídicí jednotky 9 je spojen s povelovým výstupem 512 korekčního řadiče 5. Příkazový vstup 513 korekčního řadiče 5 je spojen s příkazovým vstupem 701 interpolačního řadiče 7. Výběrový výstup 705 interpolačního řadiče 7 je spojen se druhým výběrovým vstupem 602 instrukční paměti 6. Druhý instrukční výstup 604 instrukční paměti 6 je spojen s instrukčním vstupem 704 interpolačního řadiče 7. Řídicí výstup 706 je spojen s řídicím vstupem 402 pracovní paměti 4. Datový výstup 404 je spojen s datovým vstupem 703 interpolačního řadiče 7 a s datovým vstupem 303 mezipaměti 3. Přepisový vstup 302 mezipaměti 3 je spojen s přepisovým vstupem 801 interpolační paměti 8 a s přepisovým vstupem 1103 centrálního řadiče 11. Informační vstup 1101 centrálního řadiče 11 je spojen s informačním výstupem 708 interpolačního řadiče 7. Hodnotový výstup 709 interpolačního řadiče 7 je spojen s hodnotovým vstupem 802 interpolační paměti 8. Interpolační výstup 803 interpolační paměti ⁸ je spojen s interpolačním výstupem 53 zapojení, jehož programový vstup 51 je spojen s programovým vstupem 103 programové paměti.

Zapojení pracuje takto: Při procesu načítání se jednotlivé bloky programu zapíší z programového vstupu 51 zapojení do programového vstupu 103 programové paměti 1. Současně se zapíší do korekčního vstupu 203 korekční paměti 2 hodnoty poloměrových a délkových korekcí. Příkazem ze spouštěcího výstupu 1102 centrálního řadiče 11 do spouštěcího vstupu 501

korekčního řadiče 5 se nastartuje činnost tohoto řadiče.

Korekční řadič 5 přepíše v první fázi své činnosti z programové paměti 1 do svého programového vstupu 504 všechny údaje o geometrii řízeného pohybu t.j. souřadnice koncového bodu, tvar interpolované dráhy, rychlost pohybu, typ korekce a příslušný korekční parametr. Příkazem ze druhého řídicího výstupu 508 korekčního řadiče 5 do řídicího vstupu 201 korekční paměti 2 se vybere hodnota poloměrové a délkové korekce odpovídající korekčnímu parametru a zapíše se do korekčního vstupu 505 korekčního řadiče 5. Přepočtené souřadnice koncového bodu předcházejícího bloku, uložené v mezipaměti 3 se rovněž přepíší do mezipaměťového vstupu 506 korekčního řadiče 5.

V druhé fázi své činnosti, korekční řadič 5 dává ze svého výběrového výstupu 511 příkazy do prvního výběrového vstupu 601 instrukční paměti 6 k přesunu posloupností jednotlivých instrukcí pro korekční výpočet. Příslušný korekční výpočet provede řídicí jednotka 9 na základě přijaté posloupnosti instrukcí a dat přicházejících z obousměrného informačního vývodu 502 korekčního řadiče 5 do obousměrného informačního vývodu 903 řídicí jednotky 9 a zpět. Zpracování zadaných instrukcí provede řídicí jednotka 9 vyřešením jednotlivých posloupností mikroinstrukcí, odpovídajících každé instrukci. Požadovaná posloupnost mikroinstrukcí pro jednotlivé instrukce se volí adresováním z výběrového vstupu 905 řídicí jednotky 9 do výběrového vstupu 1001 mikroinstrukční paměti 10. Vybírané mikroinstrukce přicházejí na mikroinstrukční vstup 904 řídicí jednotky 9 z mikroinstrukčního výstupu 1002 mikroinstrukční paměti 10.

Po skončení korekčního výpočtu, ve kterém se přepočítaly zadané údaje o geometrii řízeného pohybu s ohledem na zadané korekce obráběcího nástroje, se tyto nové korigované údaje o geometrii řízeného pohybu přepíší z pracovního výstupu 514 korekčního řadiče 5 do pracovního vstupu 403 pracovní paměti 4. Přepis se provede příkazem ze zápisového výstupu 510 korekčního řadiče 5 do zápisového vstupu 401 pracovní paměti 4. Startovacím impulsem z příkazového výstupu 513 do příkazového vstupu 701 interpolačního řadiče 7, korekční řadič 5 ukončí svoji činnost, a předá řízení interpolačnímu řadiči 7. Interpolační řadič 7 příkazem ze svého řídicího výstupu 706 do řídicího vstupu 402 pracovní paměti 4 přepíše z datového výstupu 404 pracovní paměti 4 do svého datového vstupu 703 korigované údaje o geometrii řízeného pohybu. Na základě posloupnosti instrukcí získaných z instrukční paměti 6 a zpracovaných řídicí jednotkou 9 se vypočítají z korigovaných údajů o geometrii řízeného pohybu vstupní proměnné pro řešení vlastních interpolačních algoritmů. Vypočítané vstupní proměnné se připraví na hodnotový výstup 709 interpolačního řadiče 7, který skončení své činnosti ohlásí signálem z informačního výstupu 708 do informačního vstupu 1101 centrálního řadiče 11. Centrální řadič 11 ve vhodném okamžiku, t.j. po ukončení předcházejícího bloku, vydá příkaz ze svého prepisového výstupu 1103 na základě kterého se přepíší vypočítané vstupní interpolační proměnné do hodnotového vstupu 802 interpolační paměti 8 a korigované údaje o geometrii řízeného pohybu do datového vstupu 303 mezipaměti 3. Řešení interpolačních

algoritmů se vstupními proměnnými uloženými v interpolační paměti 8 provádí interpolační blok, který není na výkrese 7 znázorněn a který je připojen přes interpolační výstup 53 zapojení. Vynálezu se využije při číslicovém řízení obráběcích nebo jiných pracovních strojů.

Zapojení korekční jednotky pro výpočet parametrů programové dráhy, vyznačující se tím, že spouštěcí výstup (1102) centrálního řadiče (11) je spojen se spouštěcím vstupem (501) korekčního řadiče (5), jehož první řídící výstup (507) je spojen s řídícím vstupem (101) programové paměti (1), jejíž programový výstup (102) je spojen s programovým vstupem (504) korekčního řadiče (5), jehož korekční vstup (505) je spojen s korekčním výstupem (202) korekční paměti (2), jejíž korekční vstup (203) je spojen s korekčním vstupem (52) zapojení, a řídící vstup (201) korekční paměti (2) je spojen s druhým řídícím výstupem (508) korekčního řadiče (5), jehož mezipaměťový vstup (506) je spojen s mezipaměťovým výstupem (304) mezipaměti (3), jejíž řídící vstup (301) je spojen s třetím řídícím výstupem (509) korekčního řadiče (5), jehož zápisový výstup (510) je spojen se zápisovým vstupem (401) pracovní paměti (4), jejíž pracovní vstup (403) je spojen s pracovním výstupem (514) korekčního řadiče (5), jehož výběrový výstup (511) je spojen s prvním výběrovým vstupem (601) instrukční paměti (6), jejíž první instrukční výstup (603) je spojen s instrukčním vstupem (503) korekčního řadiče (5), jehož obousměrný informační vývod (502) je spojen s obousměrným informačním vývodem (903) řídící jednotky (9) a s obousměrným informačním vývodem (702) interpolačního řadiče (7), jehož povelový výstup (707) je spojen se druhým povelovým vstupem (902) řídící jednotky (9), jejíž mikroinstrukční vstup (904) je spojen s mikroinstrukčním výstupem (1002) mikroinstrukční paměti (10), jejíž výběrový vstup (1001) je spojen s výběrovým výstupem (905) řídící jednotky (9), jejíž první povelový vstup (901) je spojen s povelovým výstupem (512) korekčního řadiče (5), jehož příkazový vstup (513) je spojen s příkazovým vstupem (701) interpolačního řadiče (7), jehož výběrový

výstup (705) je spojen s druhým výběrovým vstupem (602) instrukční paměti (6). jejíž druhý instrukční výstup (604) je spojen s instrukčním vstupem (704) interpolačního řadiče (7). jehož řídicí výstup (706) je spojen s řídicím vstupem (402) pracovní paměti (4). jejíž datový výstup (404) je spojen s datovým vstupem (703) interpolačního řadiče (7) a s datovým vstupem (303) mezipaměti (3). jejíž přepisový vstup (302) je spojen s přepisovým vstupem (801) interpolační paměti (8) a s přepisovým vstupem (1103) centrálního řadiče (11). jehož informační vstup (1101) je spojen s informačním výstupem (708) interpolačního řadiče (7). jehož hodnotový výstup (709) je spojen s hodnotovým vstupem (802) interpolační paměti (8). jejíž interpolační výstup (803) je spojen s interpolačním výstupem (53) zapojení. jehož programový vstup (51) je spojen s programovým vstupem (103) programové paměti.

1 výkres

