

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4558413号
(P4558413)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 B

請求項の数 10 (全 22 頁)

(21) 出願番号	特願2004-245468 (P2004-245468)	(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成16年8月25日(2004.8.25)	(74) 代理人	100070150 弁理士 伊東 忠彦
(65) 公開番号	特開2006-66517 (P2006-66517A)	(72) 発明者	村松 茂次 長野県長野市小島田町80番地 新光電気工業株式会社内
(43) 公開日	平成18年3月9日(2006.3.9)	(72) 発明者	経塚 正宏 長野県長野市小島田町80番地 新光電気工業株式会社内
審査請求日	平成19年6月11日(2007.6.11)	(72) 発明者	小松 幹幸 長野県長野市小島田町80番地 新光電気工業株式会社内

最終頁に続く

(54) 【発明の名称】 基板、半導体装置、基板の製造方法、及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基材と、半導体素子に設けられた第1の外部接続端子が接続される配線部とを備えた基板において、

前記配線部と一体的に形成され、前記基材を貫通する貫通ビア部を有しており、

前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成され、かつ、前記第1の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする基板。

10

【請求項2】

前記配線部が設けられた側とは反対側に位置する前記貫通ビア部には、他の基板と接続するための第2の外部接続端子を設けたことを特徴とする請求項1に記載の基板。

【請求項3】

第1の外部接続端子を備えた半導体素子と、請求項1または2に記載の基板とを備え、

該基板に接続された半導体素子と前記基板の間には、間隙が形成されており、

前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置。

【請求項4】

基材と、他の基板と接続するための第2の外部接続端子が接続される配線部とを備え、第1の外部接続端子を備えた半導体素子が接続される基板において、

20

前記基材は、前記基材を貫通すると共に、前記配線部と一体的に形成された貫通ビア部を有しており、

前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成されており、

前記第1の外部接続端子は、前記配線部が設けられた側とは反対側の前記基材に位置する前記貫通ビアと接続され、

前記配線部は、他の基板と接続するための第2の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする基板。

10

【請求項5】

第1の外部接続端子を備えた半導体素子と、請求項4に記載の基板とを備え、
該基板に接続された半導体素子と前記基板の間には、間隙が形成されており、
前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置。

【請求項6】

基材と、半導体素子に設けられた第1の外部接続端子が接続される配線部と、他の基板と接続するための第2の外部接続端子とを備えた基板の製造方法において、

前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、

前記開口部の内壁に金属膜を形成する金属膜形成工程と、

前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第2の外部接続端子が接続される貫通ビア部を形成すると共に、前記溝部に前記第1の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含み

20

前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成され、かつ、前記第1の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を前記基材に形成する絶縁層形成工程とを設けたことを特徴とする基板の製造方法。

【請求項7】

前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項6に記載の基板の製造方法。

30

【請求項8】

基材と、配線部とを有した基板と、

前記配線部に接続される第1の外部接続端子を備えた半導体素子とを備え、

前記基材に接続された半導体素子と前記基板との間に形成される間隙に、アンダーフィル材を設けた半導体装置の製造方法において、

前記基材を支持する支持部材に、前記基材を配設する基材配設工程と、

該基材配設工程後に、請求項6または7に記載の基板の製造方法により前記基板を製造する基板製造工程と、

該基板製造工程後に、前記第1の外部接続端子を前記配線部に接続する半導体素子接続工程と、

該半導体素子接続工程後に、前記基材に接続された半導体素子と前記基板との間に形成された間隙に、前記アンダーフィル材を配設するアンダーフィル材配設工程と、

該アンダーフィル樹脂配設工程後に、前記支持部材を除去する支持部材除去工程とを含んだことを特徴とする半導体装置の製造方法。

40

【請求項9】

基材と、他の基板と接続するための第2の外部接続端子が接続される配線部とを備え、第1の外部接続端子を備えた半導体素子が接続される基板の製造方法において、

50

前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、

前記開口部の内壁に金属膜を形成する金属膜形成工程と、

前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第1の外部接続端子と接続される貫通ビア部を形成すると共に、前記溝部に前記第2の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含み

前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成され、かつ、前記第2の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を前記基材に形成する絶縁層形成工程とを設けたことを特徴とする基板の製造方法。

【請求項10】

前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項9に記載の基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に係り、特に半導体素子を高密度に実装する基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に関する。

【背景技術】

【0002】

図1及び図2を参照して、従来の半導体装置20について説明する。図1は、従来の半導体装置の断面図であり、図2は、図1に示した基板の断面図である。なお、図2において、図1に示した基板10と同一構成部分には同一の符号を付す。

【0003】

半導体装置20は、大略するとはんだバンプ24を備えた半導体素子23と、基板10とを有しており、基板10の接続パッド15に対して半導体素子23のはんだバンプ24が接続（フリップチップ接続）されると共に、半導体素子23と基板10との間に形成された隙間に、アンダーフィル樹脂26が配設された構成とされている。

【0004】

基板10は、大略すると樹脂基材11と、貫通孔12と、貫通ビア13と、配線14、17と、接続パッド15、18と、ソルダーレジスト16、19と、はんだボール21とを有した構成とされている。基板10は、半導体素子23とマザーボード（図示せず）との間を電氣的に接続するためのものである。

【0005】

貫通ビア13は、樹脂基材11を貫通する貫通孔12に配設されており、配線14と接続されている。配線14は、樹脂基材11の面11Aに設けられており、接続パッド15と接続されている。接続パッド15は、例えば、樹脂基材11の面11Aに設けられており、半導体素子23のはんだバンプ24を接続するためのものである。配線14及び接続パッド15は、樹脂基材11の面11Aに銅箔を貼り付け、銅箔上に配線14及び接続パッド15の形状に対応するようレジスト膜をパターンニングし、このパターンニングされたレジスト膜をマスクとしてエッチングを行うことで形成される（例えば、特許文献1参照）。

【0006】

ソルダーレジスト16は、樹脂基材11の面11A、及び配線14を覆うと共に、接続パッド15を露出するよう設けられている。配線17は、樹脂基材11の面11Bに設けられており、貫通ビア13と接続されている。接続パッド18は、例えば、樹脂基材11

10

20

30

40

50

の面 1 1 B に設けられており、配線 1 7 と接続されている。接続パッド 1 8 は、はんだボール 2 1 を配設するためのものである。配線 1 7 及び接続パッド 1 8 は、樹脂基材 1 1 の面 1 1 B に銅箔を貼り付け、銅箔上に配線 1 7 及び接続パッド 1 8 の形状に対応するようレジスト膜をパターンニングし、このパターンニングされたレジスト膜をマスクとしてエッチングを行うことで形成される（例えば、特許文献 1 参照。）。

【 0 0 0 7 】

ソルダーレジスト 1 9 は、樹脂基材 1 1 の面 1 1 B、及び配線 1 7 を覆うと共に、接続パッド 1 8 を露出するよう形成されている。はんだボール 2 1 は、接続パッド 1 8 に配設されており、はんだボール 2 1 はマザーポート（図示せず）と接続される。このような構成とされた基板 1 0 の接続パッド 1 5 には、半導体素子 2 3 のはんだバンプ 2 4 が接続される。

10

【 0 0 0 8 】

アンダーフィル樹脂 2 6 は、ソルダーレジスト 1 6 と半導体素子 2 3 との間に配設されている。アンダーフィル樹脂 2 6 は、基板 1 0 に接続された半導体素子 2 3 と樹脂基材 1 1 との接続を強固にするためのものである。アンダーフィル樹脂 2 6 を設けることにより、基板 1 0 と半導体素子 2 3 との間の接続信頼性を向上させることができる。

【特許文献 1】特開 2 0 0 0 - 1 6 5 0 4 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

20

図 3 は、半導体素子が接続された基板と半導体素子との間の拡大図である。なお、図 3 において、D 1 は樹脂基材 1 1 上に設けられたソルダーレジスト 1 6 と半導体素子 2 3 との間の間隙（以下、間隙 D 1 とする）、D 2 は配線 1 4 上に設けられたソルダーレジスト 1 6 と半導体素子 2 3 との間の間隙（以下、間隙 D 2 とする）、H 1 ははんだバンプ 2 4 の高さ（以下、高さ H 1 とする）をそれぞれ示している。また、図 3 に示した領域 A は、配線 1 4 が設けられた領域を示しており、領域 B は配線 1 4 及び接続パッド 1 5 が設けられていない領域を示している。

【 0 0 1 0 】

しかしながら、半導体素子 2 3 が実装される側の樹脂基材 1 1 には、配線 1 4 が形成された領域 A と、接続パッド 1 5 及び配線 1 4 が形成されていない領域 B とが存在し、接続パッド 1 5 及び配線 1 4 は樹脂基材 1 1 の面 1 1 A から突出するよう形成されているため、基板 1 0 に設けられたソルダーレジスト 1 6 の上面 1 6 A は凹凸形状となる。これにより、基板 1 0 に接続された半導体素子 2 3 と基板 1 0 との間隙にアンダーフィル樹脂 2 6 を配設した際、配線 1 4 上に設けられたソルダーレジスト 1 6 と半導体素子 2 3 との間隙 D 2 は、領域 B に設けられたソルダーレジスト 1 6 と半導体素子 2 3 との間隙 D 1 よりも狭くなってしまい、半導体素子 2 3 と基板 1 0 との間に均一かつ十分な厚さのアンダーフィル樹脂 2 6 を設けることが困難であるという問題があった。

30

【 0 0 1 1 】

また、近年の半導体素子の高速化、多機能化及び高集積化による端子の増加や狭ピッチ化に伴い、半導体素子 2 3 のはんだバンプ 2 4（外部接続端子）の高さ H 1 は小さくなってきており、配線 1 4 上に設けられたソルダーレジスト 1 6 と半導体素子 2 3 との間隙 D 2 は、さらに小さくなる傾向にあり、間隙 D 2 にアンダーフィル樹脂 2 6 を設けることが困難であるという問題があった。

40

【 0 0 1 2 】

さらに、半導体素子の小型化及び薄膜化に伴い、基板 1 0 の厚さが薄くなった場合には、基板 1 0 の強度不足により、基板 1 0 が変形し、基板 1 0 に対して半導体素子 2 3 を精度良く接続することが困難であるという問題があった。

【 0 0 1 3 】

そこで本発明は、上述した問題点を鑑みなされたものであり、半導体素子と基板との間隙に十分な厚さのアンダーフィル樹脂を均一に配設でき、かつ半導体素子を基板に対して

50

精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0015】

請求項1記載の発明では、基材と、半導体素子に設けられた第1の外部接続端子が接続される配線部とを備えた基板において、前記配線部と一体的に形成され、前記基材を貫通する貫通ビア部を有しており、前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成され、かつ、前記第1の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする基板により、解決できる。

10

【0016】

上記発明によれば、半導体素子に設けられた第1の外部接続端子が接続される配線部と、配線部が設けられた側の基材の面とが面一となるよう構成することにより、基板に半導体素子が接続された際、半導体素子と基板との間に形成される間隙を均一にすると共に、十分に確保することができる。また、配線部が設けられた側の基材の面と配線とが面一となるよう構成することにより、配線上に設けられた絶縁層の表面が凸凹することがなくなるため、基板に設けられた絶縁層と半導体素子との間に形成される間隙を均一かつ、十分に確保することができる。

20

【0019】

請求項2記載の発明では、前記配線部が設けられた側とは反対側に位置する前記貫通ビア部には、他の基板と接続するための第2の外部接続端子を設けたことを特徴とする請求項1に記載の基板により、解決できる。

【0020】

上記発明によれば、配線部が設けられた側とは反対側に位置する貫通ビア部に、他の基板と接続するための第2の外部接続端子を設けることにより、従来の基板よりも基板の厚さを薄くして、基板の小型化を図ることができる。

30

【0021】

請求項3記載の発明では、第1の外部接続端子を備えた半導体素子と、請求項1または2に記載の基板とを備え、該基板に接続された半導体素子と前記基板との間には、間隙が形成されており、前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置により、解決できる。

【0022】

上記発明によれば、半導体素子と基板との間に形成された間隙に、十分な厚さのアンダーフィル材を均一に配設することができる。これにより、基板と半導体素子との間の接続信頼性を十分に確保することができる。

【0023】

請求項4記載の発明では、基材と、他の基板と接続するための第2の外部接続端子が接続される配線部とを備え、第1の外部接続端子を備えた半導体素子が接続される基板において、前記基材は、前記基材を貫通すると共に、前記配線部と一体的に形成された貫通ビア部を有しており、前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成されており、前記第1の外部接続端子は、前記配線部が設けられた側とは反対側の前記基材に位置する前記貫通ビアと接続され、前記配線部は、他の基板と接続するための第2の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする基板により、解決できる。

40

50

【 0 0 2 4 】

上記発明によれば、半導体素子に設けられた第1の外部接続端子は、基材の面と面一とされた貫通ビア部に接続されるため、基板に接続された半導体素子と基板との間に形成される間隙を均一にすると共に、十分に確保することができる。また、配線部が設けられた側の基材の面と配線部とを面一となるよう構成されているので、従来の基板よりも基板の厚さを薄くして、基板の小型化を図ることができる。また、配線部は、配線部が設けられた側の基材の面と面一となるよう構成されているため、絶縁層の表面が凸凹することを防止できる。

【 0 0 2 7 】

請求項5記載の発明では、第1の外部接続端子を備えた半導体素子と、請求項4に記載の基板とを備え、該基板に接続された半導体素子と前記基板との間には、間隙が形成されており、前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置により、解決できる。

10

【 0 0 2 8 】

上記発明によれば、半導体素子と基板との間に形成された間隙に、十分な厚さのアンダーフィル材を均一に配設することができる。これにより、基板と半導体素子との間の接続信頼性を十分に確保することができる。

【 0 0 2 9 】

請求項6記載の発明では、基材と、半導体素子に設けられた第1の外部接続端子が接続される配線部と、他の基板と接続するための第2の外部接続端子とを備えた基板の製造方法において、前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、前記開口部の内壁に金属膜を形成する金属膜形成工程と、前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第2の外部接続端子が接続される貫通ビア部を形成すると共に、前記溝部に前記第1の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含み、前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成され、かつ、前記第1の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を前記基材に形成する絶縁層形成工程とを設けたことを特徴とする基板の製造方法により、解決できる。

20

30

【 0 0 3 0 】

上記発明によれば、基材に溝部と、溝部と一体的に形成された貫通孔とよりなる開口部を形成し、開口部の内壁に金属膜を形成して、電解めっき法により開口部にめっき膜を析出成長させることにより、半導体素子に設けられた第1の外部接続端子が接続される配線部と貫通ビア部とが、配線部が設けられた側の基材の面と面一になるよう加工することができる。また、配線は、配線部が設けられた側の基材の面と面一となるよう形成されるため、貫通ビア部及び配線を覆う絶縁層の表面が凸凹することがなくなり、基板に接続された半導体素子と絶縁層との間に形成される間隙を均一かつ、十分に確保することができる。

【 0 0 3 1 】

請求項7記載の発明では、前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項6に記載の基板の製造方法により、解決できる。

40

【 0 0 3 2 】

上記発明によれば、めっき膜形成工程において、めっき膜が基材の面よりも突出した際、めっき膜と基材の面とが面一となるよう研磨することにより、配線部及び貫通ビア部と配線部が設けられた側の基材の面とを面一にすることができる。

【 0 0 3 5 】

請求項8記載の発明では、基材と、配線部とを有した基板と、前記配線部に接続される

50

第1の外部接続端子を備えた半導体素子とを備え、前記基板に接続された半導体素子と前記基板との間に形成される間隙に、アンダーフィル材を設けた半導体装置の製造方法において、前記基材を支持する支持部材に、前記基材を配設する基材配設工程と、該基材配設工程後に、請求項6または7に記載の基板の製造方法により前記基板を製造する基板製造工程と、該基板製造工程後に、前記第1の外部接続端子を前記配線部に接続する半導体素子接続工程と、該半導体素子接続工程後に、前記基板に接続された半導体素子と前記基板との間に形成された間隙に、前記アンダーフィル材を配設するアンダーフィル材配設工程と、該アンダーフィル樹脂配設工程後に、前記支持部材を除去する支持部材除去工程とを含んだことを特徴とする半導体装置の製造方法により、解決できる。

【0036】

上記発明によれば、基材を支持する支持部材上に基材を配設して、請求項6または7に記載の基板の製造方法により基板を製造することにより、基材の厚さが薄い場合でも、精度良く基板の製造を行うことができる。また、基材を支持部材により支持した状態で、基板に半導体素子を接続することで、基材の厚さが薄い場合でも、基板と半導体素子とを確実に接続することができる。

【0037】

請求項9記載の発明では、基材と、他の基板と接続するための第2の外部接続端子が接続される配線部とを備え、第1の外部接続端子を備えた半導体素子が接続される基板の製造方法において、前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、前記開口部の内壁に金属膜を形成する金属膜形成工程と、前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第1の外部接続端子と接続される貫通ビア部を形成すると共に、前記溝部に前記第2の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含み、前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成され、かつ、前記第2の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を前記基材に形成する絶縁層形成工程とを設けたことを特徴とする基板の製造方法により、解決できる。

【0038】

上記発明によれば、半導体素子と接続される貫通ビア部は、基材の面と面一となるよう形成することにより、基板に接続される半導体素子と基板との間に形成される間隙を均一、かつ十分に確保することができる。また、第2の外部接続端子が接続される配線部は、配線部が設けられた側の基材の面と面一となるよう形成されるため、基材、貫通ビア部及び配線に設けられた絶縁層の表面が凸凹することを防止できる。

【0039】

請求項10記載の発明では、前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項9に記載の基板の製造方法により、解決できる。

【0040】

上記発明によれば、めっき膜形成工程において、めっき膜が基材の面よりも突出した際、めっき膜と基材の面が面一となるように研磨することにより、配線部及び貫通ビア部と配線部が設けられた側の基材の面とを面一にすることができる。これにより、基材から突出する配線部を有した従来の基板よりも基板の厚さを薄くして、基板の小型化を図ることができる。

【発明の効果】

【0043】

本発明によれば、表面の平坦性が高く、半導体素子と基板との間隙に十分な厚さのアンダーフィル材を均一に配設することができ、かつ半導体素子を基板に対して精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法を提供

10

20

30

40

50

できる。

【発明を実施するための最良の形態】

【0044】

次に、図面に基づいて本発明の実施例を説明する。

(第1実施例)

始めに、図4を参照して、本発明の第1実施例の半導体装置60について説明する。図4は、本発明の第1実施例の半導体装置を示した図である。半導体装置60は、大略すると基板40と、半導体素子63とを有している。半導体装置60は、半導体素子63が基板40に対してフリップチップ接続されると共に、半導体素子本体64と基板40との間隙67にアンダーフィル樹脂66を配設した構成とされている。アンダーフィル樹脂66は、基板40に接続されたはんだバンプ65を保護して、基板40と半導体素子63との間の接続信頼性を向上させるためのものである。半導体素子63は、半導体素子本体64に第1の外部接続端子であるはんだバンプ65が設けられた構成とされている。はんだバンプ65は、拡散防止膜56を介して、基板40の接続パッド49に接続されている。

10

【0045】

次に、図5乃至図7を参照して、本実施例の基板40について説明する。図5は、第1実施例の基板の断面図(図6に示した基板40のE-E線方向の断面図)であり、図6は、図5に示した基板をC視した図(平面図)であり、図7は、図5に示した基板をD視した図である。

【0046】

20

基板40は、大略すると基材41と、貫通ビア部47と、配線部48と、拡散防止膜52、56と、ソルダーレジスト57とを有した構成とされている。基材41には、貫通ビア部47及び配線部48を配設するための開口部74が形成されている。開口部74は、貫通ビア部47が配設される貫通孔75と、配線部49が配設される溝部76とを有した構成とされている。基材41には、例えば、樹脂基材を用いることができる。なお、以下の説明においては、基材41として樹脂基材を用いた場合について説明する。

【0047】

貫通ビア部47は、基材41を貫通するよう貫通孔75に配設されており、溝部76に配設された配線部48と一体的に形成されている。貫通ビア部47は、はんだボール54を接続するためのものであり、配線部48の接続パッド49には、半導体素子63のはんだバンプ65が接続される。貫通ビア部47及び配線部48は、金属膜45と、Cuめっき膜46とにより構成されている。金属膜45は、電解めっき法によりCuめっき膜46を形成する際の給電層である。金属膜45には、例えば、無電解めっき法により形成されたNi膜、Cu膜を用いることができる。

30

【0048】

基材41の面41B側に位置する貫通ビア部47の端部には、拡散防止膜52が設けられている。拡散防止膜52は、はんだのぬれ性向上や、貫通ビア部47に含まれるCuがはんだボール54に拡散することを防止するためのものである。拡散防止膜52には、例えば、Ni層/Au層の積層膜を用いることができる。第2の外部接続端子であるはんだボール54は、基板40に半導体素子63を搭載し、アンダーフィル樹脂66を充填した後、拡散防止膜52上に配設される。はんだボール54は、他の基板、例えば、マザーボードと基板40との間を電氣的に接続するためのものである。

40

【0049】

配線部48は、基材41の面41A側に設けられており、接続パッド49と配線51とを有した構成とされている(図6参照)。接続パッド49は、半導体素子63のはんだバンプ65が接続されるものであり、配線51は、接続パッド49と貫通ビア部47との間を電氣的に接続するためのものである。配線部48である接続パッド49及び配線51は、基材41の面41Aと面一となるよう構成されている。絶縁層であるソルダーレジスト57は、基材41の面41A側に貫通ビア部47及び配線51を覆うと共に、接続パッド49を露出するよう形成されている。

50

【 0 0 5 0 】

このように、配線部 4 8 を基材 4 1 の面 4 1 A と面一となるよう構成することにより、はんだバンプ 6 5 を接続パッド 4 9 に接続した際、基板 4 0 に設けられたソルダーレジスト 5 7 と半導体素子本体 6 4 との間に形成される間隙 6 7 を均一にすると共に、十分に確保することができる。これにより、間隙 6 7 に十分な厚さのアンダーフィル樹脂 6 6 を均一に配設して、半導体素子 6 3 と基板 4 0 の間の接続信頼性を十分に確保することができる。

【 0 0 5 1 】

ソルダーレジスト 5 7 から露出された接続パッド 4 9 には、拡散防止膜 5 6 が設けられている。拡散防止膜 5 6 は、はんだのぬれ性向上や、接続パッド 4 9 に含まれる Cu がはんだバンプ 6 5 に拡散することを防止するためのものである。拡散防止膜 5 6 には、例えば、Ni 層 / Au 層の積層膜を用いることができる。

10

【 0 0 5 2 】

次に、図 8 乃至図 2 1 を参照して、第 1 実施例の半導体装置 6 0 の製造方法について説明する。図 8 乃至図 2 0 は、第 1 実施例の半導体装置の製造工程を示した図であり、図 2 1 は、図 1 1 に示した構造体に Cu めっき膜を析出成長させた図である。なお、図 8 乃至図 2 0 において、図 4 に示した半導体装置 6 0 と同一構成部分には同一の符号を付す。

【 0 0 5 3 】

始めに、図 8 に示すように、支持部材 7 1 上に金属層 7 2 を設け、金属層 7 2 を介して支持部材 7 1 に基材 4 1 を配設する（基材配設工程）。支持部材 7 1 は、基材 4 1 の厚さ M 1 が薄い場合に発生する反りや撓みを抑制するためのものである。支持部材 7 1 には、例えば、エポキシやポリイミド等の樹脂板や、アルミ、銅等の金属板を用いることができる。なお、支持部材 7 1 に金属板を用いる場合には、金属層 7 2 を設ける必要がなく、金属層 7 2 を形成する工程を省略することができる。

20

【 0 0 5 4 】

このように、支持部材 7 1 上に基材 4 1 を配設して、基板 4 0 の製造を行うことにより、基材 4 1 の厚さ M 1 が薄い場合でも、基板 4 0 を精度良く製造することができる。金属層 7 2 は、電解めっき法により拡散防止膜 5 2 を形成する際の給電層である。金属層 7 2 は、例えば、無電解めっき法やスパッタ法により形成することができる。金属層 7 2 の材料には、例えば、Cu, Ni, Al 等を用いることができる。なお、金属層 7 2 が設けられた支持部材 7 1 上に、樹脂を塗布して、基材 4 1 を形成しても良い。

30

【 0 0 5 5 】

次に、図 9 に示すように、基材 4 1 に、溝部 7 6 と、溝部 7 6 と一体的に形成された貫通孔 7 5 よりなる開口部 7 4 を形成する（開口部形成工程）。この際、金属層 7 2 は、貫通孔 7 5 により露出される。開口部 7 4 は、例えば、ドリルを用いたドリル加工、レーザ加工、微細な金型を用いた金型加工のいずれかの方法により形成することができる。金型加工を用いる場合には、金属層 7 2 が形成された支持部材 7 1 上に、樹脂（図 9 に示した基材 4 1 に相当する）を塗布又は樹脂フィルム（図 9 に示した基材 4 1 に相当する）を貼着し、次に、樹脂（又は樹脂フィルム）を半硬化させ、開口部 7 4 を形成するための凸部を有した金型を半硬化状態の樹脂（又は樹脂フィルム）に押し付けて、凸部の形状を転写し、樹脂（又は樹脂フィルム）を加熱して硬化させることで、基材 4 1 に開口部 7 4 が形成される。

40

【 0 0 5 6 】

続いて、図 1 0 に示すように、金属層 7 2 を給電層として、電解めっき法により貫通孔 7 5 の底部に拡散防止膜 5 2 を形成する。なお、拡散防止膜 5 2 に替えて、はんだボール 5 4 の接合に都合が良いようなはんだ膜（はんだめっき法により形成される）を用いても良い。次に、図 1 1 に示すように、図 1 0 に示した構造体上に金属膜 4 5 を形成する。金属膜 4 5 は、開口部 7 4 に Cu めっき膜 4 6 を析出成長させるための給電層である。金属膜 4 5 は、例えば、無電解めっき法やスパッタ法により形成することができる。金属膜 4 5 には、例えば、銅やニッケルを用いることができる。

50

【 0 0 5 7 】

次に、図 1 2 に示すように、基材 4 1 の面 4 1 A 上に形成された金属膜 4 5 を研磨により除去して、開口部 7 4 の内壁にのみ金属膜 4 5 を残す（金属膜形成工程）。続いて、図 1 3 に示すように、金属膜 4 5 を給電層として、電解めっき法により開口部 7 4 に Cu めっき膜 4 6 を析出成長させる（めっき膜形成工程）。なお、図 1 3 において、Cu めっき膜 4 6 A は、基材 4 1 の面 4 1 A から突出した部分の Cu めっき膜を示している。

【 0 0 5 8 】

次に、図 1 4 に示すように、基材 4 1 の面 4 1 A から突出した Cu めっき膜 4 6 A の研磨を行って、Cu めっき膜 4 6 の面 4 6 B と基材 4 1 の面 4 1 A とを面一にする（めっき膜研磨工程）。これにより、溝部 7 6 に形成された配線部 4 8（接続パッド 4 9 及び配線 5 1）、及び貫通孔 7 5 に形成された貫通ビア部 4 7 を基材 4 1 の面 4 1 A と面一にすることができる。

10

【 0 0 5 9 】

このように、配線部 4 8 が基材 4 1 の面 4 1 A と面一になるよう形成することにより、基材 4 1 の面 4 1 A から接続パッド 4 9 及び配線 5 1 が突出することがなくなり、半導体素子 6 3 を基板 4 0 に接続させた際、半導体素子本体 6 4 と基板 4 0 との間隙 6 7 を均一にすると共に、十分に確保することができる。なお、めっき膜形成工程において、Cu めっき膜 4 6 A の突出量が少ない場合には、めっき膜研磨工程を省略しても良い。

【 0 0 6 0 】

次に、図 1 5 に示すように、配線 5 1 及び貫通ビア部 4 7 を覆うと共に、接続パッド 4 9 を露出する開口部 5 7 A を有したソルダーレジスト 5 7 を形成する（絶縁層形成工程）。続いて、図 1 6 に示すように、めっき法により開口部 5 7 A に露出された接続パッド 4 9 上に Ni 層 / Au 層からなる拡散防止膜 5 6 を形成する。なお、拡散防止膜 5 6 に替えて、半導体素子 6 3 の接合に都合が良いようなはんだ膜（はんだめっき法により形成される）を用いても良い。

20

【 0 0 6 1 】

次に、図 1 7 に示すように、基材 4 1 を支持部材 7 1 に支持した状態で、拡散防止膜 5 6 を介して、半導体素子 6 3 のはんだパンプ 6 5 を接続パッド 4 9 にフリップチップ接続する（半導体素子接続工程）。

【 0 0 6 2 】

このように、支持部材 7 1 により基材 4 1 を支持した状態で、半導体素子 6 3 を接続パッド 4 9 に接続することで、基材 4 1 の厚さ M 1 が薄い場合でも、基材 4 1 が撓むことが防止でき、半導体素子 6 3 のはんだパンプ 6 5 を接続パッド 4 9 に対して精度良く接続することができる。

30

【 0 0 6 3 】

次に、図 1 8 に示すように、半導体素子本体 6 4 とソルダーレジスト 5 7 との間に形成された間隙 6 7 に、アンダーフィル樹脂 6 6 を配設する（アンダーフィル材配設工程）。これにより、間隙 6 7 に十分な厚さのアンダーフィル樹脂 6 6 を均一に配設して、基板 4 0 と半導体素子 6 3 との間の接続信頼性を十分に確保することができる。

【 0 0 6 4 】

次に、図 1 9 に示すように、支持部材 7 1 及び金属層 7 2 の除去処理を行う（支持部材除去工程）。ここで、支持部材 7 1 及び金属層 7 2 の除去処理について説明する。支持部材 7 1 に樹脂板を用いた場合には、支持部材 7 1 を剥離後に、金属層 7 2 をウエットエッチングにより除去する。また、支持部材 7 1 がポリイミド（樹脂）からなり、この表面に無電解銅めっき法で金属層 7 2 が形成された場合には、容易に金属層 7 2 から支持部材 7 1 を剥離させることができる。金属層 7 2 に銅を用いた場合には、銅をウエットエッチングする際に使用されるエッチング液に拡散防止膜 5 2 が溶解されにくいため、金属層 7 2 のみ容易に除去することができる。支持部材 7 1 に金属板を用いた場合には、ウエットエッチングにより除去することができる。また、支持部材 7 1 である金属板を研磨により除去後、ウエットエッチングにより金属層 7 2 の除去を行っても良い。

40

50

【 0 0 6 5 】

続いて、図 2 0 に示すように、拡散防止膜 5 2 を介して、はんだボール 5 4 を貫通ビア部 4 7 に接続する。これにより、基板 4 0 に半導体素子 6 3 が接続された半導体装置 6 0 が製造される。

【 0 0 6 6 】

以上説明したように、配線部 4 8 及び貫通ビア部 4 7 が基材 4 1 の面 4 1 A と面一となるよう形成することにより、半導体素子本体 6 4 と基板 4 0 との間に形成される間隙 6 7 を均一にすると共に、十分に確保して、間隙 6 7 に十分な厚さのアンダーフィル樹脂 6 6 を配設することができる。これにより、基板 4 0 と半導体素子 6 3 との接続を強固にすることにより、基板 4 0 及び / 又は半導体素子 6 3 が破損することを防止できる。また、基材 4 1 の厚さ M 1 が薄い場合において、基板 4 0 を精度良く加工すると共に、半導体素子 6 3 のはんだバンプ 6 5 を接続パッド 4 9 に対して精度良く接続することができる。

10

【 0 0 6 7 】

なお、図 2 1 に示すように、図 1 1 に示した構造体に Cu めっき膜 4 6 を形成し、続いて、研磨により図 1 4 に示した構造体の形状に加工し、その後、図 1 5 乃至図 2 0 に示した製造工程により半導体装置 6 0 を製造しても良い。

(第 2 実施例)

始めに、図 2 2 を参照して、本発明の第 2 実施例の半導体装置 1 0 0 について説明する。図 2 2 は、本発明の第 2 実施例の半導体装置を示した図である。半導体装置 1 0 0 は、大略すると基板 8 0 と、半導体素子 6 3 とを有している。半導体装置 1 0 0 は、半導体素子 6 3 が基板 8 0 に対してフリップチップ接続され、半導体素子本体 6 4 と基板 8 0 との間隙 1 1 0 には、アンダーフィル樹脂 9 8 が配設されている。

20

【 0 0 6 8 】

半導体素子 6 3 は、半導体素子本体 6 4 と、第 1 の外部接続端子であるはんだバンプ 6 5 とを有した構成とされている。はんだバンプ 6 5 は、拡散防止膜 9 5 を介して、基材 8 1 の面 8 1 A 側に位置する貫通ビア部 8 7 の端部と接続されている。

【 0 0 6 9 】

次に、図 2 3 乃至図 2 5 を参照して、本実施例の基板 8 0 について説明する。図 2 3 は、第 2 実施例の基板の断面図 (図 2 5 に示した基板 8 0 の F - F 線方向の断面図) であり、図 2 4 は、図 2 3 に示した基板を C 視した図 (平面図) であり、図 2 5 は、図 2 3 に示した基板を D 視した図である。

30

【 0 0 7 0 】

基板 8 0 は、大略すると基材 8 1 と、貫通ビア部 8 7 と、配線部 8 8 と、拡散防止膜 9 2 , 9 5 と、はんだボール 9 4 と、ソルダーレジスト 9 1 とを有した構成とされている。基材 8 1 には、貫通ビア部 8 7 及び配線部 8 8 を配設するための開口部 8 4 が形成されている。開口部 8 4 は、貫通ビア部 8 7 が配設される貫通孔 8 2 と、配線部 8 8 が配設される溝部 8 3 とを有した構成とされている。基材 8 1 には、例えば、樹脂基材を用いることができる。なお、以下の説明においては、基材 8 1 として樹脂基材を用いた場合について説明する。

【 0 0 7 1 】

貫通ビア部 8 7 は、基材 8 1 を貫通するよう貫通孔 8 2 に配設されており、溝部 8 3 に配設された配線部 8 8 と一体的に形成されている。配線部 8 8 が形成されていない側の貫通ビア部 8 7 には、半導体素子 6 3 のはんだバンプ 6 5 が接続される。

40

【 0 0 7 2 】

このように、半導体素子 6 3 のはんだバンプ 6 5 を配線部 8 8 が形成されていない側の貫通ビア部 8 7 に接続することにより、半導体素子 6 3 と基板 8 0 との間に形成される間隙 1 1 0 を均一、かつ十分に確保することができる。これにより、間隙 1 1 0 に十分な厚さのアンダーフィル樹脂 9 8 を均一に配設して、半導体素子 6 3 と基板 8 0 との間の接続信頼性を向上させることができる。

【 0 0 7 3 】

50

貫通ビア部 87 及び配線部 88 は、金属膜 85 と、Cuめっき膜 86 とにより構成されている。金属膜 85 は、電解めっき法により Cuめっき膜 86 を形成する際の給電層である。金属膜 85 には、例えば、無電解めっき法により形成された Ni 膜、Cu 膜を用いることができる。

【0074】

配線部 88 は、接続パッド 89 と、配線 90 とを有した構成とされている。配線部 88 は、基材 81 の面 81B 側に貫通ビア部 87 と一体的に形成されている。接続パッド 89 は、第 2 の外部接続端子であるはんだボール 94 を接続するためのものである。配線 90 は、接続パッド 89 と貫通ビア部 87 との間を電氣的に接続するためのものである。配線部 88 及び貫通ビア部 87 は、基材 81 の面 81B と面一となるように形成されている。

10

【0075】

このように、配線部 88 を基材 81 の面 81B と面一となるよう構成することにより、接続パッド 89 及び配線 90 が基材 81 の面 81B から突出することがなくなるため、従来の基板 10 よりも基板 80 の厚さ M2 を薄くして、基板 80 の小型化を図ることができる。

【0076】

絶縁層であるソルダーレジスト 91 は、貫通ビア部 87 及び配線 90 を覆うと共に、接続パッド 89 を露出するよう基材 81 に形成されている。ソルダーレジスト 91 は、はんだボール 94 が接続される際のはんだショートを抑制すると共に、貫通ビア部 87 及び配線 90 を保護するためのものである。拡散防止膜 92 は、ソルダーレジスト 91 に露出された接続パッド 89 上に設けられている。拡散防止膜 92 は、はんだのぬれ性向上や、はんだボール 94 に接続パッド 89 に含まれる Cu が拡散することを防止するためのものである。拡散防止膜 92 には、例えば、Ni 層 / Au 層の積層膜を用いることができる。第 2 の外部接続端子であるはんだボール 94 は、拡散防止膜 92 を介して、接続パッド 89 に接続されている。はんだボール 94 は、他の基板、例えば、マザーボードと基板 80 との間を電氣的に接続するためのものである。

20

【0077】

基材 81 を貫通する貫通ビア部 87 は、配線部 88 と一体的に設けられている。基材 81 の面 81A 側に位置する貫通ビア部 87 の端部には、基材 81 の面 81A と面一となるよう拡散防止膜 95 が設けられている。拡散防止膜 95 が設けられた貫通ビア部 87 には、半導体素子 63 のはんだバンプ 65 が電氣的に接続される。拡散防止膜 95 は、はんだのぬれ性向上や、はんだバンプ 65 に貫通ビア部 87 に含まれる Cu が拡散することを防止するためのものである。拡散防止膜 95 には、例えば、Ni 層 / Au 層の積層膜を用いることができる。

30

【0078】

次に、図 26 乃至図 36 を参照して、第 2 実施例の基板 80 の製造方法について説明する。図 26 乃至図 36 は、第 2 実施例の基板の製造工程を示した図であり、図 37 は、図 36 に示した基板に半導体素子を接続させた半導体装置の断面図である。また、図 38 は、図 29 に示した構造体に Cuめっき膜を析出成長させた図である。

【0079】

40

始めに、図 26 に示すように、支持部材 101 上に金属層 102 を設け、金属層 102 を介して支持部材 101 上に基材 81 を配設する（基材配設工程）。支持部材 101 は、基材 81 の厚さ M3 が薄い場合に発生する反りや撓みを抑制するためのものである。支持部材 101 には、例えば、エポキシやポリイミド等の樹脂板や、アルミ、銅等の金属板を用いることができる。なお、支持部材 101 に金属板を用いる場合には、金属層 102 を設ける必要がなく、金属層 102 を形成する工程を省略することができる。

【0080】

このように、支持部材 101 上に基材 81 を配設して、基板 80 の製造を行うことにより、基材 81 の厚さ M3 が薄い場合でも、精度良く基板 80 を製造することができる。金属層 102 は、電解めっき法により拡散防止膜 95 を形成する際の給電層である。金属層

50

102は、例えば、無電解めっき法やスパッタ法により形成することができる。金属層102の材料には、例えば、Cu、Ni、Al等を用いることができる。なお、金属層102が設けられた支持部材101上に、樹脂を塗布して、基材81を形成しても良い。

【0081】

次に、図27に示すように、基材81に開口部84を形成する(開口部形成工程)。開口部84は、溝部83と、溝部83と一体的に形成された貫通孔82とから構成されている。この際、金属層102は、貫通孔82により露出される。開口部84は、例えば、ドリルを用いたドリル加工、レーザ加工、微細な金型を用いた金型加工のいずれかの方法により形成することができる。金型加工を用いる場合には、金属層102が形成された支持部材101上に、樹脂(図27に示した基材81に相当する)を塗布又は樹脂フィルム(図27に示した基材81に相当する)を貼着し、次に、樹脂(又は樹脂フィルム)を半硬化させ、開口部84を形成するための凸部を有した金型を半硬化状態の樹脂(又は樹脂フィルム)に押し付けて、凸部の形状を転写し、樹脂(又は樹脂フィルム)を加熱して硬化させることで、基材81に開口部84が形成される。

10

【0082】

続いて、図28に示すように、金属層102を給電層として、電解めっき法により貫通孔82の底部に、基材81の面81Aと面一となる拡散防止膜95を形成する。なお、拡散防止膜95に替えて、半導体素子63の接合に都合が良いようなはんだ膜(はんだめっき法により形成される)を用いても良い。

20

【0083】

このように、半導体素子63のはんだパンプ65が接続される拡散防止膜95を、基材81の面81Aと面一となるよう形成することにより、半導体素子63が基板80に接続された際、半導体素子本体64と基板80との間に形成される間隙110を均一、かつ十分に確保することができる。

【0084】

次に、図29に示すように、図28に示した構造体上に金属膜85を形成する。金属膜85は、開口部84にCuめっき膜86を析出成長させる際の給電層である。金属膜85は、例えば、無電解めっき法やスパッタ法により形成することができる。金属膜85には、例えば、銅やニッケルを用いることができる。

30

【0085】

次に、図30に示すように、基材81の面81Bに形成された金属膜85を研磨により除去して、開口部84の内壁にのみ金属膜85を残す(金属膜形成工程)。続いて、図31に示すように、金属膜85を給電層として、電解めっき法により開口部84に形成された金属膜85上にCuめっき膜86を析出成長させる(めっき膜形成工程)。なお、図31において、Cuめっき膜86Aは、基材81の面81Bから突出したCuめっき膜を示している。

【0086】

次に、図32に示すように、基材81の面81Bから突出したCuめっき膜86Aの研磨を行って、研磨後のCuめっき膜86の面86Bと基材81の面81Bとを面一にする(めっき膜研磨工程)。これにより、溝部83に形成された配線部88(図示せず)、及び貫通孔82に形成された貫通ビア部87を基材81の面81Bと面一にすることができる。

40

【0087】

このように、配線部88を基材81の面81Bと面一となるように形成することにより、従来の基板10よりも基板80の厚さM2を薄くして、基板80の小型化を図ることができる。なお、めっき膜形成工程において、Cuめっき膜86Aの突出量(基材81の面81Bからの突出量)が少ない場合には、めっき膜研磨工程を省略しても良い。

【0088】

次に、図33に示すように、貫通ビア部87及び配線90を覆うと共に、接続パッド8

50

9を露出する開口部91Aを有したソルダーレジスト91を図32に示した構造体上に形成する(絶縁層形成工程)。続いて、図34に示すように、めっき法により接続パッド89上に拡散防止膜92を形成する。なお、拡散防止膜92に替えて、はんだボール94の接合に都合が良いようなはんだ膜(はんだめっき法により形成される)を用いても良い。

【0089】

次に、図35に示すように、拡散防止膜92にはんだボール94を配設する。これにより、基板80が製造される。その後、図36に示すように、支持部材101及び金属層102の除去処理を行う。ここで、支持部材101及び金属層102の除去処理について説明する。支持部材101に樹脂板を用いた場合には、支持部材101を剥離後に、金属層102をウエットエッチングにより除去する。また、支持部材101がポリイミド(樹脂)からなり、この表面に無電解銅めっき法で金属層102が形成された場合には、容易に金属層102から支持部材101を剥離させることができる。金属層102に銅を用いた場合には、銅をウエットエッチングする際に使用されるエッチング液に拡散防止膜95が溶解されにくいいため、金属層102のみ容易に除去することができる。支持部材101に金属板を用いた場合には、ウエットエッチングにより除去することができる。また、支持部材101である金属板を研磨により除去後、ウエットエッチングにより金属層102の除去を行っても良い。

【0090】

続いて、図37に示すように、半導体素子63のはんだバンプ65を、拡散防止膜95を介して接続パッド87にフリップチップ接続し、半導体素子本体64と基板80との間隙110にアンダーフィル樹脂98を配設することで、半導体装置100が製造される。

【0091】

以上説明したような製造方法で基板80を製造することにより、半導体素子本体64と基板80との間の間隙110に均一、かつ十分な厚さのアンダーフィル樹脂98を配設することにより、基板80と半導体素子63との間の接続信頼性を十分に確保することができる。また、基材81の厚さM3が薄い場合においても、基板80を精度良く製造することができる。さらに、配線部88を基材81の面81Bと面一となるように形成して、基板80の厚さM2を薄くすることにより、基板80の小型化を図ることができる。

【0092】

なお、めっき膜形成工程において、Cuめっき膜86Aの突出量(基材81の面81Bからの突出量)が少ない場合には、めっき膜研磨工程を省略しても良い。また、図38に示すように、図29に示した構造体にCuめっき膜86を形成し、続いて、研磨により図32に示した構造体の形状に加工し、その後、図33乃至図36に示した製造工程により基板80を製造しても良い。

【0093】

以上、本発明の好ましい実施例について詳述したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。なお、第1及び第2実施例の基板40, 80において、基材41, 81は樹脂基材に限定されない。

【産業上の利用可能性】

【0094】

本発明によれば、半導体素子と基板との間隙に十分な厚さのアンダーフィル樹脂を均一に配設ことができ、かつ半導体素子を基板に対して精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に適用できる。

【図面の簡単な説明】

【0095】

【図1】従来の半導体装置の断面図である。

【図2】図1に示した基板の断面図である。

【図3】半導体素子が接続された基板と半導体素子との間の拡大図である。

【図4】本発明の第1実施例の半導体装置を示した図である。

10

20

30

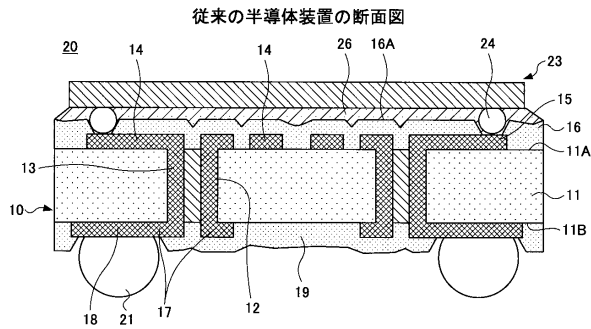
40

50

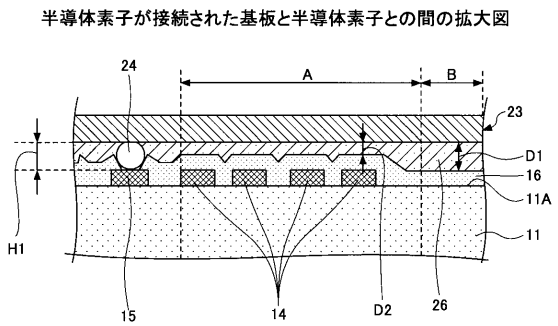
- 【図 5】第 1 実施例の基板の断面図である。
- 【図 6】図 5 に示した基板を C 視した図である。
- 【図 7】図 5 に示した基板を D 視した図である。
- 【図 8】第 1 実施例の半導体装置の製造工程を示した図（その 1）である。
- 【図 9】第 1 実施例の半導体装置の製造工程を示した図（その 2）である。
- 【図 10】第 1 実施例の半導体装置の製造工程を示した図（その 3）である。
- 【図 11】第 1 実施例の半導体装置の製造工程を示した図（その 4）である。
- 【図 12】第 1 実施例の半導体装置の製造工程を示した図（その 5）である。
- 【図 13】第 1 実施例の半導体装置の製造工程を示した図（その 6）である。
- 【図 14】第 1 実施例の半導体装置の製造工程を示した図（その 7）である。 10
- 【図 15】第 1 実施例の半導体装置の製造工程を示した図（その 8）である。
- 【図 16】第 1 実施例の半導体装置の製造工程を示した図（その 9）である。
- 【図 17】第 1 実施例の半導体装置の製造工程を示した図（その 10）である。
- 【図 18】第 1 実施例の半導体装置の製造工程を示した図（その 11）である。
- 【図 19】第 1 実施例の半導体装置の製造工程を示した図（その 12）である。
- 【図 20】第 1 実施例の半導体装置の製造工程を示した図（その 13）である。
- 【図 21】図 11 に示した構造体に Cu めっき膜を析出成長させた図である。
- 【図 22】本発明の第 2 実施例の半導体装置を示した図である。
- 【図 23】第 2 実施例の基板の断面図である。
- 【図 24】図 23 に示した基板を C 視した図である。 20
- 【図 25】図 23 に示した基板を D 視した図である。
- 【図 26】第 2 実施例の基板の製造工程を示した図（その 1）である。
- 【図 27】第 2 実施例の基板の製造工程を示した図（その 2）である。
- 【図 28】第 2 実施例の基板の製造工程を示した図（その 3）である。
- 【図 29】第 2 実施例の基板の製造工程を示した図（その 4）である。
- 【図 30】第 2 実施例の基板の製造工程を示した図（その 5）である。
- 【図 31】第 2 実施例の基板の製造工程を示した図（その 6）である。
- 【図 32】第 2 実施例の基板の製造工程を示した図（その 7）である。
- 【図 33】第 2 実施例の基板の製造工程を示した図（その 8）である。
- 【図 34】第 2 実施例の基板の製造工程を示した図（その 9）である。 30
- 【図 35】第 2 実施例の基板の製造工程を示した図（その 10）である。
- 【図 36】第 2 実施例の基板の製造工程を示した図（その 11）である。
- 【図 37】図 36 に示した基板に半導体素子を接続させた半導体装置の断面図である。
- 【図 38】図 29 に示した構造体に Cu めっき膜を析出成長させた図である。
- 【符号の説明】
- 【0096】
- 10, 40, 80 基板
- 11 樹脂基材
- 11A, 11B, 41A, 41B, 46B, 81A, 81B, 86B 面
- 12, 75, 82 貫通孔 40
- 13 貫通ビア
- 14, 17, 51, 90 配線
- 15, 18, 49, 89 接続パッド
- 16, 19, 57, 91 ソルダーレジスト
- 16A 上面
- 20, 60, 100 半導体装置
- 21, 54, 94 はんだボール
- 23, 63 半導体素子
- 24, 65 はんだバンプ
- 26, 66, 98 アンダーフィル樹脂 50

- 41, 81 基材
- 45, 85 金属膜
- 46, 46A, 86, 86A Cuめっき膜
- 47, 87 貫通ビア部
- 48, 88 配線部
- 52, 56, 92, 95 拡散防止膜
- 57A, 74, 84, 91A 開口部
- 63 半導体素子
- 64 半導体素子本体
- 67, 110 間隙
- 71, 101 支持部材
- 72, 102 金属層
- 76, 83 溝部
- A, B 領域
- D1, D2 間隙
- H1 高さ
- M1 ~ M3 厚さ

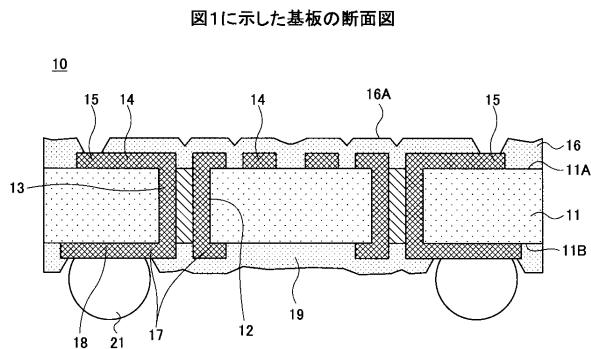
【図1】



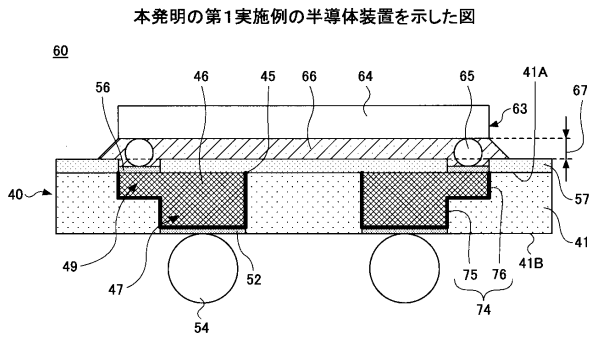
【図3】



【図2】

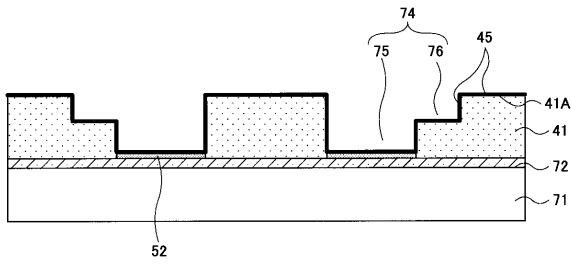


【図4】



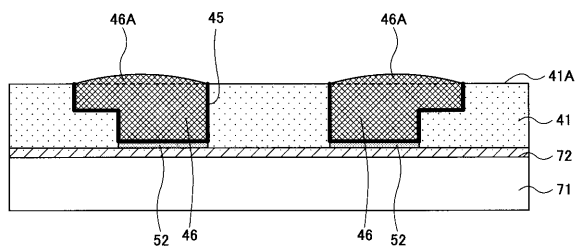
【図11】

第1実施例の半導体装置の製造工程を示した図(その4)



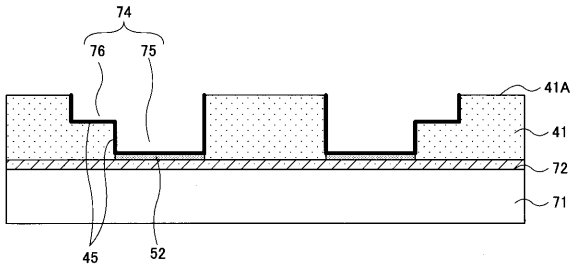
【図13】

第1実施例の半導体装置の製造工程を示した図(その6)



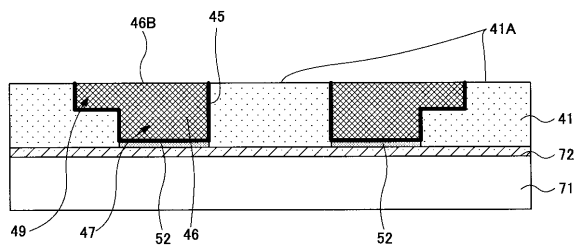
【図12】

第1実施例の半導体装置の製造工程を示した図(その5)



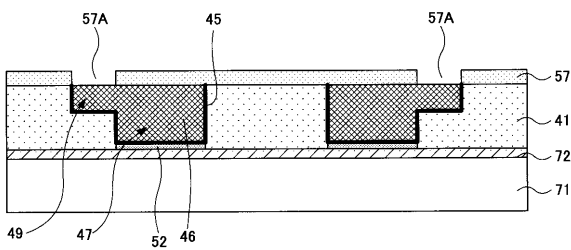
【図14】

第1実施例の半導体装置の製造工程を示した図(その7)



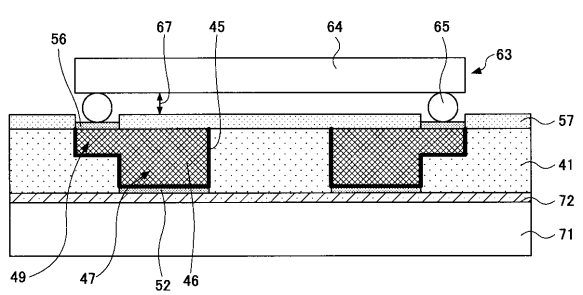
【図15】

第1実施例の半導体装置の製造工程を示した図(その8)



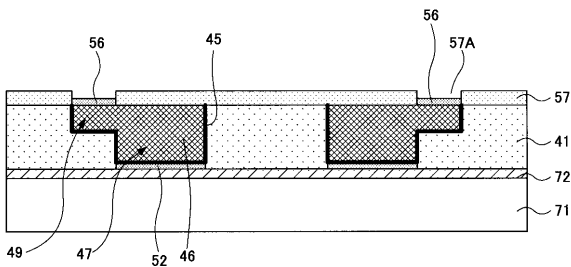
【図17】

第1実施例の半導体装置の製造工程を示した図(その10)



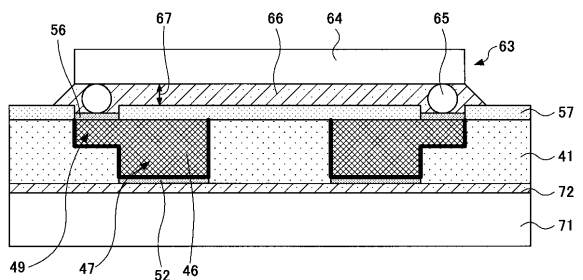
【図16】

第1実施例の半導体装置の製造工程を示した図(その9)



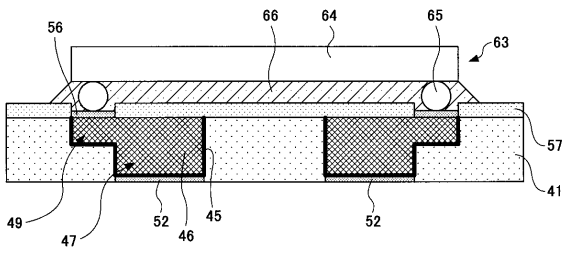
【図18】

第1実施例の半導体装置の製造工程を示した図(その11)



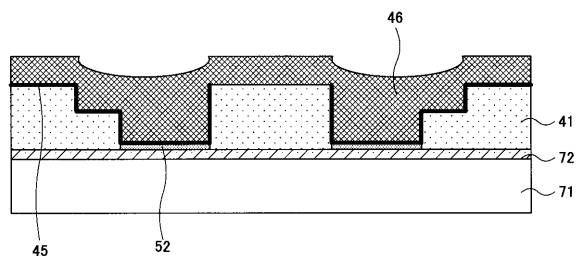
【図19】

第1実施例の半導体装置の製造工程を示した図(その12)



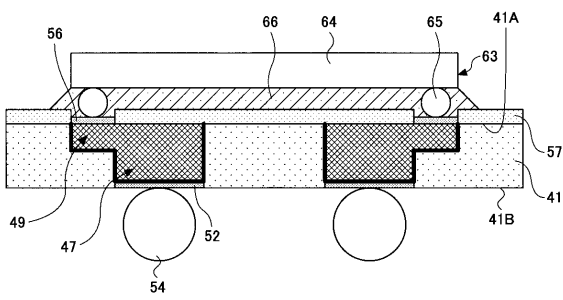
【図21】

図11に示した構造体にCuめっき膜を析出成長させた図



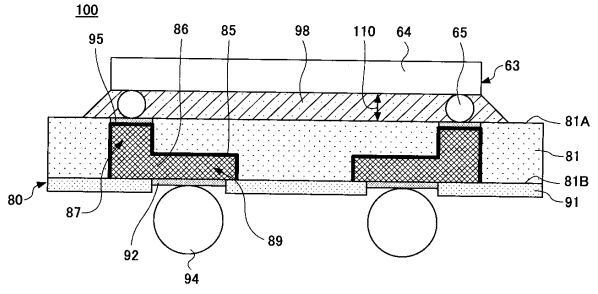
【図20】

第1実施例の半導体装置の製造工程を示した図(その13)



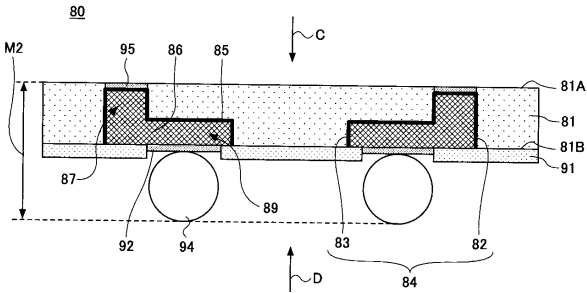
【図22】

本発明の第2実施例の半導体装置を示した図



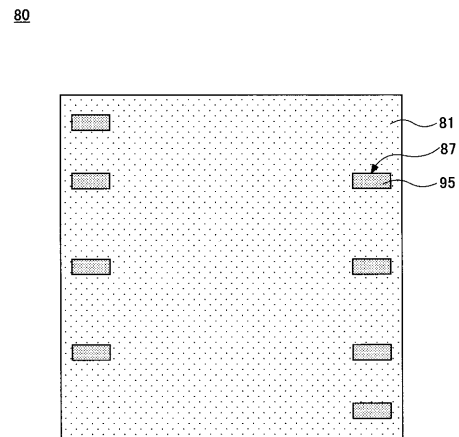
【図23】

第2実施例の基板の断面図



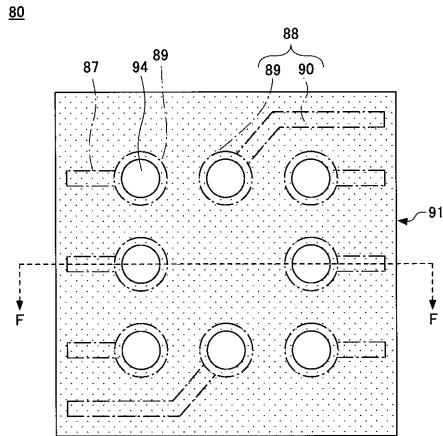
【図24】

図23に示した基板をC視した図



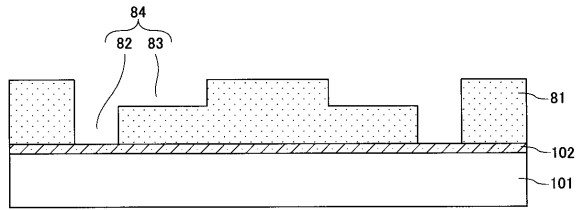
【図 25】

図23に示した基板をD視した図



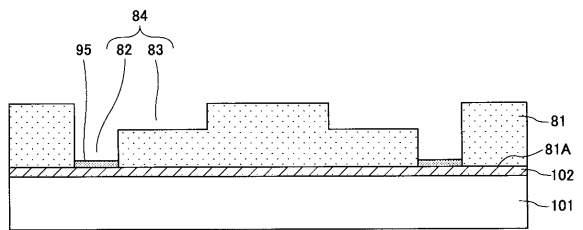
【図 27】

第2実施例の基板の製造工程を示した図(その2)



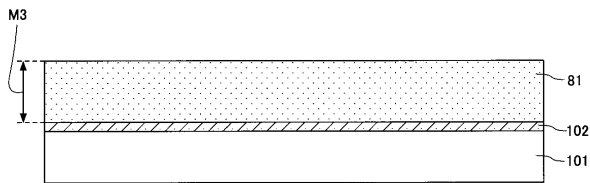
【図 28】

第2実施例の基板の製造工程を示した図(その3)



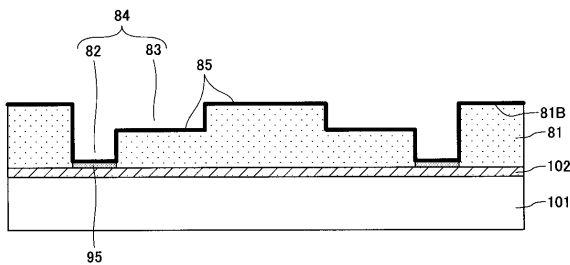
【図 26】

第2実施例の基板の製造工程を示した図(その1)



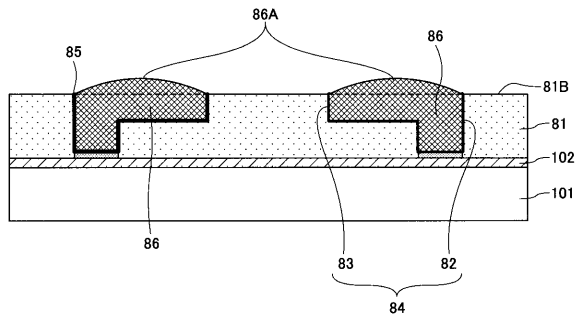
【図 29】

第2実施例の基板の製造工程を示した図(その4)



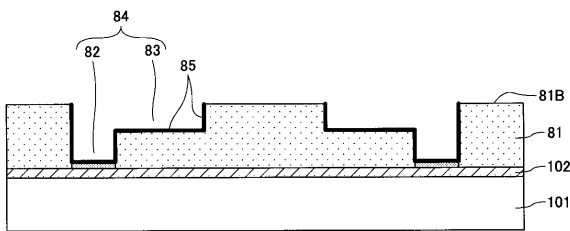
【図 31】

第2実施例の基板の製造工程を示した図(その6)



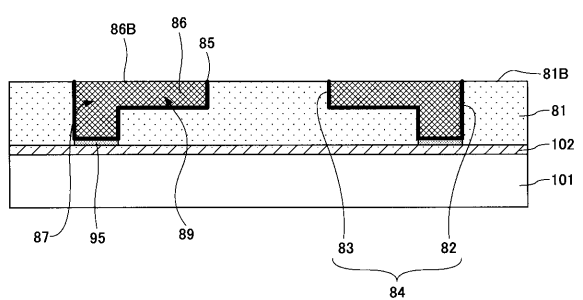
【図 30】

第2実施例の基板の製造工程を示した図(その5)



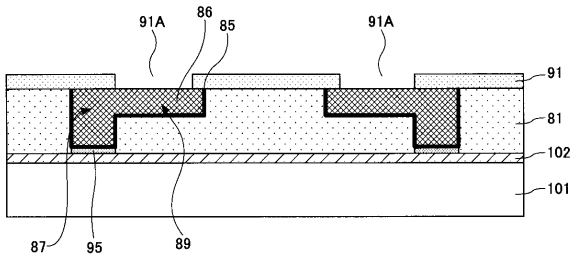
【図 32】

第2実施例の基板の製造工程を示した図(その7)



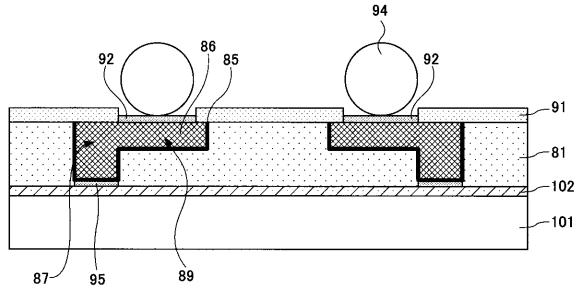
【図33】

第2実施例の基板の製造工程を示した図(その8)



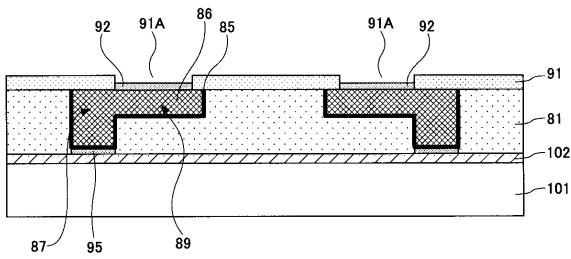
【図35】

第2実施例の基板の製造工程を示した図(その10)



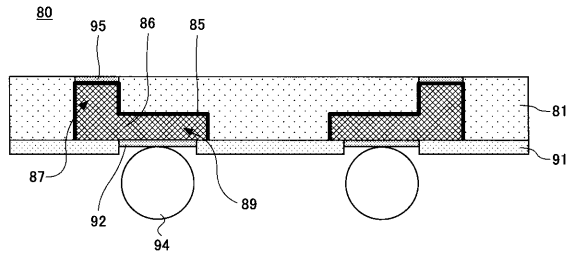
【図34】

第2実施例の基板の製造工程を示した図(その9)



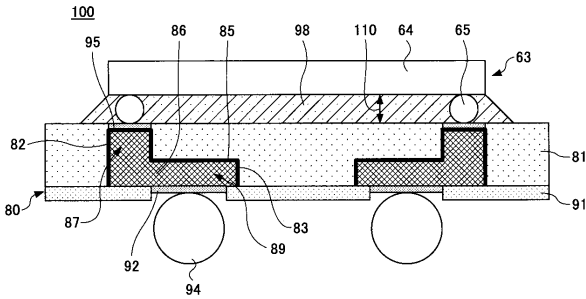
【図36】

第2実施例の基板の製造工程を示した図(その11)



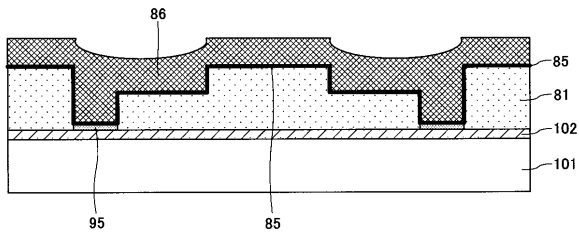
【図37】

図36に示した基板に半導体素子を接続させた半導体装置の断面図



【図38】

図29に示した構造体にCuめっき膜を析出成長させた図



フロントページの続き

審査官 宮本 靖史

(56)参考文献 特開平08-306745(JP,A)
特表平05-509198(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12