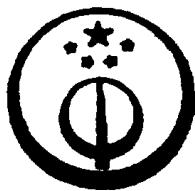


[19]中华人民共和国专利局

[11]授权公告号



[12]发明专利说明书

CN 1023281C

[21]专利号 ZL 91109628

[51]Int.Cl⁵

H04L 1 / 22

[45]授权公告日 1993年12月22日

[24]颁证日 93.10.10

[21]申请号 91109628.8

分案原申请号 88108828.5

[22]申请日 88.11.9

[30]优先权

[32]87.11.10 [33]JP [31]284938 / 87

[73]专利权人 日本电气株式会社

地址 日本东京

[72]发明人 森本英明

[74]专利代理机构 中国专利代理(香港)有限公司

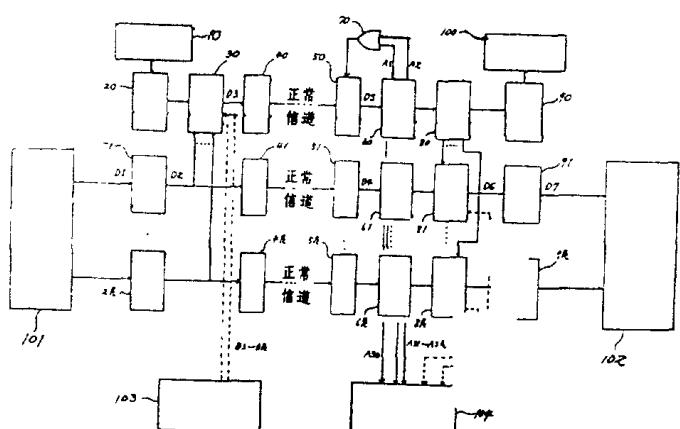
代理人 马铁良 吴秉芬

说明书页数: 附图页数:

[54]发明名称 信道转换系统

[57]摘要

一个可应用于数字无线电通信系统用来转换正常信道和备用信道的系统，包括与备用信道相连的一个解调器。该解调器有一个用于时钟恢复、其带宽是可变的锁相环路。只有当信道转换操作正在进行时锁相环路的带宽增加，以保证时钟同步。



<45 >

权利要求书

1.一个信道转换系统，它利用速度变换把第一数据信号变成一帧，并把该帧发送到一个正常的无线电信道上，同时如果需要，把该帧发送到一个处于备用状态下的备用无线电信道上，并在所述的正常的和备用的无线电信道上接收的帧的帧同步建立时转换所述的正常的无线电信道和备用的无线电信道，利用保持接收的输出处于同步状态而没有任何比特误码，所述的系统包括：

第一发送信号处理装置，用于通过在第一数据信号中插入第一附加比特来构成第一帧，并把第一帧作为第二数据信号传送，所述的附加比特至少包括第一帧同步比特；

第二发送信号处理装置，用于通过在第二数据信号中插入第二附加比特来构成第二帧，并且把第二帧作为第三数据信号传送到所述的正常的无线电信道上，上述第二附加比特至少包括第二帧同步比特；

正常的调制器装置，用于通过用第三数据信号进行数字调制产生一个调制的信号；

备用的第三发送信号处理装置，用于在第四数据信号中插入第三附加比特来构成第二帧，并且把第二帧作为第五数据信号传送到所述的备用无线电信道上，上述第三附加比特至少包括第二帧同步比特；

备用调制器装置，用于通过用第五数据信号进行数字调制产生一个调制的信号；

发送转换电路，用于把第二数据信号作为第四数据信号输入到所述的第三发送信号处理电路；

解调器装置，用于通过解调正常的调制信号产生第三数据信号，该调制信号是用第三数据信号进行数字调制的并且在所述的正常的无线电信道上传送的；

备用的解调器装置，用于通过解调备用的调制信号产生第四数据信号，该备用的调制信号是用第五数据信号进行调制的并在备用的无线电信道上传送的；

第二帧同步装置和第二接收符号处理装置，用于通过从第三／第五数据信号中取出附加比特来产生第二／第四数据信号；

第一帧同步装置和第一接收符号处理装置，用

于从第二／第四数据信号中取出附加比特；

转换装置，用于同步地转换第二和第四数据信号；以及

变化装置，用于使所述的备用的解调器装置的锁相环路的响应速度高于所述的备用的第三发送信号处理装置的锁相环路的响应速度，直到所述转换装置的转换操作结束为止；

其特征在于，

第二发送信号处理装置（161—16K）插于第一发送信号处理装置（141—14K）和正常的解调器装置（161—16K）之间；

发送转换装置（140）和备用第4发送信号处理装置（160）插于备用第三发送信号处理装置（140）和备用调制器装置（170）之间；

第二帧同步和接收信号处理装置（191—19K）插在解调器装置（181—18K）和第一帧同步装置（211—21K）之间；

备用第四同步和接收信号处理装置（190, 200）插在备用解调器装置（180）和备用第三帧同步装置（210）之间；以及

配置有变化装置（190i）

2.根据权利要求1的系统，其中所述的变化装置包括用于在备用的第三发送信号处理装置的主信号的时隙中插入一个代表发送侧的并联连接状态的信号的装置，和用于利用与备用的第五数据信号相关的帧同步装置来检测并联连接状态转移的装置。

本发明涉及一个信道转换系统，特别涉及一个可适用于数字无线电通信系统的信道转换系统，当需要时，该系统用于转换一个正常信道和一个备用信道。

大容量的无线电通信系统通常包括正常的无线电信道外，还有一个备用的无线电信道，在由于信道检修，衰弱，设备故障和其他事故停止工作时，该备用信道提供一条电路。当某一正常信道故障时，发送侧把在该正常信道上发送的信号连接到与正常信道并行的备用信道上，同时接收侧把接收来自正常信道上的信号转换到接收来自备用信道上的信号。对于传播时延，正常信道和备用信道彼此是不同的，此外，这个传播时延取决于衰弱和其他因素。因此，在被发送的信号是数据信号的情况下，

在正常信道和备用信道上传送的两个数据信号不总是同步的。也就是，虽然传播时延差别的固定分量可以预选补偿，但是在变动分量的增加超出数据信号一个时钟周期时，在接收侧信道转换期间将产生一比特的误码。

为了消除这样的比特误码，在两个被传送的数据信号之间建立一比特周期以后，通常是用这种型式的信道转换系统来转换信道。一个具有这种周期的转换功能的信道转换系统包括一个发送信号处理电路，用于变换高速度传送的数据信号的速度。在帧同步比特，奇偶检验比特，检验比特和其他附加比特已经加在该信号以后，所得到的变换信号输入给一个调制器，该调制器与正常信道相连。在信道转换以前，发送信号处理电路的输出数据信号通过装在发送端中的转换电路以并联形式连接到与备用信道相连的调制器上。上述处理电路和一个被转换的正常信道相连。当备用信道处于备用状态时，它通常发送一个测试图。与备用信道相连并适合于在测试图中插入附加比特的发送信号处理电路和正常信道的发送信号处理电路同步运行，因此，到达备用信道上的调制器的数据信号的时钟在并联连接的瞬间变动，上述并联连接发生在发送侧的转换电路中。该时钟的任何不连续变动都容易使调制器失步，结果需要相当长的恢复时间。根据这一点，在发送侧的转换电路利用一个锁相环路产生一个与输入数据信号的时钟同步的自己的时钟，并且重新定时具有自己时钟的数据信号，因而使输出数据信号的时钟免受不连续的变化。

在正常信道和备用信道上发送的两个信号由专用的解调器分别解调以变为数据信号。这两个数据信号的每个信号都包括帧同步比特，该帧同步比特是由与正常信道相连的发送信号处理电路插入的。在接收侧的转换电路利用定时帧同步比特使这两个数据信号相符合，因此转换该信道没有任何比特误码。解调器包括一个锁相环路，用于从一个输入的调制信号中恢复时钟。由于并联连接是由发送侧的转换电路完成的，输入到解调器中的调制信号的时钟也改变了。如果解调器的锁相环路的响应速度低于发送侧的转换电路的锁相环路的响应速度（即如果前者的带宽 B_d 比后者的带宽 B_s 窄），解调器的锁相环路就不能跟随调制信号时钟的变化。结果是失步，这需要相当长的时间来恢复。因此，带宽

B_d 必须保持比带宽 B_s 更宽。

适用于时钟恢复的锁相环路的带宽 B_d 的增加，降低了恢复的时钟的载波噪声比（C/N），并且因此加大了调制器的比特误码率。当使用一个多级调制系统如一个多级正交调幅（QAM）系统时，上述情况特别真实。然而，带宽 B_d 不能小到这样一种程度，即如果信道转换不引起解调器失步且因此不增加信道转换的时间。

如上面所讨论的，现有技术中信道转换系统有一个左右为难的情况，即不增加信道转换的时间，解调器的比特误码率不可能减少。

上面所提到的现有技术，例如在美国专利 4442518 和 4686675 中公开了。

本发明的一个目的是提供一种信道转换系统，该系统的信道转换时间可以减小而不加大解调器的比特误码率。

本发明的另一个目的是提供一种普遍地改进的信道转换系统。

本发明的一个信道转换系统包括：一个正常调制器，用于把由第一数据信号进行数字调制的正常调制信号发送到一条正常的无线电信道上；一个发送侧转换电路，用于响应信道转换命令产生第二数据信号，该信号用第二时钟重新定时第一数据信号，通过第一锁相环路，上述第二时钟与第一数据信号的第一时钟在相位上同步；一个备用调制器，用于把由第二信号进行数字调制的备用调制信号发送到一条备用无线电信道上；一个正常解调器，用来通过解调正常无线电信道上来的正常调制信号产生第三数据信号；一个备用解调器，用于通过用第三时钟解调从备用无线电信道来的备用调制信号产生第四数据信号，上述第三时钟与备用调制信号的时钟分量是同步的，这个同步是由第二锁相环路进行的；一个接收侧转换电路，用于响应信道转换命令转换正常的和备用的无线电信道，同时同步地使第三和第四数据信号的比特定时彼此相符合；和一个变化装置，该装置只在信道转换命令出现与接收侧的转换电路的信道转换操作结束之间的时间间隔内使第二锁相环路的响应速度高于第一锁相环路的响应速度。

通过下面结合附图的详细描述，本发明的上述目的和其它的目的，特性和优点就更明显了。其中：

图 1 是表示实施本发明的一个信道转换系统的方框图；

图 2 是帮助理解图 1 所示的系统的信道转换操作的方框图；

图 3 是表示本发明的另一个实施例的方框图；

图 4 是说明图 3 所示的系统的操作的方框图。

参考图 1，表示了实施本发明的一个信道转换系统，该系统适用于使用 K 条正常信道和一条备用信道的一个数字通信系统。如附图所示，该系统包括一个测试图产生电路 10 和一个发送信号处理电路 20，测试图从测试图产生电路 10 输入给该发送信号处理电路。发送信号处理电路 21 至 2K 的每个电路从一个发送终端站 101 接收 K 个数据信号中的相应的一个信号。发送信号处理电路 21 至 2K 输出的数据信号输入到发送侧的转换电路 30，然后该转换电路产生一个数据信号 D3。调制器 40 给一个备用信道传送一个由数据信号 D3 调制的信号。与发送信号处理电路 21 至 2K 分别相连的调制器 41 至 4K 产生由电路 21 至 2K 输出的数据信号调制的信号，所得到的这些信号分别通过与它们相连的正常信道发送出去。解调器 50 接收备用信道上的调制信号并产生数据信号 D5。另一方面，解调器 51 至 5K 分别接收正常信道上的调制信号。帧同步电路 60 以帧同步方式和数据信号 D5 同步并选通数据信号 D5，以及产生一个信道告警信号 A1 和一个帧告警信号 A2。由解调器 51 至 5K 输出的数据信号分别输入到帧同步电路 61 至 6K，因此帧同步了，或门 70 产生信道告警信号 A1 与帧告警信号 A2 的或运算的结果，并将它传送到解调器 50。接收信号分支电路 80 把通过帧同步电路 60 的数据信号 D5 分成 (K+1) 个输出。分支电路 80 的一个分支输出输入到接收侧的转换电路 81 至 8K。由帧同步电路 61 至 6K 选通的数据信号也分别输入到转换电路 1 至 8K。接收信号分支电路 80 的一个分支输出输入给接收信号处理电路 90。接收信号处理电路 91 至 9K 分别处理从转换电路 81 至 8K 来的数据信号并把处理后的信号传送到接收终端站 102。接收信号处理电路 90 输出的数据信号输入给测试图检测电路 100。在该系统中还包括信道转换控制电路 103 和 104。在该图中，A30 表示备用信道变坏的信息，A31 至 A3K 分别表示正常信道 1 至 K 变坏的信息。

B1 至 BK 是与正常信道 1 至 K 相关的发送转换控制信号，而 C1 至 CK 是与正常信道 1 至 K 相关的接收转换控制信号。

例如，发送信号处理电路 21 从发送终端站 101 接收一个数据信号 D1 并通过改变它的速率插入帧同步比特，奇偶检验比特和其他的附加比特把数据信号 D1 转换为数据信号 D2。与信号处理电路 21 相连的调制器 41 产生一个由数据信号 D2 调制的调制信号。这个调制信号在正常信道 1 上发送，然后由解调器 51 解调变成数据信号 D4。因此数据信号 D4 是由再生数据信号 D2 所产生的数据信号。为了帧同步的目的，帧同步电路 61 起到了从数据信号 D4 中检测帧同步比特的作用和通过核对奇偶检验比特来监视调制器 41 与解调器 51 之间的正常信道的质量的作用。如果正常信道没有故障，接收侧转换电路 81 把通过帧同步电路 61 的数据信号 D4 作为数据信号 D6 直接输出。接收信号处理电路 91 利用一个变换过程把数据信号 D6 变为数据信号 D7，该变换过程是与发送信号处理电路 21 的变换过程相反的。数据信号 D7 是数据信号 D1 的再生信号并输入到接收终端站 102。

当所有的正常信道是正常的而且备用信道是处在备用状态，发送侧转换电路 30 对发送信号处理电路 20 输出的数据信号重新定时并把所得到的信号作为数据信号 D3 发送出去。在这种情况下，由测试图产生电路 10 输出的一个测试图，如数据信号 D2，经过发送信号处理电路 20，转换电路 30，调制器 40，备用信道，解调器 50，帧同步电路 60，接收信号分支电路 80 和接收信号处理电路 90 发送到测试图检测电路 100。到达电路 100 的测试图被用来监视备用信道。

进行信道转换的方法如下。假设帧同步电路 61 已经检测到正常信道 1 变坏，并且已经把代表这种变坏的信息 A31 输入到信道转换控制单元 104。相应地，控制单元 104 传送一个信道转换命令给发送侧转换电路 30 和接收侧转换电路 81。这个命令使转换电路 30 重新定时数据信号 D2，以便产生数据信号 D3。但是，由于转换电路 30 得到了它自己的、与帧相环路来的数据信号的相位同步的时钟，因此用它自己的时钟重新定时的数据信号 D3 的时钟可以防止在转换操作时变为不连续。

的。在发送侧利用这样一个转换操作，输入到帧同步电路 60 的数据信号 D5 就从信号处理电路 20 的输出数据信号（更准确地讲是该数据信号的再生信号）变为数据信号 D2（更准确地讲是数据信号 D2 的再生信号）。因此，在数据信号 D5 中的帧同步比特也从由信号处理电路 20 插入的比特变为由信号处理电路 21 插入的比特。结果，帧同步电路 60 不同步了，并且由此产生信道告警信号 A1（与信道的质量相关）和帧同步告警信号 A2。这些告警信号 A1 和 A2 经过或门 70 输入给解调器 50。到此所叙述的过程将结合图 2 更详细地说明。

在图 2 中，解调器 50 包括一个分支电路 50a，用于把中频（IF）输入分流到两条路由上，这两条路由分别延伸到相位检测器 50b 和 50c。载波同步电路 50d 经过分离电路 50e 向相位检测器 50b 和 50c 提供载波。通过电路 50f 这些载波中的一个载波相对于其它的载波移位了 $\pi/2$ 。利用这些载波中的任一个载波，每个相位检测器 50b 或 50c 可检测中频输入，并将它变换成一个基带信号，然后该基带信号输入到模数变换器（ADC）50g 或 50h。从相位检测器 50b 和 50c 来的数字信号输入给微分变换器 50i，然后输入到帧同步电路 60。时钟（CLK）恢复电路 50j 把时钟分量从被检测的基带信号中分离出来。时钟恢复电路 50j 构成了时钟同步电路 50k 的一部分，用于使这个时钟与发送侧的时钟相位同步。更准确地说，时钟同步电路 50k 除了时钟恢复电路 50j 外还包括一个压控振荡器（VCO）50l，一个相位比较器 50m 和一个环路滤波器 50n。相位比较器 50m 把从电路 50j 来的时钟与压控振荡器 50l 的输出的相位进行比较，所得到的相位比较器 50m 的输出电压通过环路滤波器 50n 以建立压控振荡器 50l 的同步。这种装置已做成，使得环路滤波器 50m 的带宽 Bd 可以从外部控制。

帧同步电路 60 检测从解调器 50 来的信号序列中的帧同步比特，并把它们与帧码型发生器 60b 的输出在相位上加以比较，该发生器包含在电路 60 中。根据由定时脉冲发生器 60c 提供的定时脉冲，帧码型重合检测器 60a 可确定帧同步比特是否与由帧码型发生器 60b 输出的帧码型一致。此外，奇偶检验比特分离器 60d 检测从解调器 50 来的信号序列中的奇偶检验比特，而奇偶检验比特计

数器 60f 计算检测的奇偶检验比特。奇偶检验比特误码检测器 60e 对于奇偶检验比特的误码起反应，因此监视信道的质量。从帧同步电路 60 来的帧告警信号（失步）A2 和信道告警信号（奇偶检验比特误码）A1 由或门 70 进行或运算。连接已完成了，以至于解调器 50 的时钟同步电路 50K 的环路带宽 Bd 根据或门 70 的输出可以变化，因为帧同步通常是在一个短的时间周期内建立起来。更准确地说，在同步转换结束之前应防止环路带宽 Bd 恢复。在正常情况下，即没有信道告警信号 A1 和帧告警信号 A2 以及因此也没有或门 70 的输出，带宽 Bd 保持足够窄以提高恢复时钟的 C/N 比，因此也保持了解调器 50 的比特误码率。

由正常信道 1 输出的信道变坏信息 A31 输入到接收侧的信道转换控制单元 104。同时，发送侧的信道转换控制单元 103 给转换电路 30 发送一个正常信道 1 转换控制信号 B1。然后，一个帧同步信号从发送信号处理电路 21 输入到与备用信道相连的帧同步电路 60。这个信号使帧码型重合检测器 60a 产生帧告警信号 A2，同时使奇偶检验比特误码检测器 60e 产生信道告警信号 A1。因此，环路滤波器 50n 被控制了，以增加解调器 50 的时钟同步电路 50K 的环路带宽 Bd，解调器 50 是与备用信道相连的。更准确地说，或门 70 的控制输出增加了解调器环路的带宽 Bd，而超过了转换电路 30 的环路带宽 Bs。较宽的带宽 Bd 使得解调器 50 的锁相环路的响应速度高于转换电路 30 的锁相环路的响应速度。在这种情况下，解调器 50 的锁相环路能够跟随调制信号时钟的任何变化，因此不会失步。

一旦帧同步电路 60 的帧同步再次建立起来了，接收侧转换电路 81 就接收经接收信号分支电路 80 来的数据信号 D5，并且以数据信号 D6 的形式传送它。数据信号 D4 和 D5 的比特同步已经讨论过了。解调器 10 的较宽的带宽宽度已选择了，这样在转换电路 81 的转换完成后，它又减小了。这个通常可通过恢复信道告警信号即与备用信道相连的奇偶检验比特来实现，因为比特误码率小于 10^{-6} 用于信道恢复。在一些应用中，这种执行过程不能满足需要，可以使用一个定时器。在备用信道利用一个再生中继器再生的情况下，该中继器的解调器也有一个锁相环路用于时钟恢复，在信道转换

期间该锁相环路的带宽可以增加。

参见图 3，表示了本发明的另一个实施例，该实施例也可应用于一个数字无线电通信系统，这个系统有 K 条正常信道和一条备用信道。如图所示，该系统包括分离电路 111 至 11K，一个测试图产生电路 120，一个转换单元 130，一个第一发送信号处理电路 140，转换单元 130 的输出输入到电路 140 和第一发送信号处理电路 141 至 14K，每个电路接收相应的分离电路 111 至 11K 中的一个电路的两个分离输出的一个输出。发送侧转换电路 150 接收第一发送信号处理电路 140 的一个输出并接收每个第一发送信号处理电路 141 至 14K 的两个分支输出中的一个输出，并且产生一个数据信号 D4。第二发送信号处理电路 160 响应数据信号 D4 而发送数据信号 D5。第二发送信号处理电路 161 至 16K 分别接收第一发送信号处理电路 141 至 14K 的两个输出中的另一个输出。从信号处理电路 160 来的数据信号 D5 输入到调制器 170，而调制器 170 又把数据信号 D7 传送到备用信道上。调制器 171 至 17K 分别接收从处理电路 161 至 16K 来的数据信号，并且又把数据信号发送到正常信道 1 至 K。在备用信道上传送的调制信号输入给解调器 180，然后该解调器 180 产生一个数据信号 D5。另一方面，在正常信道 1 至 K 上传送的调制信号分别输入到解调器 181 至 18K。在解调器 180 来的数据信号 D5 传送给第二帧同步电路 190。从解调器 181 至 18K 来的数据信号分别输入到第二帧同步电路 191 至 19K。该系统还包括第二接收信号处理电路 200 和 201 至 20K，以及第一帧同步电路 210 和 211 至 21K，其中信号处理电路 200 和 201 至 20K 的输出分别输入到电路 210 和 211 至 21K。分支电路 220 把第一帧同步电路 210 的输出分成 (K+1) 个。分支电路 220 的一个分支输出和帧同步电路 211 至 21K 的输出输入到同步转换电路 231 至 23K。分支电路 220 的一个输出接到第一接收信号处理电路 240。同步转换电路 231 至 23K 的输出分别输入给第一接收信号处理电路 241 至 24K。在该系统中也包括一个测试图产生电路 250 和一个转换单元 260。第一接收信号处理电路 240 和 241 至 24K 的输出与转换单元 260 相连。在该图中，A30 代表备用信道变坏的信息，A31 至 A3K 分别代表正常信道

1 至 K 变坏的信息，B1 至 BK 是分别与正常信道 1 至 K 相关的发送转换控制信号，C1 至 CK 是与正常信道 1 至 K 相关的同步转换控制信号，E1 至 EK 和 F1 至 FK 是信道转换控制信号，而 G1 是一个频带控制信号。

在运行中假设所有信道无故障且备用信道处于备用状态。从发送终端站 301 来的数据信号中的一个信号，如数据信号 D1 通过分离电路 111 发送到第一发送信号处理电路 141。该信号处理电路 141 对数据信号 D1 进行双——单极性变换和速度变换，同时给数据信号 D1 插入一个附加比特构成第一帧，所产生的信号作为数据信号 D2 传送到第二发送信号处理电路 161。从信号处理电路 161 输出的数据信号 D3 用调制器 171 进行调制。从调制器 171 来的调制输出或数据信号 D6 通过正常信道 1 发送到解调器 181。随后，解调器 181 解调信号 D6 以产生数据信号 D3 并把它输入给第二帧同步电路 191。第二接收信号处理电路 201 把数据信号 D3 变为与数据信号 D3 的第二帧同步的数据信号 D2。第一帧同步电路 211 产生一个与数据信号 D2 的帧同步的帧脉冲，也就是第一帧。在图示的实施例中，帧脉冲和数据信号 D2 通过同步转换电路 231 发送到第一接收信号处理电路 241，利用该输入帧脉冲，信号处理电路 241 把数据信号 D2 变换为数据信号 D1。这个信号 D1 经过转换单元 260 传送到接收终端站 302。可以从发送端 301 加到该系统的其他数据信号也通过各自的正常信道发送到接收端 302。

在该说明性的实施例中，由测试图产生电路 120 输出的一个测试码型经过转换单元 130，第一发送信号处理电路 140，发送侧转换电路 150，第二信号处理电路 160，调制器 170，备用信道，解调器 180，第二帧同步电路 190，第二接收信号处理电路 200，第一帧同步电路 210，分支电路 220，第一接收信号处理电路 240 和转换单元 260 输入到测试图产生电路 250。

当发送数据信号 D3 的正常信道，例如由于信道维修，衰落或类似的原因而变坏时，利用下面的过程可以把它转换到备用信道上。当信道转换控制单元 303 的控制信号输入到发送侧转换电路 150 时，转换电路 150 把数据信号 D4 从来自第一发送信号处理电路 140 的输出变为来自第一发送信号

处理电路 141 的输出。在这一瞬间，代表发送侧建立并联连接的信息被插入到信号处理电路 160 的主要信号时隙中。因此，从信号处理电路 160 和 161 分别输入到备用信道和正常信道的数据信号 D5 和 D3，除了附加的比特外是彼此相同的信号，这个附加的比特已由电路 160 和 161 插入。但是转换电路 150 建立了一个并行发送的条件。为了进行速度变换，信号处理电路 160 原来有一个缓冲输入数据信号的功能。因此，虽然由于转换电路 150 的并行发送运行，数据信号 D4 的时钟可能断续地变化，但是输出数据信号 D5 的时钟不变化。因此转换电路 150 不需要时钟的缓冲功能，而只需要一个具有输出一个输入数据信号的转换功能。另外，由于通过转换电路 150 进行并联连接，到达处理电路 200 的数据信号 D5 的第二帧不改变，所以第二帧的帧同步一点也没有受到并行传输的影响。这当然就避免了由于并联操作而中断由处理电路 200 进行的从数据信号 D5 到数据信号 D4 的变换。

正如下面结合图 4 所描述的，该系统将进行同步转换操作。在该图中，解调器 180 包括一个分支电路 180a，它把 IF 输出分流到分别延伸到相位检测器 180b 和 180c 的两条线路上。相位检测器 180b 和 180c 响应从载波同步电路 180d 输入的载波（通过分支电路 180e 把一个载波与另一个载波分离出来并由电路 180f 移位 $\pi/2$ ）去检测 IF 输入，因此每个都产生一个基带信号。相位检测器 180b 和 180c 的输出由 ADC180g 和 180h 分别变换为数据信号，然后输入给微分变换器 180i，之后再输入到第二帧同步电路 190。时钟恢复电路 180j 从检测的基带信号中分离出时钟分量。时钟恢复电路 180j 与一个 VCO180l，一个相位比较器 180m 和一个环路滤波器 180n 一起构成一个时钟同步电路 180k。相位比较器 180m 把从时钟恢复电路 180j 来的时钟和 VCO180l 的输出信号的相位加以比较，相位比较器 180 的一个输出电压经过环路滤波器 180n 建立 VCO180l 的同步。

第二帧同步电路 190，如图 2 中的帧同步电路 60 一样，包括一个帧码型重合检测器 190a，一个帧码型发生器 190b，一个定时脉冲发生器 190c，一个奇偶检验比特分离器 190d，一个奇偶检验比特误码检测器 190e 和一个奇偶检验比特计数器

190f。在该说明性的实施例中，电路 190 还包括一个并行发送信号检测器 190g 和一个转移检测器 190h。在这种第二帧同步电路 190 中，并行传送条件（转换或再转换）的变化由转移检测器 190h 根据主要信号的时隙来监视。由于仅仅在备用信道是正常时，即当帧告警信号和奇偶检验误码两者都存在时才进行同步转换，所以，只有当这两个条件一起出现时，与备用信道相连的解调器 180 的带宽 Bd 才受控制。这个控制仅仅在完成同步转换的预定持续时间内进行。如果同步转换或再转换，则使在预定的时间内与备用信道相连的解调器 180 的带宽 Bd 比第二发送信号处理电路 160 的环路带宽 Bs 更宽，电路 160 也与备用信道相连。上述预定的时间是完成转换操作所需要的时间。因此，带宽 Bd 增加了，使得解调器 180 的锁相环路的响应速度高于第二发送信号处理电路 160 的锁相环路的响应速度，所以解调器 180 的锁相环路能够跟随调制信号时钟的任何变化。

由于并行传送，与第一帧同步电路 210 相连的第一帧从由第一发送信号处理电路 140 构成的帧转换为由第一发送信号处理电路 141 构成的帧。在这时候，帧同步电路 210 失步了，然后立即恢复。当电路 210 的帧同步重新建立时，信道转换控制单元 304 控制分支电路 220 和同步转换电路 210，结果在转换电路 231 的输出端出现的数据信号从数据信号 D2 转换为没有任何比特误码的数据信号 D4。第一接收信号处理电路 241 把数据信号 D4 变换为数据信号 D1。

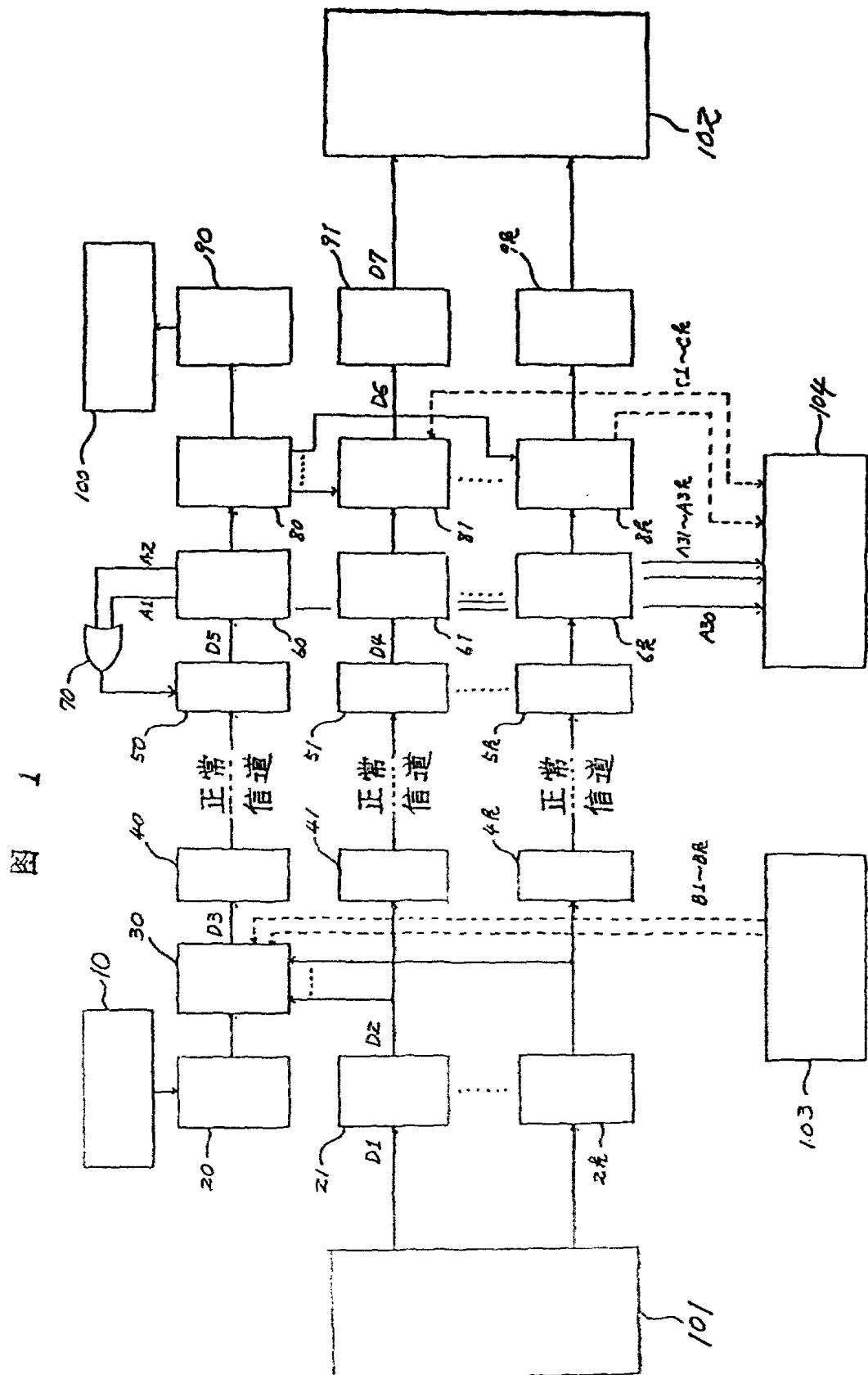
用和上面描述的正常信道 1 相同的方法，其他的正常信道也可以有选择地同步转换到该正常信道上。此外，当由于一个设备故障或类似的原因使任一信道不能工作时，利用转换单元 130 和 260 可以恢复。如果需要，由第一发送信号处理电路 140 和 141 至 14K 插入到数据信号中的奇偶检验比特和由第二发送信号处理电路 160 和 161 至 16K 插入的奇偶检验比特可以把一个用作间隔检验比特，而另一个用作跳跃（hop）检验比特。

总之，根据本发明，与一个备用信道相连的一个解调器有一个锁相环路用于时钟恢复，该锁相环路的带宽是可变的。仅仅当一个信道转换操作正在进行时，锁相环路的带宽增加了以防止时钟失去同步。在稳定的情况下（不是信道转换期间），为了

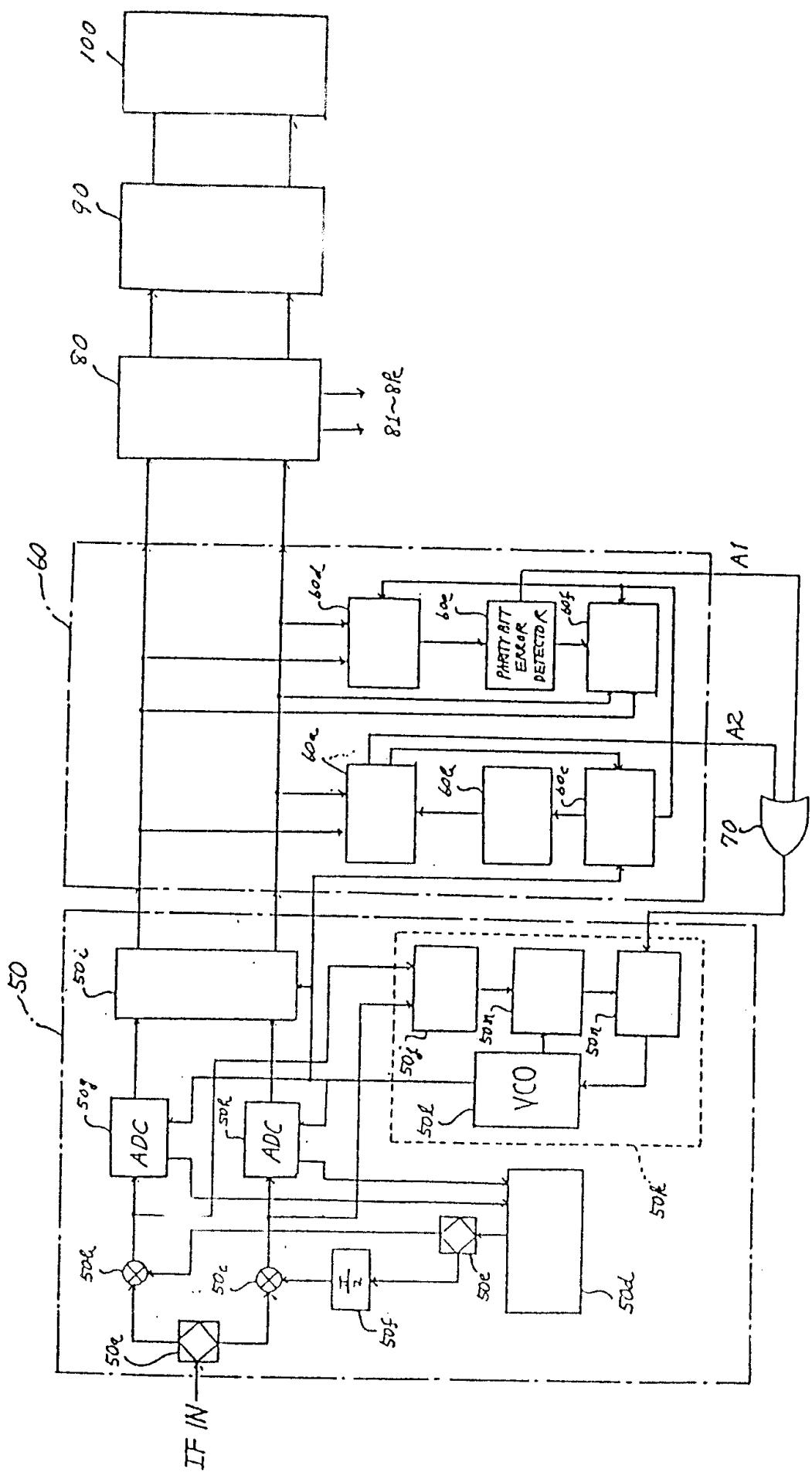
改善解调器的比特误码率允许该带宽减小，而在信道转换时间内不需要任何增加。因此，信道转换的时间可以减少而不增加解调器的比特误码率。此外，在稳定的情况下，减小带宽改善了抖动特性。

在得到本发明所公开的教导以后，对于本专业的技术人员来说，在不偏离本发明的范围内进行各种改进是可能的。

专利号 91 1 09628
Int. Cl. H04L 1/22
授权公告日 1993年12月22日



2



3

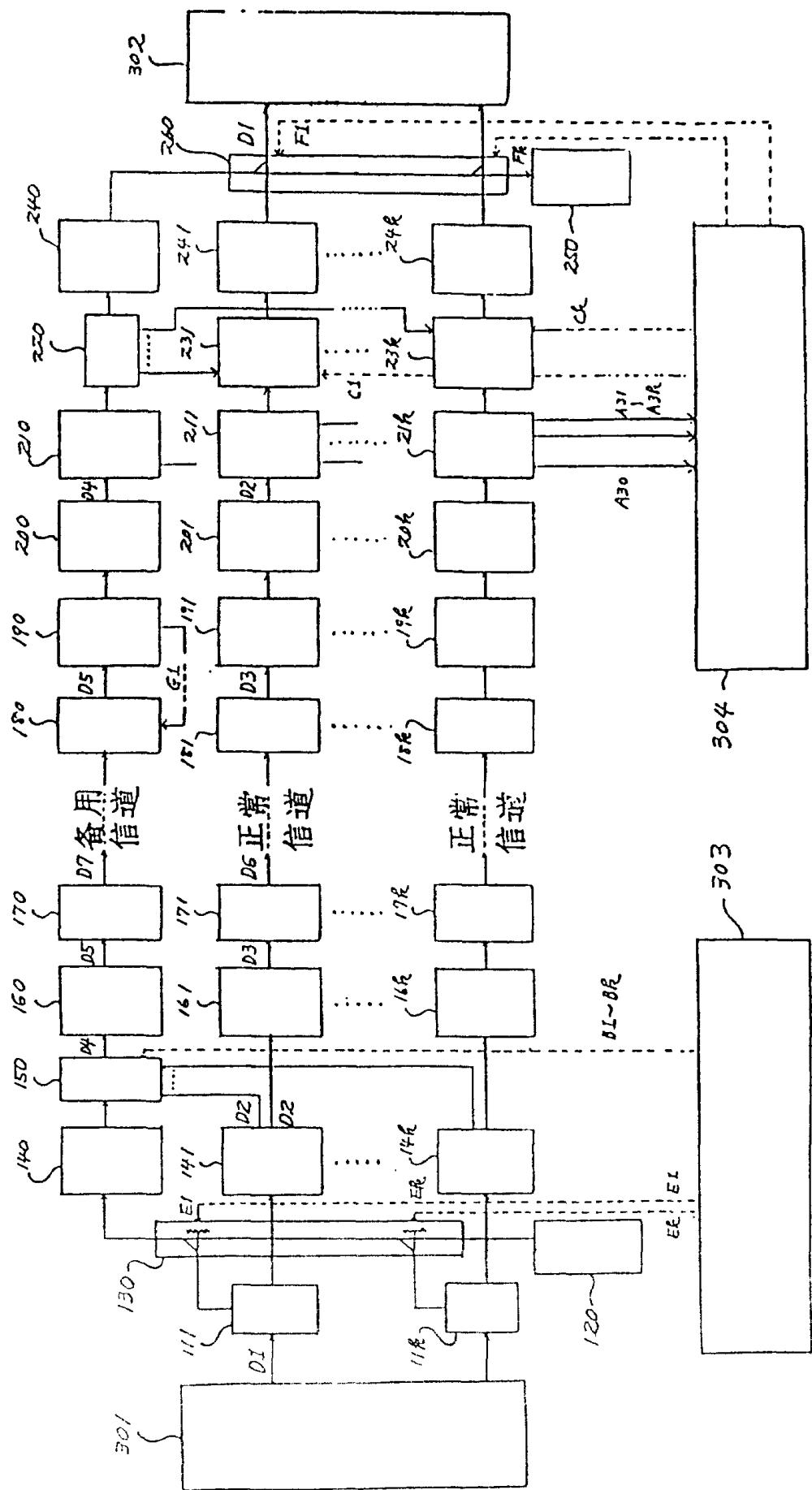


图 4

