

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6599642号
(P6599642)

(45) 発行日 令和1年10月30日(2019.10.30)

(24) 登録日 令和1年10月11日(2019.10.11)

(51) Int.Cl.

F 1

HO1L 21/8242	(2006.01)	HO1L 27/108	27/108	6 7 1 Z
HO1L 27/108	(2006.01)	A 6 1 B	5/07	
A 6 1 B 5/07	(2006.01)	HO1L	27/108	3 2 1
HO1L 29/786	(2006.01)	HO1L	27/108	6 2 1 Z
HO1L 31/10	(2006.01)	HO1L	27/108	6 7 1 C

請求項の数 5 (全 40 頁) 最終頁に続く

(21) 出願番号

特願2015-106029 (P2015-106029)

(22) 出願日

平成27年5月26日 (2015.5.26)

(65) 公開番号

特開2016-6863 (P2016-6863A)

(43) 公開日

平成28年1月14日 (2016.1.14)

審査請求日

平成30年5月22日 (2018.5.22)

(31) 優先権主張番号

特願2014-108707 (P2014-108707)

(32) 優先日

平成26年5月27日 (2014.5.27)

(33) 優先権主張国・地域又は機関

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 田村 植

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 加藤 俊哉

(56) 参考文献 特表2002-513984 (JP, A
)特開2013-257934 (JP, A
)特開2012-033835 (JP, A
)

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電源部と、センサ部と、記憶素子部と、を有し、

前記電源部は、前記センサ部および前記記憶素子部と電気的に接続され、

前記センサ部は、前記記憶素子部と電気的に接続され、

前記センサ部は、センサ素子を有し、

前記記憶素子部は、トランジスタと、容量素子と、を有し、

前記記憶素子部上の第1の絶縁層と、前記第1の絶縁層上の第1の導電層と、を有し、

前記センサ部は、前記第1の絶縁層を介して、前記記憶素子部と重なる領域を有し、

前記センサ部は、前記第1の導電層と電気的に接続され、

前記第1の導電層は、前記第1の絶縁層の開口を介して、前記トランジスタのソース電極またはドレイン電極の一方と電気的に接続され、

前記容量素子は、第2の導電層と、第2の絶縁層と、第3の導電層と、を有し、

前記第2の導電層は、前記トランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、

前記第2の絶縁層は、前記トランジスタのゲート絶縁膜として機能する領域を有し、

前記第3の導電層は、前記トランジスタのゲート電極と同一層上に設けられ、かつ同一材料を有し、

前記センサ素子は、アナログ値の情報を取得する機能を有し、

前記記憶素子部は、前記センサ素子から出力された前記アナログ値の情報を記憶する機

10

20

能を有し、

前記トランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 2】

電源部と、センサ部と、記憶素子部と、を有し、

前記電源部は、前記センサ部および前記記憶素子部と電気的に接続され、

前記センサ部は、前記記憶素子部と電気的に接続され、

前記センサ部は、第1のセンサ素子及び第2のセンサ素子を有し、

前記記憶素子部は、トランジスタと、容量素子と、を有し、

前記記憶素子部上の第1の絶縁層と、前記第1の絶縁層上の第1の導電層と、を有し、

10

前記センサ部は、前記第1の絶縁層を介して、前記記憶素子部と重なる領域を有し、

前記センサ部は、前記第1の導電層と電気的に接続され、

前記第1の導電層は、前記第1の絶縁層の開口を介して、前記トランジスタのソース電極またはドレイン電極の一方と電気的に接続され、

前記容量素子は、第2の導電層と、第2の絶縁層と、第3の導電層と、を有し、

前記第2の導電層は、前記トランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、

前記第2の絶縁層は、前記トランジスタのゲート絶縁膜として機能する領域を有し、

前記第3の導電層は、前記トランジスタのゲート電極と同一層上に設けられ、かつ同一材料を有し、

20

前記第1のセンサ素子は、第1のアナログ値の情報を取得する機能を有し、

前記第2のセンサ素子は、第2のアナログ値の情報を取得する機能を有し、

前記記憶素子部は、前記第1のセンサ素子から出力された前記第1のアナログ値の情報と、前記第2のセンサ素子から出力された前記第2のアナログ値の情報と、を記憶する機能を有し、

前記トランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 3】

請求項1または請求項2において、

第1の酸化物層と、第2の酸化物層と、を有し、

30

前記第1の酸化物層は、前記酸化物半導体の下面と接する領域を有し、

前記第2の酸化物層は、前記トランジスタのソース電極またはドレイン電極の一方の上面と接する領域と、前記トランジスタのソース電極またはドレイン電極の他方の上面と接する領域と、前記酸化物半導体の上面と接する領域と、前記ゲート絶縁膜の下面と接する領域と、を有し、

前記第1の酸化物層および前記第2の酸化物層の各々は、前記酸化物半導体を構成する酸素以外の元素一種以上を含むことを特徴とする半導体装置。

【請求項 4】

請求項1乃至請求項3のいずれか一において、

前記酸化物半導体は、インジウム、ガリウム、および亜鉛を含むことを特徴とする半導体装置。

40

【請求項 5】

請求項1乃至請求項4のいずれか一において、

アナログデジタル変換回路を有さないことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、センサが取得した情報を、アナログ値で記憶する半導体装置に関する。

【0002】

50

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

近年、民生用機器や産業用機器においてセンサを利用する機会が増えている。特にウェアラブル機器や医療向けの用途などにも応用のできるアナログセンサが注目を浴びている。アナログセンサは、温度、圧力、加速度等の情報を取得することが可能である。また、アナログセンサは、インピーダンス、リアクタンス、電圧、または電流の変化などの情報をアナログ値で出力することが可能である。

【0004】

アナログ値は、実際に取得された情報をそのまま保持するため、アナログ値を量子化して得られるデジタル値に比べて誤差が少ないという長所がある。そのため、アナログセンサにより得られたアナログ値の情報を記憶し、統計解析することにより、外界の情報や、生体や物品の情報などを総合的かつ高正確に取得することができる。

【0005】

このような背景において、アナログセンサを有する半導体装置の開発が進められている。

【0006】

その一例として、特許文献1においては、アナログセンサを用い、外界の情報を取得する装置が考えられている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平5-128387号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

アナログ値の情報の精度は、情報を記憶する記憶素子などの状態に大きく依存する。例えば、記憶素子においてリーク電流が発生することにより、情報が劣化する。また、外部環境から加わる熱やノイズなどの影響を受け、情報が元の状態から変化してしまうことがある。

【0009】

また、アナログセンサの利用機会が増えることにより、複数のアナログセンサを設置する場合や、アナログセンサを使い捨てにする用途が想定される。

【0010】

また、半導体装置の低消費電力化を行い、高信頼性を確保することは、半導体装置の商品化を実現する上で重要である。

【0011】

そこで、本発明の一態様は、アナログ値の情報を安定的、かつ高精度に記憶する半導体装置を提供することを課題の一とする。

【0012】

また、本発明の一態様は、半導体装置を低成本で提供することを課題の一とする。

【0013】

また、本発明の一態様は、半導体装置の消費電力を低減することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

【0014】

10

20

30

40

50

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、および他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

【0015】

本発明の一態様に係る半導体装置は、電源部、センサ部、および記憶素子部を有する。電源部はセンサ部および記憶素子部に接続される。センサ部はアナログ値の情報を取得する。また、記憶素子部は、センサ部に接続されており、センサ部で取得した情報を記憶する。具体的には、記憶素子部に設けられるトランジスタのゲートの電位を制御することでスイッチング動作を行い、アナログ値の情報を記憶させる。

10

【0016】

また、本発明の一態様では、半導体装置は、第1の層、および第2の層を有し、第2の層は、第1の層の上部に積層されている。第1の層は、上記トランジスタを有し、第2の層は、上記センサ部を有する構成とする。

【0017】

また、本発明の一態様では、上記記憶素子部には、容量素子が設けられている。

【0018】

20

また、本発明の一態様では、上記第1の層に上記容量素子が設けられている。

【0019】

また、本発明の一態様では、上記電源部は、太陽電池が設けられている。

【0020】

また、本発明の一態様では、上記トランジスタのチャネル形成領域は、酸化物半導体膜で形成される。

【0021】

また、本発明の一態様では、半導体装置内にアナログデジタル変換回路を設けず、半導体装置にアナログ値の情報の測定機能と記憶機能を実装する構成とする。なお、記憶した情報の読み出しは半導体装置を回収後に、半導体装置の外部に設けられた外部回路により行うものとする。

30

【発明の効果】

【0022】

本発明の一態様は、アナログ値の情報を安定的、かつ高精度に記憶する半導体装置を提供することができる。

【0023】

または、本発明の一態様は、半導体装置を低コストで提供することができる。

【0024】

また、本発明の一態様は、消費電力を低減した半導体装置を提供することができる。また、本発明の一態様は、新規な半導体装置を提供することができる。

40

【0025】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、および他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0026】

50

- 【図1】本発明の一態様の半導体装置のブロック図。
【図2】本発明の一態様の半導体装置のブロック図。
【図3】本発明の一態様の半導体装置のブロック図。
【図4】本発明の一態様のメモリセルおよびメモリセルアレイの回路図。
【図5】本発明の一態様の半導体装置の断面図。
【図6】本発明の一態様の半導体装置の断面図。
【図7】本発明の一態様の半導体装置の構成例を示す図。
【図8】本発明の一態様の半導体装置の構成例および応用例を示す図。
【図9】本発明の一態様の半導体装置の構成例を示す図。
【図10】本発明の一態様の半導体装置の応用例を示す図。

10

【発明を実施するための形態】

【0027】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0028】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

20

【0029】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素は、他の実施の形態、あるいは特許請求の範囲において序数詞を省略して言及することもありうる。

30

【0030】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0031】

また、本明細書において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネル形成領域を有しており、ドレインとチャネル形成領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

40

【0032】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0033】

また、本明細書において、「膜」という用語と、「層」という用語とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」と

50

いう用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0034】

また、本明細書において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0035】

10

また、電気的に接続されているとは、電流、電圧または電位が、供給可能、或いは伝送可能な状態にできるような回路構成になっていることを含む。よって、2つの構成要素が接続しているとは、それらが直接接続している回路構成に限定されるものではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの素子を介して、それらが電気的に接続している回路構成も、その範疇に含む。

【0036】

20

また、本明細書等において回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0037】

(実施の形態1)

本実施の形態では、半導体装置の一例について説明する。具体的には、電源部を電力供給源とし、センサ部でアナログ値の情報を取得し、記憶素子部で当該情報を記憶する半導体装置の一例について図1を参照して説明する。

【0038】

図1は、半導体装置100の一例を示すブロック図である。図1は、電源部101、センサ部102、および記憶素子部103を有する半導体装置100を示している。

30

【0039】

電源部101は、センサ部102および記憶素子部103に接続される。また、電源部101は、センサ部102および記憶素子部103に電力を供給することができる。具体的には、電源部101は、キャパシタまたは二次電池などの蓄電装置、一次電池などを有する。二次電池として、例えば、鉛蓄電池、ニッケルカドミウム電池、ニッケル水素電池、リチウムイオン電池等を用いることができる。キャパシタとして、例えば、電気二重層キャパシタや、一対の電極のいずれか一方が電気二重層を構成し、他方が酸化還元反応を使用したハイブリッドキャパシタを用いることができる。ハイブリッドキャパシタには、例えば、正極が電気二重層を構成し、負極がリチウムイオン二次電池を構成している、リチウムイオンキャパシタが含まれる。

40

【0040】

また、電源部101が二次電池を有する場合は、単結晶シリコンやアモルファスシリコンを用いた太陽電池や色素増感太陽電池などのように光起電力効果を有する装置を設けてもよい。また、荷重又は運動により生じるエネルギーを圧電効果により電気信号に変換する圧電素子を設けてもよい。

【0041】

また、電源部101が有する一次電池または二次電池は、可撓性を有することで湾曲又は屈曲する構成としても良い。可撓性を有することにより、耐久性の高い半導体装置を構成することができる。

【0042】

50

また、電源部 101 は、DC - DC コンバータ、昇圧回路、降圧回路などの回路を有していてもよい。つまり、電源部 101 は、複数の電位を生成する機能を有していてもよい。よって、電源部 101 は、電源回路としての機能を有することもできる。

【0043】

また、電源部 101 は、無線によって、電力を受け取ることができる機能を有していてもよい。つまり、磁界、電界、電磁界などをを利用して、外部から電力が供給され、電源部 101 が充電されるような構成となっていてもよい。したがって、電源部 101 は、整流回路や平滑回路などを有していてもよい。

【0044】

なお、電源部 101 は、例えば、他の機能を有する場合や、一部の機能を有していない場合がある。そのため、電源部 101 を、単に、回路と呼ぶ場合や、第 1 の回路、第 2 の回路などと呼ぶ場合もある。

10

【0045】

センサ部 102 は、電力が供給されると動作を開始する。また、センサ部 102 は、半導体装置 100 の外部環境の情報を検知し、アナログ値の物理量や化学量を測定する。

【0046】

センサ部 102 は、センサ素子を有する。また、センサ部 102 は、センサ素子を制御するセンサ回路を有していてもよい。センサ素子としては抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオード、静電容量型素子、圧電素子などの素子を使用することができる。なお、センサ素子は複数設けてもよく、この場合、複数の物理量または化学量を測定、および取得することが可能である。

20

【0047】

また、ここでいう物理量とは、温度、圧力、流量、光、磁気、音波、加速度、湿度等を指す。化学量とは、ガス等の気体成分やイオン等の液体に含まれる成分等の化学物質等の量を指す。化学量の測定対象としては、他にも、血液、汗、尿等に含まれる特定の生体物質（例えば、血液中に含まれる血糖等）等の有機化合物も含まれる。特に、化学量を測定しようとする場合には、必然的にある特定の物質を選択的に検出することになるため、あらかじめセンサ素子に、検出したい物質と選択的に反応する物質を設けておく。例えば、生体物質の検出を行う場合には、センサ素子に検出させたい生体物質と選択的に反応する酵素、抗体分子または微生物細胞等を高分子等に固定化して設けておくことが好ましい。

30

【0048】

センサ部 102 は、記憶素子部 103 に接続される。また、センサ部 102 で取得されたアナログ値の情報は記憶素子部 103 に出力される。記憶素子部 103 は、電源部 101 から入力される電圧によってスイッチングが制御されるトランジスタ 104 を有する。具体的には、トランジスタ 104 は、センサ部 102 の動作と同期して、オン状態とオフ状態のスイッチングが制御される。また、センサ部が output したアナログ値の情報を記憶素子部 103 に記憶させることができる。

【0049】

トランジスタ 104 のチャネル形成領域は、酸化物半導体によって構成されている。酸化物半導体はシリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体である。酸化物半導体をトランジスタに使用することにより、オフ電流を極めて低減することができる。また、酸化物半導体をチャネル形成領域に有するトランジスタは、オフ電流の温度依存性が小さい。そのため、記憶素子部 103 に保持したアナログ値の情報の劣化や変化を防止することができる。

40

【0050】

また、トランジスタ 104 を用いることで、低電力で情報の書き込みを行うことができる。また、本実施の形態の半導体装置は、待機状態においてトランジスタ 104 がオフ状態を維持することもできる。その際、記憶素子部 103 からの放電を抑制することができる。つまり、半導体装置の待機電力を低減することもできる。そのため、記憶したアナロ

50

グ値の情報を長期間保持することができる。また、消費電力が低減するため電源部のバッテリー容量を小さくすることが可能である。そのため、半導体装置を小型化することも可能である。

【0051】

記憶素子部103に記憶されたアナログ値の情報は、半導体装置100の出力ポート105から、半導体装置の外部に設けられた外部回路に出力することができる。外部回路は、アナログデジタル変換回路を有し、アナログ信号をデジタル信号に変換する。また、得られたデジタル信号に所望の処理を行い、センサ部102により得られた情報の分析を行う。

【0052】

ここで、半導体装置100には、アナログデジタル変換回路を設けない構成とする。半導体装置100は、記憶素子部103によりアナログ値の情報を正確に保持することができるため、上記構成が可能になる。つまり、半導体装置100はアナログ値の情報の測定機能と記憶機能のみを実装することができる。その結果、半導体装置100の小型化と作製コストの低減が同時に可能になる。また、半導体装置100においては、アナログデジタル変換回路により消費される電力を削減できるため、消費電力をさらに下げることが可能である。以上の効果により、消費電力が少なく、かつ高性能の半導体装置を低成本で提供することが可能である。

【0053】

<変形例>

なお、上述した半導体装置100は、本実施の形態の半導体装置の一例であり、上述した半導体装置100と異なる点を有する半導体装置も本実施の形態には含まれる。

【0054】

例えば、上述した半導体装置100においては、トランジスタ104が記憶素子部103の内部に設けられる構成について示したが、本実施の形態の半導体装置は当該構成に限定されない。半導体装置100において、トランジスタ104は、電源部101やセンサ部102の構成要素であっても構わない。また、トランジスタ104は、必ずしも電源部101と直接接続される必要はない。他の回路を間に介し、記憶素子部103に機能的に接続される構成としても構わない。

【0055】

また、上述した半導体装置100においては、トランジスタ104のオン状態とオフ状態のスイッチングは、電源部101から入力される電圧によって制御される構成について示したが、本実施の形態の半導体装置は当該構成に限定されない。本実施の形態の半導体装置100において、トランジスタ104のオン状態とオフ状態のスイッチングは、センサ部102から入力される信号によって制御される構成としても構わない。

【0056】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0057】

(実施の形態2)

本実施の形態では、半導体装置の一例について説明する。具体的には、複数のセンサ部を有する半導体装置の一例について図2(A)を参照して説明する。

【0058】

図2(A)は、電源部101、センサ部102および記憶素子部103を有し、センサ部102にセンサ素子202aとセンサ素子202bを有する半導体装置200を示している。

【0059】

センサ素子202aとセンサ素子202bは、互いに異なるアナログ値の物理量や化学量を測定することができる。例えば、センサ素子202aが半導体装置200の周囲の温度を測定し、センサ素子202bが半導体装置200に加えられる圧力を測定するこ

10

20

30

40

50

とが可能である。センサ素子 202a とセンサ素子 202b により得られた情報は、記憶素子部 103 に出力される。記憶素子部 103 において、得られたアナログ値の情報が記憶される。上記の構成により、異なる 2 種類の物理量や化学量をアナログ値の情報として記憶することができるため、より高性能の半導体装置を提供することができる。

【0060】

また、センサ素子 202a またはセンサ素子 202b により得られた情報は、外部回路によって、補正することも可能である。例えば、圧力を測定するセンサ素子 202b の特性が、温度によって変動する場合がある。本実施の形態の半導体装置 200 において、センサ素子 202a が温度を測定し、同時にセンサ素子 202b が圧力を測定することができる。後に、それらの測定結果を外部回路に読み込み、温度データによる測定結果をもとに補正を行うことで、誤差の少ない圧力データを算出することも可能である。

10

【0061】

記憶素子部 103 に設けられたトランジスタ 104 のチャネル形成領域は、酸化物半導体によって構成されている。

【0062】

記憶素子部 103 に記憶されたアナログ値の情報は、半導体装置 200 の出力ポート 105 から、半導体装置の外部に設けられた外部回路に出力することができる。ここで、半導体装置 200 には、アナログデジタル変換回路を設けない構成とする。半導体装置 200 は、記憶素子部 103 により、アナログ値の情報を正確に保持することができるため、上記構成が可能になる。つまり、半導体装置 200 はアナログ値の情報の測定機能と記憶機能のみを実装することができる。その結果、半導体装置 200 の小型化と作製コストの低減が同時に可能になる。また、半導体装置 200 においては、アナログデジタル変換回路により消費される電力を削減できるため、さらに消費電力を下げることが可能である。以上の効果により、消費電力が少なく、かつ高性能の半導体装置を低成本で提供することが可能である。

20

【0063】

上記のセンサ素子 202a とセンサ素子 202b の詳細については、実施の形態 1 におけるセンサ素子の記載を参照できる。

【0064】

<変形例>

30

なお、上述した半導体装置 200 は、本実施の形態の半導体装置の一例であり、上述した半導体装置 200 と異なる点を有する半導体装置も本実施の形態には含まれる。

【0065】

図 2 (A) は、センサ素子 202a とセンサ素子 202b が記憶素子部 103 に対して並列に接続されている構成を示しているが、本実施の形態の半導体装置の構成はこれに限定されない。例えば、センサ素子 202a とセンサ素子 202b を、電源部 101 や記憶素子部 103 に対して直列に接続しても良い。また、直列と並列を組み合わせた構成としても良い。上記構成により、センサ素子 202a で測定を行った後に、センサ素子 202b を動作させ、測定を行うことが可能である。例えば、センサ素子 202a が温度を測定した後に、センサ素子 202b が圧力を測定することが可能である。また、センサ素子 202a がある一定以上の温度を検知した場合にのみ、センサ素子 202b が測定を開始するように動作させることも可能である。

40

【0066】

なお、図 2 (A) では、2 種類のセンサ素子を有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、センサ部に設けられるセンサ素子の種類は 3 種類以上であってもよい。また同種のセンサ素子を複数設ける構成としてもよい。

【0067】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0068】

50

(実施の形態 3)

本実施の形態では、半導体装置の一例について説明する。具体的には、アンテナを有する半導体装置の一例について図 2 (B) を参照して説明する。

【 0 0 6 9 】

図 2 (B) は、電源部 1 0 1 、センサ部 1 0 2 、記憶素子部 1 0 3 およびアンテナ部 3 0 1 を有する半導体装置 3 0 0 を示している。

【 0 0 7 0 】

電源部 1 0 1 には、アンテナ部 3 0 1 が接続されている。アンテナ部 3 0 1 を設けることにより、半導体装置の外部に設けられた給電器を用いて充電を行うことができる。例えば、給電器に設けられたコイル状のアンテナとアンテナ部 3 0 1 に設けられたアンテナを近づけると、給電器におけるコイル状のアンテナから交流磁界が発生する。その結果生じた電磁誘導によりアンテナ部 3 0 1 内に設置されたアンテナの端子間 (アンテナの一端と他端の間) に起電力が発生する。当該起電力により電源部 1 0 1 に設けられたバッテリーを充電することができる。

10

【 0 0 7 1 】

なお、外部の給電器からアンテナ部 3 0 1 に送電される信号の周波数として、例えばサブミリ波である 3 0 0 G H z 以上かつ 3 T H z 以下、ミリ波である 3 0 G H z 以上かつ 3 0 0 G H z 以下、センチメートル波である 3 G H z 以上かつ 3 0 G H z 以下、極超短波である 3 0 0 M H z 以上かつ 3 G H z 以下、超短波である 3 0 M H z かつ以上 3 0 0 M H z 以下、短波である 3 M H z 以上かつ 3 0 M H z 以下、中波である 3 0 0 k H z かつ以上 3 M H z 以下、長波である 3 0 k H z 以上かつ 3 0 0 k H z 以下、および超長波である 3 k H z 以上 3 0 k H z 以下のいずれの周波数も用いることができる。

20

【 0 0 7 2 】

上記の構成により、半導体装置 3 0 0 の外部から、非接触の状態で給電を行うことが可能であり、半導体装置を長期間駆動させることができる。また、電源部 1 0 1 に設けられるバッテリーの容量を小さくすることが可能である。なお、アンテナに発生した誘導電圧から、センサ部 1 0 2 や記憶素子部 1 0 3 の動作に必要な電力が十分に得られる場合には、電源部 1 0 1 を設けない構成とすることも可能である。

【 0 0 7 3 】

センサ部 1 0 2 は、電力が供給されると動作を開始する。また、センサ部 1 0 2 は、半導体装置 3 0 0 の外部環境の情報を検知し、アナログ値の物理量や化学量を測定する。

30

【 0 0 7 4 】

記憶素子部 1 0 3 に設けられたトランジスタ 1 0 4 のチャネル形成領域は、酸化物半導体によって構成されている。

【 0 0 7 5 】

記憶素子部 1 0 3 に記憶されたアナログ値の情報は、半導体装置 3 0 0 の出力ポート 1 0 5 から、半導体装置の外部に設けられた外部回路に出力することができる。ここで、半導体装置 3 0 0 には、アナログデジタル変換回路を設けない構成とする。半導体装置 3 0 0 は、記憶素子部 1 0 3 により、アナログ値の情報を正確に保持するため、上記構成が可能になる。つまり、半導体装置 3 0 0 はアナログ値の情報の測定機能と記憶機能のみを実装することができる。その結果、半導体装置 3 0 0 の小型化と作製コストの低減が同時に可能になる。また、半導体装置 3 0 0 においては、アナログデジタル変換回路により消費される電力を削減できるため、さらに消費電力を下げることが可能である。以上の効果により、消費電力が少なく、かつ高性能の半導体装置を低コストで提供することが可能である。

40

【 0 0 7 6 】

<変形例>

なお、上述した半導体装置 3 0 0 は、本実施の形態の半導体装置の一例であり、上述した半導体装置 3 0 0 と異なる点を有する半導体装置も本実施の形態には含まれる。

【 0 0 7 7 】

50

例えば、半導体装置の出力ポートをアンテナ部 301 に接続する構成としてもよい。これにより、得られた情報を、外部回路に非接触の状態で伝送することができる。

【0078】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0079】

(実施の形態 4)

本実施の形態では、半導体装置の一例について説明する。具体的には、タイマー回路を有する半導体装置の一例について図 3 (A) を参照して説明する。

【0080】

図 3 (A) は、電源部 101、センサ部 102、記憶素子部 103、およびタイマー回路 401 を有する半導体装置 400 を示している。

【0081】

電源部 101 はタイマー回路 401 に接続される。また、タイマー回路 401 は、センサ部 102 および記憶素子部 103 に接続される。タイマー回路 401 は、特定のタイミングでセンサ部 102 と記憶素子部 103 に動作信号を出力することが可能である。また、半導体装置 400 の間欠動作を可能とするように、定期的に信号を出力する構成としてもよい。

【0082】

上記の構成により、所望の時間にセンサ部 102 を動作させ、得られた情報を記憶素子部 103 に記憶させることが可能になる。そのため、半導体装置 400 により、時間分解能の高い測定が可能になる。

【0083】

センサ部 102 は、電力が供給されると動作を開始する。また、センサ部 102 は、半導体装置 400 の外部環境の情報を検知し、アナログ値の物理量や化学量を測定する。

【0084】

記憶素子部 103 に設けられたトランジスタ 104 のチャネル形成領域は、酸化物半導体によって構成されている。

【0085】

記憶素子部 103 に記憶されたアナログ値の情報は、半導体装置 400 の出力ポート 105 から、半導体装置の外部に設けられた外部回路に出力することができる。ここで、半導体装置 400 には、アナログデジタル変換回路を設けない構成とする。半導体装置 400 は、記憶素子部 103 により、アナログ値の情報を正確に保持することができるため、上記構成が可能になる。つまり、半導体装置 400 はアナログ値の情報の測定機能と記憶機能のみを実装することができる。その結果、半導体装置 400 の小型化と作製コストの低減が同時に可能になる。また、半導体装置 400 においては、アナログデジタル変換回路により消費される電力を削減できるため、さらに消費電力を下げることが可能である。以上の効果により、消費電力が少なく、かつ高性能の半導体装置を低コストで提供することが可能である。

【0086】

<変形例>

なお、上述した半導体装置 400 は、本実施の形態の半導体装置の一例であり、上述した半導体装置 400 と異なる点を有する半導体装置も本実施の形態には含まれる。

【0087】

タイマー回路 401 は、センサ部 102 と記憶素子部 103 のどちらか一方のみに動作信号を出力する構成としてもよい。例えば、センサ部 102 において一定時間測定を行つて情報を蓄積した後に、タイマー回路 401 により記憶素子部 103 の動作を制御することも可能である。

【0088】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一

10

20

30

40

50

部と自由に組み合わせることが可能である。

【0089】

(実施の形態5)

本実施の形態では、半導体装置の一例について説明する。具体的には、増幅器を有する半導体装置の一例について図3(B)を参照して説明する。

【0090】

図3(B)は、電源部101、センサ部102、記憶素子部103、および増幅器501を有する半導体装置500を示している。

【0091】

電源部101は、センサ部102、記憶素子部103および増幅器501に接続される。また、電源部101は、センサ部102、記憶素子部103および増幅器501に電力を供給することができる。

【0092】

増幅器501は、記憶素子部103の出力電位を増幅することができる。記憶素子部103に保存されたアナログ信号は、増幅器501で増幅された後に、出力ポート105から、半導体装置の外部に設けられた外部回路に出力される。したがって、記憶素子部103から出力された電圧の値が小さい場合でも、外部回路へ正確な信号を伝送することができる。

【0093】

増幅器501としては、オペアンプを使用することができる。また、差動アンプ、計装アンプ、ユニティゲインアンプ、プログラマブルゲインアンプなどの各種アンプから適切なものを選択して使用することもできる。増幅器の増幅率は、信号の粒度や、外部回路で用いられるアナログデジタル変換回路の分解能などについて考慮した上で決定するとい。

【0094】

センサ部102は、電力が供給されると動作を開始する。また、センサ部102は、半導体装置500の外部環境の情報を検知し、アナログ値の物理量や化学量を測定する。

【0095】

記憶素子部103に設けられたトランジスタ104のチャネル形成領域は、酸化物半導体によって構成されている。

【0096】

記憶素子部103に記憶されたアナログ値の情報は、半導体装置500の出力ポート105から半導体装置の外部に設けられた外部回路に出力することができる。ここで、半導体装置500には、アナログデジタル変換回路を設けない構成とする。半導体装置500は、記憶素子部103により、アナログ値の情報を正確に保持することができるため、上記構成が可能になる。つまり、半導体装置500はアナログ値の情報の測定機能と記憶機能のみを実装することができる。その結果、半導体装置500の小型化と作製コストの低減が同時に可能になる。また、半導体装置500においては、アナログデジタル変換回路により消費される電力を削減できるため、さらに消費電力を下げることが可能である。以上の効果により、消費電力が少なく、かつ高性能の半導体装置を低コストで提供することが可能である。

【0097】

<変形例>

なお、上述した半導体装置500は、本実施の形態の半導体装置の一例であり、上述した半導体装置500と異なる点を有する半導体装置も本実施の形態には含まれる。

【0098】

増幅器501は上記の酸化物半導体をチャネル形成領域に含むトランジスタを有してもよい。その場合、記憶素子部103と、増幅器501が有するトランジスタを同一工程で作製することできる。したがって半導体装置を作製する際のコストを低減することが可能である。

10

20

30

40

50

【 0 0 9 9 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【 0 1 0 0 】**(実施の形態 6)**

本実施の形態では、開示する本発明の半導体装置に用いられる酸化物半導体（以下、酸化物半導体膜という場合がある）について説明する。

【 0 1 0 1 】

電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、*i*型（真性半導体）又は*i*型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【 0 1 0 2 】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、様々な実験により証明されている。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V 以上かつ 10V 以下の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100\text{zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【 0 1 0 3 】

ここで、トランジスタのチャネル長方向とは、ソース（ソース領域またはソース電極）及びドレイン（ドレイン領域またはドレイン電極）間において、キャリアが移動する方向を指し、チャネル幅方向は、基板と水平な面内において、チャネル長方向に対して垂直の方向を指すものとする。

【 0 1 0 4 】

なお、トランジスタのチャネル形成領域に酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（*In*）あるいは亜鉛（*Zn*）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（*Ga*）を有することが好ましい。また、スタビライザーとしてスズ（*Sn*）を有することが好ましい。また、スタビライザーとしてハフニウム（*Hf*）を有することが好ましい。また、スタビライザーとしてアルミニウム（*Al*）を有することが好ましい。また、スタビライザーとしてジルコニウム（*Zr*）を含むことが好ましい。

【 0 1 0 5 】

酸化物半導体の中でも*In-Ga-Zn*系酸化物、*In-Sn-Zn*系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記*In-Ga-Zn*系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【 0 1 0 6 】

10

20

30

40

50

また、他のスタビライザーとして、ランタノイドである、ランタン(L a)、セリウム(C e)、プラセオジム(P r)、ネオジム(N d)、サマリウム(S m)、ユウロピウム(E u)、ガドリニウム(G d)、テルビウム(T b)、ジスプロシウム(D y)、ホルミウム(H o)、エルビウム(E r)、ツリウム(T m)、イッテルビウム(Y b)、ルテチウム(L u)のいずれか一種または複数種を含んでいてもよい。

【 0 1 0 7 】

例えは、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、In - Ga - Zn 系酸化物(IGZO とも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

【 0 1 0 8 】

なお、例えは、In - Ga - Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【 0 1 0 9 】

例えは、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【 0 1 1 0 】

以下では、酸化物半導体膜の構造について説明する。

【 0 1 1 1 】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC - OS (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜などをいう。

【 0 1 1 2 】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が非晶質構造の酸化物半導体膜が典型である。

【 0 1 1 3 】

微結晶酸化物半導体膜は、例えは、1 nm 以上かつ 10 nm 未満の大きさの微結晶(ナノ結晶ともいう。)を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【 0 1 1 4 】

CAAC - OS 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、CAAC - OS 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。CAAC - OS 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC - OS 膜について詳細な説明を行

10

20

30

40

50

う。

【0115】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することが困難である。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0116】

CAAC-OS膜を、試料面と略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

10

【0117】

本明細書において、「平行」とは、二つの直線が-10°以上かつ10°以下の角度で配置されている状態をいう。従って、-5°以上かつ5°以下の場合も含まれる。また、「略平行」とは、二つの直線が-30°以上かつ30°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80°以上かつ100°以下の角度で配置されている状態をいう。従って、85°以上かつ95°以下の場合も含まれる。また、「略垂直」とは、二つの直線が60°以上かつ120°以下の角度で配置されている状態をいう。

【0118】

20

一方、CAAC-OS膜を、試料面と略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0119】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0120】

CAAC-OS膜に対し、X線回折(XRD:X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaN_{0.4}Oの結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaN_{0.4}Oの結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

30

【0121】

一方、CAAC-OS膜に対し、c軸に略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaN_{0.4}Oの結晶の(110)面に帰属される。InGaN_{0.4}Oの単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

40

【0122】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0123】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面ま

50

たは上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【 0 1 2 4 】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 1 2 5 】

なお、InGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、C A A C - O S 膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【 0 1 2 6 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 2 7 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 1 2 8 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 1 2 9 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【 0 1 3 0 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上かつ740以下、好ましくは200以上かつ500以下として成膜する。成膜時の基板加熱温度を高めることで、スパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 1 3 1 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【 0 1 3 2 】

ターゲットの一例として、In-Ga-Zn系酸化物ターゲットについて以下に示す。

【 0 1 3 3 】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol数比で混合し、加圧処理後、1000以上かつ1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol数比は、作製するターゲットによって適宜変更すればよい。

【 0 1 3 4 】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アル

10

20

30

40

50

カリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa⁺となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。¹⁰

【0135】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。²⁰

【0136】

また、ソース電極およびドレイン電極に用いられる導電性材料によっては、ソース電極およびドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極およびドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

【0137】

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極およびドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタの移動度およびオン電流を高めることができ、それにより、トランジスタを用いたスイッチ回路の高速動作を実現することができる。³⁰

【0138】

なお、ソース電極およびドレイン電極中の金属による酸素の引き抜きは、ソース電極およびドレイン電極をスパッタリング法などにより形成する際に起こり得、ソース電極およびドレイン電極を形成した後に行われる加熱処理によっても起こり得る。

【0139】

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極およびドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0140】

また、酸化物半導体膜は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていてもよい。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜および第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下、真空準位に近い酸化物膜である。さらに、第2の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0141】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで

10

20

30

40

50

、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第2の金属酸化物膜にチャネル領域が形成される。即ち、第2の金属酸化物膜とゲート絶縁膜との間に第3の金属酸化物膜が設けられることによって、ゲート絶縁膜と離隔している第2の金属酸化物膜に、チャネル領域を形成することができる。

【0142】

また、第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第3の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタの電界効果移動度が高くなる。

【0143】

また、第2の金属酸化物膜と第1の金属酸化物膜の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第1の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第1の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【0144】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されないよう、複数の金属酸化物膜を積層させることが望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間ににおける伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間ににおける不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0145】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）とすることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0146】

高純度の真性な酸化物半導体を得るためにには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、-40以下、好ましくは-80以下、より好ましくは-100以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、第2の金属酸化物膜がIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第2の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn = x₁:y₁:z₁とすると、x₁/y₁は、1/3以上かつ6以下、さらには1以上かつ6以下であって、z₁/y₁は、1/3以上かつ6以下、さらには1以上かつ6以下であることが好ましい。なお、z₁/y₁を1以上かつ6以下とすることで、第2の金属酸化物膜としてCAC-O₅膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:1:1、In:M:Zn = 3:1:2等がある。

【0147】

具体的に、第1の金属酸化物膜、第3の金属酸化物膜がIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第1の金属酸化物膜、第3の金属酸

10

20

30

40

50

化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比を $In : M : Z$ $n = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、1/3 以上かつ 6 以下、さらには 1 以上かつ 6 以下であることが好ましい。なお、 z_2 / y_2 を 1 以上かつ 6 以下とすることで、第 1 の金属酸化物膜、第 3 の金属酸化物膜として CAAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Z n = 1 : 3 : 2$ 、 $In : M : Z n = 1 : 3 : 4$ 、 $In : M : Z n = 1 : 3 : 6$ 、 $In : M : Z n = 1 : 3 : 8$ 等がある。

【0148】

なお、第 1 の金属酸化物膜および第 3 の金属酸化物膜の厚さは、3 nm 以上かつ 100 nm 以下、好ましくは 3 nm 以上かつ 50 nm 以下とする。また、第 2 の金属酸化物膜の厚さは、3 nm 以上かつ 200 nm 以下、好ましくは 3 nm 以上かつ 100 nm 以下であり、さらに好ましくは 3 nm 以上かつ 50 nm 以下である。

10

【0149】

3 層構造の半導体膜において、第 1 の金属酸化物膜乃至第 3 の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される第 2 の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第 2 の金属酸化物膜は結晶質であることが好ましい。

【0150】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

20

【0151】

例えば、第 1 の金属酸化物膜および第 3 の金属酸化物膜として、スパッタリング法により形成した $In - Ga - Zn$ 系酸化物膜を用いる場合、第 1 の金属酸化物膜および第 3 の金属酸化物膜の成膜には、 $In - Ga - Zn$ 系酸化物 ($In : Ga : Zn = 1 : 3 : 2$ [原子数比]) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板温度を 200 とし、DC 電力を 0.5 kW とすればよい。

【0152】

また、第 2 の金属酸化物膜を CAAAC-OS 膜とする場合、第 2 の金属酸化物膜の成膜には、 $In - Ga - Zn$ 系酸化物 ($In : Ga : Zn = 1 : 1 : 1$ [原子数比]) であり、多結晶の $In - Ga - Zn$ 系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 300 とし、DC 電力を 0.5 kW とすることができる。

30

【0153】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していてもよいし、半導体膜の端部が丸みを帯びる構造を有していてもよい。

【0154】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極およびドレイン電極に接する領域が、n 型化されていてもよい。上記構成により、トランジスタの移動度およびオン電流を高め、トランジスタを用いた半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n 型化される領域は、チャネル領域となる第 2 の金属酸化物膜にまで達していることが、トランジスタの移動度およびオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

40

【0155】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0156】

50

(実施の形態 7)

本実施の形態では、開示する本発明に係る記憶素子部の回路図について図4を用いて説明する。

【0157】

図4(A)は、半導体装置の記憶素子部に設けられる回路の一例である。図4(A)に示すメモリセル630において、トランジスタ160のソースまたはドレインの一方は、配線150(ビット線とも呼ぶ)と電気的に接続される。トランジスタ160のゲートは、配線151(ワード線とも呼ぶ)と電気的に接続される。トランジスタ160のソースまたはドレインの他方は、容量素子161の電極の一方と電気的に接続される。容量素子161の電極の他方は、配線152(容量線とも呼ぶ)と電気的に接続される。

10

【0158】

ここで、トランジスタ160には、チャネル形成領域に酸化物半導体を有するトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ160をオフ状態とすることで、容量素子161に与えられた電位を、極めて長時間にわたって保持することが可能である。

【0159】

図4(A)に示す回路では、容量素子161に与えられた電位を保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0160】

はじめに、アナログ値の情報の書き込みおよび保持について説明する。ここでは簡単のため、配線152の電位は固定されているものとする。まず、配線151の電位をトランジスタ160がオン状態となる電位にして、トランジスタ160をオン状態とする。これにより、配線150の電位が、容量素子161の電極の一方に与えられる。すなわち、容量素子161には、所定の電荷が与えられる(書き込み動作が行われる)。その後、配線151の電位をトランジスタ160がオフ状態となる電位にして、トランジスタ160をオフ状態とすることにより、容量素子161に与えられた電荷が保持される(保持動作が行われる)。トランジスタ160は上述のとおり、極めてオフ電流が小さいので、長期間にわたって電荷を保持できる。その結果、アナログ値の情報の劣化を防止することができる。なお、酸化物半導体を用いたトランジスタ160は、低電力で書き込み動作を行うことが可能であり、動作速度もきわめて大きいという特徴を有する。

20

【0161】

次に、情報の読み出しについて説明する。配線150に所定の電位(定電位)を与えた状態で、配線151の電位をトランジスタ160がオン状態となる電位にすると、容量素子161に保持されている電荷量に応じて、配線150は異なる電位をとる。このため、配線150の電位を計測することで、保持されている情報を読み出すことができる(読み出し動作が行われる)。

【0162】

なお、図4(A)では、情報の保持を行うメモリセルが、スイッチング素子として機能するトランジスタ160を一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子として機能するトランジスタがメモリセル内に少なくとも1つ設けられていれば良く、上記トランジスタの数は複数であってもよい。メモリセルが、複数のトランジスタで構成されるスイッチング素子を有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

40

【0163】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第1のトランジスタのソース電極またはドレイン電極のいずれか一方が、第2のトランジスタのソース電極またはドレイン電極のいずれか一方と接続されている状態を意味する。また、例えば、トランジスタが並列に接続されている状態とは、第1のトランジスタのソース電極またはドレイン電極のいずれか一方が第2のトランジスタのソース電極またはドレ

50

イン電極のいずれか一方に接続され、第1のトランジスタのソース電極またはドレイン電極のいずれか他方が第2のトランジスタのソース電極またはドレイン電極のいずれか他方に接続されている状態を意味する。

【0164】

また、トランジスタ160は、ゲート電極を活性層の片側において少なくとも有していればよいが、活性層を間に挟んで存在する一対のゲート電極を有していてもよい。トランジスタ160が、活性層を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極にはスイッチングを制御するための信号が与えられ、他方のゲート電極（バックゲート電極）は、電気的に絶縁しているフローティングの状態であってもよいし、電位が他の配線から与えられている状態であってもよい。後者の場合、一対のゲート電極に、同じ高さの電位が与えられてもよいし、バックゲート電極にのみ接地電位などの固定の電位が与えられてもよい。バックゲート電極に与える電位の高さを制御することで、トランジスタ160の閾値電圧を制御することができる。

10

【0165】

半導体装置の記憶素子部は、図4(B)に示す回路を有する構成としてもよい。図4(B)に示す回路において、配線153（読み出しビット線とも呼ぶ）は、トランジスタ162のソースまたはドレインの一方と電気的に接続される。配線154（ソース線とも呼ぶ）は、トランジスタ162のソースまたはドレインの他方と電気的に接続される。配線155（書き込みビット線とも呼ぶ）は、トランジスタ163のソースまたはドレインの一方と電気的に接続される。配線156（ワード線とも呼ぶ）は、トランジスタ163のゲートと電気的に接続される。トランジスタ162のゲートは、トランジスタ163のソースまたはドレインの他方、および容量素子164の電極の一方と電気的に接続される。配線157（容量線とも呼ぶ）は、容量素子164の電極の他方と電気的に接続される。

20

【0166】

なお、図4(B)に示す回路の構成は、上述に限定されない。例えば、読み出しビット線である配線153と、ソース線である配線154と、を入れ替えた構成としてもよい。また、読み出しビット線である配線153と、書き込みビット線である配線155と、を1本の配線として一体化した構成としてもよい。

【0167】

ここで、トランジスタ163は、チャネル形成領域に酸化物半導体を有する。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ163をオフ状態とすることで、トランジスタ162のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ162のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。なお、酸化物半導体を用いたトランジスタ163は、低電力で書き込み動作を行うことが可能であり、動作速度もきわめて大きいという特徴を有する。また、トランジスタ162に、上述の酸化物半導体を用いたトランジスタを適用してもよい。

30

【0168】

次いで、図4(C)は、図4(A)の回路を組み合わせた構成の一例である。図4(C)に示すメモリセルアレイ620は、複数のメモリセル630が縦m個(行)×横n個(列)マトリクス状に配列された構成を有している(mおよびnは、2以上の整数である)。例えば、メモリセルアレイ620の1列目には、メモリセル630(1, 1)乃至メモリセル630(m, 1)のm個のメモリセル630が存在し、メモリセルアレイ620の1行目には、メモリセル630(1, 1)乃至メモリセル630(1, n)のn個のメモリセル630が存在する。また、メモリセルアレイ620は、m本の配線621(ワード線とも呼ぶ)、およびn本の配線622(ビット線とも呼ぶ)を有する。なお、メモリセル630(1, 1)乃至メモリセル630(m, n)のそれぞれは、図4(A)に示すメモリセル630に相当するものである。

40

【0169】

50

メモリセル 630 (i, j) は、トランジスタ 631 と、容量素子 632 と、から構成されている (i は 2 以上かつ m 以下の整数であり、j は 2 以上かつ n 以下の整数である)。トランジスタ 631 のゲートは、配線 621 と接続されている。トランジスタ 631 のソースまたはドレインの一方は、配線 622 と接続されている。トランジスタ 631 のソースまたはドレインの他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線と接続され、一定の電位が与えられている。なお、図 4 (C) において、容量線は省略している。

【0170】

トランジスタ 631 には、上述の酸化物半導体を用いたトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。図 4 (C) に示したメモリセル 630 (i, j) のように、電荷量の制御によりデータの記憶を行う場合、メモリセル 630 (i, j) への電荷の供給と、メモリセル 630 (i, j) からの電荷の放出と、メモリセル 630 (i, j) における電荷の保持とを、スイッチング素子として機能するトランジスタ 631 により制御する。よって、データの保持時間の長さは、メモリセル 630 (i, j) に蓄積されている電荷が上記トランジスタ 631 を介してリークする量に依存する。

【0171】

本発明の一態様では、上述したようにトランジスタ 631 のオフ電流を著しく低くすることができるため、上記電荷のリークを防ぐことができ、データの保持時間を長く確保することができる。また、アナログ信号の劣化を防止することが可能になる。さらに、リフレッシュ動作の頻度を低く抑えられるため、記憶素子部の消費電力を小さく抑えることができる。また、記憶素子部および半導体装置の高速動作を実現することもできる。

【0172】

なお、図 4 (C) に示したメモリセルアレイ 620 の駆動を行うため、半導体装置内に、さらに駆動回路を有してもよい。駆動回路が有するトランジスタは、その活性層に、酸化物半導体が用いられていてもよいし、或いは、酸化物半導体以外の、非晶質、微結晶、多結晶、又は単結晶の、シリコン、又はゲルマニウムなどの半導体が用いられていてもよい。上述した記憶素子部を有する記憶装置内の全てのトランジスタの活性層に、酸化物半導体を用いることで、半導体装置作製のためのプロセスを簡略化することができる。また、駆動回路が有するトランジスタの活性層に、例えば、多結晶又は単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体材料を用いることで、半導体装置の動作を高速で行うことができる。

【0173】

また、図 4 (A) のメモリセル 630 および図 4 (C) のメモリセル 630 (i, j) は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していてもよい。

【0174】

また、図 4 (C) では、トランジスタ 631 がシングルゲート構造である場合を例示しているが、トランジスタ 631 は、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造であってもよい。

【0175】

上記の構成により、消費電力が少なく、かつ高性能の半導体装置を低コストで提供することが可能である。

【0176】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0177】

(実施の形態 8)

本実施の形態では、開示する本発明の半導体装置の断面構造の例について図 5 を用いて説明する。

10

20

30

40

50

【0178】

図5(A)は、記憶素子部とセンサ部を有する半導体装置の断面構造の一例である。記憶素子部はトランジスタ1001と容量素子1002を有する。トランジスタ1001はトップゲート構造の一種である。また、センサ部は記憶素子部の上部に積層して設けられた光センサ1003を有する。

【0179】

トランジスタ1001は、基板1004上に設けられた絶縁膜1005上に、酸化物半導体層1006、ソース電極またはドレイン電極の一方として機能する導電層1007、ソース電極またはドレイン電極の他方として機能する導電層1008、ゲート絶縁膜1009、およびゲート電極1010を有する。

10

【0180】

また、図5(A)では、ゲート絶縁膜1009上において導電層1008と重なる位置に、電極1011が設けられている。ゲート絶縁膜1009を間に挟んで導電層1008と電極1011とが重なる領域が、容量素子1002として機能する。

【0181】

また、ゲート電極1010、電極1011およびゲート絶縁膜1009を覆うように、絶縁層1012が設けられる。ゲート絶縁膜1009と絶縁層1012には開口が設けられ、前記開口に導電層1013が設けられる。また、絶縁層1012上には、絶縁層1022および絶縁層1023が設けられる。絶縁層1022および絶縁層1023の開口に導電層1015が設けられ、導電層1015が導電層1013に接する。導電層1015はセンサ部に設けられる電極1016と電気的に接続している。なお、導電層1015および電極1016は、同一の工程で形成することができるため、図5(A)および後述する図5(B)では同じハッチングパターンを使用している。上記の構成により、コンタクト部1014を介し、記憶素子部と、その上方に配置されるセンサ部とが機能的に接続される。

20

【0182】

本実施の形態では、光センサ1003の光電変換素子部分であるフォトダイオードの断面構造を示している。光センサ1003は非晶質薄膜光センサであり、非晶質シリコンで形成したp層、i層、およびn層を積層したp in型のフォトダイオードを有している。光センサ1003は、基板上方から照射された光1024を検知する。

30

【0183】

電極1016上には、第1の半導体層1017としてp型の導電型を有する半導体層が設けられる。第1の半導体層1017上に、第2の半導体層1018として高抵抗な半導体層(i型半導体層)が設けられる。第2の半導体層1018上には、第3の半導体層1019としてn型の導電型を有する半導体層が設けられる。第3の半導体層1019上には絶縁層1020が設けられる。また、電極1021が絶縁層1020に設けられた開口を介して第3の半導体層1019に接続される。

【0184】

第1の半導体層1017はp型半導体層であり、p型を付与する不純物元素を含む非晶質シリコン膜により形成することができる。第1の半導体層1017は、13族の不純物元素(例えばボロン(B))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH₄)を用いればよい。または、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄等を用いてもよい。また、不純物元素を含まない非晶質シリコン膜を形成した後に、拡散法やイオン注入法を用いて該非晶質シリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合に非晶質シリコン膜を形成する方法としては、LPCVD(Low Pressure Chemical Vapor Deposition)法、気相成長法、又はスパッタリング法等を用いればよい。第1の半導体層1017の膜厚は10nm以上かつ50nm以下となるよう形成することが好ましい。

40

50

【0185】

第2の半導体層1018は、i型半導体層（真性半導体層）であり、非晶質シリコン膜により形成する。第2の半導体層1018は、半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしては、シラン（SiH₄）を用いればよい。または、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄等を用いてもよい。第2の半導体層1018の形成は、LPCVD法、気相成長法、スパッタリング法等により行ってもよい。第2の半導体層1018の膜厚は200nm以上かつ1000nm以下となるように形成することが好ましい。

【0186】

第3の半導体層1019は、n型半導体層であり、n型を付与する不純物元素を含む非晶質シリコン膜により形成する。第3の半導体層1019は、15族の不純物元素（例えばリン（P））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（SiH₄）を用いればよい。または、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄等を用いてもよい。また、不純物元素を含まない非晶質シリコン膜を形成した後に、拡散法やイオン注入法を用いて該非晶質シリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合に非晶質シリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3の半導体層1019の膜厚は20nm以上かつ200nm以下となるよう形成することが好ましい。

10

20

【0187】

また、第1の半導体層1017、第2の半導体層1018、および第3の半導体層1019として、非晶質半導体ではなく多結晶半導体もしくは微結晶半導体を用いることで、多結晶薄膜光センサを形成することができる。また、第2の半導体層1018のみを多結晶半導体もしくは微結晶半導体で形成してもよい。

【0188】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と单結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが单結晶シリコンを示す520cm⁻¹よりも低波数側に、シフトしている。即ち、单結晶シリコンを示す520cm⁻¹と非晶質シリコンを示す480cm⁻¹の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダンギリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

30

【0189】

この微結晶半導体膜は、周波数が数十MHz以上かつ数百MHz以下の高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、SiH₄、Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素および水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上かつ200倍以下、好ましくは50倍以上かつ150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、CH₄、C₂H₆等の炭化物気体、GeH₄、GeF₄等のゲルマニウム化気体、F₂等を混入させてもよい。

40

【0190】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、半導体層を積層して形成するpin型フォトダイオードの場合は、p型の半導体層側を受光面とし

50

てもよい。

【0191】

このようにして、可視光に対して光感度を持つ光センサを用いることで、周囲の照度をアナログ値として取得することができる。また、取得されたアナログ値の情報を、記憶素子部に保存することができる。

【0192】

なお、上記の構成例では、センサ部は記憶素子部の上方に設けられているため、半導体装置の占有する面積を小さくすることが可能になる。そのため半導体装置の小型化が可能になる。なお、センサ部と記憶素子部の構成は上記の構成に限定されない。例えばセンサ部と記憶素子部を半導体装置内の同じ階層に設ける構成としてもよい。

10

【0193】

また、トランジスタ1001としてシングルゲート構造のトランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタとして形成することもできる。また、ボトムゲート構造のトランジスタを形成してもよい。

【0194】

また、基板1004としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスまたはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。他に、石英基板、サファイア基板などを用いることができる。また、基板1004として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上にトランジスタ1001を直接作製してもよいし、他の作製基板上にトランジスタ1001を作製し、剥離プロセスを経た後に、可撓性基板上に転置してもよい。なお、剥離プロセスを行うために、作製基板とトランジスタ等との間に、剥離層を設けるとよい。可撓性基板を用いることで、耐久性に優れた半導体装置を提供することができる。

20

【0195】

基板1004は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ1001のゲート電極1010、導電層1007、および導電層1008の少なくとも一つは、上記の他のデバイスと電気的に接続されていてもよい。

【0196】

絶縁膜1005は、基板1004からの不純物の拡散を防止する役割を有するほか、酸化物半導体層1006に酸素を供給する役割を担うことができる。したがって、絶縁膜1005は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板1004が他のデバイスが形成された基板である場合、絶縁膜1005は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにC M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 法等で平坦化処理を行うことが好ましい。

30

【0197】

なお、絶縁膜1005が酸化物半導体層1006に直接接する場合、絶縁膜1005の平均面粗さ(R a)を、0.1 nm以上かつ0.5 nm未満とすることが好ましい。これは、酸化物半導体層1006に含まれる結晶が絶縁膜1005の表面に略垂直な方向に成長することに由来する。

40

【0198】

また、本構成例では基板上方から照射される光を検知する構成を示しているが、本実施の形態はこの構成に限定されない。例えば基板下方から入射する外光を検知するように、記憶素子部と基板の間にセンサ部を配置する構成としてもよい。

【0199】

<変形例>

なお、上述した半導体装置は、本実施の形態の半導体装置の一例であり、上述した半導体装置と異なる点を有する半導体装置も本実施の形態には含まれる。

【0200】

50

例えば、半導体装置において、複数の酸化物半導体層を積層したトランジスタを用いることもできる。図5(B)示すトランジスタ2001は、基板2004上に設けられた絶縁膜2005上に形成される。トランジスタ2001は、絶縁膜2005上に形成された絶縁層2006a、絶縁層2006a上に形成された酸化物半導体層2006b、絶縁層2006aおよび酸化物半導体層2006bのそれぞれの一部と接するソース電極またはドレイン電極の一方として機能する導電層2007、およびソース電極またはドレイン電極の他方として機能する導電層2008を有する。また、酸化物半導体層2006b上に形成され、導電層2007および導電層2008と一部が接する絶縁層2006cを有する。さらに、絶縁層2006c上に形成されたゲート絶縁膜2009、当該ゲート絶縁膜2009上に形成されたゲート電極2010を有する。

10

【0201】

ここで、絶縁層2006a、酸化物半導体層2006b、絶縁層2006cなどに適用可能な半導体および絶縁体について説明する。

【0202】

なお、絶縁層2006a、または絶縁層2006cは、後述する材料、およびその比率によっては、半導体に分類される場合がある。本実施の形態の変形例では、酸化物半導体層2006bがトランジスタのチャネル形成領域として機能するため、絶縁層2006aと絶縁層2006cの内部ではキャリアの移動は起こらない場合がある。そのため、本実施の形態では、絶縁層2006a、または絶縁層2006cが半導体としての性質を持っていたとしても、絶縁体として表記する。

20

【0203】

酸化物半導体層2006bは、例えば、インジウムを含む酸化物半導体である。酸化物半導体層2006bは、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、酸化物半導体層2006bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体層2006bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

30

【0204】

ただし、酸化物半導体層2006bは、インジウムを含む酸化物半導体に限定されない。酸化物半導体層2006bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0205】

酸化物半導体層2006bは、例えば、エネルギーギャップが大きい酸化物を用いる。酸化物半導体層2006bのエネルギーギャップは、例えば、2.5eV以上4.2eV以下、好ましくは2.8eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下とする。

40

【0206】

例えば、絶縁層2006aおよび絶縁層2006cは、酸化物半導体層2006bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物である。酸化物半導体層2006bを構成する酸素以外の元素一種以上、または二種以上から絶縁層2006aおよび絶縁層2006cが構成されるため、絶縁層2006aと酸化物半導体層2006bとの界面、および酸化物半導体層2006bと絶縁層2006cとの界面において、界面準位が形成されにくい。

50

【0207】

絶縁層2006a、酸化物半導体層2006bおよび絶縁層2006cは、少なくともインジウムを含むと好ましい。なお、絶縁層2006aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。また、酸化物半導体層2006bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。また、絶縁層2006cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。なお、絶縁層2006cは、絶縁層2006aと同種の酸化物を用いても構わない。ただし、絶縁層2006aまたは/および絶縁層2006cがインジウムを含まなくても構わない場合がある。例えば、絶縁層2006aまたは/および絶縁層2006cが酸化ガリウムであっても構わない。

【0208】

酸化物半導体層2006bは、絶縁層2006aおよび絶縁層2006cよりも電子親和力の大きい酸化物を用いる。例えば、酸化物半導体層2006bとして、絶縁層2006aおよび絶縁層2006cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0209】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、絶縁層2006cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合[Ga/(In+Ga)]は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0210】

絶縁層2006a、酸化物半導体層2006b、および絶縁層2006cが積層構造となつてあり、このときゲート電圧を印加すると、電子親和力の大きい酸化物半導体層2006bにチャネル形成領域を設けることができる。その結果、高い電界効果移動度および安定した電気特性を有するトランジスタを形成することができる。

【0211】

また、図5(B)では、導電層2008上に、絶縁層2014、絶縁層2015、および電極2011が設けられた領域を有する。当該領域が容量素子2002として機能する。なお、絶縁層2014および絶縁層2015は、それぞれ絶縁層2006cおよびゲート絶縁膜2009と同一物質を含む層である。

【0212】

また、ゲート電極2010、電極2011、導電層2007、および導電層2008を覆うように、絶縁層2012が設けられる。絶縁層2012には開口が設けられ、前記開口に導電層2013が設けられる。また、導電層1015が導電層2013に接する。上記の構成により、コンタクト部1014を介し、記憶素子部と、その上方に配置されるセンサ部とが機能的に接続される。

【0213】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0214】

(実施の形態9)

本実施の形態では、開示する本発明の半導体装置の断面構造の例について図6を用いて

10

20

30

40

50

説明する。

【0215】

図6(A)は、記憶素子部とセンサ部を有する半導体装置の断面構造の一例である。記憶素子部はトランジスタ3001と容量素子3002を有する。トランジスタ3001はトップゲート構造の一例である。また、センサ部は記憶素子部の上部に積層して設けられた圧力センサ3003を有する。

【0216】

トランジスタ3001は、基板3004上に設けられた絶縁膜3005上に、酸化物半導体層3006、ソース電極またはドレイン電極の一方として機能する導電層3007、ソース電極またはドレイン電極の他方として機能する導電層3008、ゲート絶縁膜3009、およびゲート電極3010を有する。

10

【0217】

また、図6(A)では、ゲート絶縁膜3009上において導電層3008と重なる位置に、電極3011が設けられている。ゲート絶縁膜3009を間に挟んで導電層3008と電極3011とが重なる領域が、容量素子3002として機能する。

【0218】

また、ゲート電極3010、電極3011およびゲート絶縁膜3009を覆うように、絶縁層3012が設けられる。ゲート絶縁膜3009と絶縁層3012には開口が設けられ、前記開口に導電層3013が設けられる。また、絶縁層3012上には、絶縁層3022および絶縁層3023が設けられる。絶縁層3022および絶縁層3023の開口に導電層3015が設けられ、導電層3015が導電層3013に接する。導電層3015はセンサ部に設けられる第1の導電層3016と電気的に接続している。なお、導電層3015および第1の導電層3016は、同一の工程で形成することができるため、図6(A)および後述する図6(B)では同じハッチングパターンを使用している。上記の構成により、コンタクト部3014を介し、記憶素子部と、その上方に配置されるセンサ部とが機能的に接続される。

20

【0219】

本実施の形態の圧力センサ3003は、MEMS(Micro Electro Mechanical System)と呼ばれる、微小電気機械システムの一種である。また単にマイクロマシンと呼ばれることがある。

30

【0220】

圧力センサ3003は、絶縁層3023上に、第1の導電層3016、絶縁層3017、および構造層である第2の導電層3019を有する。第2の導電層3019の端部は絶縁層3020により覆われる。絶縁層3020に設けられた開口に電極層3021が形成され、電極層3021は第2の導電層3019と接続される。

【0221】

圧力センサ3003において、第2の導電層3019は一部が露出している。また、第2の導電層3019の下方には、空間3018を有する。このような空間によって、第2の導電層3019は外界の圧力に応じて変形する。例えば、圧力3024を受けて上下、左右、またはある軸を中心に回転するように変形する。そのため、第1の導電層3016と第2の導電層3019との間の距離が変化する可変容量を形成することができる。この構造を利用して、圧力検知素子を構成することができる。

40

【0222】

第1の導電層3016と第2の導電層3019としては、金属材料や結晶性半導体材料を使用することができる。また、酸化物半導体層3006に用いられるものと同種の酸化物半導体に、水素や不純物元素を添加して酸化物導電体を作製してもよい。当該酸化物導電体を第1の導電層3016と第2の導電層3019の少なくとも一方に使用することができる。酸化物導電体を使用することにより、透光性に優れた半導体装置を作製することができる。

【0223】

50

また、第2の導電層3019を、熱膨張率の異なる2種類の物質を積層させて作製することができる。この場合、第2の導電層3019は温度変化によって膨張または収縮するので、温度を測定することも可能になる。

【0224】

空間3018の形成は、空間を形成したい領域に犠牲層を形成し、該犠牲層上に第2の導電層3019を形成し、その後の工程で該犠牲層をエッティング処理などにより除去することによって行う。このような犠牲層は、金属元素、金属化合物、酸化物半導体、シリコン、シリコン酸化物、またはシリコン窒化物を有する材料から形成することができる。また該犠牲層は導電体であっても、絶縁体であってもよい。

【0225】

このようにして、圧力に対して感度を持つ圧力センサを用いることで、半導体装置に加わる圧力をアナログ値の情報として取得することができる。また、取得されたアナログ値の情報を、記憶素子部に保存することができる。

【0226】

なお、上記の構成例では、センサ部は記憶素子部の上方に設けられているため、半導体装置の占有する面積を小さくすることが可能になる。そのため半導体装置の小型化が可能になる。なお、センサ部と記憶素子部の構成は上記の構成に限定されない。例えばセンサ部と記憶素子部を半導体装置内の同じ階層に設ける構成としてもよい。

【0227】

また、トランジスタ3001としてシングルゲート構造のトランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタとして形成することもできる。また、ボトムゲート構造のトランジスタを形成してもよい。

【0228】

また、基板3004としては、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラスまたはアルミニノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。他に、石英基板、サファイア基板などを用いることができる。また、基板3004として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上にトランジスタ3001を直接作製してもよいし、他の作製基板上にトランジスタ3001を作製し、剥離プロセスを経た後に、可撓性基板上に転置してもよい。なお、剥離プロセスを行うために、作製基板とトランジスタ等との間に、剥離層を設けるとよい。可撓性基板を用いることで、耐久性に優れた半導体装置を提供することができる。

【0229】

基板3004は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ3001のゲート電極3010、導電層3007、および導電層3008の少なくとも一つは、上記の他のデバイスと電気的に接続されていてもよい。

【0230】

絶縁膜3005は、基板3004からの不純物の拡散を防止する役割を有するほか、酸化物半導体層3006に酸素を供給する役割を担うことができる。したがって、絶縁膜3005は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板3004が他のデバイスが形成された基板である場合、絶縁膜3005は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにCMP法等で平坦化処理を行うことが好ましい。

【0231】

なお、絶縁膜3005が酸化物半導体層3006に直接接する場合、絶縁膜3005の平均面粗さ（Ra）を、0.1nm以上かつ0.5nm未満とすることが好ましい。これは、酸化物半導体層3006に含まれる結晶が絶縁膜3005の表面に略垂直な方向に成長することに由来する。

【0232】

また、本構成例では基板上方から加えられる圧力を測定する構成を示しているが、本実

10

20

30

40

50

施の形態はこの構成に限定されない。例えば基板下方から加えられる圧力を測定するよう に、記憶素子部と基板の間にセンサ部を配置する構成としてもよい。

【0233】

<変形例>

なお、上述した半導体装置は、本実施の形態の半導体装置の一例であり、上述した半導体装置と異なる点を有する半導体装置も本実施の形態には含まれる。

【0234】

例えば、半導体装置において、複数の酸化物半導体層を積層したトランジスタを用いる 10 ことできる。図6(B)示すトランジスタ4001は、基板4004上に設けられた絶縁膜4005上に形成される。トランジスタ4001は、絶縁膜4005上に形成された絶縁層4006a、絶縁層4006a上に形成された酸化物半導体層4006b、絶縁層4006aおよび酸化物半導体層4006bのそれぞれの一部と接するソース電極またはドレイン電極の一方として機能する導電層4007、およびソース電極またはドレイン電極の他方として機能する導電層4008を有する。また、酸化物半導体層4006b上に形成され、導電層4007および導電層4008と一部が接する絶縁層4006cを有する。さらに、絶縁層4006c上に形成されたゲート絶縁膜4009、当該ゲート絶縁膜4009上に形成されたゲート電極4010を有する。

【0235】

絶縁層4006aは、絶縁層2006aについての記載を参照する。また、酸化物半導体層4006bは、酸化物半導体層2006bについての記載を参照する。また、絶縁層4006cは、絶縁層2006cについての記載を参照する。 20

【0236】

絶縁層4006a、酸化物半導体層4006b、および絶縁層4006cが積層構造となつてあり、このときゲート電圧を印加すると、電子親和力の大きい酸化物半導体層4006bにチャネル形成領域を設けることができる。その結果、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0237】

また、図6(B)では、導電層4008上に、酸化物半導体層4014、絶縁層4015、および電極4011が設けられた領域を有する。当該領域が容量素子4002として機能する。なお、酸化物半導体層4014および絶縁層4015は、それぞれ絶縁層4006cおよびゲート絶縁膜4009と同一物質を含む層である。 30

【0238】

また、ゲート電極4010、電極4011、導電層4007、および導電層4008を覆うように、絶縁層4012が設けられる。絶縁層4012には開口が設けられ、前記開口に導電層4013が設けられる。また、導電層3015が導電層4013に接する。上記の構成により、コンタクト部3014を介し、記憶素子部と、その上方に配置されるセンサ部と、が機能的に接続される。

【0239】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。 40

【0240】

(実施の形態10)

本実施の形態では、開示する本発明の半導体装置に適用できる光センサやアンプの例について、図7を参照して説明する。

【0241】

図7(A)に、基本的な構成図を示す。光電変換素子3601に光が照射され、照度に応じて電流が流れる。その電流を電流電圧変換回路3902で電圧信号に変換する。このように、光電変換素子3601と、電流電圧変換回路3902と、で光センサ113が構成される。そして、光センサ113から出力された信号は、アンプ114へ入力される。

図7(A)では、オペアンプを用いた電圧フォロワ回路を示した。ただし、これに限定さ 50

れない。また、光センサ 113 とアンプ 114 の間に記憶素子部を設けた構成としてもよい。

【0242】

また、図 7 (B) のように、光電変換素子 3601 とカレントミラー回路 3803 とに流れる電流を電流電圧変換回路 3802 に流すようにして、光に対する感度を向上させたり、ノイズに対する耐性を向上させたりしてもよい。また、このようにすることにより、光電変換素子 3601 に接続される配線とカレントミラー回路の出力とを 1 つにすることが出来るため、接続端子を減らすことが出来る。

【0243】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。 10

【0244】

(実施の形態 11)

本実施の形態では、生体の機能データを取得することが可能な検査装置の例について、図 8 を用いて説明する。

【0245】

図 8 (A) に示す検査装置 3950 は、保護層がコーティングされたカプセル 3952 内に本発明の一態様である半導体装置 3951 を有する。カプセル 3952 と半導体装置 3951 の間には、充填剤 3953 が満たされていてもよい。

【0246】

図 8 (B) に示す検査装置 3955 は、保護層がコーティングされたカプセル 3952 内に本発明の一態様である半導体装置 3951 を有する。また、半導体装置の電極 3956 がカプセル 3952 の外側に露出している。カプセル 3952 と半導体装置 3951 の間には、充填剤 3953 が満たされていてもよい。 20

【0247】

検査装置 3950 および 3955 に設けられる半導体装置 3951 は、センサ部を有する半導体装置である。センサ部において、物理量や化学量を測定して生体の機能データを取得する。また、取得したアナログ値の情報を記憶素子部に保存することが可能である。物理量として、圧力、光、音波等を測定する場合、図 8 (A) に示すような、電極がカプセル 3952 の外部に露出していない検査装置 3950 を用いることができる。また、温度、流量、磁気、加速度、湿度、ガス等の気体成分やイオン等の液体成分等の化学物質等を検出する場合、図 8 (B) に示すような、電極 3956 がカプセル 3952 の外部に露出している検査装置 3955 を用いることが好ましい。 30

【0248】

カプセルの表面に設けられた保護層は、ダイヤモンドライクカーボン (DLC)、窒化珪素、酸化珪素、酸窒化珪素、又は窒化炭素を含んでいることが好ましい。カプセルや充填材は様々なものを適宜用いることができる。カプセルに保護層を設けることで、生体内でカプセルや半導体装置が溶解、変性することを防止することが可能である。

【0249】

また、生体内に検査装置を導入する場合、生体に対して影響の少ない半導体材料や、各種電極材料を適宜選択して検査装置を構成するとよい。 40

【0250】

次に、検査装置の使用方法について説明する。図 8 (D) に示すように、被験者 3962 が検査装置 3950 を嚥下する。嚥下された検査装置 3950 は、体内腔 3963 を移動する。体内腔 3963 において、検査装置 3950 は生体の機能データを取得する。また、体内腔 3963 より排出された検査装置 3950 から外部回路にデータを読み出し、被験者の生体の機能データを分析することが可能である。

【0251】

また、図 8 (E) に示すように、被験者 3962 の表面に検査装置 3955 を張り付け、被験者の生体の機能データを取得しても良い。取得されたデータは、被験者の近傍に設 50

置された外部回路 3964 に送信する。この場合、被験者の測定対象部に電極 3956 が接するように検査装置 3955 を設ける。外部回路 3964 は、この結果を受信する。この受信結果を、生体情報管理コンピュータで記録し、処理することで、被験者の生体情報を管理することが可能である。なお、外部回路 3964 をベッド 3960 に設けることでも、身体機能が不全で、移動が困難な被験者の生体情報を常時取得することが可能であり、被験者の病状や健康状態を管理することが可能である。また、本実施の形態の検査装置は、安価であるため、複数の検査装置を定期的に交換する用途や、使い捨てにする用途等にも適している。

【0252】

なお、図 8 (C) に示す態様で、検査装置 3950 または検査装置 3955 を使用することもできる。図 8 (C) は、複数の検査装置 3950 をカプセル 3957 に充填した例である。例えば上記のカプセル 3957 は生体内で溶解する構成とすることで、複数の検査装置 3950 を生体内に容易に導入することが可能になる。

10

【0253】

半導体装置を複数使用することで複数のセンサ部で生体内の情報を測定することが可能である。その結果、高精度で信頼性の高いデータを得ることができる。具体的には、得られた複数のデータを統計処理し、偶然誤差による影響を低減させることができる。また、複数のデータから標準偏差を求め、測定ばらつきを含むデータを管理することも可能である。また、本実施の形態の検査装置に設けられる半導体装置はアナログデジタル変換回路を有さない。そのため、検査装置を小型にすることができる、生体内において空間分解能の高い測定を行うことが可能である。また、低消費電力の半導体装置を構成することができる。

20

【0254】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0255】

(実施の形態 12)

本実施の形態では、開示する本発明の半導体装置のセンサ部で取得したデータを受信する入出力装置の例について、図 9 を用いて説明する。

【0256】

30

図 9 (A) に示すように、本発明の一態様の半導体装置 901 内のアナログ値の情報は、入出力装置 902 により読みだされる。半導体装置 901 と入出力装置 902 は無線の方式で情報の伝送を行う。入出力装置 902 はケーブル 903 を介してコンピュータ 904 に接続される。コンピュータ 904 により、得られた情報に対して各種の統計処理を行うことが可能である。なお、半導体装置 901 と入出力装置 902 との情報の伝送は無線に限定されない。例えば、半導体装置 901 と入出力装置 902 との情報の伝送を有線の方式で行ってもよい。

【0257】

図 9 (B) に、入出力装置 902 の回路構成の一例を示す。入出力装置は入力ポート 921、アナログデジタル変換回路 922、制御回路 923、演算処理回路 924、メモリ 925、電源回路 926、および出力ポート 927 を有する。半導体装置 901 の出力ポートが入出力装置 902 の入力ポート 921 に接続されると、入出力装置 902 の制御回路 923 が接続情報を取得する。そして、半導体装置 901 が記憶するアナログ値の情報を入出力装置に伝送することができる。伝送されたアナログ値の情報は、アナログデジタル変換回路 922 において、デジタル信号に変換される。得られたデジタル信号は、演算処理回路 924、メモリ 925 などをを利用して加工され、出力ポート 927 を介して出力される。

40

【0258】

上記のように、半導体装置 901 にはアナログデジタル変換回路を設けず、アナログ値の情報の測定機能と記憶機能のみを実装することができる。また、アナログデジタル変換

50

回路は半導体装置外部の入出力装置 902 に設置される構成とする。したがって、半導体装置 901 の小型化と作製コストの低減が可能になる。同時に、半導体装置 901 の消費電力も下げることが可能である。

【0259】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0260】

(実施の形態 13)

本実施の形態では、開示する本発明の半導体装置を備えた電子機器の例、および半導体装置の使用の形態について、図 10 を用いて説明する。

10

【0261】

図 10 (A) はロボット 1100 であり、胸部、脚部、頭部、腕部を有する。ロボット 1100 は、介護現場などで人間を支援する用途に使用することができる。また、工場内で産業用ロボットとして使用することができる。ロボットが人や物の把持をする際には、圧力などを高精度で計測可能な触覚センサが必要である。そのため、ロボット 1100 の全身に触覚センサを高密度に分布させる。本実施の形態のロボット 1100 の腕部には、触覚センサを有する半導体装置 1101 が複数設けられ、ロボット 1100 の胸部には、触覚センサを有する半導体装置 1102 が複数設けられ、ロボット 1100 の脚部には、触覚センサを有する半導体装置 1103 が複数設けられている。

【0262】

20

触覚センサは、例えばシリコン薄膜で構成し、触れられた際のシリコン薄膜の変形を静電容量変化に変えて検知することができる。触覚センサの計測可能な力の範囲やセンサの数、密度は、使用目的に合わせて適宜変えることができる。また、使用用途に合わせてセンサの種類を変えてても良い。また、使用により消耗が予測される場合、半導体装置を消耗品として定期的に交換可能な構成とすると良い。

【0263】

図 10 (B) は屋外における半導体装置の使用の態様を示す図である。図 10 (B) はバス 1200、および道路脇に設けられたガードレール 1201 を示す。ガードレール 1201 には複数の半導体装置 1202 が設けられている。

30

【0264】

半導体装置 1202 は、バス 1200 や自動車から排出される酸化窒化物などの浮遊量を測定するアナログセンサを備える。また、屋外に浮遊する花粉や、微小粒子状物質などの汚染物質の量を測定するアナログセンサを備えても良い。複数の半導体装置を用いることで、それらの情報を正確に取得することができる。また、半導体装置を定期的に交換可能な構成としても良い。

【0265】

また、図 10 (B) ではガードレール 1201 にセンサを設ける一例について示したが、本実施の形態はこれに限定されない。例えば、バス 1200 や自動車の車体に本発明の一態様の半導体装置を複数取り付けて、各種データを取得しても良い。また電車などの公共交通機関に本発明の一態様の半導体装置を複数設置する構成としても良い。

40

【0266】

半導体装置を複数使用することで複数のセンサ部で情報を測定することができる。その結果、高精度で信頼性の高いデータを得ることができる。具体的には、得られた複数のデータを統計処理し、偶然誤差による影響を低減させることができる。また、複数のデータから標準偏差を求め、測定ばらつきを含むデータを管理することができる。また、本実施の形態の半導体装置はアナログデジタル変換回路を有さない。そのため、安価な半導体装置を提供することができる。また、低消費電力の半導体装置を構成することができる。

【0267】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一

50

部と自由に組み合わせることが可能である。

【符号の説明】

【0 2 6 8】

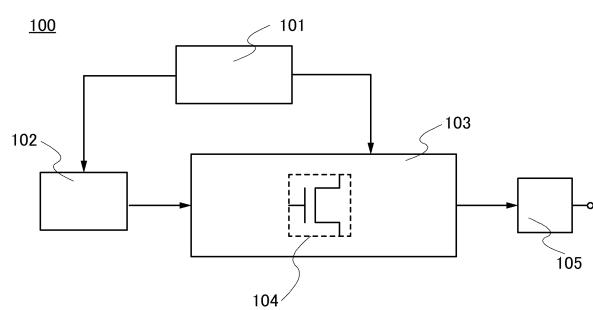
1 0 0	半導体装置	
1 0 1	電源部	
1 0 2	センサ部	
1 0 3	記憶素子部	
1 0 4	トランジスタ	
1 0 5	出力ポート	
1 1 3	光センサ	10
1 1 4	アンプ	
1 5 0	配線	
1 5 1	配線	
1 5 2	配線	
1 5 3	配線	
1 5 4	配線	
1 5 5	配線	
1 5 6	配線	
1 5 7	配線	
1 6 0	トランジスタ	20
1 6 1	容量素子	
1 6 2	トランジスタ	
1 6 3	トランジスタ	
1 6 4	容量素子	
2 0 0	半導体装置	
2 0 2 a	センサ素子	
2 0 2 b	センサ素子	
3 0 0	半導体装置	
3 0 1	アンテナ部	
4 0 0	半導体装置	30
4 0 1	タイマー回路	
5 0 0	半導体装置	
5 0 1	增幅器	
6 2 0	メモリセルアレイ	
6 2 1	配線	
6 2 2	配線	
6 3 0	メモリセル	
6 3 1	トランジスタ	
6 3 2	容量素子	
9 0 1	半導体装置	40
9 0 2	入出力装置	
9 0 3	ケーブル	
9 0 4	コンピュータ	
9 2 1	入力ポート	
9 2 2	アナログデジタル変換回路	
9 2 3	制御回路	
9 2 4	演算処理回路	
9 2 5	メモリ	
9 2 6	電源回路	
9 2 7	出力ポート	50

1 0 0 1	トランジスタ	
1 0 0 2	容量素子	
1 0 0 3	光センサ	
1 0 0 4	基板	
1 0 0 5	絶縁膜	
1 0 0 6	酸化物半導体層	
1 0 0 7	導電層	
1 0 0 8	導電層	
1 0 0 9	ゲート絶縁膜	
1 0 1 0	ゲート電極	10
1 0 1 1	電極	
1 0 1 2	絶縁層	
1 0 1 3	導電層	
1 0 1 4	コンタクト部	
1 0 1 5	導電層	
1 0 1 6	電極	
1 0 1 7	第1の半導体層	
1 0 1 8	第2の半導体層	
1 0 1 9	第3の半導体層	
1 0 2 0	絶縁層	20
1 0 2 1	電極	
1 0 2 2	絶縁層	
1 0 2 3	絶縁層	
1 0 2 4	光	
1 1 0 0	ロボット	
1 1 0 1	半導体装置	
1 1 0 2	半導体装置	
1 1 0 3	半導体装置	
1 2 0 0	バス	
1 2 0 1	ガードレール	30
1 2 0 2	半導体装置	
2 0 0 1	トランジスタ	
2 0 0 2	容量素子	
2 0 0 4	基板	
2 0 0 5	絶縁膜	
2 0 0 6 a	絶縁層	
2 0 0 6 b	酸化物半導体層	
2 0 0 6 c	絶縁層	
2 0 0 7	導電層	
2 0 0 8	導電層	40
2 0 0 9	ゲート絶縁膜	
2 0 1 0	ゲート電極	
2 0 1 1	電極	
2 0 1 2	絶縁層	
2 0 1 3	導電層	
2 0 1 4	絶縁層	
2 0 1 5	絶縁層	
3 0 0 1	トランジスタ	
3 0 0 2	容量素子	
3 0 0 3	圧力センサ	50

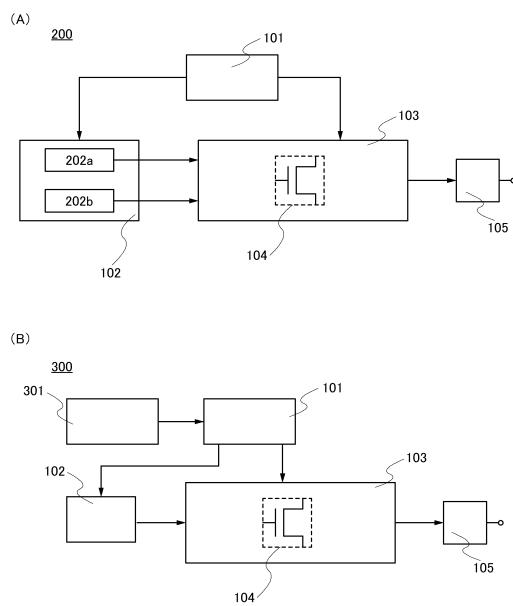
3 0 0 4	基板	
3 0 0 5	絶縁膜	
3 0 0 6	酸化物半導体層	
3 0 0 7	導電層	
3 0 0 8	導電層	
3 0 0 9	ゲート絶縁膜	
3 0 1 0	ゲート電極	
3 0 1 1	電極	
3 0 1 2	絶縁層	10
3 0 1 3	導電層	
3 0 1 4	コントラクト部	
3 0 1 5	導電層	
3 0 1 6	第1の導電層	
3 0 1 7	絶縁層	
3 0 1 8	空間	
3 0 1 9	第2の導電層	
3 0 2 0	絶縁層	
3 0 2 1	電極層	
3 0 2 2	絶縁層	
3 0 2 3	絶縁層	20
3 0 2 4	圧力	
3 6 0 1	光電変換素子	
3 8 0 2	電流電圧変換回路	
3 8 0 3	カレントミラー回路	
3 9 0 2	電流電圧変換回路	
3 9 5 0	検査装置	
3 9 5 1	半導体装置	
3 9 5 2	カプセル	
3 9 5 3	充填剤	
3 9 5 5	検査装置	30
3 9 5 6	電極	
3 9 6 2	被験者	
3 9 6 3	体内腔	
3 9 6 4	外部回路	
3 9 6 0	ベッド	
3 9 5 7	カプセル	
4 0 0 1	トランジスタ	
4 0 0 2	容量素子	
4 0 0 4	基板	
4 0 0 5	絶縁膜	40
4 0 0 6 a	絶縁層	
4 0 0 6 b	酸化物半導体層	
4 0 0 6 c	絶縁層	
4 0 0 7	導電層	
4 0 0 8	導電層	
4 0 0 9	ゲート絶縁膜	
4 0 1 0	ゲート電極	
4 0 1 1	電極	
4 0 1 2	絶縁層	
4 0 1 3	導電層	50

4 0 1 4 酸化物半導体層
4 0 1 5 絶縁層

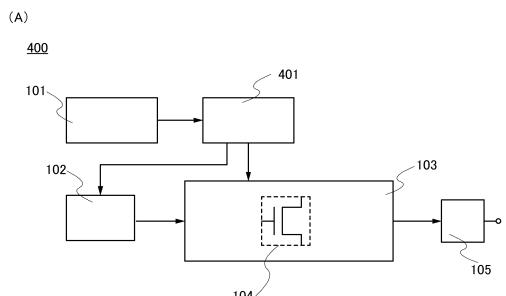
【図1】



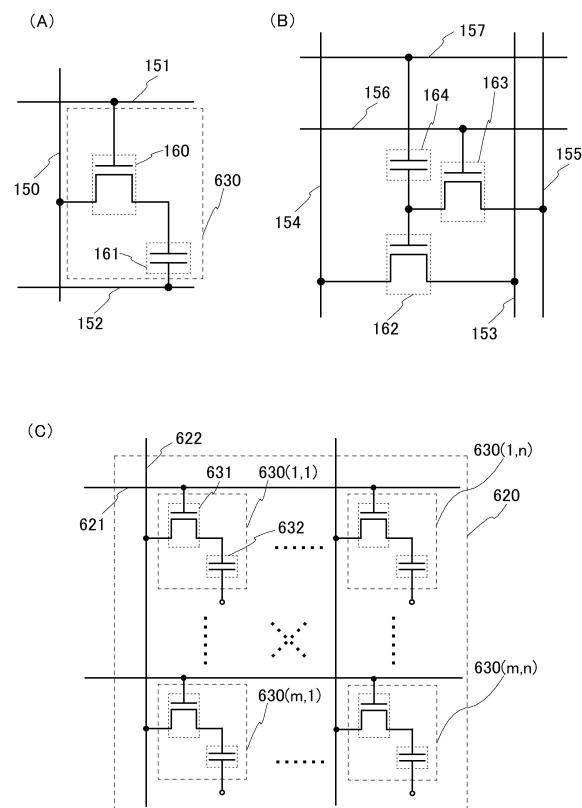
【図2】



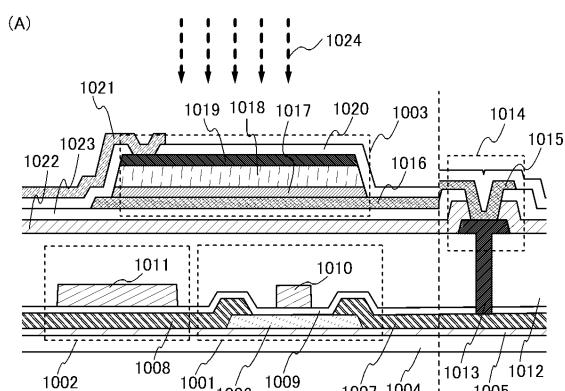
【図3】



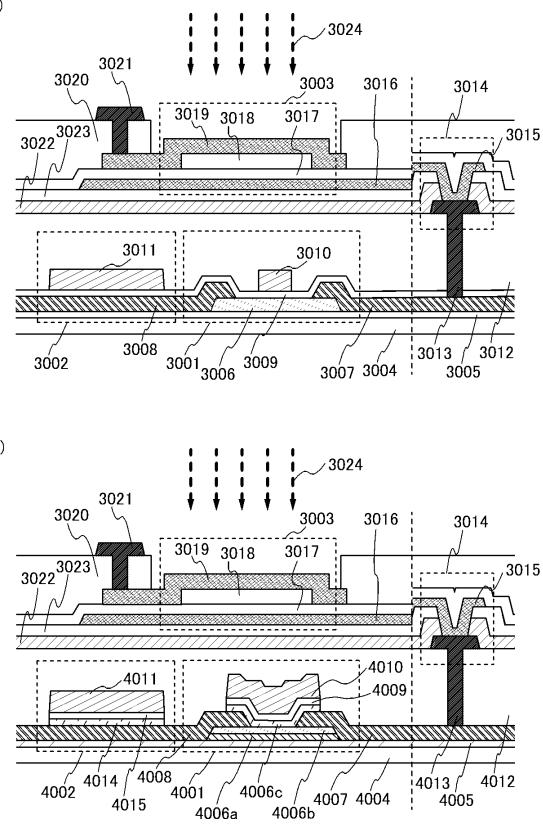
【図4】



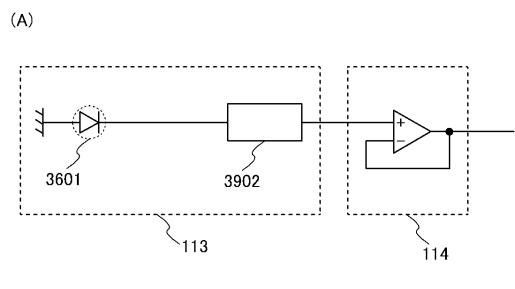
【図5】



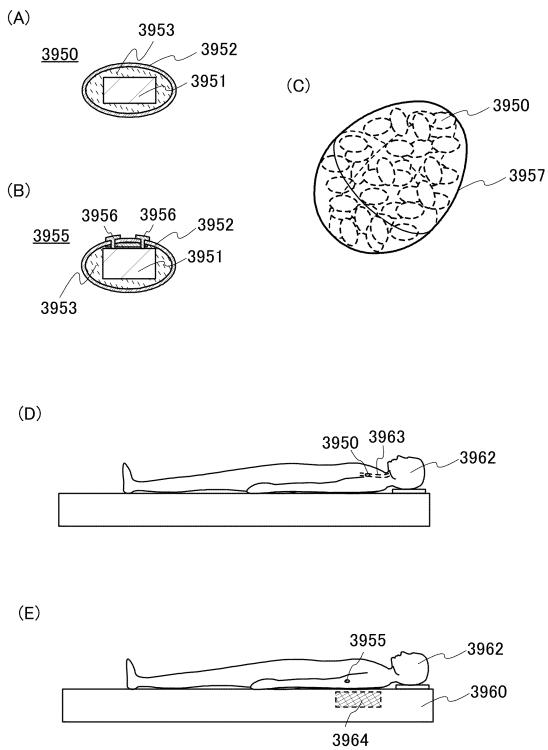
【図6】



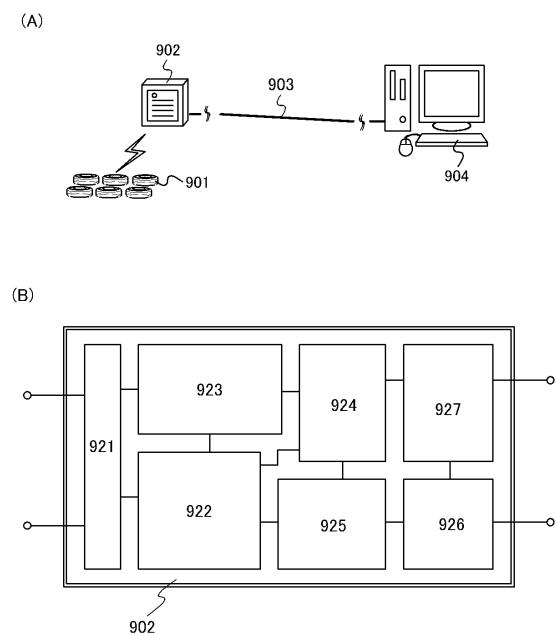
【図7】



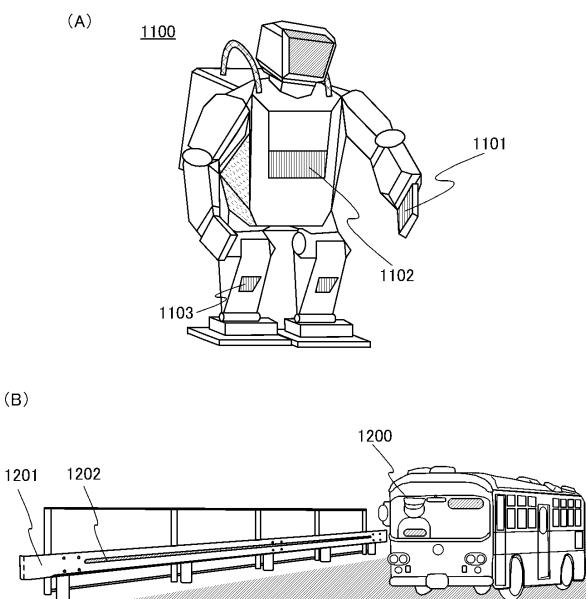
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.	F I			
A 6 1 B	5/1455 (2006.01)	H 0 1 L	29/78	6 1 3 B
		H 0 1 L	29/78	6 1 8 B
		H 0 1 L	31/10	A
		A 6 1 B	5/1455	

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L	2 1 / 8 2 4 2
A 6 1 B	5 / 0 7
A 6 1 B	5 / 1 4 5 5
H 0 1 L	2 7 / 1 0 8
H 0 1 L	2 9 / 7 8 6
H 0 1 L	3 1 / 1 0