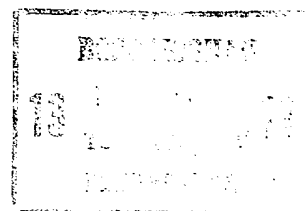




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



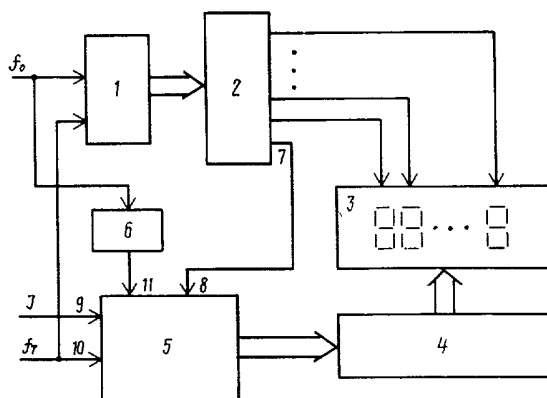
- (21) 3604965/24-24
(22) 15.06.83
(46) 23.07.85. Бюл. № 27
(72) А. Н. Андреев и А. М. Водовозов
(71) Вологодский политехнический институт
(53) 681.327.11(088.8)
(56) Авторское свидетельство СССР
№ 462178, кл. G 06 F 3/14, 1975.

Титце У., Шенк К. Полупроводниковая
схемотехника. М., «Мир», 1982, с. 441.

(54) (57) 1. УСТРОЙСТВО ДЛЯ ИНДИКАЦИИ, содержащее блок регистров, дешифратор знаков, дешифратор сегментов, блок индикации и счетчик, счетный вход которого является первым входом устройства, а выход соединен с входом дешифратора знаков, один из выходов которого соединен с одним из входов блока индикации, другой вход которого соединен с выходом дешифратора сегментов, отличающееся тем, что, с целью повышения надежности устройства за счет ликвидации сбоев индикации при вводе информации, оно содержит элемент задержки, вход которого соединен со счетным входом счетчика, а выход соединен с

первым входом синхронизации блока регистров, второй вход синхронизации которого соединен с входом установки нуля счетчика и является вторым входом устройства, третий вход которого соединен с информационным входом блока регистров, вход управления режимом работы которого соединен с другим выходом дешифратора знаков, а выход блока регистров соединен с входом дешифратора сегментов.

2. Устройство по п. 1, отличающееся тем, что блок регистров содержит p последовательно соединенных $\lceil \log_2 m \rceil$ -разрядных регистров (где p — число знаков; m — число сегментов), причем выход p -го регистра соединен с входом первого регистра, а первый, второй и третий управляющие входы каждого регистра являются соответственно вторым и первым входами синхронизации и входом управления режимом работы блока, информационный вход каждого последующего регистра, кроме первого, соединен с соответствующим разрядным выходом предыдущего регистра, а четвертый управляющий вход первого регистра является информационным входом блока.



Фиг.1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах вывода и отображения информации.

Целью изобретения является повышение надежности устройства за счет ликвидации сбоев индикации при вводе информации.

На фиг. 1 изображена структурная схема устройства индикации; на фиг. 2 — функциональная схема блока регистров; на фиг. 3 — временные диаграммы, поясняющие работу устройства.

Устройство для индикации (фиг. 1) содержит счетчик 1, дешифратор 2 знаков, блок 3 индикации, дешифратор 4 сегментов, блок 5 регистров и элемент 6 задержки. Блоки устройства имеют входы и выходы 7—11.

Блок 5 регистров (фиг. 2) содержит p последовательно соединенных $[\log m]$ -разрядов регистров 12, где p (m) равно числу знаков (сегментов) индикации блока 3. Выход последнего p -го регистра соединен с входами первого регистра, информационный вход первого регистра 12 является информационным входом 9 блока 5 регистров, информационный вход каждого последующего регистра 12 соединен с входом старшего разряда того же регистра, входы управления режимом работы всех регистров объединены с входом 8 управления режимом работы блока 5 регистров, первый вход синхронизации всех регистров подключен к первому входу 10 синхронизации блока 5 регистров, второй вход синхронизации регистров 12 подключен к второму входу 11 синхронизации блока 5 регистров. Выходом блока 5 регистров является выход последнего регистра 12.

Устройство работает следующим образом.

На счетный вход счетчика 1 импульсов и на вход элемента 6 задержки поступает опорный сигнал f_0 (фиг. 3). В режиме записи информации на информационный вход 9 блока 5 регистров поступает информационный сигнал $\mathcal{I}$ в последовательном двоично-десятичном коде. Одновременно на первый вход 10 синхронизации блока 5 регистров и на вход установки «0» счетчика 1 поступает тактовая последовательность импульсов f_T , число импульсов в которой N равно числу двоичных разрядов информационного сигнала

$$N = [\log_2 m] \cdot p.$$

Моменты появления импульсов f_T совпадают с моментами появления импульсов опорного сигнала f_0 , поэтому счетчик 1 в момент t_1 устанавливается в нулевое состояние на все время действия тактового сигнала f_T . С выхода счетчика 1 цифровой сигнал поступает на дешифратор 2, на выходе 7 дешифратора 2 появляется сигнал логической «1», на остальных выходах дешифрато-

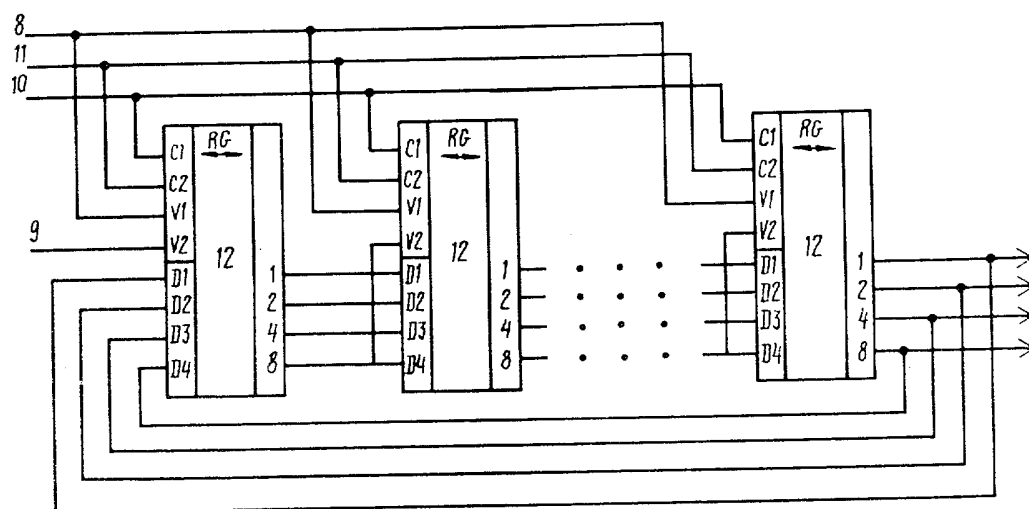
ра 2 сигналы нулевые. Ни на один из элементов индикации блока 3 индикации питание не поступает и блок 3 индикации находится в выключенном состоянии. Единичный сигнал с выхода 7 дешифратора 2 поступает на вход 8 управления режимом работы блока 5 регистров. Последний устанавливается в режим записи последовательной информации, при этом все p регистров 12 блока 5 регистров находятся в режиме сдвига, а в целом блок 5 регистров представляет собой N -разрядный регистр сдвига, управляемый тактовым сигналом f_T , поступающим на первый вход 10 синхронизации. В момент среза каждого импульса сигнала f_T в блок 5 регистров записывается один бит информационного сигнала $\mathcal{I}$, за N тактов сигнала f_T происходит полная запись сигнала $\mathcal{I}$ в регистры 12, к концу записи каждый из регистров 12 содержит код одной из десятичных цифр сигнала $\mathcal{I}$.

По окончании последовательности импульсов f_T (в момент времени t_2) по срезу каждого импульса f_0 счетчик 1 изменяет свое состояние. На выходе 7 дешифратора 2 появляется сигнал логического «0», блок 5 регистров переходит в режим циклического сдвига десятичных цифр. При этом каждый из регистров 12 переходит в режим записи параллельной информации, управление процессом записи производится импульсным сигналом, поступающим на второй вход 11 синхронизации блока 5 регистров. Поскольку на второй вход 11 синхронизации блока 5 регистров опорный сигнал f_0 поступает через элемент 6 задержки, то каждый импульс сигнала f_0 , появившийся после момента t_2 , своим задним фронтом производит перезапись регистров 12. При этом на выходе блока 5 регистров последовательно сменяются коды записанных в него ранее знаков. Дешифратор 4 осуществляет преобразование кода знаков в код управления блоком 3 индикации. Счетчик 1 изменяет свое состояние синхронно с перезаписью регистров 12. На выходах дешифратора 2 сигнал логической «1» с каждым импульсом сигнала f_0 переходит на следующий выход. В результате осуществляется последовательное переключение индикаторов блока 3 индикации синхронно с изменением кодов знаков сигнала $\mathcal{I}$ на управляющих входах блока 3 индикации. Это позволяет полностью отразить на блоке 3 число, записанное в блоке 5 регистров.

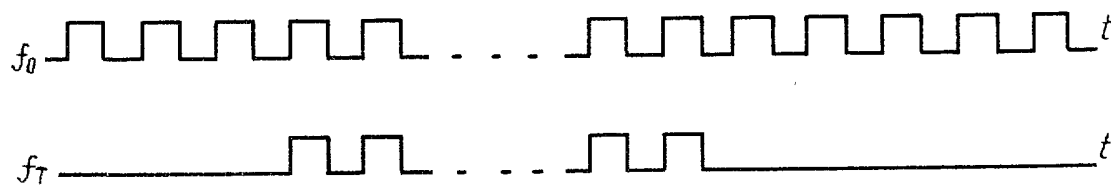
В процессе счета счетчик 1 неоднократно проходит нулевое состояние. В этом случае, как и в режиме записи информации, блок 3 отключается полностью, блок 5 регистров сигналом с нулевого выхода 7 дешифратора 2 переводится в режим записи последовательной информации, поэтому импульс сигнала f_0 , осуществивший перевод счетчика 1 в нулевое состояние, блоком 5 регистров не воспринимается и изменения

выходного сигнала блока 5 регистров не производит, т.е. переход счетчика через нулевое состояние не приводит к сбоям устрой-

ства индикации. Кратковременное, на период сигнала f_0 , отключение блока 3 индикации визуально не воспринимается.



Фиг. 2



Фиг. 3

Редактор И. Николайчук
Заказ 4619/46

Составитель М. Немировский
Техред И. Верес
Тираж 452

Корректор О. Луговая
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4