

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6495130号
(P6495130)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

(51) Int.Cl.	F 1
HO 1 L 25/065	(2006.01)
HO 1 L 25/07	(2006.01)
HO 1 L 25/18	(2006.01)
HO 1 L 23/14	(2006.01)
HO 1 L 21/60	(2006.01)
HO 1 L 25/08	C
HO 1 L 23/14	S
HO 1 L 21/60	3 1 1 S

請求項の数 14 (全 17 頁)

(21) 出願番号 特願2015-146891 (P2015-146891)
 (22) 出願日 平成27年7月24日 (2015.7.24)
 (65) 公開番号 特開2017-28155 (P2017-28155A)
 (43) 公開日 平成29年2月2日 (2017.2.2)
 審査請求日 平成30年3月15日 (2018.3.15)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 三木 翔太
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 審査官 黒田 久美子

最終頁に続く

(54) 【発明の名称】半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

貫通電極、及び前記貫通電極の一端面に形成されたパッド、を備えた第1の半導体チップと、

接続端子を備え、前記接続端子が形成された側と前記パッドが形成された側とが対向するように、前記第1の半導体チップ上に積層された第2の半導体チップと、

前記第1の半導体チップと前記第2の半導体チップの間に設けられた導電性の接合部と、を有し、

前記第1の半導体チップと前記第2の半導体チップとは、前記貫通電極の前記一端面と、前記接続端子の前記第1の半導体チップと対向する面とが、平面視で重複しないように配されており、

前記導電性の接合部は前記パッドと前記接続端子を電気的に接続し、前記パッド上の第1の部分と、前記第1の半導体チップの前記第2の半導体チップに対向する面上にあり、前記第1の部分から延伸する第2の部分と、を有し、

前記接続端子は前記第2の部分と直接接触している半導体装置。

【請求項 2】

前記パッドは、中央部が高く外周側に行くにつれて高さが低くなる凸形状のドーム型である請求項1に記載の半導体装置。

【請求項 3】

前記パッドは、前記貫通電極の前記一端面から周囲に延伸している請求項1又は2に記

載の半導体装置。

【請求項 4】

前記導電性の接合部は、前記接続端子の前記第1の半導体チップと対向する面に形成され、前記パッドの表面を覆っている請求項1乃至3の何れか一項に記載の半導体装置。

【請求項 5】

平面視で、前記導電性の接合部は前記第1の部分と前記第2の部分の連結部で狭まっている請求項4に記載の半導体装置。

【請求項 6】

前記貫通電極は、互いに隣接する第1の貫通電極及び第2の貫通電極を含み、

前記接続端子は、互いに隣接する第1の接続端子及び第2の接続端子を含み、

10

前記第1の貫通電極の前記第2の半導体チップと対向する面と、前記第1の接続端子の前記第1の半導体チップと対向する面とは、平面視で重複しないように所定の方向にずれて配されており、

前記第2の貫通電極の前記第2の半導体チップと対向する面と、前記第2の接続端子の前記第1の半導体チップと対向する面とは、平面視で重複しないように前記所定の方向とは異なる方向にずれて配されている請求項1乃至5の何れか一項に記載の半導体装置。

【請求項 7】

前記パッドは、前記貫通電極の前記一端面と接する内側めっき層と、前記内側めっき層の表面全体を被覆する外側めっき層とを含む請求項1乃至6の何れか一項に記載の半導体装置。

20

【請求項 8】

前記外側めっき層は金層である請求項7に記載の半導体装置。

【請求項 9】

前記第1の半導体チップが積層方向に積層されている、少なくとも一つの第3の半導体チップを更に有し、

前記第1の半導体チップは、前記少なくとも一つの第3の半導体チップに対向する面に接続端子を更に有し、

前記少なくとも一つの第3の半導体チップは、

貫通電極と、

前記第3の半導体チップの前記貫通電極の前記第1の半導体チップに対向する一端面上のパッドと、を有し、

30

前記少なくとも一つの第3の半導体チップの前記貫通電極の前記一端面と、前記第1の半導体チップの前記接続端子の前記少なくとも一つの第3の半導体チップに対向する面とは、平面視で重複せず、

前記少なくとも一つの第3の半導体チップの前記パッドと前記第1の半導体チップの前記接続端子とは、他の接合部により電気的に接続されている請求項1乃至8の何れか一項に記載の半導体装置。

【請求項 10】

前記第1の半導体チップの前記貫通電極の前記一端面は、前記第1の半導体チップの前記第2の半導体チップに対向する面と略面一であり、

40

前記第1の半導体チップの前記パッドは、前記第1の半導体チップの前記貫通電極の一端面の周囲を越えて前記第1の半導体チップの前記第2の半導体チップに対向する面上に延伸している請求項1乃至9の何れか一項に記載の半導体装置。

【請求項 11】

前記第1の半導体チップが基板と基板上の絶縁層を有し、

前記導電性の接合部の前記第2の部分が、前記絶縁層の前記第2の半導体チップに対向する面上にあり、

前記第1の半導体チップの前記パッドが前記第1の半導体チップの前記貫通電極の前記一端面の周囲を越えて前記絶縁層の前記第2の半導体チップに対向する面上に延出している請求項1乃至10の何れか一項に記載の半導体装置。

50

【請求項 1 2】

前記導電性の接合部は、前記第 1 の半導体チップの前記パッドとは異なる金属材料から形成されている請求項 1 乃至 1 1 の何れか一項に記載の半導体装置。

【請求項 1 3】

前記導電性の接合部ははんだからなり、前記第 1 の半導体チップの前記パッドはめっき層からなる請求項 1 乃至 1 2 の何れか一項に記載の半導体装置。

【請求項 1 4】

貫通電極、及び前記貫通電極の一端面に無電解めっき法により形成されたパッド、を備えた第 1 の半導体チップを準備する工程と、

接続端子を備えた第 2 の半導体チップを準備する工程と、

10

前記第 1 の半導体チップと前記第 2 の半導体チップとを、前記パッドが形成された面と前記接続端子が形成された面とが対向するように配し、前記パッドと前記接続端子とを導電性の接合部を介して電気的に接続する工程と、を有し、

前記電気的に接続する工程において、前記第 1 の半導体チップと前記第 2 の半導体チップとは、前記貫通電極の前記一端面と、前記接続端子の前記第 1 の半導体チップと対向する面とが、平面視で重複しないように配され、

前記導電性の接合部は、前記パッド上の第 1 の部分と、前記第 1 の半導体チップの前記第 2 の半導体チップに対向する面上にあり、前記第 1 の部分から延伸する第 2 の部分と、を有するように形成され、前記接続端子は前記第 2 の部分と直接接触する半導体装置の製造方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

近年、半導体チップを実装するパッケージにおいて、小型化（薄型化）、多ピン化、高密度化が要求されている。そして、このような要求に応えるべく、複数の半導体チップを 1 つの配線基板上に実装したシステム・イン・パッケージ（System in Package：SiP）が実用化されている。

30

【0003】

特に、複数の半導体チップを 3 次元的に積層する 3 次元実装技術を用いた SiP、所謂チップ積層型パッケージは、高集積化が可能になるという利点に加え、配線長の短縮が可能になるという利点を有している。これにより、回路動作の高速化や配線の浮遊容量の低減が可能になるため、広く実用化されている。

【0004】

例えば、3 次元実装技術を用いた SiP として、配線基板上に、貫通電極が形成された第 1 の半導体チップを積層し、更に第 1 の半導体チップ上に第 2 の半導体チップを積層した構造が提案されている（例えば、特許文献 1 参照）。この構造では、第 1 の半導体チップの貫通電極を介して、配線基板と第 2 の半導体チップとが電気的に接続される。

40

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開 2013 - 55313 号公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

しかしながら、上記の SiP では、第 1 の半導体チップの上面に露出した貫通電極上にパッドを形成し、パッドの真上に第 2 の半導体チップの接続端子が配置され、両者がはんだ等により接続されている。第 2 の半導体チップの接続端子の直下に貫通電極が存在する

50

ことで、第2の半導体チップの実装時や、実装後に環境温度の変化が繰り返された場合等に、貫通電極へ応力が集中し、貫通電極にクラックが生じる等の問題が発生するおそれがある。特に、貫通電極が小径化するにつれて、このような問題が発生するおそれがあり、第1の半導体チップと第2の半導体チップとの接続信頼性を低下させる。

【0007】

本発明は、上記に鑑みてなされたもので、貫通電極を有する半導体チップ上に他の半導体チップを実装する際に、両者の接続信頼性を向上することが可能な半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0008】

本半導体装置は、貫通電極、及び前記貫通電極の一端面に形成されたパッド、を備えた第1の半導体チップと、接続端子を備え、前記接続端子が形成された側と前記パッドが形成された側とが対向するように、前記第1の半導体チップ上に積層された第2の半導体チップと、前記第1の半導体チップと前記第2の半導体チップの間に設けられた導電性の接合部と、を有し、前記第1の半導体チップと前記第2の半導体チップとは、前記貫通電極の前記一端面と、前記接続端子の前記第1の半導体チップと対向する面とが、平面視で重複しないように配されており、前記導電性の接合部は前記パッドと前記接続端子を電気的に接続し、前記パッド上の第1の部分と、前記第1の半導体チップの前記第2の半導体チップに対向する面上にあり、前記第1の部分から延伸する第2の部分と、を有し、前記接続端子は前記第2の部分と直接接触していることを要件とする。

10

20

【発明の効果】

【0009】

開示の技術によれば、貫通電極を有する半導体チップ上に他の半導体チップを実装する際に、両者の接続信頼性を向上することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【0010】

【図1】第1の実施の形態に係る半導体装置を例示する断面図である。

【図2】第1の実施の形態に係る半導体装置における半導体チップ同士の接続部の平面透視図である。

【図3】図1の半導体チップ同士の接続部の構造を例示する部分拡大図である。

30

【図4】比較例に係る接続部の構造を例示する部分拡大断面図である。

【図5】第1の実施の形態に係る半導体装置の製造工程を例示する図(その1)である。

【図6】第1の実施の形態に係る半導体装置の製造工程を例示する図(その2)である。

【図7】第2の実施の形態に係る半導体装置を例示する断面図である。

【図8】図7のB部の部分拡大断面図である。

【図9】半導体チップ同士の接続部の構造を例示する部分拡大図である。

【発明を実施するための形態】

【0011】

以下、図面を参照して発明を実施するための形態について説明する。なお、各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

40

【0012】

第1の実施の形態

[第1の実施の形態に係る半導体装置の構造]

まず、第1の実施の形態に係る半導体装置の構造について説明する。図1は、第1の実施の形態に係る半導体装置を例示する断面図である。図2は、第1の実施の形態に係る半導体装置における半導体チップ同士の接続部の平面透視図である。

【0013】

図1及び図2を参照するに、半導体装置1は、主要な構成要素として、配線基板10と、半導体チップ30と、半導体チップ50とを有する。半導体装置1において、配線基板10上には、半導体チップ30及び半導体チップ50が順次積層されている。

50

【0014】

なお、本実施の形態では、便宜上、半導体装置1の半導体チップ50側を上側又は一方の側、配線基板10側を下側又は他方の側とする。又、各部位の半導体チップ50側の面を一方の面又は上面、配線基板10側の面を他方の面又は下面とする。但し、半導体装置1は天地逆の状態で用いることができ、又は任意の角度で配置することができる。又、平面視とは対象物を配線基板10の一方の面の法線方向から視ることを指し、平面形状とは対象物を配線基板10の一方の面の法線方向から視た形状を指すものとする。

【0015】

(配線基板)

配線基板10は、コア層11の両面に配線層及び絶縁層が積層された配線基板である。
具体的には、コア層11の一方の面には、配線層13、絶縁層14、配線層15、及びソルダーレジスト層16が順次積層されている。又、コア層11の他方の面には、配線層23、絶縁層24、配線層25、及びソルダーレジスト層26が順次積層されている。

10

【0016】

コア層11としては、例えば、ガラスクロスにエポキシ系樹脂を含浸させた所謂ガラスエポキシ基板等を用いることができる。コア層11には、コア層11を厚さ方向に貫通する貫通配線12が設けられている。

【0017】

配線層13は、コア層11の一方の面に形成されている。又、配線層23は、コア層11の他方の面に形成されている。配線層13と配線層23とは、貫通配線12により電気的に接続されている。配線層13及び23、並びに貫通配線12の材料としては、例えば、銅(Cu)等を用いることができる。配線層13及び23の厚さは、例えば、10~30μm程度とすることができる。なお、貫通配線12と配線層13と配線層23とは一体に形成されたものであってもよい。

20

【0018】

絶縁層14は、コア層11の一方の面に配線層13を覆うように形成されている。絶縁層14の材料としては、例えば、エポキシ系樹脂を主成分とする絶縁性樹脂等を用いることができる。絶縁層14は、シリカ(SiO₂)等のフィラーを含有しても構わない。絶縁層14の厚さは、例えば15~35μm程度とすることができる。

30

【0019】

配線層15は、絶縁層14の一方の側に形成されている。配線層15は、絶縁層14を貫通し配線層13の上面を露出するビアホールの内壁面に形成されたビア配線、及び絶縁層14の上面に形成された配線パターンを含んで構成されている。配線層15の材料等は、例えば、配線層13と同様とすることができる。

【0020】

ソルダーレジスト層16は、絶縁層14の上面に、配線層15を覆うように形成されている。ソルダーレジスト層16は開口部16×を有し、開口部16×内には配線層15の一部が露出して半導体チップ30との接続用のパッドを構成している。ソルダーレジスト層16は、例えば、エポキシ系樹脂やアクリル系樹脂等の感光性樹脂等から形成することができる。ソルダーレジスト層16の厚さは、例えば15~35μm程度とすることができる。

40

【0021】

絶縁層24は、コア層11の他方の面に配線層23を覆うように形成されている。絶縁層24の材料や厚さは、例えば、絶縁層14と同様とすることができる。絶縁層24は、シリカ(SiO₂)等のフィラーを含有しても構わない。

【0022】

配線層25は、絶縁層24の他方の側に形成されている。配線層25は、絶縁層24を貫通し配線層23の下面を露出するビアホールの内壁面に形成されたビア配線、及び絶縁層24の下面に形成された配線パターンを含んで構成されている。配線層25の材料等は、例えば、配線層13と同様とすることができる。

50

【0023】

ソルダーレジスト層26は、絶縁層24の下面に、配線層25を覆うように形成されている。ソルダーレジスト層26は、開口部26xを有し、開口部26x内には配線層25の一部が露出している。開口部26x内に露出する配線層25は、マザーボード等の実装基板(図示せず)と電気的に接続するためのパッドとして用いることができる。ソルダーレジスト層26の材料等は、例えば、ソルダーレジスト層16と同様とすることができる。なお、開口部26x内に露出する配線層25の下面にはんだバンプ61が形成されていてもよい。

【0024】

(第1の半導体チップ)

10

半導体チップ30(第1の半導体チップ)は、配線基板10の一方の面にフェイスダウン状態で(回路形成面を配線基板10の一方の面に向けて)フリップチップ実装されている。半導体チップ30は、半導体基板31と、絶縁層32と、絶縁膜33と、貫通電極34と、パッド35と、配線層36と、ビア配線37と、パッド38と、絶縁層39と、保護膜40と、接続端子41とを備えている。

【0025】

半導体基板31の材料としては、例えば、シリコン(Si)等を用いることができる。半導体基板31の厚さは、例えば、30~200μm程度とすることができます。半導体基板31は、例えば、薄板化されたシリコンウェハが個片化されたものである。

【0026】

20

絶縁層32は、半導体基板31の一方の面(回路形成面とは反対側の面)を被覆している。絶縁層32の材料としては、例えば、エポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂を用いることができる。絶縁層32の厚さは、例えば、10~50μm程度とすることができます。

【0027】

絶縁膜33は、半導体基板31の他方の面、及び半導体基板31及び絶縁層32を貫通する貫通孔31xの内壁面を連続的に被覆している。絶縁膜33としては、例えば、シリコン酸化膜や窒化シリコン膜を用いることができる。絶縁膜33の厚さは、例えば、0.5~1.0μm程度とすることができます。

【0028】

30

貫通電極34は、絶縁膜33で被覆された貫通孔31x内を充填している。貫通電極34の平面形状は例えば円形であり、貫通電極34の直径は例えば10~20μm程度とすることができます。貫通電極34のピッチは、例えば、40~100μm程度とすることができます。貫通電極34は、例えば、銅(Cu)等により形成することができる。

【0029】

貫通電極34の上端面(一端面)は、例えば、半導体基板31の一方の面側で絶縁層32の上面と略面一となるように形成されている。貫通電極34の上端面には、パッド35が形成されている。パッド35の詳細については後述する。

【0030】

40

貫通電極34の下端面(他端面)は、例えば、半導体基板31の他方の面側で絶縁膜33の下面と略面一となるように形成されている。貫通電極34の下端面は、配線層36と電気的に接続されている。

【0031】

配線層36は、半導体基板31の他方の面を被覆する絶縁膜33の下面に形成されている。配線層36はビア配線37を介してパッド38と電気的に接続されている。すなわち、配線層36及びビア配線37は、貫通電極34とパッド38とを電気的に接続している。配線層36及びビア配線37の材料としては、例えば、銅(Cu)等を用いることができる。パッド38の材料としては、例えば、アルミニウム(Al)等を用いることができる。

【0032】

50

絶縁層39は、配線層36及びビア配線37を被覆している。絶縁層39の材料としては、例えば、誘電率の低い低誘電体材料（所謂Low-k材）を用いることができる。低誘電体材料の一例としては、例えば、SiOC等を挙げることができる。低誘電体材料の他の例としては、例えば、SiOFや有機ポリマー系の材料等を挙げることができる。絶縁層39の誘電率は、例えば、3.0～3.5程度とすることができます。絶縁層39の厚さは、例えば、0.5～2μm程度とすることができます。

【0033】

保護膜40は、絶縁層39の下面に形成され、パッド38を被覆している。保護膜40は開口部40xを有し、開口部40x内にはパッド38が露出している。保護膜40は、半導体基板31に形成された半導体集積回路を保護するための膜であり、パッシベーション膜と呼ばれる場合もある。保護膜40としては、例えば、SiN膜、PSG膜等を用いることができる。又、保護膜40として、SiN膜やPSG膜等からなる層に、更にポリイミド等からなる層を積層したものを用いてもよい。

10

【0034】

接続端子41は、開口部40x内に露出するパッド38の下面に形成されており、パッド38の下面から下方に延びる略円柱状の接続用バンプである。接続端子41は、貫通電極34や、半導体基板31に形成された半導体集積回路と、電気的に接続されている。接続端子41の高さは、例えば、20～40μm程度とすることができます。接続端子41の直径は、例えば、10～40μm程度とすることができます。接続端子41の材料としては、例えば、銅(Cu)等を用いることができる。

20

【0035】

接続端子41は、はんだ等からなる接合部62を介して、配線基板10の開口部16x内に露出する配線層15と電気的に接続されている。

【0036】

(第2の半導体チップ)

半導体チップ50(第2の半導体チップ)は、半導体基板51と、保護膜52と、パッド53と、接続端子54とを備えており、接続端子54が形成された側とパッド35が形成された側とが対向するように、半導体チップ30上に積層されている。言い換えれば、半導体チップ50は、半導体チップ30の一方の面(回路形成面とは反対側の面)にフェイスダウン状態でフリップチップ実装されている。

30

【0037】

半導体基板51の材料としては、例えば、シリコン(Si)等を用いることができる。半導体基板51の厚さは、例えば、30～200μm程度とすることができます。半導体基板51は、例えば、薄板化されたシリコンウェハが個片化されたものである。

【0038】

保護膜52は、半導体基板51の他方の面を被覆している。保護膜52は、半導体基板51に形成された半導体集積回路を保護するための膜である。保護膜52の材料等は、例えば、保護膜40と同様とすることができます。

【0039】

パッド53は、半導体基板51の他方の面に形成されており、半導体基板51の半導体集積回路と電気的に接続されている。パッド53の下面是、保護膜52に形成された開口部52x内に露出している。パッド53の材料としては、例えば、アルミニウム(A1)等を用いることができる。

40

【0040】

接続端子54は、開口部52x内に露出するパッド53の下面に形成されている。接続端子54としては、例えばA1ジンケート法や無電解めっき法により形成されたNi/Au/Sn層(Ni層とAu層とSn層をこの順番で積層した金属層)、Ni/Pd/Au/Sn層(Ni層とPd層とAu層とSn層をこの順番で積層した金属層)を用いることができる。

【0041】

50

又、接続端子 54 として、例えば、A1 ジンケート法や無電解めっき法により形成された Ni / Au 層 (Ni 層と Au 層をこの順番で積層した金属層)、Ni / Pd / Au 層 (Ni 層と Pd 層と Au 層をこの順番で積層した金属層) を用いることができる。

【0042】

又、接続端子 54 として、例えば、柱状の接続用バンプにはんだ層を形成したものを用いることもできる。この場合、接続用バンプの材料としては例えば銅 (Cu) 等を用いることができ、はんだ層の材料としては例えば鉛フリーはんだ (Sn - Ag 等) を用いることができる。

【0043】

接続端子 54 は、はんだ等からなる接合部 63 を介して、半導体チップ 30 のパッド 35 と電気的に接続されている。 10

【0044】

(アンダーフィル樹脂、モールド樹脂)

配線基板 10 と半導体チップ 30 との間には、接続端子 41 や接合部 62 を被覆するアンダーフィル樹脂 71 が充填されている。半導体チップ 30 と半導体チップ 50 との間には、接続端子 54 や接合部 63 を被覆するアンダーフィル樹脂 72 が充填されている。アンダーフィル樹脂 72 は、配線基板 10 と半導体チップ 50 との間のアンダーフィル樹脂 71 の周囲に延伸している。更に、配線基板 10 上には、半導体チップ 30 及び 50 やアンダーフィル樹脂 71 及び 72 を封止する封止樹脂 79 が設けられている。アンダーフィル樹脂 71 及び 72 、封止樹脂 79 の材料としては、例えば、エポキシ系樹脂等を用いることができる。 20

【0045】

(半導体チップ同士の接続部の構造)

図 3 は、図 1 の半導体チップ同士の接続部の構造を例示する部分拡大図であり、図 3 (a) は断面図、図 3 (b) は平面透視図である。前述のように、半導体チップ 30 において、貫通電極 34 の上端面には、パッド 35 が形成されている。パッド 35 の平面形状は例えば円形であり、パッド 35 の外周側は貫通電極 34 の上端面から周囲 (絶縁層 32 の上面) に延伸している。貫通電極 34 の直径は、例えば、5 ~ 20 μm 程度である。パッド 35 の外周側は、例えば、数 μm 程度貫通電極 34 の上端面から絶縁層 32 の上面に円環状に延伸している。 30

【0046】

パッド 35 は、貫通電極 34 の上端面と接し、絶縁層 32 の上面に延伸する内側めっき層 351 と、内側めっき層 351 の表面全体を被覆する外側めっき層 352 とを含む構造である。パッド 35 は、中央部が高く外周側に行くにつれて高さが低くなる凸形状のドーム型であり、中央部の高さ (最も高い部分の高さ) は、例えば、数 μm 程度とすることができます。

【0047】

凸形状のパッド 35 は、無電解めっき法により形成することができる。無電解めっき法では、絶縁層 32 上にレジスト層を形成することなくめっきを行うので、貫通電極 34 の上端面からめっきが等方的に成長し、凸形状のパッド 35 が形成される。無電解めっき法において、内側めっき層 351 としては、例えば、ニッケル層 (Ni 層) を用いることができる。内側めっき層 351 として、Ni / Pd 層 (Ni 層と Pd 層とをこの順番で積層した金属層) を用いてもよい。外側めっき層 352 としては、例えば、金層 (Au 層) を用いることができる。 40

【0048】

半導体チップ 30 と半導体チップ 50 とは、貫通電極 34 の半導体チップ 50 と対向する面と、接続端子 54 の半導体チップ 30 と対向する面とが、平面視で重複しないように配されている。そして、半導体チップ 30 のパッド 35 は、はんだからなる接合部 63 を介して、半導体チップ 50 の接続端子 54 と電気的に接続されている。

【0049】

50

なお、貫通電極 3 4 の半導体チップ 5 0 と対向する面と、接続端子 5 4 の半導体チップ 3 0 と対向する面とが、平面視で重複しないように配されていれば、貫通電極 3 4 と接続端子 5 4 とが部分的に平面視で重複してもよい。

【 0 0 5 0 】

図 4 は、比較例に係る接続部の構造を例示する部分拡大断面図である。比較例に係る接続部は、パッド 3 5 がパッド 4 5 に置換された以外は図 3 (a) に示す構造と同様である。

【 0 0 5 1 】

パッド 4 5 は、電解めっき法により形成されたものであり、パッド 3 5 の凸形状とは異なり、円盤状に形成されている。パッド 4 5 において、下側めっき層 4 5 1 の上面を被覆するように上側めっき層 4 5 2 が形成されているが、下側めっき層 4 5 1 の側面には上側めっき層 4 5 2 が形成されていない。なお、下側めっき層 4 5 1 の材料は内側めっき層 3 5 1 の材料と同様であり、上側めっき層 4 5 2 の材料は外側めっき層 3 5 2 の材料と同様である。

【 0 0 5 2 】

電解めっき法によりパッド 4 5 を形成するには、まず、絶縁層 3 2 上に無電解めっき法等により、銅 (Cu) 等からなるシード層を形成する。次に、シード層上にパッド 4 5 に対応する開口部を備えたレジスト層を形成する。そして、シード層を給電層を利用して電解めっきを行い、レジスト層の開口部内に下側めっき層 4 5 1 を形成し、更に、下側めっき層 4 5 1 の上面に上側めっき層 4 5 2 を積層する。

【 0 0 5 3 】

続いて、レジスト層を除去した後に、下側めっき層 4 5 1 及び上側めっき層 4 5 2 をマスクにして、不要なシード層をエッティングにより除去する。これにより、シード層上に下側めっき層 4 5 1 及び上側めっき層 4 5 2 が積層されたパッド 4 5 が形成される。なお、図 4 では、シード層の図示は省略されている。

【 0 0 5 4 】

以上の説明からわかるように、上側めっき層 4 5 2 を形成する際には下側めっき層 4 5 1 の側面はレジスト層に被覆されているため、下側めっき層 4 5 1 の側面には上側めっき層 4 5 2 が形成されない。又、レジスト層の開口部内において、均一にめっきが析出するため、下側めっき層 4 5 1 及び上側めっき層 4 5 2 の形状は凸形状とはならず円盤状となる。

【 0 0 5 5 】

このように、電解めっき法で形成されたパッド 4 5 は円盤状となり、下側めっき層 4 5 1 の側面には上側めっき層 4 5 2 が形成されない。そのため、図 4 の A 部に示すように、はんだとの濡れ性に優れた Au 層等からなる上側めっき層 4 5 2 には接合部 6 3 が形成されるが、はんだとの濡れ性に劣る Ni 層等からなる下側めっき層 4 5 1 の側面には接合部 6 3 が形成されない。その結果、貫通電極 3 4 と接続端子 5 4 とが互いにずれた位置に配置されると、貫通電極 3 4 上のパッド 3 5 と接続端子 5 4 とを接続する部分の接合部 6 3 の量が極めて少なくなり、両者を信頼性の高い状態で接合することができない。

【 0 0 5 6 】

これに対して、本実施の形態では、図 3 を参照して説明したように、貫通電極 3 4 上には凸形状のパッド 3 5 が形成され、パッド 3 5 の最表面は、接合部 6 3 を構成するはんだとの濡れ性に優れた Au 層等からなる外側めっき層 3 5 2 である。これにより、貫通電極 3 4 と接続端子 5 4 とが互いにずれた位置に配置されても、はんだが外側めっき層 3 5 2 の表面全体に濡れ広がり、パッド 3 5 と接続端子 5 4 とを接続する部分の接合部 6 3 の量が十分多くなる。そのため、貫通電極 3 4 と接続端子 5 4 とは、パッド 3 5 及び接合部 6 3 を介して信頼性の高い状態で接合される。

【 0 0 5 7 】

なお、パッド 3 5 と接続端子 5 4 とを接続する部分の接合部 6 3 の量が十分多くなることが重要であり、この要件が満たされれば、はんだが外側めっき層 3 5 2 の表面全体を完

10

20

30

40

50

全に覆うように濡れ広がることは必須ではない（以降、同様）。

【0058】

[第1の実施の形態に係る半導体装置の製造方法]

次に、第1の実施の形態に係る半導体装置の製造方法について説明する。図5及び図6は、第1の実施の形態に係る半導体装置の製造工程を例示する図である。

【0059】

まず、図5(a)に示す工程では、周知の手法により配線基板10を作製する。そして、配線基板10上に、開口部16x内に露出する配線層15を被覆するアンダーフィル樹脂71を形成する。アンダーフィル樹脂71は、例えば、配線基板10上にB-ステージ状態（半硬化状態）の樹脂フィルム（エポキシ系樹脂等）をラミネートすることで形成できる。或いは、配線基板10上に液状又はペースト状の樹脂（エポキシ系樹脂等）を印刷法等により塗布し、その後プリベークしてB-ステージ状態としてもよい。10

【0060】

又、貫通電極34及び貫通電極34の上端面に形成されたパッド35等を備えた半導体チップ30を準備する。なお、パッド35は、無電解めっき法により図3(a)に示す凸形状に形成されている。そして、半導体チップ30の接続端子41の先端に接合部62を形成する。接合部62は、例えば、接続端子41の先端にクリームはんだ（Sn-Ag等）を塗布し、リフローすることにより形成できる。

【0061】

次に、接合部62が形成された接続端子41が開口部16x内に露出する配線層15の上にくるように、半導体チップ30と配線基板10とを位置合わせし、半導体チップ30を配線基板10側に押圧する。これにより、接合部62が形成された接続端子41がBステージ状態のアンダーフィル樹脂71を突き破り、接合部62が開口部16x内に露出する配線層15と接する。20

【0062】

次に、図5(b)に示す工程では、半導体チップ30を配線基板10上にフリップチップ実装する。具体的には、半導体チップ30を配線基板10側に押圧しながら加熱する。これにより、接合部62が溶融後凝固し、接続端子41と開口部16x内に露出する配線層15とが接合部62を介して接合される。同時に、アンダーフィル樹脂71が熱硬化する。アンダーフィル樹脂71は、配線基板10と半導体チップ30との間に充填され、接続端子41や接合部62を被覆する。30

【0063】

次に、図6(a)に示す工程では、半導体チップ30上に、パッド35を被覆するアンダーフィル樹脂72を形成する。アンダーフィル樹脂72は、例えば、半導体チップ30上にB-ステージ状態（半硬化状態）の樹脂フィルム（エポキシ系樹脂等）をラミネートすることで形成できる。或いは、半導体チップ30上に液状又はペースト状の樹脂（エポキシ系樹脂等）を印刷法等により塗布し、その後プリベークしてB-ステージ状態としてもよい。

【0064】

次に、図6(b)に示す工程では、接続端子54等を備えた半導体チップ50を準備する。そして、半導体チップ50の接続端子54の先端に接合部63を形成する。接合部63は、例えば、接続端子54の先端にクリームはんだ（Sn-Ag等）を塗布し、リフローすることにより形成できる。40

【0065】

次に、図6(c)に示す工程では、半導体チップ50を半導体チップ30上にフリップチップ実装する。具体的には、半導体チップ30と半導体チップ50とを、パッド35が形成された面と接続端子54が形成された面とが対向するように配する。なお、この際、半導体チップ30と半導体チップ50とは、貫通電極34の半導体チップ50と対向する面と、接続端子54の半導体チップ30と対向する面とが、平面視で重複しないように配される。その後、半導体チップ50を半導体チップ30側に押圧する。これにより、接合50

部 6 3 が形成された接続端子 5 4 が B ステージ状態のアンダーフィル樹脂 7 2 を突き破り、接合部 6 3 がパッド 3 5 とずれた位置で接する。

【 0 0 6 6 】

次に、半導体チップ 5 0 を半導体チップ 3 0 側に押圧しながら加熱する。これにより、接合部 6 3 が溶融後凝固し、パッド 3 5 と接続端子 5 4 とが接合部 6 3 を介して図 3 に示す位置関係で接合され、パッド 3 5 と接続端子 5 4 とが電気的に接続される。このとき、パッド 3 5 の最表面は、接合部 6 3 を構成するはんだとの濡れ性に優れた Au 層等からなる外側めっき層 3 5 2 である。これにより、貫通電極 3 4 と接続端子 5 4 とが互いにずれた位置に配置されていても、はんだが外側めっき層 3 5 2 の表面全体に濡れ広がり、パッド 3 5 と接続端子 5 4 とを接続する部分の接合部 6 3 の量が十分多くなる。

10

【 0 0 6 7 】

又、アンダーフィル樹脂 7 2 が熱硬化する。アンダーフィル樹脂 7 2 は、半導体チップ 3 0 と半導体チップ 5 0 の間に充填され、接続端子 5 4 や接合部 6 3 を被覆する。アンダーフィル樹脂 7 2 は、配線基板 1 0 と半導体チップ 5 0 との間のアンダーフィル樹脂 7 1 の周囲に延伸する。

【 0 0 6 8 】

図 6 (c) に示す工程の後、配線基板 1 0 上に順次積層された半導体チップ 3 0 及び半導体チップ 5 0 を封止する封止樹脂 7 9 を形成し、必要に応じて、開口部 2 6 × 内に露出する配線層 2 5 の下面に、はんだバンプ 6 1 を形成する。これにより、図 1 及び図 2 に示す半導体装置 1 が完成する。

20

【 0 0 6 9 】

なお、封止樹脂 7 9 として熱硬化性を有したモールド樹脂を用いた場合には、図 6 (c) に示す構造体を金型内に収容し、金型内に所定の圧力を印加したモールド樹脂を導入する。その後、モールド樹脂を加熱して硬化させることで、封止樹脂 7 9 を形成できる。

【 0 0 7 0 】

このように、第 1 の実施の形態では、半導体チップ 3 0 と半導体チップ 5 0 とは、貫通電極 3 4 の半導体チップ 5 0 と対向する面と、接続端子 5 4 の半導体チップ 3 0 と対向する面とが、平面視で重複しないように配されている。これにより、貫通電極 3 4 へ応力が集中することを防止できる。

【 0 0 7 1 】

30

その結果、上層となる半導体チップの実装時や、実装後に環境温度の変化が繰り返された場合等に、貫通電極 3 4 にクラックが生じる等の問題が発生するおそれを防止することが可能となり、上下に隣接する半導体チップ間の接続信頼性を向上できる。なお、この接続構造（図 3 に示す接続構造）は、貫通電極 3 4 が小径化した場合に特に有効である。

【 0 0 7 2 】

又、貫通電極 3 4 上には無電解めっき法により凸形状のパッド 3 5 が形成され、パッド 3 5 の最表面は、接合部 6 3 を構成するはんだとの濡れ性に優れた Au 層等からなる外側めっき層 3 5 2 である。これにより、貫通電極 3 4 と接続端子 5 4 とが互いにずれた位置に配置されていても、はんだが外側めっき層 3 5 2 の表面全体に濡れ広がり、パッド 3 5 と接続端子 5 4 とを接続する部分の接合部 6 3 の量が十分多くなる。そのため、貫通電極 3 4 と接続端子 5 4 とは、パッド 3 5 及び接合部 6 3 を介して信頼性の高い状態で接合される。

40

【 0 0 7 3 】

第 2 の実施の形態

第 2 の実施の形態では、半導体チップを更に多段に積層する例を示す。なお、第 2 の実施の形態において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

【 0 0 7 4 】

図 7 は、第 2 の実施の形態に係る半導体装置を例示する断面図である。図 8 は、図 7 の B 部の部分拡大断面図である。なお、便宜上、図 7 では、細部の符号を省略している。

50

【 0 0 7 5 】

図7を参照するに、半導体装置2は、主要な構成要素として、配線基板10と、半導体チップ30と、半導体チップ50と、半導体チップ80と、半導体チップ90とを有する。半導体装置2において、配線基板10上には、半導体チップ30、半導体チップ80、半導体チップ90、及び半導体チップ50が順次積層されている。なお、便宜上、半導体チップ80と半導体チップ90とを別符号としているが、半導体チップ80と半導体チップ90とは同一構造である。

【 0 0 7 6 】

配線基板10と半導体チップ30との間にはアンダーフィル樹脂71が充填され、半導体チップ30と半導体チップ80との間にはアンダーフィル樹脂72が充填されている。
又、半導体チップ80と半導体チップ90との間にはアンダーフィル樹脂73が充填され、半導体チップ90と半導体チップ50との間にはアンダーフィル樹脂74が充填されている。

10

【 0 0 7 7 】

図7及び図8に示すように、半導体チップ80及び半導体チップ90は、半導体チップ50と同様の構造の半導体チップに、半導体チップ30と同様に、貫通孔31×、絶縁層32、絶縁膜33、貫通電極34、及びパッド35を形成したものである。貫通電極34は、パッド53の直上に形成されている。

【 0 0 7 8 】

上下に隣接する半導体チップにおいて、隣接する半導体チップの一方に形成された貫通電極34の、隣接する半導体チップの他方と対向する面と、隣接する半導体チップの他方に形成された接続端子54の隣接する半導体チップの一方と対向する面とが、平面視で重複しないように配されている。又、第1の実施の形態と同様に、貫通電極34上にはパッド35が形成され、パッド35の表面全体には、はんだとの濡れ性に優れたAu層等からなる外側めっき層352が形成されている。そのため、貫通電極34と接続端子54とが互いにずれた位置に配置されても、両者は信頼性の高い状態で接合される。なお、積層する半導体チップの数は任意に決定することができる。

20

【 0 0 7 9 】

このように、3つ以上の半導体チップを積層した場合も、上下に隣接する半導体チップにおいて、接続端子54を貫通電極34に対してずれた位置に配置することで、第1の実施の形態と同様に、貫通電極34への応力集中を防止できる。その結果、第1の実施の形態と同様の効果を奏する。

30

【 0 0 8 0 】

又、各半導体チップの貫通電極34上に無電解めっき法により凸形状のパッド35が形成され、パッド35の表面全体には、はんだとの濡れ性に優れたAu層等からなる外側めっき層352が形成されている。そのため、第1の実施の形態と同様に、接合部63は外側めっき層352の表面全体に濡れ広がる。その結果、貫通電極34と接続端子54とが互いにずれた位置に配置されても、貫通電極34上のパッド35と接続端子54とを接続する部分の接合部63の量が十分多くなるため、パッド35と接続端子54とを信頼性の高い状態で接合できる。

40

【 0 0 8 1 】**第1の実施の形態の変形例**

第1の実施の形態の変形例では、貫通電極34と接続端子54とをずらす方向を統一しない例を示す。なお、第1の実施の形態の変形例において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

【 0 0 8 2 】

図9は、半導体チップ同士の接続部の構造を例示する部分拡大図であり、図9(a)は断面図、図9(b)は平面透視図である。図9において、半導体チップ30は、互いに隣接する貫通電極34₁及び34₂を含んでいる。又、半導体チップ50は、互いに隣接する接続端子54₁及び54₂を含んでいる。

50

【0083】

貫通電極 34₁ の半導体チップ 50 と対向する面と、接続端子 54₁ の半導体チップ 30 と対向する面とは、平面視で重複しないように所定の方向（貫通電極 34₁ に対して接続端子 54₁ が左側にずれる方向）にずれて配されている。

【0084】

これに対して、貫通電極 34₂ の半導体チップ 50 と対向する面と、接続端子 54₂ の半導体チップ 30 と対向する面とは、平面視で重複しないように所定の方向とは反対方向（貫通電極 34₂ に対して接続端子 54₂ が右側にずれる方向）にずれて配されている。

【0085】

このように、全ての貫通電極と接続端子とを同一方向にずらす必要はなく、貫通電極と接続端子とをずらす方向は個別に決定することができる。例えば、図 9 に示した 2 つの貫通電極のピッチが他に比べて特に狭い場合等に有効である。なお、ここでは、第 1 の実施の形態の変形例として説明したが、第 2 の実施の形態においても同様の変形を加えることができる。10

【0086】

以上、好ましい実施の形態について詳説したが、上述した実施の形態に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

【0087】

例えば、配線基板 10 は必ずしも樹脂基板でなくてもよく、例えば、セラミック基板等であってもよい。又、配線基板 10 は必ずしも必要ではなく、半導体チップのみが積層された構造であってもよい。20

【0088】

又、上記の実施の形態では、配線基板 10 上にアンダーフィル樹脂 71 を塗布等した後に半導体チップ 30 を搭載する工程の例を示した。しかし、配線基板 10 上に半導体チップ 30 を搭載した後に、アンダーフィル樹脂 71 を配線基板 10 と半導体チップ 30 との間に充填する工程としてもよい。アンダーフィル樹脂 72、73、及び 74 についても同様である。

【符号の説明】**【0089】**

1、2 半導体装置

10 配線基板

11 コア層

12 貫通配線

13、15、23、25、36 配線層

14、24、32、39 絶縁層

16、26 ソルダーレジスト層

16x、26x、40x、52x 開口部

30、50、80、90 半導体チップ

31、51 半導体基板

31x 貫通孔

33 絶縁膜

34 貫通電極

35、38、53 パッド

37 ピア配線

40、52 保護膜

41、54 接続端子

61 はんだバンプ

62、63 接合部

71、72、73、74 アンダーフィル樹脂

10

20

30

40

50

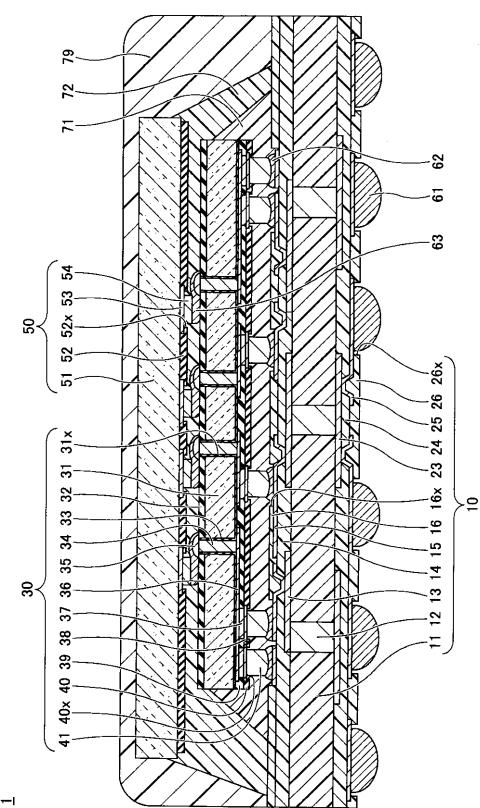
79 封止樹脂

3 5 1 内側めっき層

352 外側めっき層

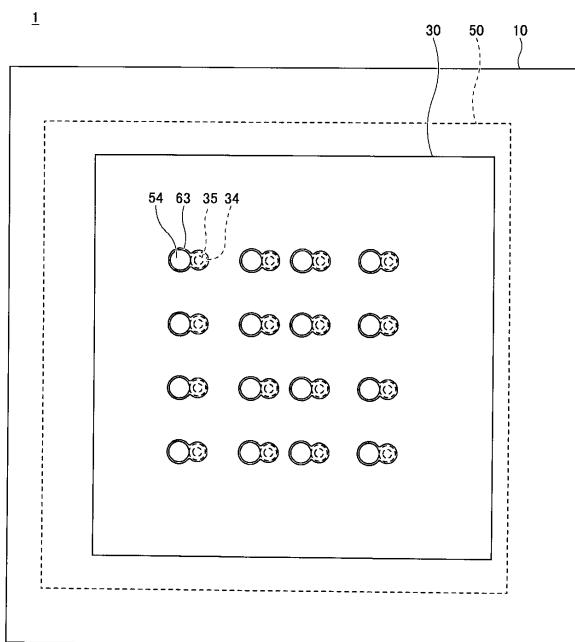
【 义 1 】

第1の実施の形態に係る半導体装置を例示する断面図



【 図 2 】

第1の実施の形態に係る半導体装置における 半導体チップ同士の接続部の平面透視図

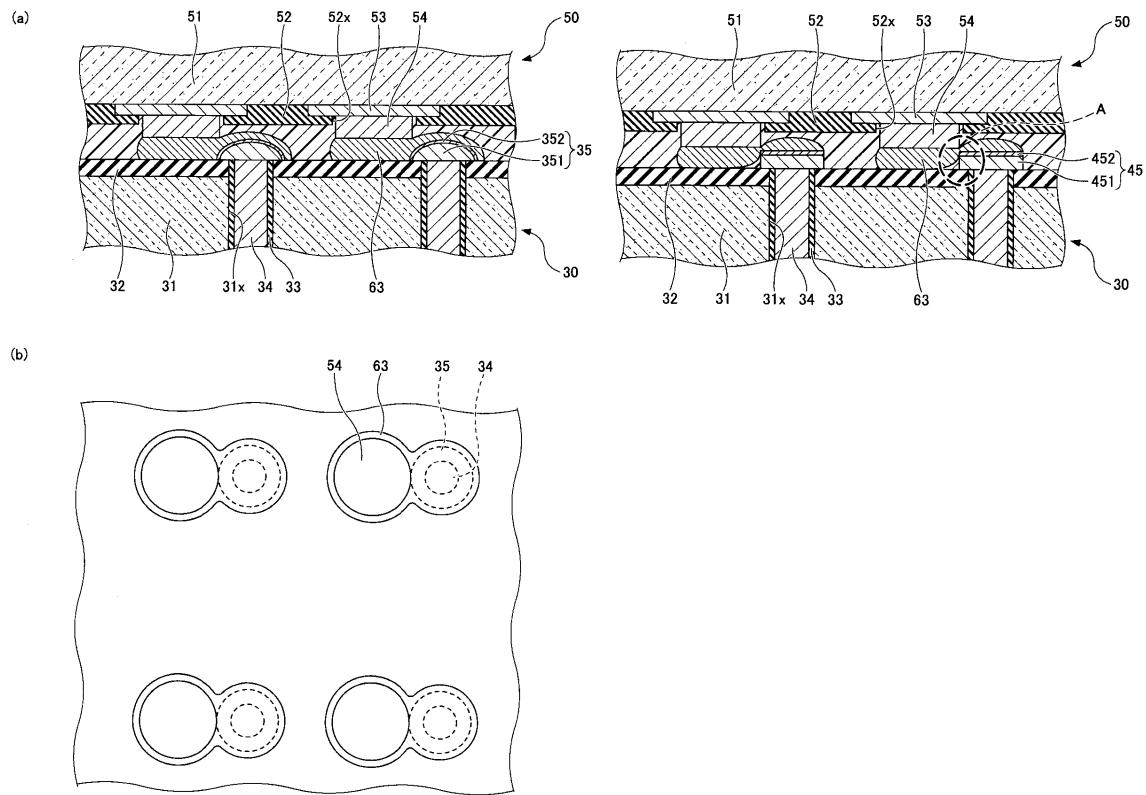


【図3】

【図4】

図1の半導体チップ同士の接続部の構造を例示する部分拡大図

比較例に係る接続部の構造を例示する部分拡大断面図

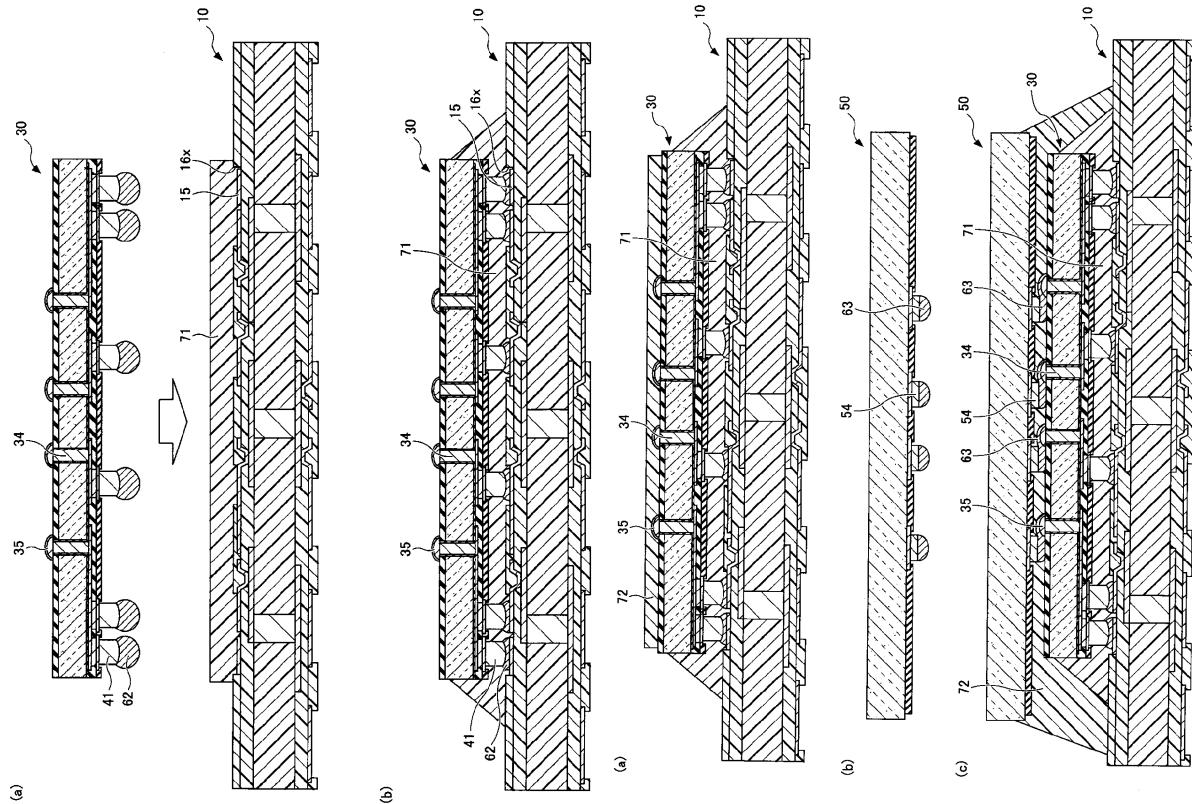


【図5】

【図6】

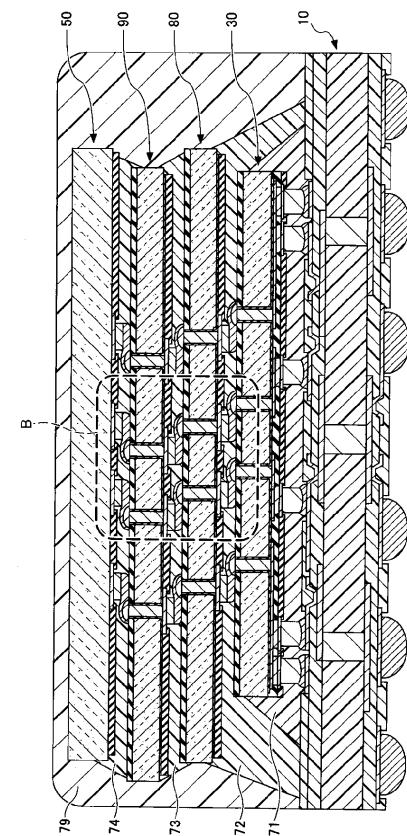
第1の実施の形態に係る半導体装置の製造工程を例示する図(その1)

第1の実施の形態に係る半導体装置の製造工程を例示する図(その2)



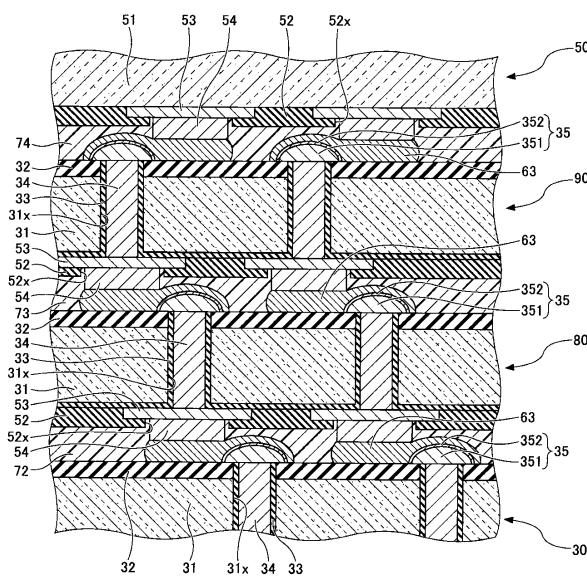
【図7】

第2の実施の形態に係る半導体装置を例示する断面図



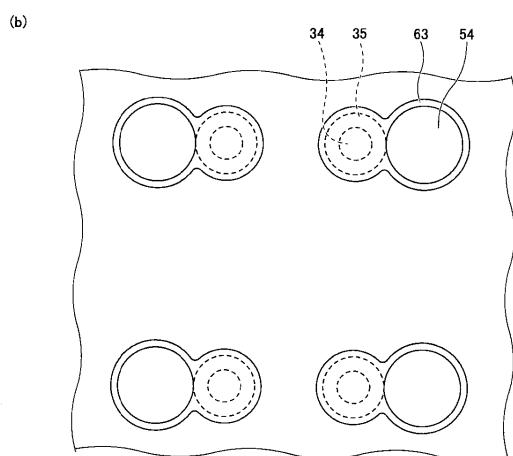
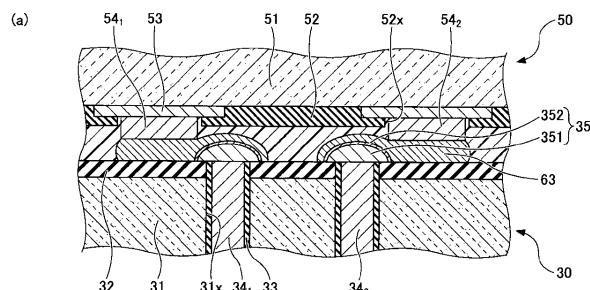
【図8】

図7のB部の部分拡大断面図



【図9】

半導体チップ同士の接続部の構造を例示する部分拡大図



フロントページの続き

(56)参考文献 特開2013-093626(JP,A)
特開2010-045370(JP,A)
特開2009-239256(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065
H01L 21/60
H01L 23/12
H01L 23/14
H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/3205
H01L 21/768
H01L 23/522