



(12) 发明专利

(10) 授权公告号 CN 1897285 B

(45) 授权公告日 2010.05.12

(21) 申请号 200610098474.X

(22) 申请日 2006.07.07

(30) 优先权数据

10-2005-0062730 2005.07.12 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金湘甲 李禹根 金时烈 周振豪

金彰洙 皇甫尚佑 吴旼锡

柳慧英 秦洪基

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 李伟

(51) Int. Cl.

H01L 27/12 (2006.01)

H01L 23/522 (2006.01)

H01L 21/84 (2006.01)

H01L 21/768 (2006.01)

G02F 1/133 (2006.01)

(56) 对比文件

US 6287899 B1, 2001.09.11, 全文.

CN 1501153 A, 2004.06.02, 说明书第 5 页第 19-24 行, 第 10 页第 2-8 行, 第 11 页第 10-31 行, 第 12 页第 1 行 - 第 13 页第 21 行, 附图 3、9 - 18.

CN 1434428 A, 2003.08.06, 说明书第 6 页第 27-28 行.

审查员 甄丽娟

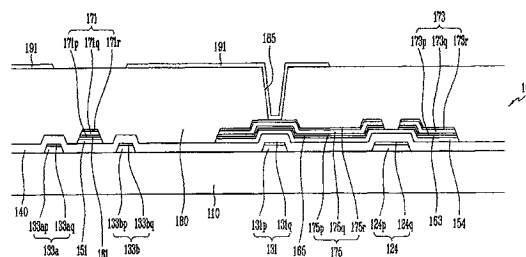
权利要求书 2 页 说明书 7 页 附图 14 页

(54) 发明名称

薄膜晶体管阵列面板及制造方法

(57) 摘要

本发明提供了一种薄膜晶体管阵列面板的制造方法,包括:在基板上形成栅极线;在该栅极线上形成栅极绝缘层、半导体层和欧姆接触;在该欧姆接触上形成含 Mo 的第一导电膜、含 Al 的第二导电膜和含 Mo 的第三导电膜;在该第三导电膜上形成第一光刻胶图样;使用该第一光刻胶图样作为掩模,蚀刻第一、第二和第三导电膜、欧姆接触、以及半导体层;将该第一光刻胶图样除去预定厚度,以便形成第二光刻胶图样;使用该第二光刻胶图样作为掩模,蚀刻该第一、第二和第三导电膜,以便暴露欧姆接触的一部分;以及使用含 Cl 气体和含 F 气体蚀刻暴露的欧姆接触。



1. 一种薄膜晶体管阵列面板,包括:

基板;

在所述基板上形成的栅极线;

在所述基板上形成的栅极绝缘层;

在所述基板上形成的半导体层;

数据线,所述数据线在所述半导体层上形成并且具有源电极;

漏电极,所述漏电极在所述半导体层上形成并且设置为与所述源电极相对;以及

连接至所述漏电极的像素电极,

其中,所述数据线具有含 Al 导电膜和含 Mo 导电膜,所述含 Mo 导电膜在所述含 Al 导电膜的上侧和下侧的至少其中之一上形成,所述半导体层包括第一部分和第二部分,所述第一部分具有与所述数据线以及所述漏电极基本相同的平面形状,所述第二部分设置并暴露

在所述源电极和所述漏电极之间,并且

所述第二部分含有原子个数百分比为 3.0%至 20%的 Cl 原子。

2. 根据权利要求 1 所述的薄膜晶体管阵列面板,进一步包括在所述半导体层和所述数据线之间形成的欧姆接触。

3. 根据权利要求 1 所述的薄膜晶体管阵列面板,其中,所述含 Mo 导电膜为选自 Mo、MoN、MoNb、MoV、MoTi 和 MoW 中的一种。

4. 根据权利要求 1 所述的薄膜晶体管阵列面板,其中,所述含 Al 导电膜由 AlNd 制成。

5. 根据权利要求 1 所述的薄膜晶体管阵列面板,其中,所述数据线包括含 Mo 的第一导电膜、含 Al 的第二导电膜、以及含 Mo 的第三导电膜。

6. 根据权利要求 1 所述的薄膜晶体管阵列面板,其中,所述栅极线包括含 Al 导电膜和含 Mo 导电膜。

7. 一种薄膜晶体管阵列面板的制造方法,包括:

在基板上形成栅极线;

在所述栅极线上形成栅极绝缘层、半导体层和欧姆接触;

在所述欧姆接触上形成含 Mo 第一导电膜、含 Al 第二导电膜、以及含 Mo 第三导电膜;

在所述第三导电膜上形成第一光刻胶图样;

使用所述第一光刻胶图样作为掩模,蚀刻所述第一、第二和第三导电膜、所述欧姆接触、以及所述半导体层;

将所述第一光刻胶图样除去预定厚度,以便形成第二光刻胶图样;

使用所述第二光刻胶图样作为掩模,蚀刻所述第一、第二和第三导电膜,以便暴露所述欧姆接触的一部分;以及

使用含 Cl 气体和含 F 气体蚀刻暴露的所述欧姆接触;

其中,所述含 Cl 气体为 HCl,并且所述含 F 气体与所述 HCl 气体的流量比为 1 : 4 至 1 : 10。

8. 一种薄膜晶体管阵列面板的制造方法,包括:

在基板上形成栅极线;

在所述栅极线上形成栅极绝缘层、半导体层和欧姆接触;

在所述欧姆接触上形成含 Mo 第一导电膜、含 Al 第二导电膜、以及含 Mo 第三导电膜;

在所述第三导电膜上形成第一光刻胶图样；

使用所述第一光刻胶图样作为掩模，蚀刻所述第一、第二和第三导电膜、所述欧姆接触、以及所述半导体层；

将所述第一光刻胶图样除去预定厚度，以便形成第二光刻胶图样；

使用所述第二光刻胶图样作为掩模，蚀刻所述第一、第二和第三导电膜，以便暴露所述欧姆接触的一部分；以及

使用含 Cl 气体和含 F 气体蚀刻暴露的所述欧姆接触；

其中，所述含 Cl 气体是选自 Cl_2 、 CCl_4 、 BCl_3 和 SiCl_2H_2 中的至少一种。

9. 根据权利要求 8 所述的方法，其中，所述含 Cl 气体为 Cl_2 ，并且所述含 F 气体与所述 Cl_2 气体的流量比为 1 : 1 至 1 : 10。

10. 根据权利要求 7 或 8 所述的方法，其中，所述含 F 气体为 SF_6 或 CF_4 。

11. 根据权利要求 7 或 8 所述的方法，其中，所述暴露的欧姆接触的蚀刻是在 100mT 至 800mT 压力下进行的。

12. 根据权利要求 7 或 8 所述的方法，其中，所述第一光刻胶图样包括第一部分和第二部分，所述第二部分的厚度大于所述第一部分的厚度。

13. 根据权利要求 12 所述的方法，其中，所述第二光刻胶图样的形成包括除去所述第一部分。

14. 根据权利要求 7 或 8 所述的方法，其中，所述第一、第二和第三导电膜的蚀刻是通过湿蚀刻进行的。

薄膜晶体管阵列面板及制造方法

[0001] 相关申请交叉引用

[0002] 本申请要求于 2005 年 7 月 12 日提交至韩国知识产权局的韩国专利申请第 10-2005-0062730 号的优先权和权益,其内容结合于此以供参考。

技术领域

[0003] 本发明涉及一种薄膜晶体管阵列面板及其制造方法。

背景技术

[0004] 液晶显示器 (LCD) 是应用最广泛的平板显示器之一。LCD 包括插入两个面板之间的液晶 (LC) 层,其中,一个面板 (称为“薄膜晶体管阵列面板”)具有以矩阵形式排列的多个像素电极,另一个面板 (称为“共用电极面板”)具有覆盖整个面板表面的共电极。LCD 通过向场致电极 (field-generating electrode) 施加电压以在 LC 层中产生电场来显示图像,该电场决定 LC 分子在 LC 层中的取向以便调节入射光的偏振。将具有三个端子的薄膜晶体管 (TFT) 连接到像素电极。在薄膜晶体管阵列面板上形成栅极线和数据线,栅极线传送用于控制薄膜晶体管的信号,数据线传送施加到像素电极的电压。薄膜晶体管阵列面板包括多个具有导电膜 (例如栅极线和数据线) 的薄膜、半导体层、以及绝缘层。使用单独的掩模将相应的薄膜图样化。

[0005] 对于每个单独的掩模,重复进行各种图样化步骤,例如采用光刻掩模、曝光、显影、以及清除,从而使得制造方法昂贵并且耗费时间。因此,优选减少所需掩模的数量。然而,当采用相同的掩模蚀刻数据线的金属层和半导体时,由于从半导体区域的漏光,一些半导体层留在蚀刻的金属层下的整个表面上,而产生余像 (afterimage)。

发明内容

[0006] 根据本发明,尽管使用相同的光刻胶图案蚀刻了由 Al 膜和下层 Mo 膜构成的多层数据线的金属图案以及本征半导体 (纯半导体),但是消除了余像问题。将 Mo 扩散 (diffusion) 到半导体中,以及从下部的 Al 膜中将杂质分离出来,防止了在湿蚀刻时半导体通道的污染。在形成通道区时,将含氯气体和含氟气体的流量比控制在预定的比率内。

附图说明

[0007] 通过阅读随后的描述以及附图,本发明的上述目的和特点将会变得更加明显,附图中:

[0008] 图 1 为根据本发明实施例的 TFT 阵列面板的布局图;

[0009] 图 2 和图 3 为图 1 中所示的 TFT 阵列面板沿线 II-II' 和 III-III' 的剖视图;

[0010] 图 4、图 15 和图 18 为根据本发明实施例在 TFT 阵列面板制造方法的中间步骤中的 TFT 阵列面板的布局图;

[0011] 图 5 和图 6 为图 4 中所示的 TFT 阵列面板沿线 V-V' 和 VI-VI' 的剖视图;

- [0012] 图 7 至图 14 为顺序示出根据本发明实施例的 TFT 阵列面板的制造方法的剖视图；
- [0013] 图 16 和图 17 为图 15 中所示的 TFT 阵列面板沿线 XVI-XVI' 和 XVII-XVII' 的剖视图；
- [0014] 图 19 和图 20 为图 18 中所示的 TFT 阵列面板沿线 XIX-XIX' 和 XX-XX' 的剖视图；以及
- [0015] 图 21A 和图 21B 为表明根据 C1 的供应量的 TFT 的特征的曲线图。

具体实施方式

[0016] 以下将参照附图详细描述本发明的典型实施例。正如本领域的技术人员认识到的，在不背离本发明的精神和保护范围的条件下，可以用各种不同的方式对所描述的实施例进行修改。在附图中，为了清楚起见，层、膜、面板、区域等的厚度被放大。在整个说明书中，相同的附图标记表示相同的元件。应当理解：当提及一个元件（例如层、区域或基片）“在”另一个元件“上”时，其可以直接在另一个元件上或者也可以存在介于中间的元件。相反，当提及一个元件“直接在”另一个元件“上”时，则不存在介于中间的元件。

[0017] 将参照图 1 至图 3 详细描述根据本发明实施例的 TFT 阵列面板。图 1 为根据本发明实施例的 TFT 阵列面板的布局图，图 2 和图 3 为图 1 中所示的 TFT 阵列面板沿线 II-II' 和 III-III' 的剖视图。

[0018] 多个栅极线 121 和多个存储电极线 131 形成于在绝缘基板 110 上，该绝缘基板由诸如透明玻璃或塑料的材料制成。栅极线 121 传送选通信号 (gate signal) 并基本上沿横向方向延伸。每个栅极线 121 包括多个向下伸出（突出）的栅电极 124、以及端部 129，该端部 129 具有大的面积以便和其它层或外部驱动电路相接触。栅极驱动电路（未示出）产生选通信号并且可以安装在柔性印刷线路 (FPC) 膜（未示出）上，FPC 膜可以附着在基板 110 上、直接安装在基板 110 上、或者结合到基板 110 中。栅极线 121 可以连接到驱动电路上，该驱动电路可以结合到基板 110 中。

[0019] 用预定的电压给存储电极线 131 供电，每个存储电极线 131 包括基本平行于栅极线 121 延伸的干线 (stem) 以及从该干线分支的多对存储电极 133a 和 133b。每个存储电极线 131 排布在两个相邻的栅极线 121 之间，并且干线靠近两个相邻的栅极线 121 中的较低的栅极线。每个存储电极 133a 和 133b 具有与干线相连的固定端部和与之反向排布的自由端部。存储电极 133b 的固定端部具有大的面积，它的自由端部分支为直线分支 (linear branch) 和曲线分支 (curved branch)。然而，存储电极线 131 可以具有各种形状和排布。

[0020] 栅极线 121 和存储电极线 131 包括下部膜 124p、131p、133ap、和 133bp（包括含 Al 金属，例如 Al 或 Al 合金），以及上部膜 124q、131q、133aq、133bq（包括含 Mo 金属，例如 Mo 或 Mo 合金）。Al-Nd（以预定量把 Nd 添加到 Al 中）可以用作含 Al 金属。下部膜 124p、131p、133ap、133bp 的厚度可以为约 100 Å 至 5000 Å，而上部膜 124q、131q、133aq、133bq 的厚度可以为约 50 Å 至 2000 Å。

[0021] 在图 2 和图 3 中，对于栅极 124 和存储电极线 131，其下部膜和上部膜分别用附加符号 p 和 q 标明。栅极线 121 和存储电极线 131 的侧面相对于基板 110 的表面倾斜，其倾斜角在约 30 ~ 80 度的范围内。优选由氮化硅 (SiN_x) 或氧化硅 (SiO_x) 制成的栅极绝缘层 140 在栅极线 121 和存储电极线 131 上形成。优选由氢化非晶硅（简称为“a-Si”）或多晶硅

制备的多个半导体条带 (stripe) 151 在栅极绝缘层 140 上形成。每个半导体条带 151 基本沿纵向延伸, 并且包括多个朝向栅电极 124 扩展出的突出部 154。半导体条带 151 在靠近栅极线 121 和存储电极线 131 处变宽, 以致半导体条带 151 覆盖栅极线 121 和存储电极线 131 的很大面积。

[0022] 多个欧姆接触条带 (stripe, 带) 和岛 (island) 161 和 165 在半导体管 151 上形成。欧姆接触条带和岛 161 和 165 优选由重掺有 n 型杂质 (例如磷 P) 的 n+ 氢化 a-Si 制备, 或者它们可以由硅化物制备。每个欧姆接触条带 161 包括多个突出部 163, 并且该突出部 163 和欧姆接触岛 165 成对地位于半导体条带 151 的突出部 154 上。半导体条带 151 以及欧姆接触 161 和 165 的侧面相对于基板 110 的表面倾斜, 其倾斜角优选在 30 ~ 80 度的范围内。

[0023] 多个数据线 171 和多个漏电极 175 在欧姆接触 161 和 165 以及栅极绝缘层 140 上形成。数据线 171 传送数据信号, 并且基本沿纵向延伸以与栅极线 121 相交。每个数据线 171 还与存储电极线 131 相交, 并且在相邻存储电极对 133a 和 133b 之间延伸。每个数据线 171 包括多个向栅电极 124 伸出的源电极 173 以及端部 179, 该端部 179 具有大面积用于和其它层或外部驱动电路接触。用于产生数据信号的数据驱动电路 (未示出) 可以安装在 FPC 膜 (未示出) 上, FPC 可以附着在基板 110 上、直接安装在基板 110 上或者结合到基板 110 中。数据线 171 可以延伸以连接到驱动电路, 该驱动电路可以结合到基板 110 中。

[0024] 漏电极 175 与数据线 171 分离, 并且关于栅电极 124 设置在源电极 173 的对面。每个漏电极 175 包括宽端部和窄端部。宽端部覆盖在存储电极线 131 上, 而窄端部部分地被源电极 173 包围。

[0025] 栅电极 124、源电极 173、以及漏电极 175 连同半导体条带 151 的突出部 154 构成 TFT, TFT 在源电极 173 和漏电极 175 之间的突出部 154 中具有通道。

[0026] 数据线 171 和漏电极 175 具有三层结构, 包括下部膜 171p 和 175p、中间膜 171q 和 175q、以及上部膜 171r 和 175r。下部膜 171p 和 175p 优选由 Mo 或 Mo 合金的含 Mo 金属 (例如 MoN、MoNb、MoV、MoTi 和 MoW) 制成, 中间膜 171q 和 175q 优选由低电阻率金属 Al 或含 Al 金属 (例如 AlNd) 制成, 而上部膜 171r 和 175r 由具有与 ITO 或 IZO 良好的接触特性的 Mo 或 Mo 合金的含 Mo 金属 (例如 MoN、MoNb、MoV、MoTi 和 MoW) 制成。

[0027] 在图 2 和图 3 中, 源电极 173 和端部 179 的下部膜、中间膜和上部膜分别用附加符号 p、q 和 r 表示。数据线 171 和漏电极 175 具有倾斜约 30 ~ 80 度角度的边缘外形。

[0028] 欧姆接触 161 和 165 仅置于下面的半导体条带 151 与上面的导体 171 和 175 之间, 以便减少它们之间的接触电阻。

[0029] 除了其上形成有 TFT 的突出部 154 外, 半导体条带 151 具有与数据线 171 和漏电极 175 以及下面的欧姆接触 161 和 165 几乎相同的平面形状。即, 半导体条带 151 形成在数据线 171 和漏电极 175 以及下面的欧姆接触 161、163 和 165 之下, 并包括一些没有被数据线 171 和漏电极 175 覆盖的暴露部分, 例如位于源电极 173 和漏电极 175 之间的部分。

[0030] 钝化层 180 形成在数据线 171、漏电极 175、以及半导体条带 151 的暴露部分之上。钝化层 180 可以由无机绝缘体 (例如氮化硅和氧化硅)、有机绝缘体、或低介电绝缘体制成, 它可以具有平坦的上表面。有机绝缘体和低介电绝缘体可以具有低于约 4.0 的介电常数。低介电绝缘体的实例包括通过等离子体增强化学气相沉积 (PECVD) 形成的 a-Si:C:O

和 a-Si:O:F。有机绝缘体可以呈现光敏性。钝化层 180 可以包括无机绝缘体的下部膜和有机绝缘体的上部膜,以使其呈现有机绝缘体的优异的绝缘性能,同时防止半导体条带 151 的暴露部分被有机绝缘体损坏。

[0031] 钝化层 180 具有多个接触孔 182 和 185,其分别暴露数据线 171 和漏电极 175 的端部 179。钝化层 180 和栅极绝缘层 140 具有多个接触孔 181 和多个接触孔 184,接触孔 181 暴露栅极线 121 的端部 129,接触孔 184 暴露靠近存储电极 133a 和 133b 的固定端部的部分或存储电极线 131 的自由端部的部分。

[0032] 多个像素电极 191、多个跨接线 (overpass)84 以及多个接触辅助件 (contact assistant)81 和 82 在钝化层 180 上形成。它们优选由透明导体 (例如 ITO 或 IZO)、或者反射导体 (例如 Ag、Al、或其合金)制成。通过接触孔 185 将像素电极 191 物理连接和电连接至漏电极 175,以致像素电极 191 接收来自漏电极 175 的数据电压。供应有数据电压的像素电极 191 与供应有共用电压的相对放置的显示器面板 (未示出)的共用电极配合产生电场。该电压决定放置在两个电极之间的液晶层 (未示出)的液晶分子 (未示出)的方向。像素电极 191 和共用电极形成电容 (器),称为“液晶电容 (器)”,其在 TFT 关闭后存储施加的电压。

[0033] 像素电极 191 覆盖包括存储电极 133a 和 133b 的存储电极线 131。像素电极 191、连接到其上的漏电极 175、以及存储电极线 131 形成附加电容器,称为“存储电容器”,其增强了液晶电容的电荷存储能力。

[0034] 接触辅助件 81 和 82 通过接触孔 181 和 182 分别连接至栅极线 121 的端部 129 以及数据线 171 的端部 179。接触辅助件 81 和 82 保护端部 129 和 179,并增强端部和外部设备之间的附着力。

[0035] 跨接线 84 跨越栅极线 121,并通过一对接触孔 184 分别连接到存储电极线 131 的暴露部分以及存储电极 133b 自由端部的暴露端部上,这对接触孔关于栅极线 121 彼此相对地设置。包括存储电极 133a 和 133b 的存储电极线 131 与跨接线 84 一起可以用于修复在栅极线 121、数据线 171 或 TFT 上的缺陷。

[0036] 将参考图 4 至图 20 以及图 1 至图 3 详细描述根据本发明实施例的示于图 1 至图 3 中的 TFT 阵列面板的制造方法。如图 4 至图 6 所示,将 AlNd 的下部膜和含 Mo 金属的上部膜顺序沉积在绝缘基板 110 上,绝缘基板 110 由诸如透明玻璃或塑料的材料制成。

[0037] 接着,通过湿蚀刻上部膜和下部膜,形成包括栅电极 124 和端部 129 的多个栅极线 121 以及包括存储电极 133a 和 133b 的存储电极线 131。

[0038] 如图 7 和图 8 所示,将由诸如 SiNx 的材料制成的栅极绝缘层 140、本征 (纯) a-Si 层 150、以及非本征 (含杂质) a-Si 层 160 通过 PECVD 法依次沉积在栅极线 121 和存储电极线 131 上。本征 a-Si 层 150 由氢化非晶硅制成,非本征 a-Si 层 160 由重掺有诸如磷 P 的 n 型杂质的 n+ 氢化 a-Si 制备。

[0039] 顺序地,将由含 Mo 金属制成的下部 Mo 膜 170p、由含 Al 膜制成的中间 Al 膜 170q、以及由含 Mo 膜制成的上部 Mo 膜 170r 通过溅射顺序沉积,从而形成数据金属层 170。

[0040] 将光刻胶涂覆在上部 Mo 膜 170r 上。通过曝光掩模 (未示出)将光刻胶曝光,并且如图 9 和 10 所示,显影的光刻胶具有取决于位置的厚度。显影的光刻胶包括多个第一至第三部分 54 和 52。第一部分 54 位于通道区域 B,而第二部分 52 位于数据线区域 A。没有

给位于保留区域 C 的第三部分标示附图标号, 因为它们的厚度基本为零。根据后续加工步骤的加工条件, 调节第一部分 54 和第二部分 52 的厚度比。优选第一部分 54 的厚度等于或小于第二部分 52 的厚度的一半。

[0041] 通过若干技术可获得光刻胶的取决于位置的厚度, 例如, 通过提供在曝光掩模上的半透明区域以及透明区域和光阻挡不透明区域。半透明区域可以具有狭缝型图样、栅格型图样、具有中等透射率或中等厚度的薄膜。当使用狭缝型图样时, 优选狭缝的宽度或狭缝之间的距离小于用于光刻的投光器的分辨率。另一个实施例使用可回流的 (reflowable) 光刻胶。详细地说, 通过使用仅具有透明区域和不透明区域的普通曝光掩模, 一旦形成由可回流材料制成的光刻胶图样, 它就发生回流过程以流动到没有光刻胶的区域, 从而形成薄的部分。

[0042] 参考图 11 和 12, 采用湿蚀刻法将在保留区域 C 上的数据金属层 170 的暴露部分蚀刻, 使数据金属层 170 的部分 174 和 179 被留在数据区域 A 和通道区域 B 上。接着, 通过干蚀刻法将在保留区域 C 上的非本征 a-Si 层 160 的暴露部分和本征半导体层 150 的下层部分除去, 使得形成半导体图样 161、164、151 和 154。

[0043] 接着, 通过回蚀刻工艺 (etch back process) 将通道区域 B 上的光刻胶图样 54 除去。同时, 将光刻胶图样 52 的厚度减少预定量。

[0044] 参考图 13 和图 14, 采用光刻胶图样 52 作为掩模, 将暴露的数据金属图样 174 湿蚀刻, 以便把数据金属图样 174 分成源电极 173 和漏电极 175, 并使的在源电极 173 和漏电极 175 之间的通道区域上的非本征半导体图样 164 暴露。

[0045] 采用光刻胶图样 52 作为掩模, 将通道区域上的非本征半导体图样 164 干蚀刻。此时, 将含氯气体或含氟气体用于干蚀刻。含氯气体可以为含有氯原子的气体, 例如 Cl_2 、 HCl 、 BCl_3 、 CCl_4 、或 SiCl_2H_2 。可以供应预定量的含氟气体以便提高下层的本征半导体 154 的性能, 而且可以包含氟原子 (例如 SF_6 或 CF_4)。可以随同用于干蚀刻的含氯气体和含氟气体一起供应惰性气体, 例如 H_2 和 He 。干蚀刻是在约 100mT 至 800mT 的压力下进行的。

[0046] 当含氯气体为 HCl 时, 例如, 使用 $\text{HCl}+\text{SF}_6+\text{He}$ 作为蚀刻气体时, 含氟气体与 HCl 气体的流量比优选约 1 : 4 至 1 : 10。当含氯气体为 Cl_2 时, 例如, 使用 $\text{Cl}_2+\text{SF}_6+\text{He}$ 作为蚀刻气体时, 含氟气体与 Cl_2 气体的流量比优选约 1 : 1 至 1 : 10。流量比具有能够改善 TFT 性能但不影响干蚀刻的范围。尤其, 由于 Cl_2 具有的键裂解能小于 HCl 的键裂解能, 容易发生原子团 (radical) 或离子发射, 使得干蚀刻的气体消耗量减少。含氯气体改善了 TFT 的性能。

[0047] 详细地说, 当使用相同的光刻胶图样蚀刻数据金属图样 171、174 和 179 以及本征半导体 150 时, 包括源电极 173 和端部 179 的数据线 171 与包括突出部 154 的半导体 151 具有基本相同的平面形状。半导体 151 暴露于来自光源 (例如背光装置) 的光的区域变宽, 并提高了光漏电流 (photo leakage current)。光漏电流显著影响具有 Al 膜和下层 Mo 膜的多层结构的数据线 171。即, 在湿蚀刻中, Mo 扩散到半导体 151, 从下 Al 膜分解 (split, 分离) 出来的杂质污染半导体通道。因此, 降低了截止电流 (off-current)、阈值电压的 TFT 特性, 发生余像。

[0048] 然而, 在蚀刻非本征半导体图样 164 时, 即, 在形成通道区域时, 将含氯气体与含氟气体的流量比控制在预定比例内, 以便减少上述缺点。在形成通道区域时, 当使用该范

围内的含氯气体时,剩余的 Cl 原子残留在半导体 151 的突出部 154 中。

[0049] 表 1 示出测试实例,其表明在形成通道区域时,当含氯气体的流量与含氟气体的流量不同时,余像减少。在每个试验实例中,压力、功率、以及 He 供应量分别为 170mT、3400W、以及 900sccm。另外,在每个试验实例中, SF_6 的流量设定为 150sccm,基于 SF_6 的流量从约 0 至预定比例控制 Cl_2 或 HCl 的流量,以提供合适的流量。

[0050] 余像特性测试如下。首先,制备用于测试的显示器面板,其包括由具有各自相应流量比的蚀刻气体形成的通道区域。每个显示器面板都包括多个在其上排列为矩阵的像素。将代表在白灰 (whitegray) 与黑灰 (black gray) 之间的中等灰 (intermediate gray) 的其中之一的数据电压施加到显示器面板,以便分别测量显示器面板的显示屏幕的亮度。接着,将对应于黑灰和白灰的数据电压在横向和纵向交替施加,以显示灰和白灰约十小时。然后,在再施加对应于中等灰的数据电压之后,检测显示屏幕的亮度,以测量余像度 (afterimage degree)。

[0051] 表 1

[0052]

流量比 ($\text{SF}_6 : \text{Cl}_2$)	余像改善	蚀刻特性	流量比 ($\text{SF}_6 : \text{HCl}$)	余像改善	蚀刻特性
1 : 0	×	◎	1 : 0	×	◎
1 : 0.3	×	◎	1 : 1.12	×	◎
1 : 0.7	△	◎	1 : 3	×	◎
1 : 1	○	◎	1 : 3.5	△	◎
1 : 4	○	◎	1 : 4	○	◎
1 : 6	◎	◎	1 : 6.5	○	◎
1 : 8.2	◎	◎	1 : 9	◎	◎
1 : 9.4	◎	○	1 : 9.5	◎	○
1 : 10	◎	○	1 : 10	◎	○
1 : 11.2	◎	△	1 : 11.2	◎	△
1 : 13	◎	△	1 : 13	◎	△

[0053] ◎ : 优异 / ○ : 好 / △ : 一般 / × : 差

[0054] 如表 1 所示,当 $\text{SF}_6 : \text{Cl}_2$ 或 $\text{SF}_6 : \text{HCl}$ 的流量比分别为 1 : 1 或更高,或者 1 : 4 或更高时,显著改善了余像。由于与 HCl 相比 Cl_2 的键裂解能较小,使得容易发射原子团或离子, Cl_2 的流量比小于 HCl 的流量比。然而,当 $\text{SF}_6 : \text{Cl}_2$ 或 $\text{SF}_6 : \text{HCl}$ 的流量比大于

1 : 10 时,蚀刻特性受到影响。

[0055] 根据使用次级离子质谱 (SIMS) 法的分析结果,测得残留在半导体的通道区域上的 Cl 原子的量为约 3.0% 至 20% (原子个数)。

[0056] 图 21a 和图 21b 为详细示出 TFT 的性能随 Cl 供应量的变化的曲线图。图 21a 为示出当 SF_6 : HCl 的流量比为 390sccm : 470sccm, 即 1 : 1 时,漏电流 I_d 随栅极电压 V_g 的变化,图 21b 示出当 SF_6 : HCl 的流量比为 150sccm : 750sccm, 即 1 : 5 时,漏电流 I_d 随栅极电压 V_g 的变化。用标号 A 标明的曲线代表在暗室中测量漏电流 I_d 的情形,而用标号 B 标明的曲线代表在光照射的亮室中测量漏电流 I_d 的情形。

[0057] 如曲线图所示,图 21a 中的光漏电流大于图 21b 中的光漏电流。光漏电流包括漏电压的电压降,以产生余像。再参考图 15 至图 17,将剩余的光刻胶图样 52 除去。如图 18 至图 20 所示,钝化层 180 在暴露的栅极绝缘层 140、数据线 171 和漏电极 175、以及半导体 151 的暴露的突出部 154 上形成。

[0058] 接着,通过光蚀刻将钝化层 180 除去,以便形成多个接触孔 181、182、184 和 185。最后,如图 1 至图 3 所示,通过溅射,在钝化层 180 上形成透明导电材料 (例如 ITO 或 IZO), 并使其图样化,以形成像素电极 191、接触辅助件 (contact assistant) 81 和 82、以及跨接线 84。

[0059] 根据本发明,数据线由包括 Al 膜和 Mo 膜的多层结构形成,而使用预定流量比的蚀刻气体形成通道区域。从而,改善了 TFT 的性能,并降低了余像的发生。

[0060] 尽管已经结合被认为是实践的典型实施方式描述了本发明,但是应该理解,对于本领域的技术人员,各种改变和等效布置将显而易见并可以进行实施,而不背离本发明的精神和保护范围。

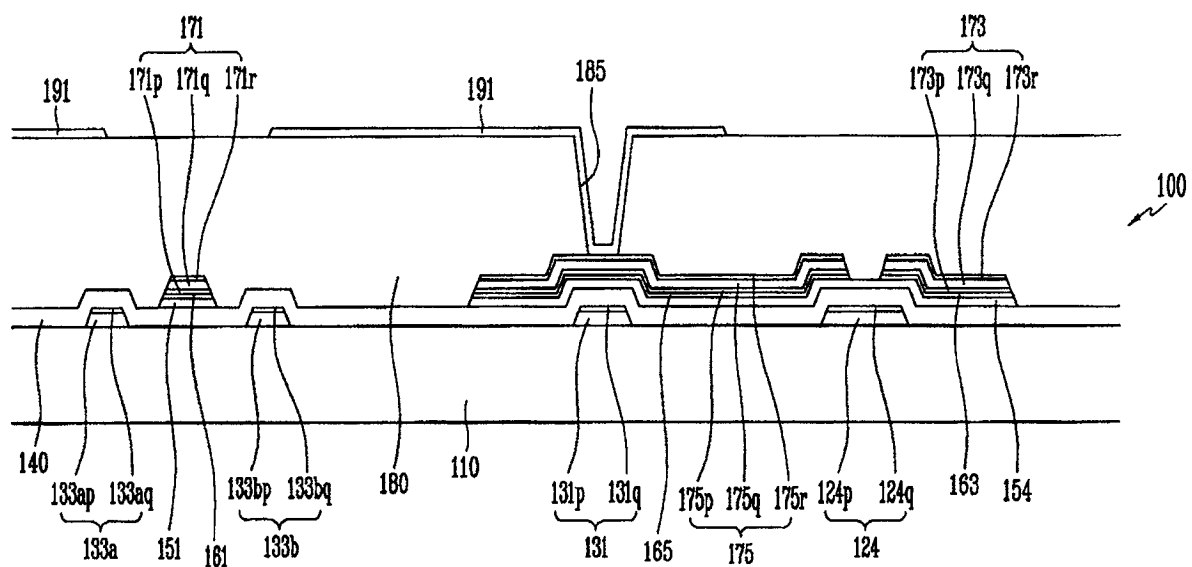


图 2

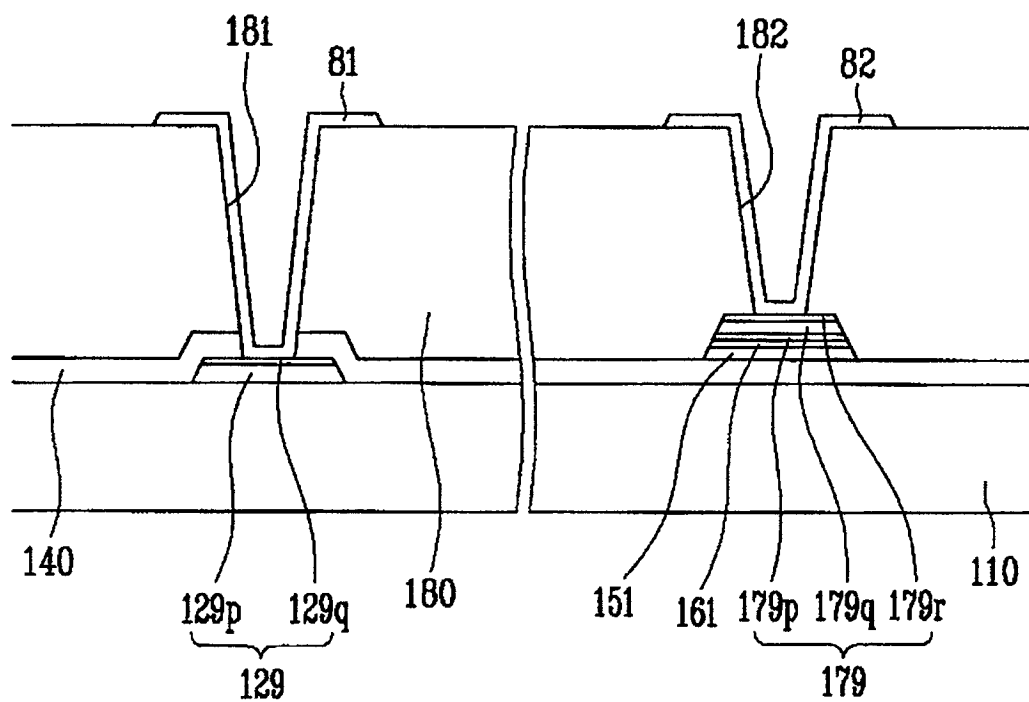


图 3

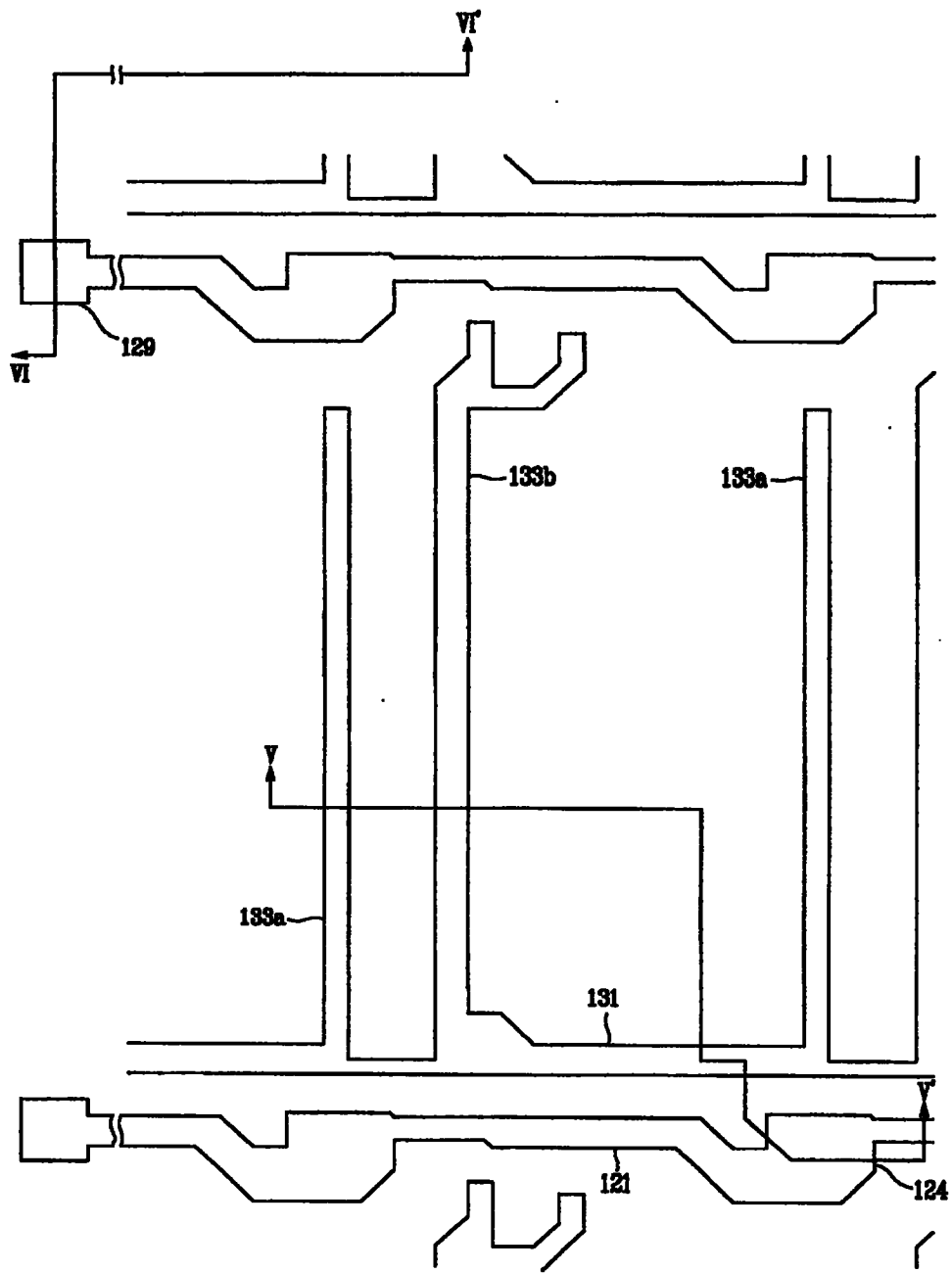


图 4

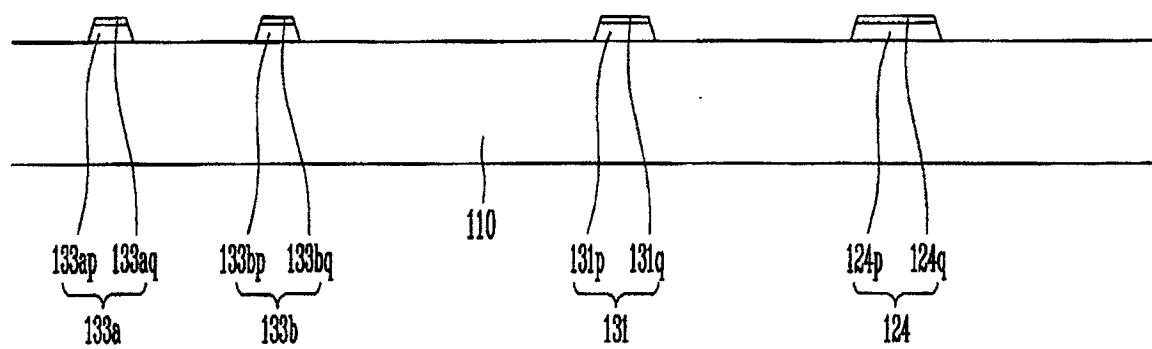


图 5

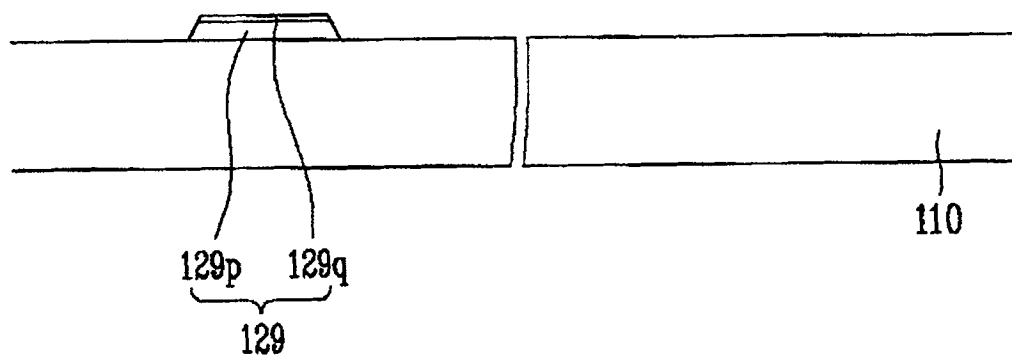


图 6

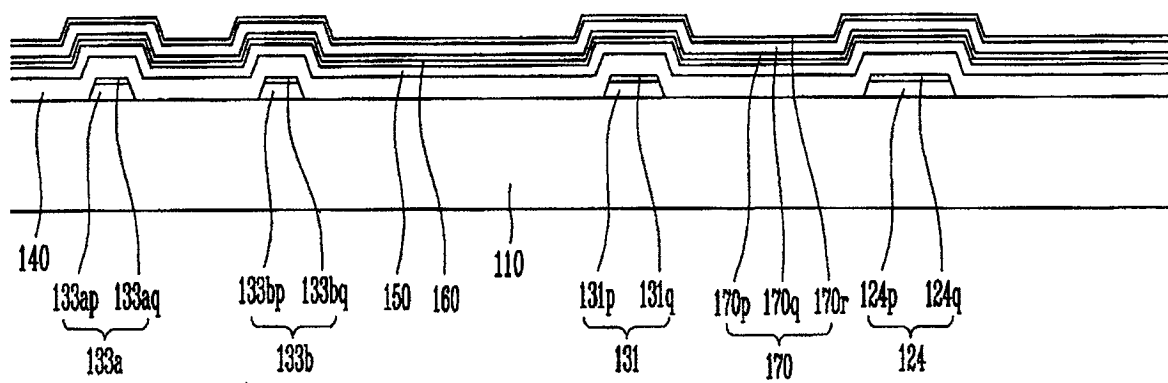


图 7

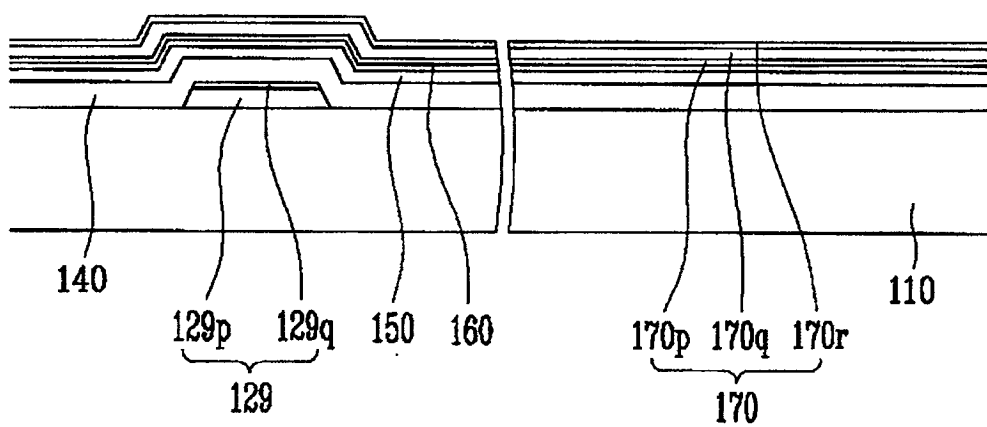


图 8

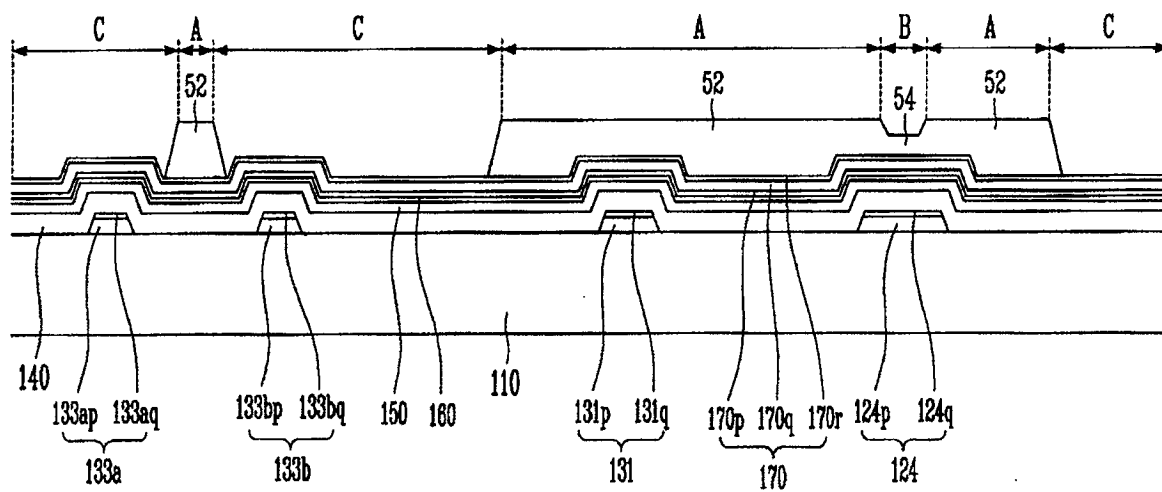


图 9

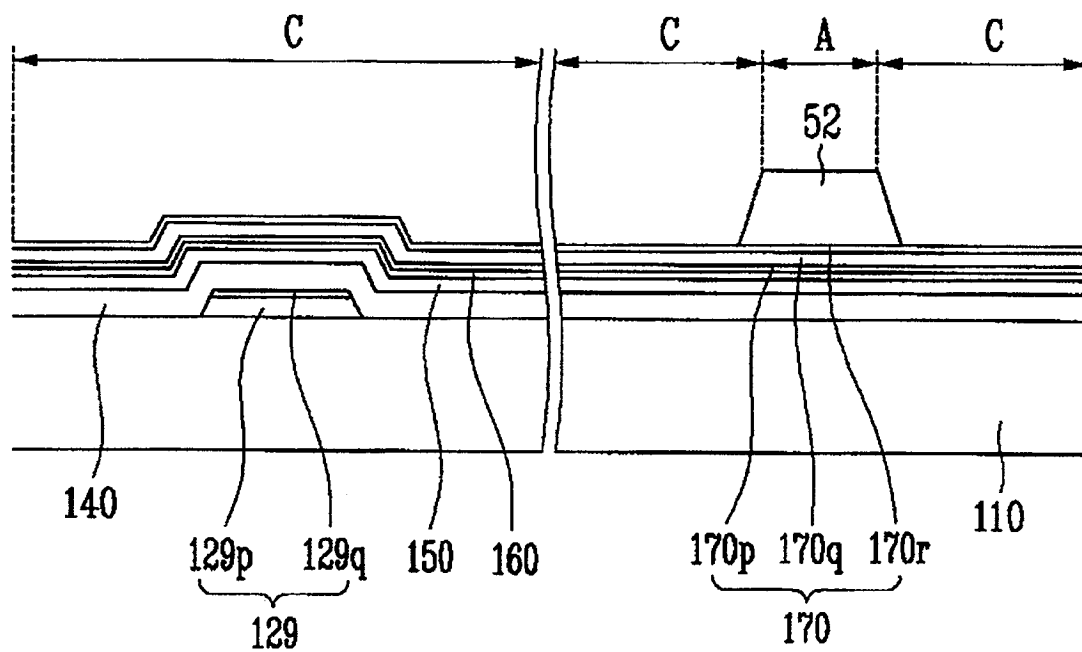


图 10

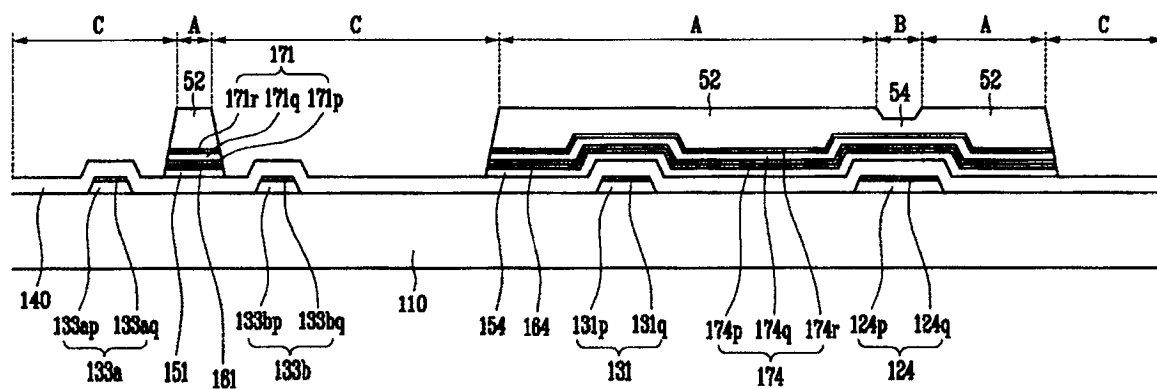


图 11

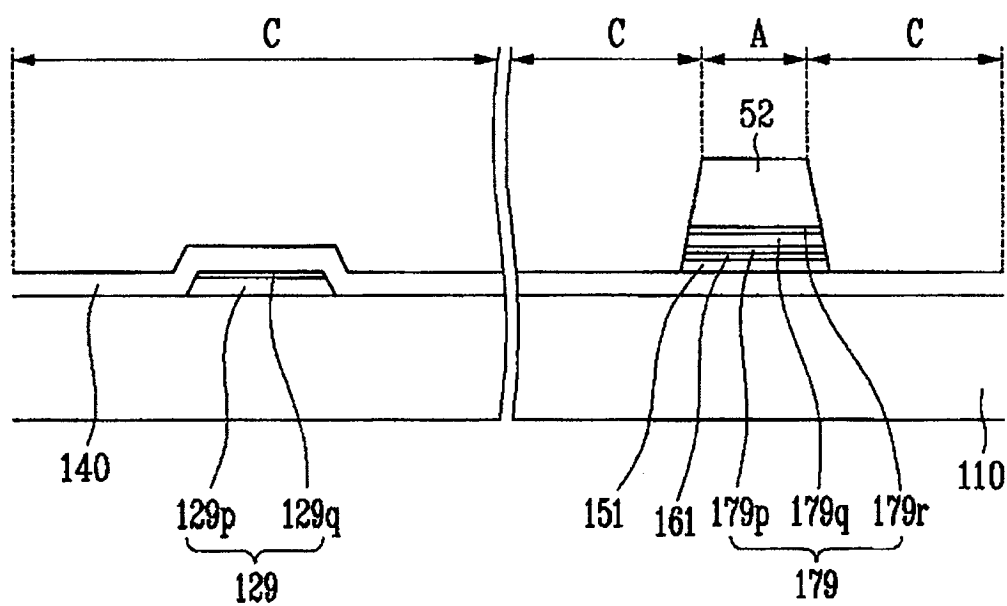


图 12

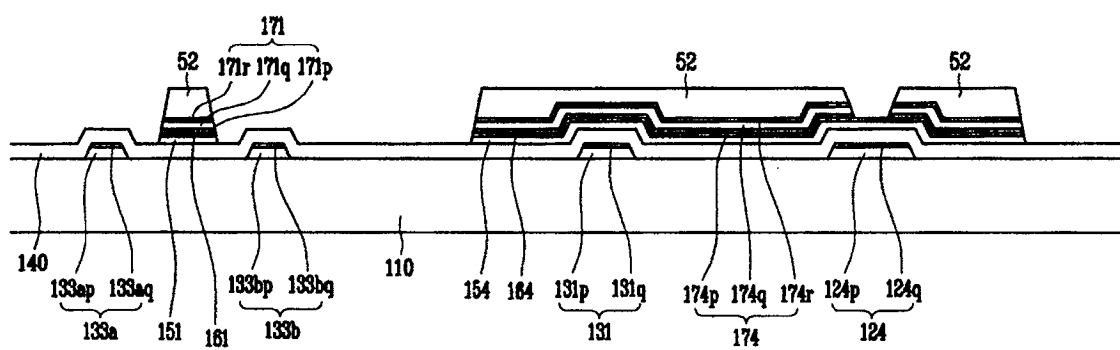


图 13

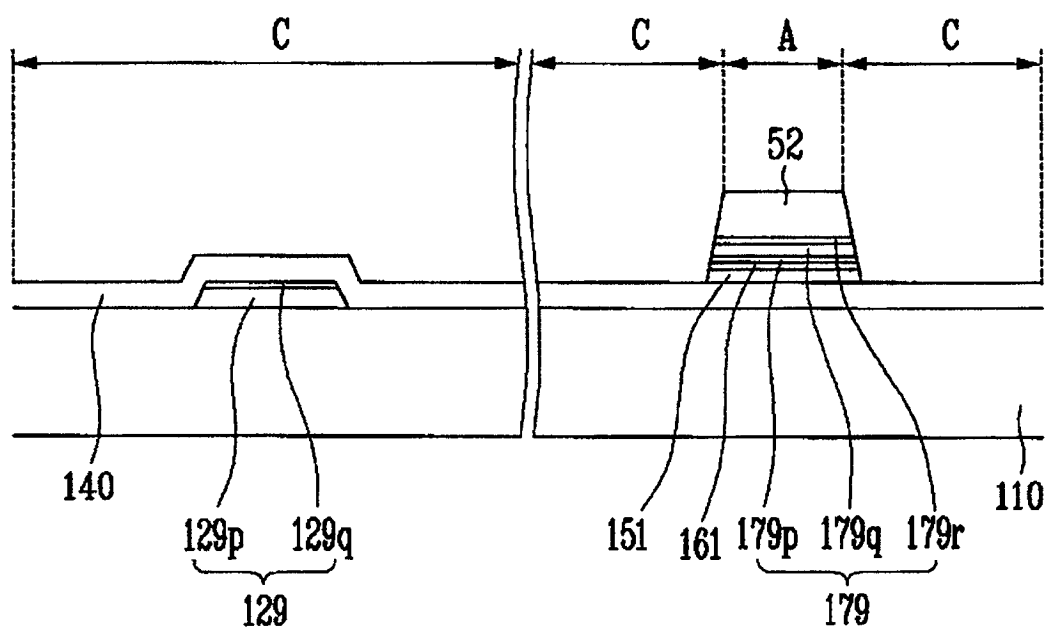


图 14

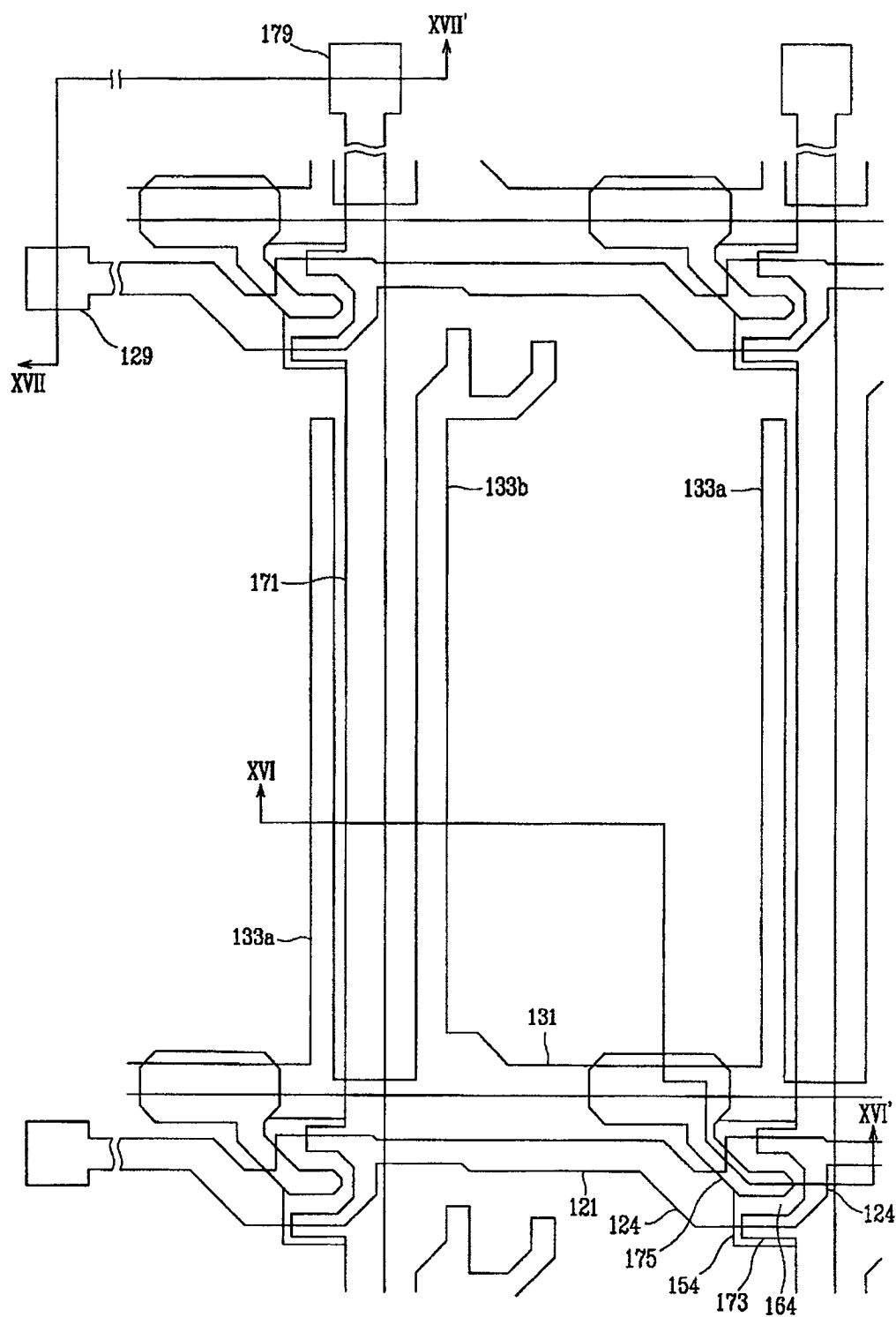


图 15

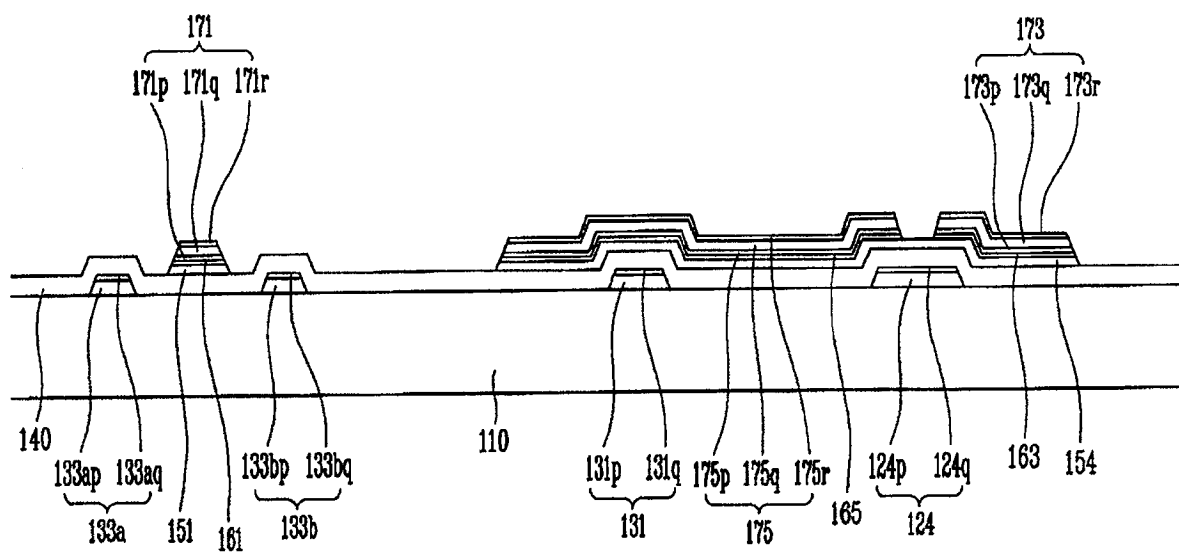


图 16

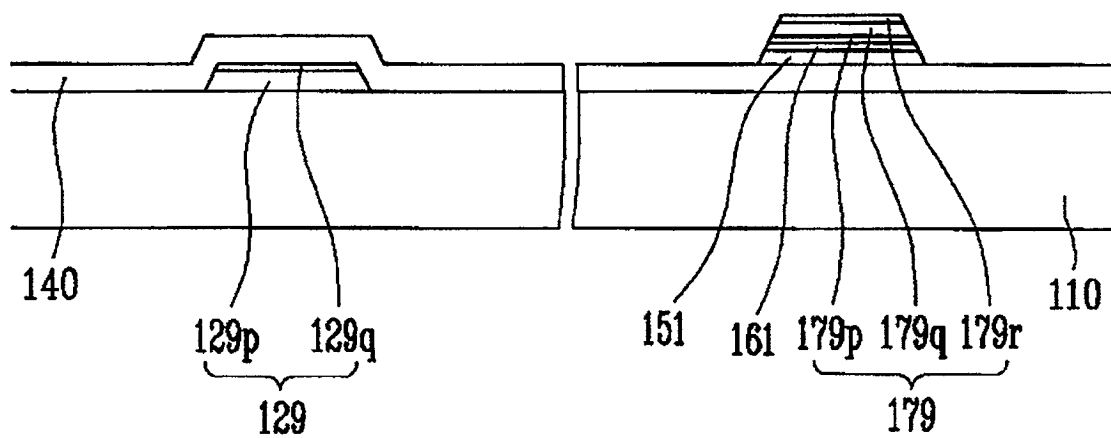


图 17

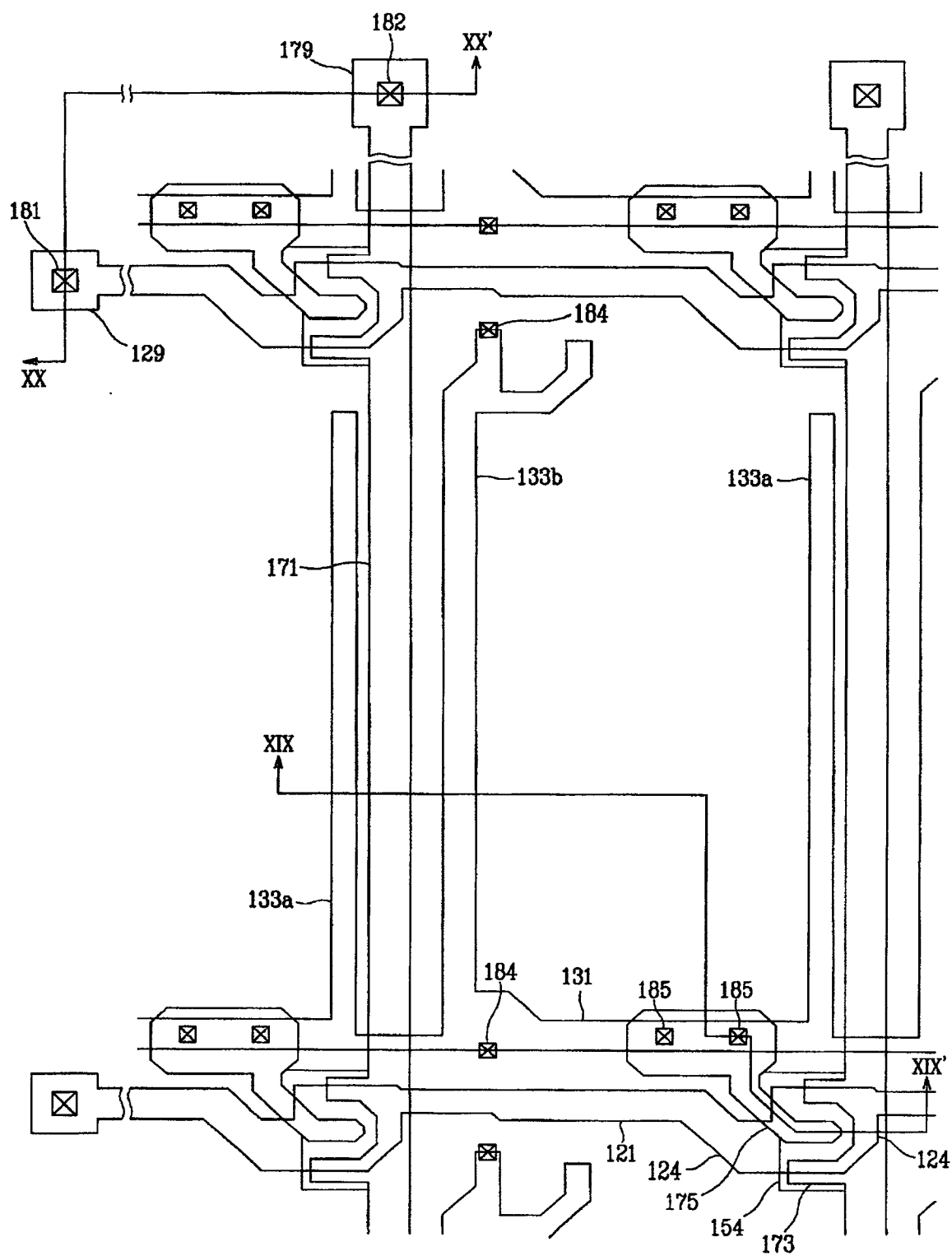


图 18

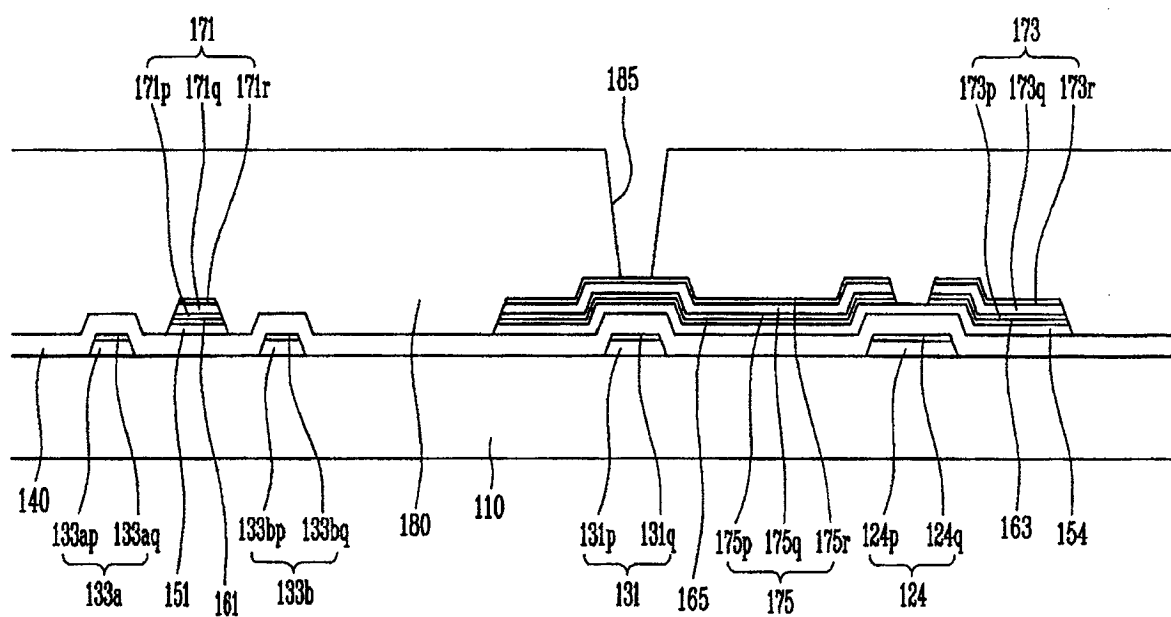


图 19

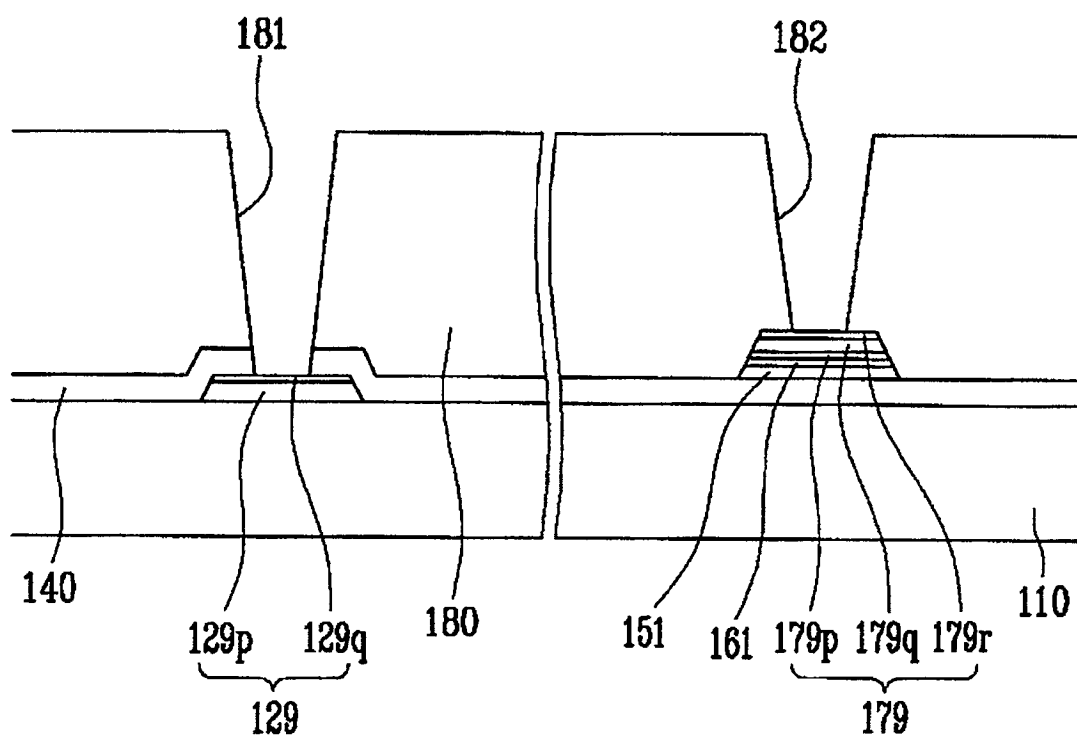


图 20

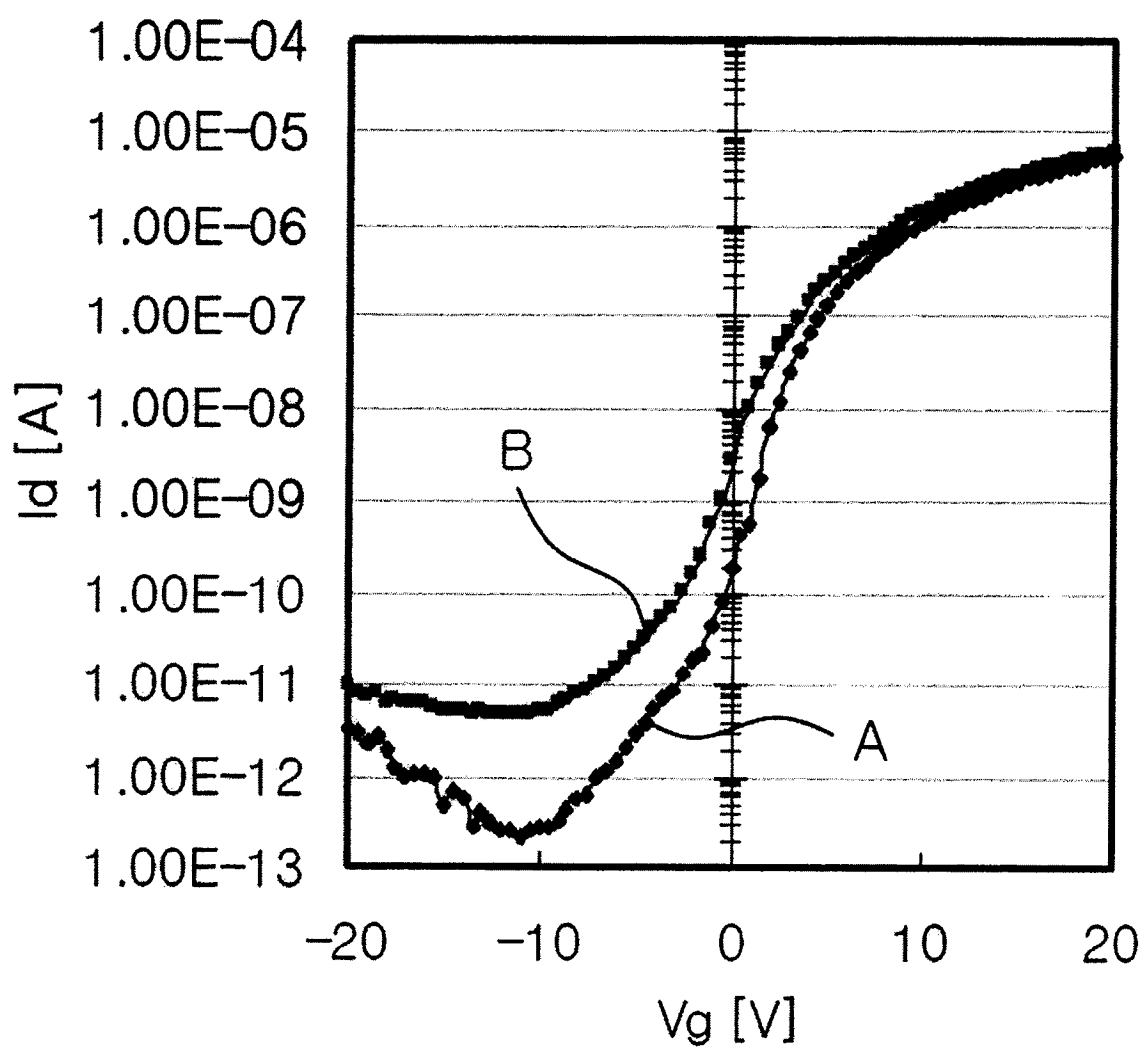


图 21A

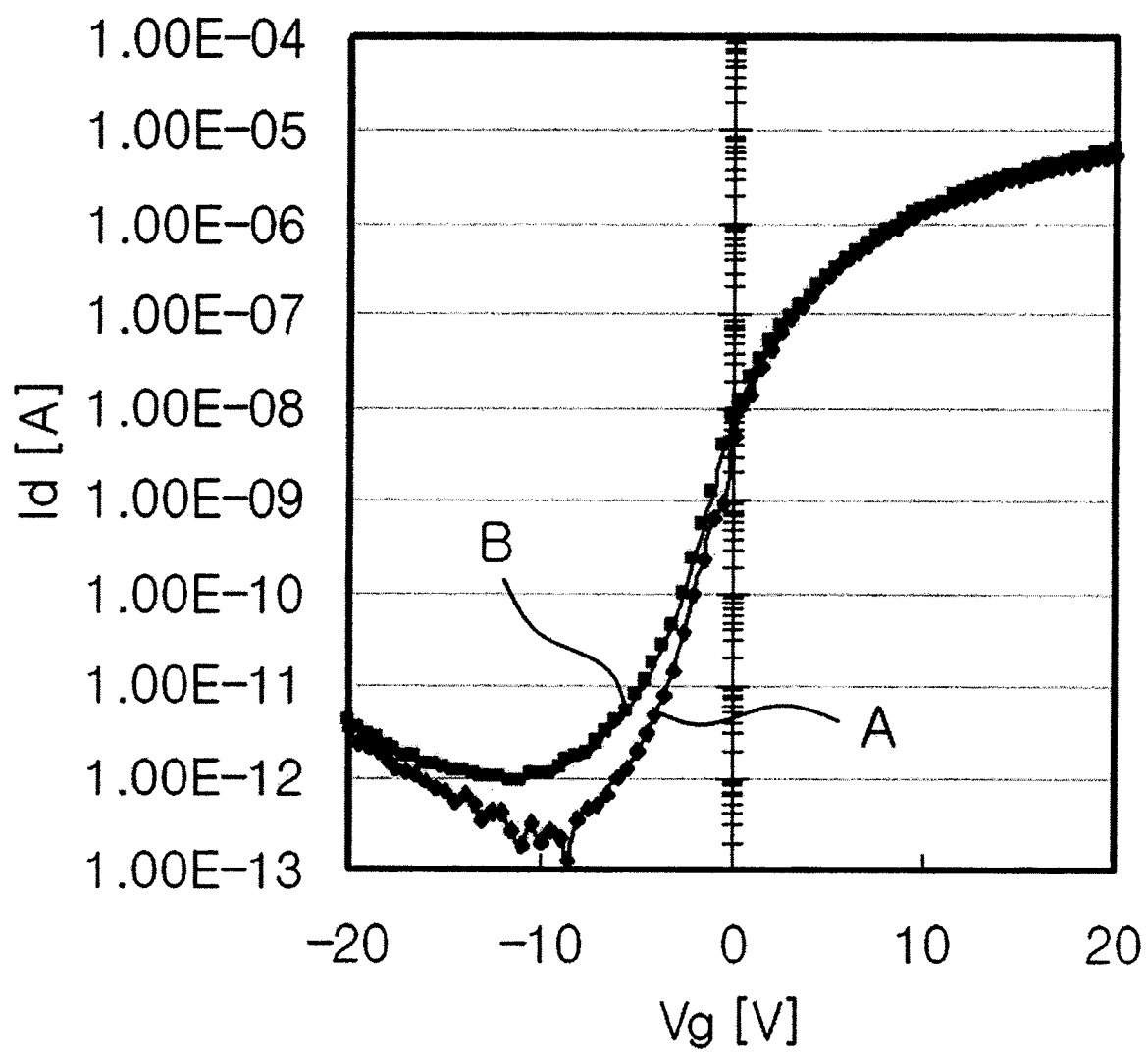


图 21B