

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年6月22日 (22.06.2017)



(10) 国际公布号
WO 2017/101080 A1

- (51) 国际专利分类号:
G06F 12/1045 (2016.01)
- (21) 国际申请号: PCT/CN2015/097742
- (22) 国际申请日: 2015年12月17日 (17.12.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 严春宝 (YAN, Chunbao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。张羽 (ZHANG, Yu); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。郑伟 (ZHENG, Wei); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区丹棱街16号海兴大厦C座1108, Beijing 100080 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 关于申请人有权申请并被授予专利(细则 4.17(ii))

[见续页]

(54) Title: WRITE REQUEST PROCESSING METHOD, PROCESSOR AND COMPUTER

(54) 发明名称: 处理写请求的方法、处理器和计算机

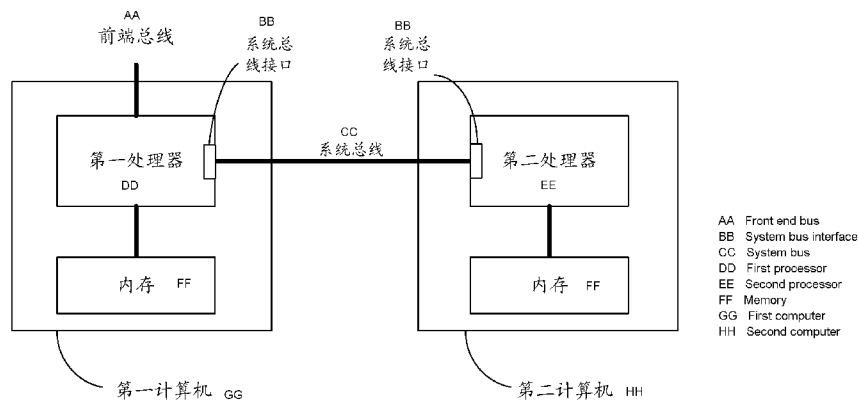


图 2

(57) Abstract: Provided are a write request processing method, a processor and a computer. A first computer is connected to a second computer; respective operating systems respectively run on the first computer and the second computer; the first computer comprises a first processor; the first processor is connected to a second processor of the second computer via a system bus; the first computer comprises a first memory address space; a second memory address space of the second computer is a mirroring address space of the first memory address space; and the first processor mirrors, via the system bus, data written into the first memory address space to the second memory address space, so that a time delay of a mirroring operation can be reduced, and the IOPS performance of the system is improved.

(57) 摘要: 本发明实施例提供一种处理写请求的方法、处理器和计算机, 第一计算机和第二计算机连接, 第一计算机与第二计算机上分别运行着各自的操作系统, 第一计算机包括第一处理器, 第一处理器通过系统总线与第二计算机的第二处理器相连, 第一计算机包括第一内存地址空间, 第二计算机的第二内存地址空间为第一内存地址空间的镜像地址空间, 第一处理器通过系统总线将写入第一内存地址空间的数据镜像至第二内存地址空间, 能够降低了镜像操作的延时, 提高了系统的 IOPS 性能。



WO 2017/101080 A1

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

处理写请求的方法、处理器和计算机

技术领域

本发明实施例涉及计算机领域，并且更具体地，涉及一种处理写请求的方法、处理器和计算机。

背景技术

集群计算机系统一般由多个计算机组成，多个计算机上分别运行着各自的操作系统，能够独立地工作，多个计算机之间通过例如以太网、外围元件接口表达（Peripheral Component Interface Express, PCIe）、Infiniband 等输入输出（Input Output, IO）总线互联，能够实现计算机之间的通信以及数据交换。

集群计算机系统的高端存储领域有着广泛的应用。例如，对于高端的存储设备，一般均采用双控或多控存储区域网络（Storage Area Network, SAN）系统，而这样的双控、多控 SAN 系统中的每个控制器就可以看成一个独立的计算机，每个控制器上运行着各自的操作系统、设置有各自的内存，控制器之间通过 IO 总线互连，形成集群计算机系统。高端存储设备采用双控、多控 SAN 系统能够保证数据存储的可靠性，下面结合图 1，以基于 PCIe 互连的双控 SAN 系统为例进行详细描述。

如图 1 所示，双控 SAN 系统包括控制器 A 和控制器 B，控制器 A 和控制器 B 均包括各自的 CPU、DDR 和前端总线，而且控制器 A 和控制器 B 上分别运行着各自的操作系统。控制器 A 和控制器 B 之间通过 PCIe 总线相连，通过 PCIe 非透明桥（Non-Transparent Bridge, NTB）实现两个计算机域的地址转换和数据交换。

当控制器 A 通过前端总线接收到外部的用于存储数据的写请求（也可称为写 IO，或写 IO 请求）时，控制器 A 的 CPU0 会先将该数据写入 DDR0；然后 CPU0 会从 DDR0 中读取该数据，将该数据封装成符合 PCIe 格式数据，并通过两控制器之间的由 PCIe 总线形成的镜像通道，将封装后的数据发送至控制器 B，控制器 B 的 CPU1 通过解封装得到该数据，然后将该数据写入 DDR1。

以上就是双控 SAN 系统中的一次完整的镜像操作过程，通过这种镜像

操作，相当于在控制器 B 上备份了控制器 A 的数据，当控制器 A 出现致命错误导致宕机时，控制器 B 仍能正常工作，而且控制器 A 的内存中的数据不会因为控制器 A 的宕机而丢失，整个系统仍能正常运行和工作，提高了存储设备的可靠性。但是，从上面描述的镜像过程可以看出，整个镜像操作需要两次直接内存访问（Directional Memory Access, DMA）操作（第一次从 DDR0 中读，第二次向 DDR1 中写）；而且 PCIe（或者以太网、Infiniband 等）网络协议互连的设备之间的 IO 访问势必带来大量的软件协议开销（如数据的封装、解封装），导致镜像操作延迟高、系统的每秒读写操作（Input/Output Operations Per Second, IOPS）性能较差。

10

发明内容

本发明实施例提供一种处理写请求的方法和装置和计算机，可以降低集群计算机系统中的数据镜像操作的延迟，提高系统的 IOPS。

第一方面，提供一种处理写请求的方法，所述方法应用于第一计算机中，所述第一计算机和第二计算机连接，所述第一计算机与所述第二计算机上分别运行着各自的操作系统，所述第一计算机包括第一处理器，所述第二计算机包括第二处理器，所述第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连，所述方法包括：所述第一处理器接收写请求，所述写请求包含待写的目标数据，以及所述目标数据的写地址；所述第一处理器确定所述写地址位于所述第一内存地址空间中；所述第一处理器将所述写请求中的目标数据写入所述第一内存地址空间，并将所述写请求中的目标数据通过所述系统总线，发送至所述第二处理器。

通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第一方面，在第一方面的一种实现方式中，所述第一处理器将所述写请求中的目标数据通过所述系统总线，发送至所述第二处理器，包括：所述第一处理器根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；所述第一处理器将所述镜像报文发送至所述第一处理器的非透明桥；所述第一处理器的非透明桥根据所述第一内存地址空间和所述

第二内存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文；所述第一处理器的非透明桥通过所述系统总线，向所述第二处理器的非透明桥发送所述更新后的镜像报文，以便所述第二处理器根据所述第二处理器的非透明桥收到的所述更新后的镜像报文将所述目标数据写入所述镜像地址。

通过非透明桥进行镜像报文中的地址转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述方法还包括：当所述第一处理器的非透明桥在预设时间内从所述第二处理器接收到所述镜像报文对应的镜像完成报文后，所述第一处理器的非透明桥向所述第一处理器发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址；所述第一处理器根据所述镜像完成报文，确认所述目标数据的镜像操作成功，结束所述镜像操作对应的镜像事务。

结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述方法还包括：当所述第一处理器的非透明桥在所述预设时间内未从所述第二处理器接收到所述镜像完成报文时，所述第一处理器的非透明桥向所述第一处理器发送镜像超时报文；所述第一处理器根据所述镜像超时报文，确认所述镜像操作失败，结束所述镜像事务。

通过设计完整的镜像事务或镜像相关报文处理流程，无论镜像操作成功或失败均可以结束镜像事务，避免系统总线操作出错引起的宕机问题，增强了系统的鲁棒性。

结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述第一处理器将所述写请求中的目标数据通过所述系统总线，发送至所述第二处理器，包括：所述第一处理器根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；所述第一处理器将所述镜像报文发送至所述第一处理器的非透明桥，所述第一处理器的非透明桥通过所述系统总线，向所述第二处理器的非透明桥发送所述镜像报文，以使所述第二处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文，以及使得所述第二处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

通过非透明桥进行镜像报文以及镜像报文中的地址转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述第一处理器将所述写请求中的目标数据写入所述第一内存地址空间，包括：所述第一处理器根据所述写请求，生成所述目标数据的写报文；
5 所述第一处理器根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述系统总线为 QPI 总线或 HT 总线。

10 结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间。

结合第一方面或其上述实现方式的任一种，在第一方面的另一种实现方式中，所述第一处理器将所述写请求中的目标数据通过所述系统总线，发送
15 至所述第二处理器，以便所述第二处理器将所述目标数据写入所述第二内存地址空间。

第二方面，提供一种处理写请求的方法，所述方法应用于与第一计算机连接的所述第二计算机，所述第一计算机与所述第二计算机上分别运行着各自的操作系统，所述第一计算机包括第一处理器，所述第二计算机包括第二处理器，
20 所述第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连，所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间，所述方法包括：所述第二处理器通过所述系统总线，从所述
25 第一处理器接收目标数据，所述目标数据为待写入所述第一处理器的内存中的数据，所述目标数据的写地址位于所述第一内存地址空间中；所述第二处理器将所述目标数据写入所述第二内存地址空间。

通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

30 结合第二方面，在第二方面的一种实现方式中，所述第二处理器通过所述系统总线，从所述第一处理器接收目标数据，包括：所述第二处理器的非

透明桥通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；所述第二处理器将所述目标数据写入所述第二内存地址空间，包括：所述第二处理器的非透明桥将所述镜像报文转换成所述目标数据的写报文；所述第二处理器的非透明桥通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

通过非透明桥完成报文类型或格式的转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第二方面或其上述实现方式的任一种，在第二方面的另一种实现方式中，所述方法还包括：所述第二处理器的非透明桥从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；所述第二处理器的非透明桥根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；所述第二处理器的非透明桥向所述第一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址。

结合第二方面或其上述实现方式的任一种，在第二方面的另一种实现方式中，所述第二处理器通过所述系统总线，从所述第一处理器接收目标数据，包括：所述第二处理器的非透明桥通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址；所述第二处理器将所述目标数据写入所述第二内存地址空间，包括：所述第二处理器的非透明桥将所述镜像报文转换成所述目标数据的写报文，并将所述写地址转换成所述写地址在所述第二内存地址空间中的镜像地址；所述第二处理器的非透明桥通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

结合第二方面或其上述实现方式的任一种，在第二方面的另一种实现方式中，所述系统总线为 QPI 总线或 HT 总线。

第三方面，提供一种处理器，所述处理器位于第一计算机，所述第一计算机和第二计算机连接，所述第一计算机与所述第二计算机上分别运行着各自的操作系统，所述第二计算机包括另一处理器，所述处理器和所述另一处理器均包括系统总线接口，所述处理器的系统总线接口通过系统总线与所述

另一处理器的系统总线接口相连，所述处理器还包括控制器和内部总线，所述控制器通过所述内部总线与所述处理器的系统总线接口相连，所述控制器用于接收写请求，所述写请求包含待写的目标数据，以及所述目标数据的写地址；确定所述写地址位于所述第一内存地址空间中；将所述写请求中的目标数据写入所述第一内存地址空间，并将所述写请求中的目标数据通过所述系统总线，发送至所述另一处理器。

通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第三方面，在第三方面的一种实现方式中，所述处理器还包括非透明桥，所述非透明桥与所述系统总线接口相连，所述非透明桥通过所述内部总线与所述控制器相连，所述控制器具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述非透明桥；所述非透明桥用于根据所述第一内存地址空间和所述第二内存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文；通过所述系统总线，向所述另一处理器的非透明桥发送所述更新后的镜像报文，以便所述另一处理器根据所述另一处理器的非透明桥收到的所述更新后的镜像报文将所述目标数据写入所述镜像地址。

通过非透明桥进行镜像报文中的地址转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述非透明桥还用于当在预设时间内从所述另一处理器接收到所述镜像报文对应的镜像完成报文后，向所述控制器发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址；所述控制器还用于根据所述镜像完成报文，确认所述目标数据的镜像操作成功，结束所述镜像操作对应的镜像事务。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述非透明桥还用于当在所述预设时间内未从所述另一处理器接收到所述镜像完成报文时，向所述第一处理器发送镜像超时报文；所述控制器还用于根据所述镜像超时报文，确认所述镜像操作失败，结束所述镜像事务。

通过设计完整的镜像事务或镜像相关报文处理流程，无论镜像操作成功或失败均可以结束镜像事务，避免系统总线操作出错引起的宕机问题，增强了系统的鲁棒性。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述控制器具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述处理器的非透明桥，所述处理器的非透明桥通过所述系统总线，向所述另一处理器的非透明桥发送所述镜像报文，以使所述另一处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文，以及使得所述另一处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

通过非透明桥进行镜像报文以及镜像报文中的地址转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述控制器具体用于根据所述写请求，生成所述目标数据的写报文；根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述系统总线为 QPI 总线或 HT 总线。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间。

结合第三方面或其上述实现方式的任一种，在第三方面的另一种实现方式中，所述处理器将所述写请求中的目标数据通过所述系统总线，发送至所述另一处理器，以便所述另一处理器将所述目标数据写入所述第二内存地址空间。

第四方面，提供一种处理器，所述处理器位于与第一计算机连接的第二计算机中，所述第一计算机与所述第二计算机上分别运行着各自的操作系统，所述第一计算机包括另一处理器，所述另一处理器和所述处理器均包括系统总线接口，所述另一处理器的系统总线接口通过系统总线与所述处理器的系统总线接口相连，所述第二计算机的第二内存地址空间为所述第一计算

机的第一内存地址空间的镜像地址空间，所述处理器包括控制器、非透明桥和内部总线，所述非透明桥与所述处理器的系统总线接口相连，所述控制器和所述非透明桥通过所述内部总线相连，所述非透明桥用于通过所述系统总线，从所述另一处理器接收目标数据，所述目标数据为待写入所述另一处理器的内存中的数据，所述目标数据的写地址位于所述第一内存地址空间中；

5 将所述目标数据写入所述第二内存地址空间。

通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

10 结合第四方面，在第四方面的一种实现方式中，所述非透明桥具体用于通过所述系统总线，从所述另一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；将所述镜像报文转换成所述目标数据的写报文；通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

15 通过非透明桥完成报文类型或格式的转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第四方面或其上述实现方式的任一种，在第四方面的另一种实现方式中，所述非透明桥还用于从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；向所述另一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址。

20

结合第四方面或其上述实现方式的任一种，在第四方面的另一种实现方式中，所述非透明桥具体用于通过所述系统总线，从所述另一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址；将所述镜像报文转换成所述目标数据的写报文，并将所述写地址转换成所述写地址在所述第二内存地址空间中的镜像地址；通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

25

30 结合第四方面或其上述实现方式的任一种，在第四方面的另一种实现方式中，所述系统总线为 QPI 总线或 HT 总线。

第五方面，提供一种计算机，所述计算机和另一计算机连接，所述计算机与所述另一计算机上分别运行着各自的操作系统，所述计算机包括第一处理器，所述另一计算机包括第二处理器，所述第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连，所述计算机包括：接收模块，用于接收写请求，所述写请求包含待写的目标数据，以及所述目标数据的写地址；确定模块，用于确定所述写地址位于所述第一内存地址空间中；镜像模块，用于将所述写请求中的目标数据写入所述第一内存地址空间，并将所述写请求中的目标数据通过所述系统总线，发送至所述第二处理器。

通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第五方面，在第五方面的一种实现方式中，所述镜像模块具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述第一处理器的非透明桥；根据所述第一内存地址空间和所述第二内存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文；通过所述系统总线，向所述第二处理器的非透明桥发送所述更新后的镜像报文，以便所述第二处理器根据所述第二处理器的非透明桥收到的所述更新后的镜像报文将所述目标数据写入所述镜像地址。

通过非透明桥进行镜像报文中的地址转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述镜像模块还用于当所述第一处理器的非透明桥在预设时间内从所述第二处理器接收到所述镜像报文对应的镜像完成报文后，向所述第一处理器发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址；根据所述镜像完成报文，确认所述目标数据的镜像操作成功，结束所述镜像操作对应的镜像事务。

结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述镜像模块还用于当所述第一处理器的非透明桥在所述预设时间内未从所述第二处理器接收到所述镜像完成报文时，向所述第一处理器发送镜

像超时报文；根据所述镜像超时报文，确认所述镜像操作失败，结束所述镜像事务。

5 通过设计完整的镜像事务或镜像相关报文处理流程，无论镜像操作成功或失败均可以结束镜像事务，避免系统总线操作出错引起的宕机问题，增强了系统的鲁棒性。

10 结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述镜像模块还用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述第一处理器的非透明桥，所述第一处理器的非透明桥通过所述系统总线，向所述第二处理器的非透明桥发送所述镜像报文，以使所述第二处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文，以及使得所述第二处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

15 通过非透明桥进行镜像报文以及镜像报文中的地址转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述镜像模块具体用于根据所述写请求，生成所述目标数据的写报文；根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

20 结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述系统总线为 QPI 总线或 HT 总线。

结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述另一计算机的第二内存地址空间为所述计算机的第一内存地址空间的镜像地址空间。

25 结合第五方面或其上述实现方式的任一种，在第五方面的另一种实现方式中，所述镜像模块将所述写请求中的目标数据通过所述系统总线，发送至所述第二处理器，以便所述第二处理器将所述目标数据写入所述第二内存地址空间。

30 第六方面，提供一种计算机，所述计算机和另一计算机连接，所述另一计算机与所述计算机上分别运行着各自的操作系统，所述另一计算机包括第一处理器，所述计算机包括第二处理器，所述第一处理器和所述第二处理器

均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连，所述计算机的第二内存地址空间为所述另一计算机的第一内存地址空间的镜像地址空间，所述计算机包括：镜像模块，用于通过所述系统总线，从所述第一处理器接收目标数据，所述目标数据为待写入所述第一处理器的内存中的数据，所述目标数据的写地址位于所述第一内存地址空间中；写操作模块，用于将所述目标数据写入所述第二内存地址空间。

通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第六方面，在第六方面的一种实现方式中，所述镜像模块具体用于通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；所述写操作模块具体用于将所述镜像报文转换成所述目标数据的写报文；通过所述计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

通过非透明桥完成报文类型或格式的转换，能够简化处理器内部的实现，进一步降低了镜像操作的延时，提高了系统的 IOPS 性能。

结合第六方面或其上述实现方式的任一种，在第六方面的另一种实现方式中，所述镜像模块还用于从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；向所述第一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址。

结合第六方面或其上述实现方式的任一种，在第六方面的另一种实现方式中，所述镜像模块具体用于通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址；所述写操作模块具体用于将所述镜像报文转换成所述目标数据的写报文，并将所述写地址转换成所述写地址在所述第二内存地址空间中的镜像地址；通过所述计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

结合第六方面或其上述实现方式的任一种，在第六方面的另一种实现方式中，所述系统总线为 QPI 总线或 HT 总线。

在现有技术中，系统总线一般用来实现计算机内部各功能部件的连接，其属于计算机内部总线的一种，具有带宽高、延时低的特点，本发明实施例中，通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

附图说明

10 为了更清楚地说明本发明实施例的技术方案，下面将对本发明实施例中所需要使用的附图作简单地介绍，显而易见地，下面所描述的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是现有集群计算机系统的连接示意图。

15 图 2 是本发明实施例的计算机系统的连接示意图。

图 3 是本发明实施例的处理写请求的方法的示意性流程图。

图 4 是基于 QPI 技术的 CPU 的结构示意图。

图 5 是本发明实施例的数据镜像操作的示意性流程图。

图 6 是本发明实施例的数据镜像操作的示意性流程图。

20 图 7 是本发明实施例的处理写请求的方法的示意性流程图。

图 8 是本发明实施例的处理器的示意性结构图。

图 9 是本发明实施例的处理器的示意性结构图。

图 10 是本发明实施例的计算机的示意性结构图。

图 11 是本发明实施例的计算机的示意性结构图。

25

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明的一部分实施例，而不是全部实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例，都应属于本发明保护的范围。

30

计算机集群系统一般包括多个计算机，多个计算机之间按照一定的形式

相互连接在一起，各个计算机上独立地运行各自的操作系统，且各计算机之间可以彼此通信和数据交换。为了保证计算机集群系统中的数据存储的可靠性，计算机集群系统中的某个计算机（以下称为第一计算机）会将待写入内存的数据（下称目标数据）通过镜像操作镜像至另一个计算机（下称第二计算机）的内存中，相当于在第二计算机中备份了第一计算机的内存中的数据，当第一计算机由于某种原因宕机时，其内存中的数据在第二计算机仍有备份，不会造成内存数据的丢失，提高了数据存储的可靠性。

应理解，上文描述的第一计算机和/或第二计算机可以是包括处理器和内存，并独立运行着操作系统的设备或节点，本发明实施例将其命名为第一计算机和/或第二计算机仅仅是为了描述方便和相互区分，不应理解为对本发明实施例的限制。具体地，在不同的应用场景中，第一计算机和/或第二计算机可以对应不同的设备或节点，例如，在普通的集群计算机系统领域，比如通信或服务器领域，计算机可以是主机（host）；在存储设备领域，如双控或多控 SAN 领域，计算机可以是控制器。

还应理解，本文以集群系统中的计算机为例进行举例说明，实际中，只要是两个独立的计算机内部的处理器通过系统总线相连即可应用本发明实施例提供的处理写请求的方法。

现有技术中，计算机集群系统的计算机之间是通过 IO 总线相连，如 PCIe，以太网、Infiniband。如前文所述，计算机之间通过 IO 总线执行数据的镜像操作不但涉及多次 DMA 操作，而且涉及复杂的软件协议开销。例如，第一计算机需要从内存中提取目标数据，并将目标数据封装成符合 PCIe，以太网、Infiniband 等协议的报文发送至第二计算机，第二计算机需要对报文进行解封装，再将目标数据写入第二计算机的内存中，因此镜像操作的效率比较低。为了提高集群计算机系统之间的数据镜像操作的效率，本发明实施例利用系统总线将集群计算机系统中的一个或多个计算机的处理器直接相连，并可以在此基础上设计一套适合系统总线上完成的数据镜像操作流程，下面结合图 2 和图 3 进行详细描述。

图 2 是本发明实施例的计算机系统的连接示意图。在图 2 中，第一计算机和第二计算机可以为集群计算机系统中的一个计算机，这两个计算机分别独立地运行着各自的操作系统。两个计算机的处理器（图 2 中的第一处理器和第二处理器）均包括系统总线接口，处理器之间采用类似“松耦合”的方

式，通过系统总线连接在一起。此外，所述第二计算机的至少部分内存地址空间（下称第二内存地址空间）为所述第一计算机的至少部分内存地址空间（下称第一内存地址空间）的镜像地址空间。在图 2 所示的连接关系和配置的基础上，下面结合图 3，详细描述根据本发明实施例的集群计算机系统中的处理写请求的方法。

图 3 是本发明实施例的处理写请求的方法的示意性流程图。图 3 的方法可以由图 2 中的第一处理器执行，图 3 的方法包括：

310、第一处理器接收写请求，写请求包含待写的目标数据，以及目标数据的写地址。

10 320、第一处理器确定写地址位于第一内存地址空间中。

330、第一处理器根据写请求，将写请求中的目标数据写入第一内存地址空间，并将写请求中的目标数据通过系统总线，发送至第二处理器，以便（或指示）第二处理器将目标数据写入第二内存地址空间。

15 在一个实施例，第一处理器可以直接将目标数据写入第一内存地址空间；在另一个实施例中，第一处理器可以通过内存控制器将目标数据写入第一内存地址空间。

应理解，本发明实施例对第一处理器将目标数据写入第一内存地址空间与第一处理器通过系统总线向第二处理器发送目标数据的操作顺序不作具体限定，可以并行执行，也可以先后执行。

20 在现有技术中，系统总线一般用来实现计算机内部各功能部件的连接，其属于计算机内部总线的一种，具有带宽高、延时低的特点，本发明实施例中，通过系统总线将计算机集群系统中的分属于两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，
25 提高了系统的 IOPS 性能。具体而言，现有技术是通过 IO 设备在两个计算机之间发送镜像报文，因此需要先将镜像数据（对应于上文中的目标数据）从内存中取出，然后将该目标数据发给 IO 设备（以网卡为例），接着由网卡的软件驱动将该镜像数据封装成报文，发送至接收端，接收端收到报文之后，会对报文进行解封装，然后再将报文写入接收端的内存中，整个过
30 程需要多次内存读写操作，而且涉及复杂协议的封装和解封装。本发明实施例是由第一处理器直接通过系统总线发送至第二处理器，省去了从内存中读

数据的过程，此外，系统总线虽然也可以将目标数据封装在报文（如下文中描述的镜像报文）中发送，但系统总线属于内部总线的一种，其报文的封装形式也可以设计的比较简单，例如，可以通过改变写报文中的部分字段来区分数据的写报文和数据的镜像报文，无需像 IO 设备（如网卡）涉及复杂的协议和封装形式。

5 可选地，在一个实施例中，处理器可以包括一个或多个系统总线接口。

可选地，在一个实施例中，系统总线可以是支持缓存一致性（Cache Coherent, CC）的总线，例如，系统总线可以称为 CC 总线。在一个实施例中，系统总线可以是超级传输（Hyper Transport, HT）总线和快速通道互连（Quick Path Interconnect, QPI）总线中的一种。

可选地，在一个实施例中，图 3 所示的方法可以应用于存储设备领域。在存储设备领域，集群计算机系统可以为双控或多控系统，上述第一计算机和第二计算机中的任意计算机相当于存储设备领域的一个控制器。

上述第一内存地址空间可以是第一计算机的部分内存地址空间，上述第二内存地址空间可以是第二计算机的部分内存地址空间。在一个实施例中，第一内存地址空间也可以是第二内存地址空间的镜像地址空间，或者第一内存地址空间与第二内存地址空间可以互为镜像地址空间。

上述第一内存地址空间和第二内存地址空间可以是地址连续的空间（简称为连续的地址空间）；也可以是地址不连续的空间（简称非连续的地址空间）。在一个实施例中，第一内存地址空间和第二内存地址空间均为连续的地址空间，将第一内存地址空间和第二内存地址空间设置为连续的地址空间可以简化系统的硬件实现。在一个实施例中，第一内存地址空间和第二内存地址空间的空间大小可以相等。

20 可选地，在一个实施例中，第一内存地址空间和第二内存地址空间可以是内存中的可缓存（cacheable）空间，这样，第一内存地址空间和第二内存地址空间除了可以完成镜像操作，还可以解决多处理器之间的缓存一致性问题。

30 可选地，在一个实施例中，第二内存地址空间为所述第一内存地址空间的镜像地址空间可以表示：写入第一内存地址空间中的数据需要写入第二内存地址空间，或者，对第一内存地址空间的写操作均需要镜像至第二内存地址空间中。也就是说，同样的数据在第一内存地址空间和第二内存地址空间

都进行存储，这样能够保证集群计算机系统数据安全可靠。

可选地，在一个实施例中，第一内存地址空间和第二内存地址空间之间的镜像关系可以是预先配置。预先配置后，镜像关系可以设置为保持静态，或者设置为动态调整。例如，可以由处理器的固件负责镜像地址空间的初始化，然后由两个计算机的处理器通过系统总线互发通知报文，通知对方各自的镜像地址空间的位置和大小。或者，也可以由带外管理系统在系统初始化时配置，并将配置结果通知各计算机。在一个实施例中，第一内存地址空间和第二内存地址空间的镜像关系可以根据集群计算机系统的需要而（实时）配置或更新。在一个实施例中，镜像地址空间配置的成功与否会影响计算机之间能否执行镜像操作，但不影响计算机的正常启动和运行。

可选地，作为一个实施例，步骤 330 可包括：第一处理器根据写请求，生成目标数据的写报文；第一处理器根据写报文，将目标数据写入第一内存地址空间的写地址中。此处的报文也可称为消息（message）。

为了实现两个计算机系统之间的基于系统总线的镜像功能，可以参考 PCIe 的非透明桥的理念，在两个系统之间设置非透明桥，将两个系统的地址域隔开，通过该非透明桥可以完成内存地址的转换（将一个系统的内存地址转换成另一个系统中的与该内存地址对应的镜像地址），以及其他镜像相关操作，下面结合具体的实施例对非透明桥的具体形式进行详细描述。

非透明桥可以通过硬件实现，也可以通过软件实现。例如，非透明桥可以通过电路实现，此时，可以将该非透明桥称为非透明桥电路。非透明桥采用硬件实现能够进一步提高镜像操作的效率以及系统整体的 IOPS。具体来说，现有技术是通过 IO 设备（例如网卡）发送镜像报文，这些 IO 设备通过各自的软件驱动来处理镜像报文，与纯硬件的方式相比，软件对镜像报文的处理效率明显较低，延时较大。可以将非透明桥设置为专门处理镜像操作的硬件，例如，非透明桥专门对镜像报文进行地址和/或报文类型的转换，纯硬件的实现方式可以进一步提升镜像操作的效率。

又如，非透明桥可以通过代码实现，此时，可以将该非透明桥称为非透明桥逻辑模块。将非透明桥设置成专门处理镜像操作的硬件，可以降低处理器的负担，下面以非透明桥为硬件为例，对非透明桥的位置以及非透明桥与处理器内部其他部件之间的连接关系进行举例说明。

处理器一般包括控制器和运算器，控制器一般负责处理器内部的逻辑控

制和整体调度，运算器进行数据相关的整数或浮点运算。为了更好地支持镜像相关操作，可以在处理器的系统总线接口处设置非透明桥，该非透明桥可以通过处理器的内部总线与处理器内部的控制器相连。应理解，不同类型的处理器中的控制器和内部总线的名称或类型可以不同，参见图 4，以基于 QPI 技术的处理器为例，其内部的控制器可以指其内部的缓存代理 (Cache Agent, CA)、家乡引擎 (Home Agent, HA) 等，该处理器内部的器件通过环形总线 (Ring Bus) 相连。具体而言，CA 是 CPU 内部的位于缓存端的事务处理引擎，HA 是 CPU 内部的位于内存控制器端的事务处理引擎，与 DDR 相连，CPU 内部的事务处理引擎之间通过环形总线相连，报文 (message) 可以按照一定规则，通过环形总线在各个引擎之间传递，在各个引擎的相互配合下完成某个事务，如读事务、写事务等。例如，在 CPU 接收到写请求之后，CA 可以负责向 HA 发送用于请求向内存写入数据的数据回写报文 (WbData)，请求将写请求中的数据写入内存中，并接收 HA 返回的响应报文 (WbCMP)，指示数据的写操作完成。继续参见图 4，非透明桥 (图 4 中的 NTB) 可以设置在系统总线接口处，一端与系统总线接口相连，另一端连接在 CPU 的内部总线上，这样，处理器内部的控制器，如 CA，可以通过内部总线与非透明桥进行消息或数据的交互。

在引入非透明桥的基础上，为了配合目标数据的镜像操作，可以引入镜像事务，并配置镜像事务相关的报文。进一步地，可以通过 NTB 实现内存地址的转换，报文格式转换，镜像事务正常结束和非正常结束的判断，中断上报等。下面分别进行详细说明。

镜像事务相关的报文可以分为带数据 payload (或称净荷，对应于上文中的目标数据) 的报文和不带数据 payload 的报文。例如，带数据 payload 的报文可以称为镜像报文，该镜像报文可用于将待写入第一计算机的内存地址空间的数据 payload 镜像至第二计算机的内存地址空间。进一步地，可以在镜像报文中携带镜像事务的事务号、数据 payload 的写地址 (该地址后续会通过非透明桥进行转换，详见下文)、以及数据 payload。

具体地，镜像报文中的镜像操作事务号可以用 8 位二进制数表示，镜像报文中的地址可以根据处理器具体实现来确定，例如：X86 中为 46 位~48 位二进制数。例如，镜像操作事务号可以为 0X01，表示编号为 01 的镜像事务。镜像地址可以为 0X001234。

不带数据 payload 的报文，例如可以包括镜像完成报文、镜像超时报文等，此类报文可用于完善镜像操作的逻辑，例如，镜像完成报文可用于指示镜像操作已完成，镜像超时报文可用于指示镜像操作由于超时而失败。也可以在此类报文中携带镜像操作相关的地址以及镜像事务号等。

5 接下来以基于 QPI 技术的处理器为例，详细介绍非透明桥的地址转换功能和报文转换功能。

首先，假设第一处理器的内存地址空间{0X04_0000, 0X04_FFFF}与第二处理器的内存地址空间{0X0A_0000, 0A_FFFF}互为镜像（镜像关系可以预先配置），镜像事务相关流程示例如下。

10 步骤 1：第一处理器中某个 CA 需要将某数据写入某个内存地址（如 0X04_1234）中。该 CA 可以根据系统配置，发现该内存地址属于已与其他系统配对的镜像地址空间{0X04_0000, 0X04_FFFF}中的地址，于是，该 CA 不但发出针对第一处理器的写报文，而且发出针对镜像空间的镜像报文，写报文可以按照正常的写操作执行，镜像报文可以发送给非透明桥，由第一处
15 理器的非透明桥处理。应理解，本发明实施例对 CA 发出写报文的操作和发出镜像报文的操作的时序不作具体限定，例如，CA 可以并行执行上述操作，也可以先后执行上述操作。

步骤 2：第一处理器的非透明桥收到镜像报文之后，根据上述内存地址空间的镜像关系，可以将 0X04_1234 地址修改为 0X0A_1234，对镜像报文
20 进行更新，然后将更新后的镜像报文发送给系统总线接口（此处可以是 QPI 端口）。

步骤 3：第一处理器的系统总线接口将更新后的镜像报文发送到第二处理器的系统总线接口；

25 步骤 4：第二处理器的系统总线接口将该镜像报文发给第二处理器的非透明桥；

步骤 5：第二处理器的非透明桥将该镜像报文转换成写报文，通过第二处理器的内部总线将该写报文发送至内存控制器，完成相应的内存写入操作；

30 步骤 6：第二处理器的内存控制器在完成内存写入操作后，返回镜像写完成报文给第二处理器的非透明桥；

步骤 7：第二处理器的非透明桥根据内存地址空间的镜像关系，将镜像

写完成报文中地址字段 0X0A_1234 修改为 0X04_1234, 发送给第二处理器的系统总线接口;

步骤 8: 第二处理器的系统总线接口将镜像完成报文发送到第一处理器的系统总线接口;

5 步骤 9: 第一处理器的系统总线接口将镜像完成报文发给第一处理器的非透明桥;

步骤 10: 第一处理器的非透明桥通过第一处理器的内部总线将镜像完成报文发送给镜像报文的发起者, 即步骤一中的 CA;

10 步骤 11: 该 CA 收到镜像完成报文, 判断一个镜像操作成功完成, 结束该事务, 释放相应资源。

此外, 第一处理器的非透明桥可以设置一个定时器, 当在定时器超时前仍未收到上述镜像完成报文, 可以向 CA 发送镜像超时报文, 指示镜像操作失败。

15 从上述流程可以看出, NTB 的功能可以包括内存地址的转换, 报文或报文格式的转换、镜像事务非正常结束的判断、中断上报等。

在引入上述镜像报文、非透明桥的基础上, 可选地, 作为一个实施例, 上述步骤 340 可包括: 第一处理器根据写请求, 生成镜像报文, 镜像报文包含目标数据和写地址, 镜像报文用于将目标数据写入写地址在第二内存地址空间中的镜像地址; 第一处理器将镜像报文发送至第一处理器的非透明桥; 20 第一处理器的非透明桥根据第一内存地址空间和第二内存地址空间之间的镜像关系, 将镜像报文中的写地址转换成镜像地址, 得到更新后的镜像报文; 第一处理器的非透明桥通过系统总线, 向第二处理器发送更新后的镜像报文, 以便第二处理器根据更新后的镜像报文将目标数据写入镜像地址。

25 在一个实施例中, 目标数据可以通过写报文写入第一内存地址空间中, 目标数据可以通过镜像报文写入第二内存地址空间中, 写报文和镜像报文的报文格式可以不同, 第一处理器可以根据它们的格式, 执行对应的事务操作。例如, 第一处理器对目标数据的写报文执行写操作, 将目标数据写入内存中; 第一处理器对镜像报文执行镜像操作, 通过系统总线和第二处理器, 将镜像报文中的目标数据镜像至第二内存地址空间中。

30 应理解, 不同类型的处理器生成的写报文的格式、名称可以不同, 以支持 QPI 技术的英特尔处理器为例, 其生成的写报文可称为数据回写报文, 即

WbData 报文。当系统总线为 QPI 总线时，上述写报文可以是 WbData 报文，为了与第一写报文进行区分，镜像报文可称为 WbMir 报文，二者可以采用不同的报文格式。

5 可选地，作为一个实施例，图 3 的方法还可包括：当第一处理器的非透明桥在预设时间内从第二处理器接收到镜像报文对应的镜像完成报文后，第一处理器的非透明桥向第一处理器发送镜像完成报文，镜像完成报文用于指示目标数据已写入镜像地址；第一处理器根据镜像完成报文，确认目标数据的镜像操作成功，结束镜像操作对应的镜像事务。

10 可选地，作为一个实施例，图 3 的方法还可包括：当第一处理器的非透明桥在预设时间内未从第二处理器接收到镜像完成报文时，第一处理器的非透明桥向第一处理器发送镜像超时报文；第一处理器根据镜像超时报文，确认镜像操作失败，结束镜像事务。超时判断的方式可以有多种，例如，在向第二处理器发送更新后的镜像报文时，第一处理器的非透明桥可以设置一个定时器，如果在该定时器超时后，仍未收到镜像完成报文，则判断镜像操作
15 超时。

本发明实施例在第一处理器中添加了关于系统总线上执行镜像操作的完整逻辑，该逻辑使得无论镜像操作成功与失败，均会结束此处镜像操作，能够避免系统总线上的镜像操作失败而导致的系统宕机。在此基础上，能够进一步支持计算机内部的处理器们的系统总线接口的暴力热插拔，如系统总线
20 接口的热添加或热移除（surprise plug/surprise removal）。具体而言，在现有技术中，单机系统内的多个处理器之间也会通过某种系统总线相连，如现有技术中的支持缓存一致性的非均匀内存访问（Non Uniform Memory Access Architecture, NUMA）系统，每个处理器可以访问本地的内存，也可以通过系统总线访问非本地的内存，也就是说，多个处理器的内存是可以共享的。
25 但这样的多处理器系统的内存中共同运行单一的操作系统，本质上仍是由单机系统，并非集群计算机系统，多个处理器之间通过系统总线的操作本质上仍看成是单机系统内部的操作。单机系统的系统总线操作均是由硬件完成的，一旦某个处理器的系统总线操作出现错误（如出现系统总线接口的暴力热插拔），就会是硬件错误，硬件错误会导致单机系统宕机。为了避免系统
30 总线上的操作出错导致系统宕机，在第一处理器中添加了关于系统总线上执行镜像操作的完整逻辑，该逻辑使得无论镜像操作成功与失败，均会结束此

处镜像操作，不会因为系统总线操作未完成或出现错误而导致系统宕机。

下面结合图 5 和图 6，以处理器为支持 QPI 技术的处理器，系统总线为 QPI 总线为例（具体结构参见图 4），详细描述集群计算机系统中的通过系统总线相连的计算机之间的数据镜像操作过程。应理解，本发明实施例对图 5 和图 6 的步骤执行的时序不作限定，图 5 和图 6 中的各个步骤可以按照与图 5 和图 6 呈现的不同的顺序来执行，并且有可能并非要执行图 5 和图 6 中的全部操作。图 5 和图 6 中描述的镜像操作的过程的触发条件可以是第一计算机的 CA 发现其接收到的写请求的写地址位于第一计算机的内存的镜像地址空间（对应于上文中的第一内存地址空间），其中，镜像地址空间可以是预先配置的。

S502、第一 CPU 的 CA 生成数据回写报文（WbData），并将该写报文发送至第一 CPU 的 HA。写报文包括待写入内存的目标数据。

S504、第一 CPU 的 CA 生成镜像报文（WbMir），并将该镜像报文发送至第一 CPU 的非透明桥。镜像报文包括待写入内存的目标数据。

具体地，数据回写报文和镜像报文的格式可以不同，以便处理器根据报文格式确定接下来不同格式的报文对应的操作类型。例如，对数据回写报文执行写操作，对镜像报文执行镜像操作。步骤 S502 和步骤 S504 可以同时执行，或者任意一个先执行。

S506、第一 CPU 的 HA 收到数据回写报文之后，将目标数据写入第一计算机的内存 DDR 中，并向 CA 返回数据回写完成报文。

S508、第一 CPU 的非透明桥收到镜像报文之后，将此镜像报文发送至第二 CPU 的非透明桥。

非透明桥可以位于 CPU 的系统总线接口处，非透明桥之间的传输可以通过 CPU 之间的 QPI 接口以及 QPI 总线完成的。

S510、第二 CPU 的非透明桥收到镜像报文之后，将该镜像报文转换成数据回写报文，发送至第二 CPU 内部的 HA。该数据回写报文包括目标数据。

S512、第二 CPU 的 HA 收到数据回写报文之后，将目标数据写入第二计算机的内存 DDR 中，并向第二 CPU 的非透明桥返回数据回写完成报文。

应理解，第二计算机中，写入目标数据的内存地址空间与第一计算机的第一内存地址空间互为镜像地址空间。

S514、第二 CPU 的非透明桥在将收到的数据回写完成后，发送数据回

写完成报文至第一 CPU 的非透明桥。

具体地,可以通过非透明桥模块之间 QPI 总线完成上述数据回写完成报文的传递。

5 S516、第一 CPU 的非透明桥将收到的数据回写完成报文转换成镜像完成报文 (MirCMP), 发送至第一 CPU 的 CA。

S518、第一 CPU 的 CA 收到 S506 中的数据回写完成报文以及 S516 中的镜像完成报文之后, 确认目标数据已经分别写入第一计算机和第二计算机的互为镜像的内存地址空间, 结束镜像事务。

10 第一 CPU 的 CA 可以通知上层应用镜像事务完成, 或通知上层应用镜像操作成功。

本发明实施例将计算机的处理器通过 QPI 总线相连, 基于 QPI 总线设计了一套镜像操作流程, 由于 QPI 总线属于系统总线, 具有延迟低、带宽高的特点, 能够提高数据镜像操作的效率。

15 实际中, 镜像操作并不一定总是能成功结束, 可能会由于系统总线接口出现故障, 或者暴力热插拔 (热添加或热移除) CPU 或者两个主机间的总线线缆, 引起镜像操作失败。为了保证镜像操作相关事务的成功与否不影响整个系统的其他事务的处理, 本发明实施例提出一种镜像操作非正常结束的处理方式, 具体参见图 6。

20 图 6 中的 S602、S604、S608、S610、S612 分别与图 5 中的 S502、S504、S508、S510、S512 类似, 此处不再赘述。

S616、如果在定时器超时后, 第一 CPU 的非透明桥未收到第二 CPU 的非透明桥发送的数据回写完成报文, 则向第一 CPU 的 CA 发送镜像超时报文。

25 具体地, 第一 CPU 的非透明桥可以在执行 S608 时设置定时器, 定时时长可以根据实验或经验设定。

S618、第一 CPU 的 CA 收到镜像超时报文之后, 确认镜像操作失败 (TranFial), 结束此次镜像操作。

该 CA 可以将上述镜像操作失败的结果上报给操作系统, 由操作系统记录镜像操作失败相关的日志。

30 上文中结合图 2-图 6, 从第一处理器的角度详细描述了根据本发明实施例的集群计算机系统中的处理写请求的方法, 下面将结合图 7, 从第二处理

器的角度描述根据本发明实施例的集群计算机系统中的处理写请求的方法。应理解，第二处理器描述的第一处理器与第二处理器的交互及相关特性、功能等与第一处理器侧的描述相应，为了简洁，适当省略重复的描述。

图 7 是本发明实施例的处理写请求的方法的示意性流程图。图 7 的方法可以由图 2 中的第二处理器执行，图 7 的方法包括：

710、第二处理器通过系统总线，从第一处理器接收目标数据，目标数据为待写入第一计算机的内存中的数据，目标数据的写地址位于第一内存地址空间中。

720、第二处理器将目标数据写入第二内存地址空间。

10 在一个实施例，第二处理器可以直接将目标数据写入第一内存地址空间；在另一个实施例中，第二处理器可以通过内存控制器将目标数据写入第一内存地址空间。

本发明实施例中，通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

20 可选地，作为一个实施例，步骤 710 可包括：第二处理器的非透明桥通过系统总线，从第一处理器接收镜像报文，镜像报文包含目标数据以及所述写地址在第二内存地址空间中的镜像地址；第二处理器将目标数据写入第二内存地址空间，包括：第二处理器的非透明桥将镜像报文转换成目标数据的写报文；第二处理器的非透明桥通过第二计算机的内存控制器将写报文写入第二内存地址空间的镜像地址中。

25 可选地，作为一个实施例，图 7 的方法还可包括：第二处理器的非透明桥从内存控制器接收写报文对应的写完成报文，写完成报文包括镜像地址；第二处理器的非透明桥根据第一内存地址空间和第二内存地址空间的映射关系，将镜像地址转换为写地址；第二处理器的非透明桥向第一处理器发送镜像报文对应的镜像完成报文，镜像完成报文包括写地址，镜像完成报文用于指示目标数据已写入镜像地址。

可选地，作为一个实施例，系统总线为 QPI 总线或 HT 总线。

30 应理解，在上文中的某些实施例中，第一处理器的非透明桥负责将镜像报文中的写地址转换成镜像地址（该镜像地址为该写地址在第二内存地址空

间中的对应地址), 第二处理器的非透明桥负责将镜像报文转换成第二处理器能够识别的写报文, 但本发明实施例并不限于此, 实际中, 可以由第二处理器的非透明桥既负责地址的转换工作, 也负责报文的转换工作。同理, 在上文的某些实施例中, 第二处理器的非透明桥负责将写完成报文中的镜像地址转换成写地址, 第一处理器的非透明桥负责将写完成报文转换成镜像完成
5 报文, 但本发明实施例也不限于此, 实际中, 可以由第一处理器的非透明桥既负责地址转换工作, 也负责报文的转换工作。

还应理解, 处理器中的非透明桥可以负责镜像相关的操作, 如报文的转换、报文中的地址的转换, 其余操作或功能(如生成写报文和镜像报文的操
10 作、数据的写操作、将镜像报文发送至非透明桥的操作等)均可由处理器本体执行, 例如处理器中的控制器或控制逻辑执行, 以支持 QPI 技术的 CPU 为例, 这里所说的处理器的本体可以 CPU 中的 CA、HA 等处理引擎。

上文中结合图 2 至图 7, 详细描述了根据本发明实施例的集群计算机系统
15 中的处理写请求的方法, 下面将结合图 8 至图 11, 详细描述根据本发明实施例的处理器和计算机。

图 8 是本发明实施例的处理器的示意性结构图。图 8 的处理器 800 能够实现图 1 至图 7 中的由第一处理器执行的各个步骤, 为避免重复, 此处不再详述。处理器 800 位于第一计算机中, 所述第一计算机和第二计算机连接, 所述
20 第一计算机与所述第二计算机上分别运行着各自的操作系统, 所述第二计算机包括另一处理器, 所述处理器 800 包括系统总线接口 810, 所述处理器 800 的系统总线接口通过系统总线与所述另一处理器的系统总线接口相连, 所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间, 所述处理器 800 还包括控制器 820 和内部总线 830, 所述控制器 820 通过所述内部总线 830 与
25 所述处理器 800 的系统总线接口 810 相连,

所述控制器 820 用于接收写请求, 所述写请求包含待写的目标数据, 以及所述目标数据的写地址; 确定所述写地址位于所述第一内存地址空间中; 将所述写请求中的目标数据写入所述第一内存地址空间, 并将所述写请求中的目标数据通过所述系统总线, 发送至所述另一处理器, 以便所述另一处理器
30 将所述目标数据写入所述第二内存地址空间。

本发明实施例中, 通过系统总线将两个不同计算机的处理器连接在一

起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

5 可选地，作为一个实施例，所述处理器 800 还可包括非透明桥 840，所述非透明桥 840 与所述系统总线接口 810 相连，所述非透明桥 840 通过所述内部总线 830 与所述控制器 820 相连，所述控制器 820 具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址，所述镜像报文用于将所述目标数据写入所述写地址在所述第二内存地址空间中的镜像地址；将所述镜像报文发送至所述非透明桥；所述非透明桥 840 用于
10 根据所述第一内存地址空间和所述第二内存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述镜像地址，得到更新后的镜像报文；通过所述系统总线，向所述另一处理器的非透明桥发送所述更新后的镜像报文，以便所述另一处理器根据所述另一处理器的非透明桥收到的所述更新后的镜像报文将所述目标数据写入所述镜像地址。

15 可选地，作为一个实施例，所述非透明桥 840 还用于当在预设时间内从所述另一处理器接收到所述镜像报文对应的镜像完成报文后，向所述控制器 820 发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址；所述控制器 820 还用于根据所述镜像完成报文，确认所述目标数据的镜像操作成功，结束所述镜像操作对应的镜像事务。

20 可选地，作为一个实施例，所述非透明桥 840 还用于当在所述预设时间内未从所述另一处理器接收到所述镜像完成报文时，向所述控制器 820 发送镜像超时报文；所述控制器 820 还用于根据所述镜像超时报文，确认所述镜像操作失败，结束所述镜像事务。

25 可选地，作为一个实施例，所述控制器 820 具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述处理器的非透明桥，所述处理器的非透明桥通过所述系统总线，向所述另一处理器的非透明桥发送所述镜像报文，以使所述另一处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文，以及使得所述另一处理器
30 根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

可选地，作为一个实施例，所述控制器具体用于根据所述写请求，生成

所述目标数据的写报文；根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

可选地，作为一个实施例，所述系统总线为 QPI 总线或 HT 总线。

图 9 是本发明实施例的处理器 900 的示意性结构图。图 9 的处理器 900 能够实现图 1 至图 7 中由第二处理器执行的各个步骤，为避免重复，此处不再详述。处理器 900 位于与第一计算机连接的第二计算机中，所述第一计算机与
5 所述第二计算机上分别运行着各自的操作系统，所述第一计算机包括另一处理器，所述处理器 900 包括系统总线接口 910，所述另一处理器的系统总线接口通过系统总线与所述处理器的系统总线接口相连，所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间，所述
10 处理器 900 包括控制器 920、内部总线 930 和非透明桥 940，所述非透明桥 930 与所述处理器 900 的系统总线接口 910 相连，所述控制器 920 和所述非透明桥 940 通过所述内部总线 930 相连，

所述非透明桥 940 用于通过所述系统总线，从所述另一处理器接收目标
15 数据，所述目标数据为待写入所述另一处理器的内存中的数据，所述目标数据的写地址位于所述第一内存地址空间中；将所述目标数据写入所述第二内存地址空间。

本发明实施例中，通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行
20 多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

可选地，作为一个实施例，所述非透明桥 940 具体用于通过所述系统总线，从所述另一处理器接收镜像报文，所述镜像报文包含所述目标数据以及
25 所述写地址在所述第二内存地址空间中的镜像地址；将所述镜像报文转换成所述目标数据的写报文；通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

可选地，作为一个实施例，所述非透明桥 940 还用于从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；根据
30 所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；向所述另一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所

述目标数据已写入所述镜像地址。

可选地，作为一个实施例，所述系统总线为 QPI 总线或 HT 总线。

图 10 是本发明实施例的计算机的示意性结构图。图 10 的计算机 1000 与图 1 至图 7 中的第一计算机对应，能够执行由第一处理器执行的各个步骤，5 为避免重复，此处不再详述。所述计算机 1000 和另一计算机连接，所述计算机 1000 与另一计算机上分别运行着各自的操作系统，所述计算机 1000 包括第一处理器，所述另一计算机包括第二处理器，所述第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与第二处理器的系统总线接口相连，所述另一计算机的第二内
10 存地址空间为所述计算机的第一内存地址空间的镜像地址空间，

所述计算机 1000 包括：

接收模块 1010，用于接收写请求，所述写请求包含待写的目标数据，以及所述目标数据的写地址；

确定模块 1020，用于确定所述写地址位于所述第一内存地址空间中；

15 镜像模块 1030，用于将所述写请求中的目标数据写入所述第一内存地址空间，并将所述写请求中的目标数据通过所述系统总线，发送至第二处理器，以便第二处理器将所述目标数据写入第二内存地址空间。

本发明实施例中，通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行
20 多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

可选地，作为一个实施例，所述镜像模块 1030 具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址，所述镜像
25 报文用于将所述目标数据写入所述写地址在第二内存地址空间中的镜像地址；将所述镜像报文发送至第一处理器的非透明桥；根据第一内存地址空间和第二内存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述镜像地址，得到更新后的镜像报文；通过所述系统总线，向第二处理器的非透明桥发送所述更新后的镜像报文，以便第二处理器根据第二处理器的非透明桥收到的所述更新后的镜像报文将
30 所述目标数据写入所述镜像地址。

可选地，作为一个实施例，所述镜像模块 1030 还用于当所述第一处理

器的非透明桥在预设时间内从所述第二处理器接收到所述镜像报文对应的镜像完成报文后，向所述第一处理器发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址；根据所述镜像完成报文，确认所述目标数据的镜像操作成功，结束所述镜像操作对应的镜像事务。

5 可选地，作为一个实施例，所述镜像模块 1030 还用于当所述第一处理器的非透明桥在所述预设时间内未从所述第二处理器接收到所述镜像完成报文时，向所述第一处理器发送镜像超时报文；根据所述镜像超时报文，确认所述镜像操作失败，结束所述镜像事务。

10 可选地，作为一个实施例，所述镜像模块 1030 还用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述第一处理器的非透明桥，所述第一处理器的非透明桥通过所述系统总线，向所述第二处理器的非透明桥发送所述镜像报文，以使所述第二处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文，以及使得所述第
15 二处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

可选地，作为一个实施例，所述镜像模块 1030 具体用于根据所述写请求，生成所述目标数据的写报文；根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

可选地，作为一个实施例，所述系统总线为 QPI 总线或 HT 总线。

20 图 11 是本发明实施例的计算机的示意性框图。图 11 的计算机 1100 对应于图 1 至图 7 中的第二计算机，能够实现第二计算机中的第二处理器执行的各个步骤，为避免重复，此处不再详述。所述计算机 1100 和另一计算机连接，所述另一计算机与所述计算机 1100 上分别运行着各自的操作系统，所述另一计算机包括第一处理器，所述计算机 1100 包括第二处理器，所述
25 第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连，所述计算机 1100 的第二内存地址空间为所述另一计算机的第一内存地址空间的镜像地址空间，

所述计算机 1100 包括：

30 镜像模块 1110，用于通过所述系统总线，从所述第一处理器接收目标数据，所述目标数据为待写入所述第一处理器的内存中的数据，所述目标数据

的写地址位于所述第一内存地址空间中；

写操作模块 1120，用于将所述目标数据写入所述第二内存地址空间。

5 本发明实施例中，通过系统总线将两个不同计算机的处理器连接在一起，利用系统总线实现待写入的数据的镜像操作，无需像现有技术那样执行多次 DMA 操作，也无需复杂的协议转换，降低了镜像操作的延时，提高了系统的 IOPS 性能。

10 可选地，作为一个实施例，所述镜像模块 1110 具体用于通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；所述写操作模块具体用于将所述镜像报文转换成所述目标数据的写报文；通过所述计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

15 可选地，作为一个实施例，所述镜像模块 1110 还用于从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；向所述第一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址。

可选地，作为一个实施例，所述系统总线为 QPI 总线或 HT 总线。

20 本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的具体应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本发明的范围。

25 所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统、装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

30 在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间

的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

5 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本发明各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

10 所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，15 或者网络设备等）执行本发明各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（ROM, Read-Only Memory）、随机存取存储器（RAM, Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

20 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应所述以权利要求的保护范围为准。

权利要求

1、一种处理写请求的方法，应用于第一计算机中，其特征在于，所述
第一计算机和第二计算机连接，所述第一计算机与所述第二计算机上分别运
行着各自的操作系统，所述第一计算机包括第一处理器，所述第二计算机包
5 括第二处理器，所述第一处理器和所述第二处理器均包括系统总线接口，所
述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线
接口相连，所述第二计算机的第二内存地址空间为所述第一计算机的第一内
存地址空间的镜像地址空间，

所述方法包括：

10 所述第一处理器接收写请求，所述写请求包含待写的目标数据，以及所
述目标数据的写地址；

所述第一处理器确定所述写地址位于所述第一内存地址空间中；

所述第一处理器将所述写请求中的目标数据写入所述第一内存地址空
间，并将所述写请求中的目标数据通过所述系统总线，发送至所述第二处理
15 器，以便所述第二处理器将所述目标数据写入所述第二内存地址空间。

2、如权利要求 1 所述的方法，其特征在于，所述第一处理器将所述写
请求中的目标数据通过所述系统总线，发送至所述第二处理器，包括：

所述第一处理器根据所述写请求，生成镜像报文，所述镜像报文包含所
述目标数据和所述写地址；

20 所述第一处理器将所述镜像报文发送至所述第一处理器的非透明桥；

所述第一处理器的非透明桥根据所述第一内存地址空间和所述第二内
存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述写地址
在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文；

所述第一处理器的非透明桥通过所述系统总线，向所述第二处理器的非
透明桥发送所述更新后的镜像报文，以便所述第二处理器根据所述第二处理
25 器的非透明桥收到的所述更新后的镜像报文将所述目标数据写入所述镜像
地址。

3、如权利要求 2 所述的方法，其特征在于，所述方法还包括：

当所述第一处理器的非透明桥在预设时间内从所述第二处理器接收到
30 所述镜像报文对应的镜像完成报文后，所述第一处理器的非透明桥向所述第
一处理器发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据

已写入所述镜像地址;

所述第一处理器根据所述镜像完成报文, 确认所述目标数据的镜像操作成功, 结束所述镜像操作对应的镜像事务。

4、如权利要求 3 所述的方法, 其特征不在于, 所述方法还包括:

5 当所述第一处理器的非透明桥在所述预设时间内未从所述第二处理器接收到所述镜像完成报文时, 所述第一处理器的非透明桥向所述第一处理器发送镜像超时报文;

所述第一处理器根据所述镜像超时报文, 确认所述镜像操作失败, 结束所述镜像事务。

10 5、如权利要求 1 所述的方法, 其特征不在于, 所述第一处理器将所述写请求中的目标数据通过所述系统总线, 发送至所述第二处理器, 包括:

所述第一处理器根据所述写请求, 生成镜像报文, 所述镜像报文包含所述目标数据和所述写地址;

15 所述第一处理器将所述镜像报文发送至所述第一处理器的非透明桥, 所述非透明桥通过所述系统总线, 向所述第二处理器的非透明桥发送所述镜像报文, 以使所述第二处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址, 得到更新后的镜像报文, 以及使得所述第二处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

20 6、如权利要求 1-5 中任一项所述的方法, 其特征不在于, 所述第一处理器将所述写请求中的目标数据写入所述第一内存地址空间, 包括:

所述第一处理器根据所述写请求, 生成所述目标数据的写报文;

所述第一处理器根据所述写报文, 将所述目标数据写入所述第一内存地址空间的所述写地址中。

25 7、如权利要求 1-6 中任一项所述的方法, 其特征不在于, 所述系统总线为快速通道互连 QPI 总线或超级传输 HT 总线。

30 8、一种处理写请求的方法, 所述方法应用于与第一计算机连接的第二计算机, 其特征不在于, 所述第一计算机与所述第二计算机上分别运行着各自的操作系统, 所述第一计算机包括第一处理器, 所述第二计算机包括第二处理器, 所述第一处理器和所述第二处理器均包括系统总线接口, 所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连,

所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间，

所述方法包括：

所述第二处理器通过所述系统总线，从所述第一处理器接收目标数据，
5 所述目标数据为待写入所述第一处理器的内存中的数据，所述目标数据的写地址位于所述第一内存地址空间中；

所述第二处理器将所述目标数据写入所述第二内存地址空间。

9、如权利要求 8 所述的方法，其特征在于，所述第二处理器通过所述系统总线，从所述第一处理器接收目标数据，包括：

10 所述第二处理器的非透明桥通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；

所述第二处理器将所述目标数据写入所述第二内存地址空间，包括：

15 所述第二处理器的非透明桥将所述镜像报文转换成所述目标数据的写报文；

所述第二处理器的非透明桥通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

10、如权利要求 9 所述的方法，其特征在于，所述方法还包括：

20 所述第二处理器的非透明桥从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；

所述第二处理器的非透明桥根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；

25 所述第二处理器的非透明桥向所述第一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址。

11、如权利要求 8 所述的方法，其特征在于，所述第二处理器通过所述系统总线，从所述第一处理器接收目标数据，包括：

所述第二处理器的非透明桥通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址；

30 所述第二处理器将所述目标数据写入所述第二内存地址空间，包括：

所述第二处理器的非透明桥将所述镜像报文转换成所述目标数据的写

报文，并将所述写地址转换成所述写地址在所述第二内存地址空间中的镜像地址；

所述第二处理器的非透明桥通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

5 12、如权利要求 8-11 中任一项所述的方法，其特征在于，所述系统总线为快速通道互连 QPI 总线或超级传输 HT 总线。

13、一种处理器，其特征在于，所述处理器位于第一计算机，所述第一计算机与第二计算机连接，所述第一计算机与所述第二计算机上分别运行着各自的操作系统，所述第二计算机包括另一处理器，所述处理器和所述另一处理器均包括系统总线接口，所述处理器的系统总线接口通过系统总线与所述另一处理器的系统总线接口相连，所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间，所述处理器还包括控制器和内部总线，所述控制器通过所述内部总线与所述处理器的系统总线接口相连，

15 所述控制器用于接收写请求，所述写请求包含待写的目标数据，以及所述目标数据的写地址；确定所述写地址位于所述第一内存地址空间中；将所述写请求中的目标数据写入所述第一内存地址空间，并将所述写请求中的目标数据通过所述系统总线，发送至所述另一处理器，以便所述另一处理器将所述目标数据写入所述第二内存地址空间。

20 14、如权利要求 13 所述的处理器，其特征在于，所述处理器还包括非透明桥，所述非透明桥与所述系统总线接口相连，所述非透明桥通过所述内部总线与所述控制器相连，

所述控制器具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；

25 所述非透明桥用于根据所述第一内存地址空间和所述第二内存地址空间之间的镜像关系，将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文；通过所述系统总线，向所述另一处理器的非透明桥发送所述更新后的镜像报文，以便所述另一处理器根据所述另一处理器的非透明桥收到的所述更新后的镜像报文将所述
30 目标数据写入所述镜像地址。

15、如权利要求 14 所述的处理器，其特征在于，所述非透明桥还用于

当在预设时间内从所述另一处理器接收到所述镜像报文对应的镜像完成报文后，向所述控制器发送所述镜像完成报文，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址；

所述控制器还用于根据所述镜像完成报文，确认所述目标数据的镜像操作成功，结束所述镜像操作对应的镜像事务。

16、如权利要求 15 所述的处理器，其特征在于，所述非透明桥还用于当在所述预设时间内未从所述另一处理器接收到所述镜像完成报文时，向所述控制器发送镜像超时报文；

所述控制器还用于根据所述镜像超时报文，确认所述镜像操作失败，结束所述镜像事务。

17、如权利要求 13 所述的处理器，其特征在于，所述控制器具体用于根据所述写请求，生成镜像报文，所述镜像报文包含所述目标数据和所述写地址；将所述镜像报文发送至所述处理器的非透明桥，所述处理器的非透明桥通过所述系统总线，向所述另一处理器的非透明桥发送所述镜像报文，以使所述另一处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址，得到更新后的镜像报文，以及使得所述另一处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

18、如权利要求 13-17 中任一项所述的处理器，其特征在于，所述控制器具体用于根据所述写请求，生成所述目标数据的写报文；根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

19、如权利要求 13-18 中任一项所述的处理器，其特征在于，所述系统总线为快速通道互连 QPI 总线或超级传输 HT 总线。

20、一种处理器，其特征在于，所述处理器位于与第一计算机连接的第二计算机中，所述第一计算机与所述第二计算机上分别运行着各自的操作系统，所述第一计算机包括另一处理器，所述另一处理器和所述处理器均包括系统总线接口，所述另一处理器的系统总线接口通过系统总线与所述处理器的系统总线接口相连，所述第二计算机的第二内存地址空间为所述第一计算机的第一内存地址空间的镜像地址空间，所述处理器包括控制器、非透明桥和内部总线，所述非透明桥与所述处理器的系统总线接口相连，所述控制器和所述非透明桥通过所述内部总线相连，

所述非透明桥用于通过所述系统总线，从所述另一处理器接收目标数据，所述目标数据为待写入所述另一处理器的内存中的数据，所述目标数据的写地址位于所述第一内存地址空间中；将所述目标数据写入所述第二内存地址空间。

5 21、如权利要求 20 所述的处理器，其特征在于，所述非透明桥具体用于通过所述系统总线，从所述另一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；将所述镜像报文转换成所述目标数据的写报文；通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

10 22、如权利要求 21 所述的处理器，其特征在于，所述非透明桥还用于从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括所述镜像地址；根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；向所述另一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完
15 成报文用于指示所述目标数据已写入所述镜像地址。

23、如权利要求 20 所述的处理器，其特征在于，所述非透明桥具体用于通过所述系统总线，从所述另一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址；将所述镜像报文转换成所述目标数据的写
20 报文，并将所述写地址转换成所述写地址在所述第二内存地址空间中的镜像地址；通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

24、如权利要求 20-23 中任一项所述的处理器，其特征在于，所述系统总线为快速通道互连 QPI 总线或超级传输 HT 总线。

25 25、一种计算机，其特征在于，所述计算机与另一计算机连接，所述计算机与另一计算机上分别运行着各自的操作系统，所述计算机包括第一处理器，所述另一计算机包括第二处理器，所述第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所述第二处理器的系统总线接口相连，所述另一计算机的第二内存地址空间为所述计算机的第一内存地址空间的镜像地址空间，

30 所述计算机包括：

接收模块，用于接收写请求，所述写请求包含待写的目标数据，以及所

述目标数据的写地址;

确定模块, 用于确定所述写地址位于所述第一内存地址空间中;

5 镜像模块, 用于将所述写请求中的目标数据写入所述第一内存地址空间, 并将所述写请求中的目标数据通过所述系统总线, 发送至所述第二处理器, 以便所述第二处理器将所述目标数据写入所述第二内存地址空间。

26、如权利要求 25 所述的计算机, 其特征在于, 所述镜像模块具体用于根据所述写请求, 生成镜像报文, 所述镜像报文包含所述目标数据和所述写地址; 将所述镜像报文发送至所述第一处理器的非透明桥; 根据所述第一内存地址空间和所述第二内存地址空间之间的镜像关系, 将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址, 得到更新后的镜像报文; 通过所述系统总线, 向所述第二处理器的非透明桥发送所述更新后的镜像报文, 以便所述第二处理器根据所述第二处理器的非透明桥收到的所述更新后的镜像报文将所述目标数据写入所述镜像地址。

15 27、如权利要求 26 所述的计算机, 其特征在于, 所述镜像模块还用于当所述第一处理器的非透明桥在预设时间内从所述第二处理器接收到所述镜像报文对应的镜像完成报文后, 向所述第一处理器发送所述镜像完成报文, 所述镜像完成报文用于指示所述目标数据已写入所述镜像地址; 根据所述镜像完成报文, 确认所述目标数据的镜像操作成功, 结束所述镜像操作对应的镜像事务。

20 28、如权利要求 27 所述的计算机, 其特征在于, 所述镜像模块还用于当所述第一处理器的非透明桥在所述预设时间内未从所述第二处理器接收到所述镜像完成报文时, 向所述第一处理器发送镜像超时报文; 根据所述镜像超时报文, 确认所述镜像操作失败, 结束所述镜像事务。

25 29、如权利要求 25 所述的计算机, 其特征在于, 所述镜像模块还用于根据所述写请求, 生成镜像报文, 所述镜像报文包含所述目标数据和所述写地址; 将所述镜像报文发送至所述第一处理器的非透明桥, 所述第一处理器的非透明桥通过所述系统总线, 向所述第二处理器的非透明桥发送所述镜像报文, 以使所述第二处理器的非透明桥将所述镜像报文中的写地址转换成所述写地址在所述第二内存地址空间中的镜像地址, 得到更新后的镜像报文, 30 以及使得所述第二处理器根据所述更新后的镜像报文将所述目标数据写入所述镜像地址。

30、如权利要求 25-29 中任一项所述的计算机，其特征在于，所述镜像模块具体用于根据所述写请求，生成所述目标数据的写报文；根据所述写报文，将所述目标数据写入所述第一内存地址空间的所述写地址中。

31、如权利要求 25-30 中任一项所述的计算机，其特征在于，所述系统
5 总线为快速通道互连 QPI 总线或超级传输 HT 总线。

32、一种计算机，其特征在于，所述计算机和另一计算机连接，所述另一计算机与所述计算机上分别运行着各自的操作系统，所述另一计算机包括第一处理器，所述计算机包括第二处理器，所述第一处理器和所述第二处理器均包括系统总线接口，所述第一处理器的系统总线接口通过系统总线与所
10 述第二处理器的系统总线接口相连，所述计算机的第二内存地址空间为所述另一计算机的第一内存地址空间的镜像地址空间，

所述计算机包括：

镜像模块，用于通过所述系统总线，从所述第一处理器接收目标数据，所述目标数据为待写入所述第一处理器的内存中的数据，所述目标数据的写
15 地址位于所述第一内存地址空间中；

写操作模块，用于将所述目标数据写入所述第二内存地址空间。

33、如权利要求 32 所述的计算机，其特征在于，所述镜像模块具体用于通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含所述目标数据以及所述写地址在所述第二内存地址空间中的镜像地址；所述
20 写操作模块具体用于将所述镜像报文转换成所述目标数据的写报文；通过所述计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

34、如权利要求 33 所述的计算机，其特征在于，所述镜像模块还用于从所述内存控制器接收所述写报文对应的写完成报文，所述写完成报文包括
25 所述镜像地址；根据所述第一内存地址空间和所述第二内存地址空间的映射关系，将所述镜像地址转换为所述写地址；向所述第一处理器发送所述镜像报文对应的镜像完成报文，所述镜像完成报文包括所述写地址，所述镜像完成报文用于指示所述目标数据已写入所述镜像地址。

35、如权利要求 32 所述的计算机，其特征在于，所述镜像模块具体用于通过所述系统总线，从所述第一处理器接收镜像报文，所述镜像报文包含
30 所述目标数据以及所述写地址；所述写操作模块具体用于将所述镜像报文转

换成所述目标数据的写报文，并将所述写地址转换成所述写地址在所述第二内存地址空间中的镜像地址；通过所述第二计算机的内存控制器将所述写报文写入所述第二内存地址空间的所述镜像地址中。

36、如权利要求 32-35 中任一项所述的计算机，其特征在于，所述系统
5 总线为快速通道互连 QPI 总线或超级传输 HT 总线。

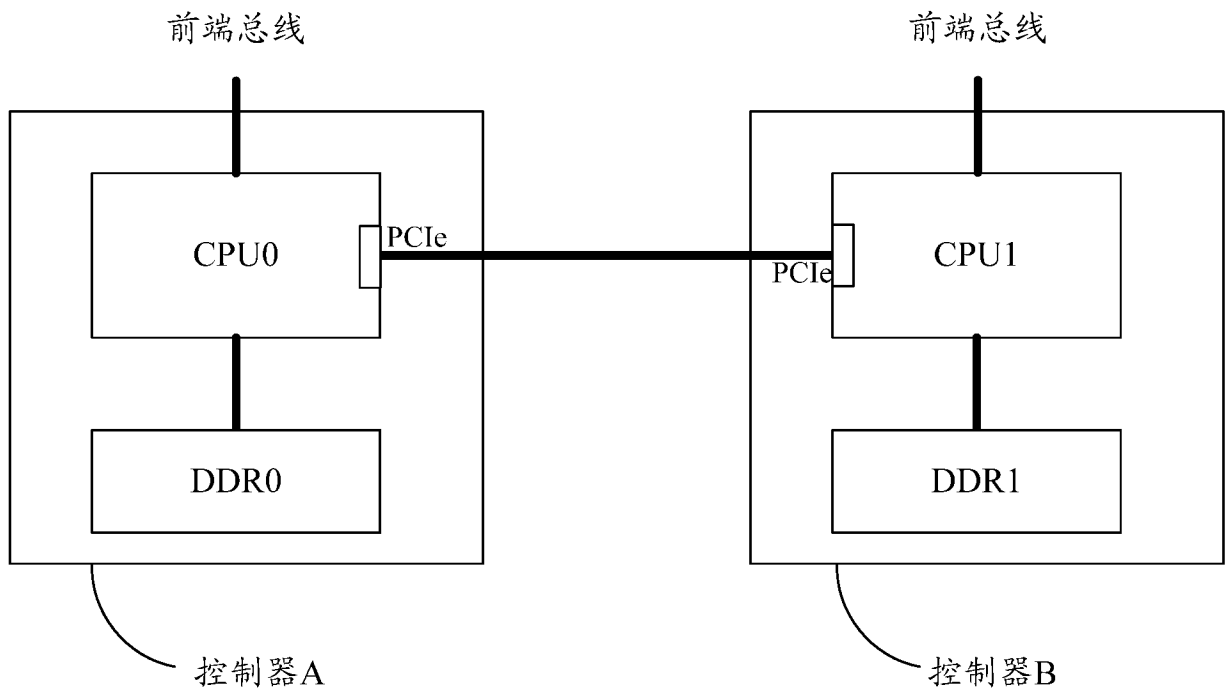


图 1

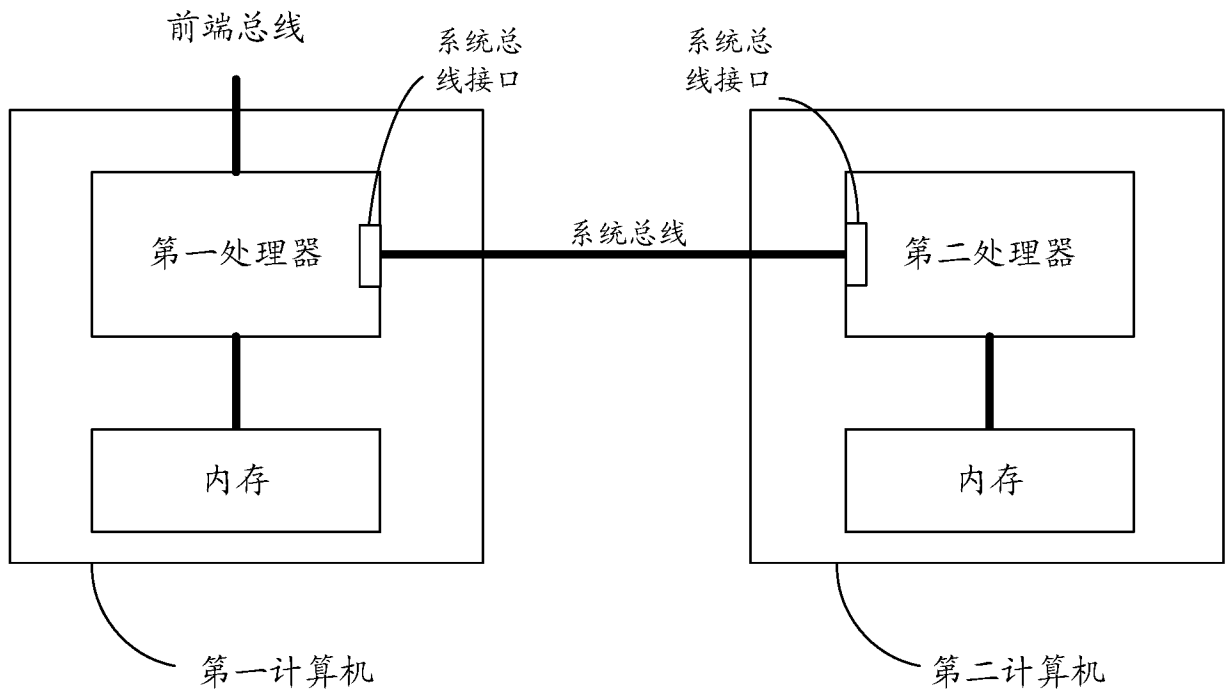


图 2

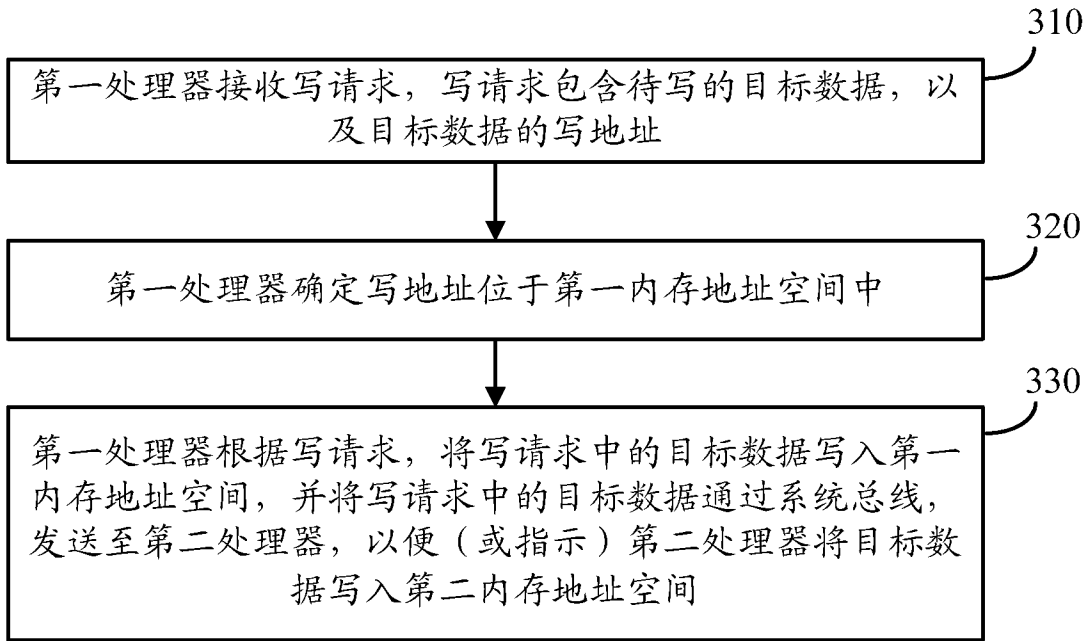


图 3

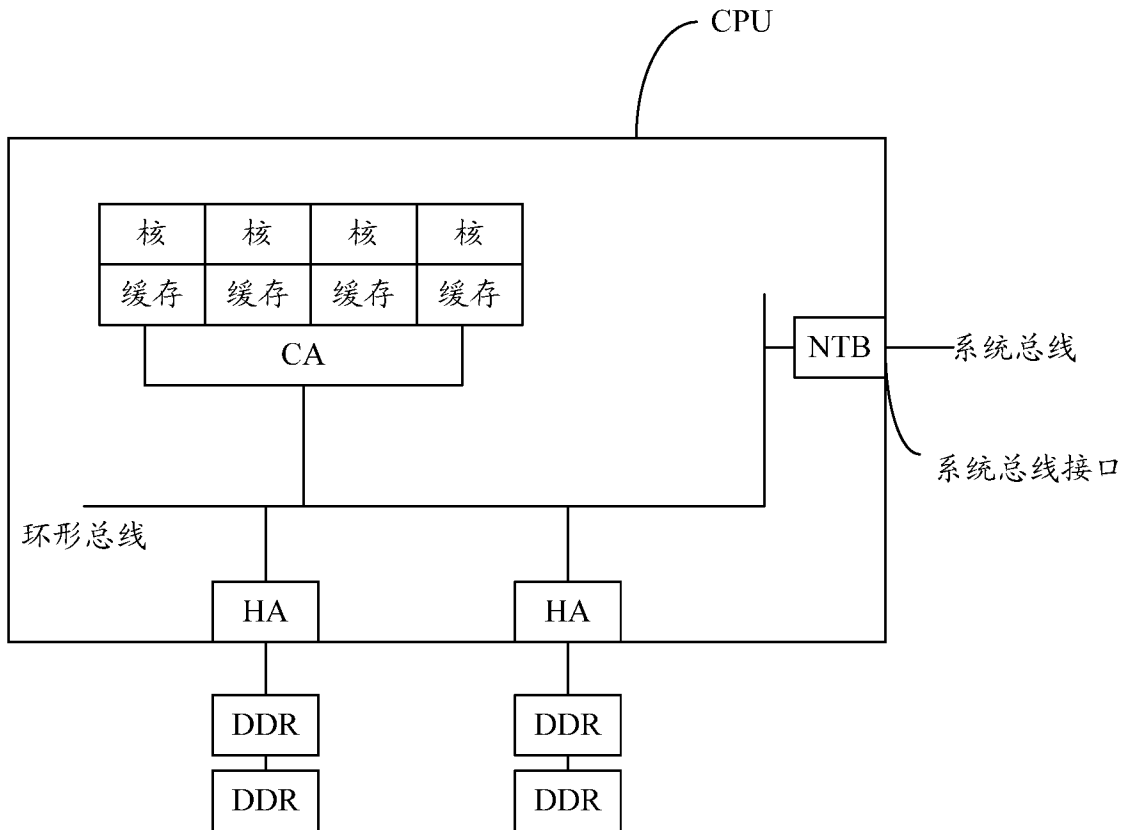


图 4

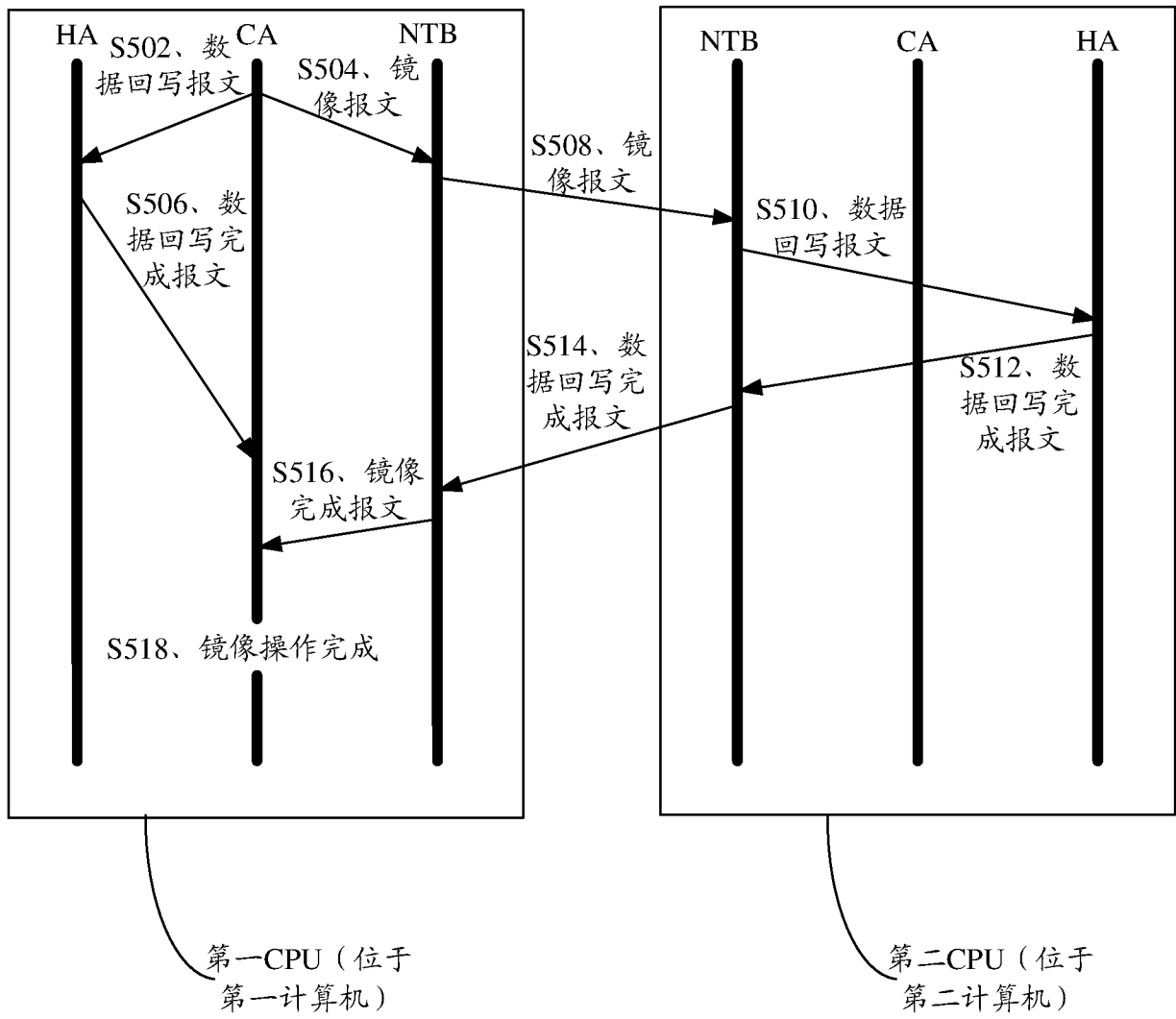


图 5

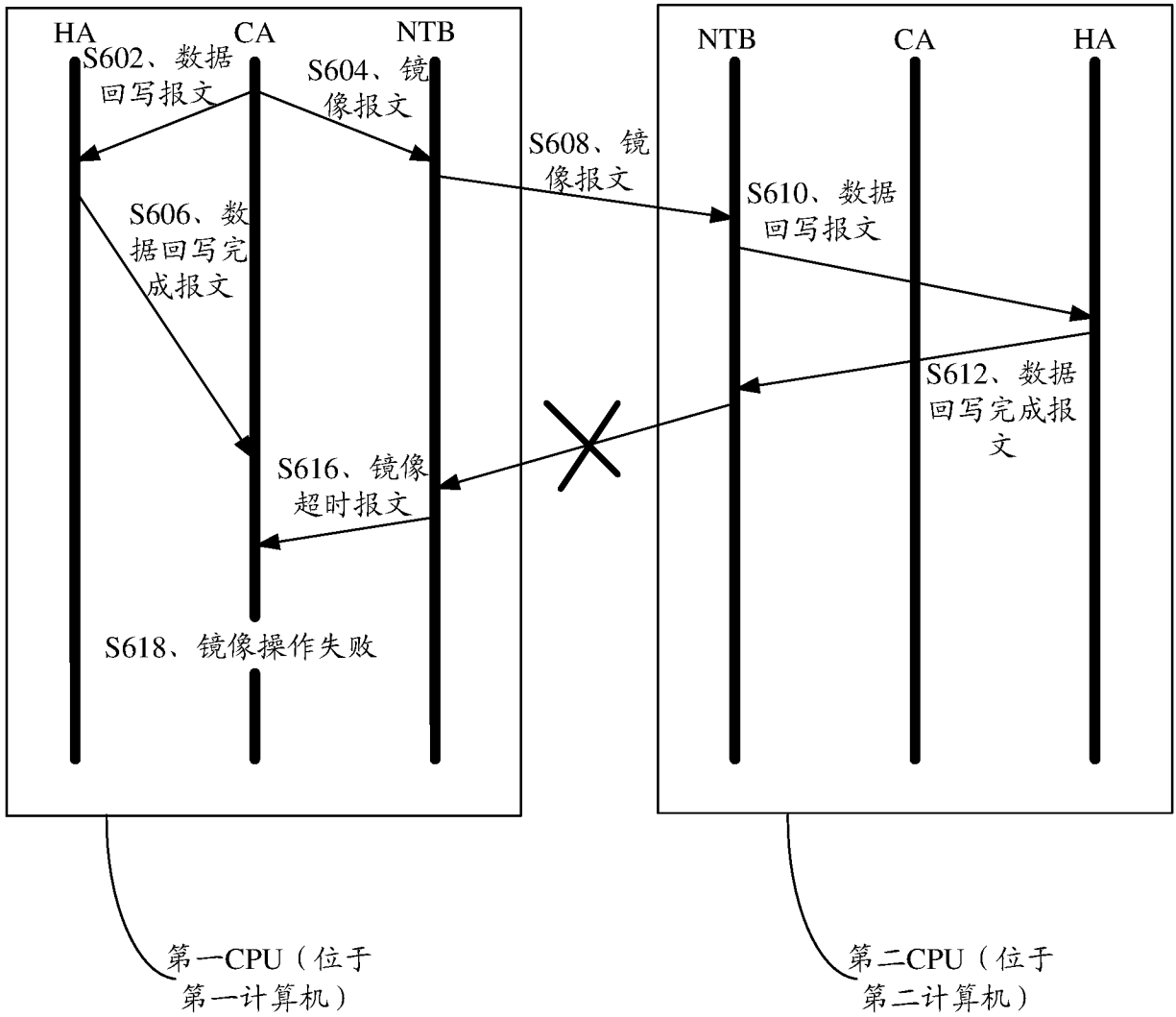


图 6

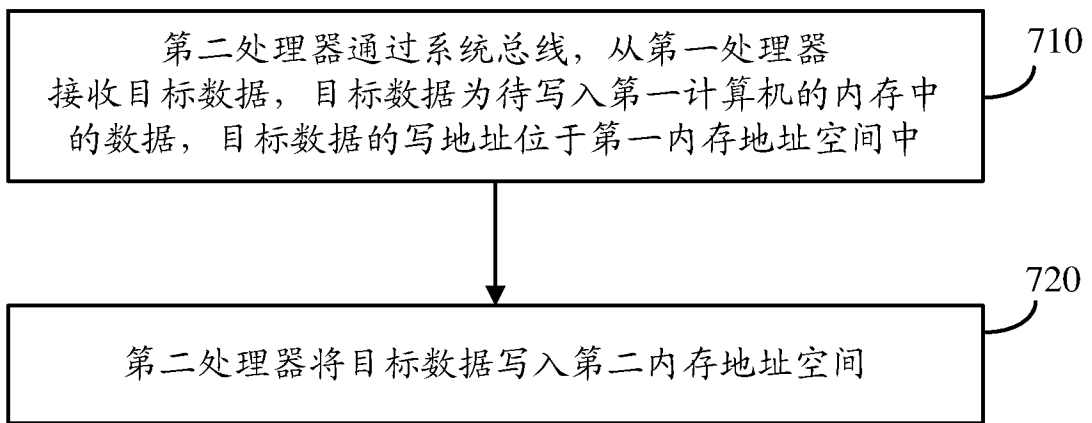


图 7

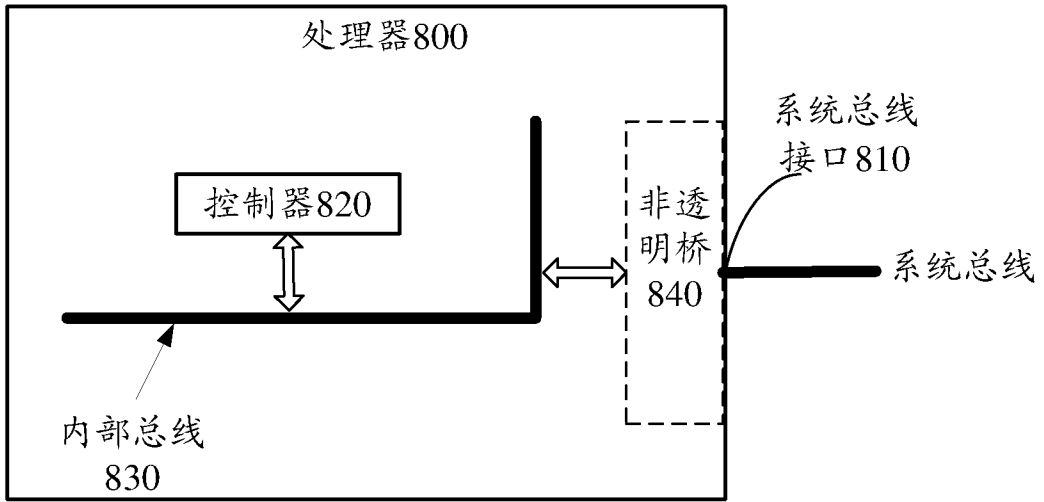


图 8

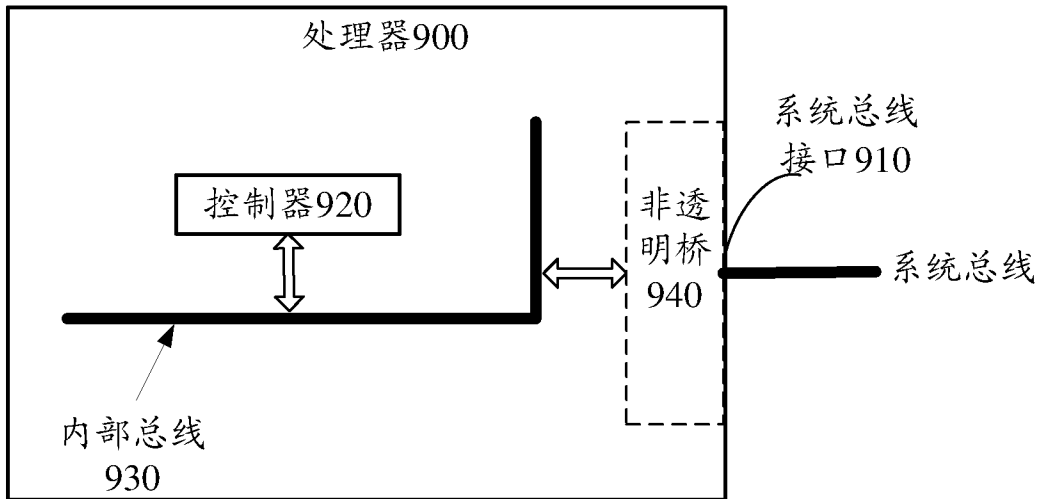


图 9

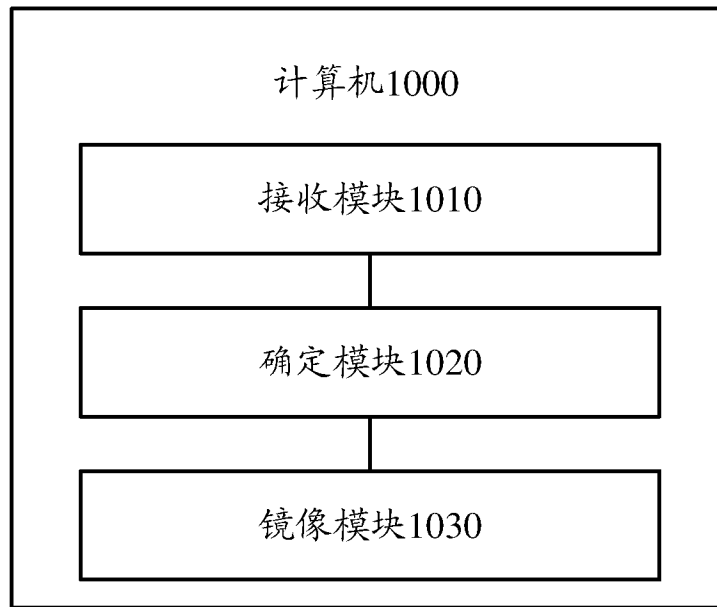


图 10



图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/097742

A. CLASSIFICATION OF SUBJECT MATTER

G06F 12/1045 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F; H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: system, bus, mirror image, cluster, quick path interconnection, hypertransport, QPI, HT, NTB, non 1w transparent w bridge, system w bus, backup, mirror+, redundant, group, distribut+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102081561 A (INTEL CORPORATION), 01 June 2011 (01.06.2011), description, paragraphs [0017]-[0026], claim 1, and figures 2A and 3	1, 6-8, 12-13, 18-20, 24-25, 30-32, 36
A	CN 104572508 A (SHANDONG CHAOYUE NUMERICAL CONTROL ELECTRONIC CO., LTD.), 29 April 2015 (29.04.2015), the whole document	1-36
A	US 2011238909 A1 (KUMAR, P. et al.), 29 September 2011 (29.09.2011), the whole document	1-36
A	US 2015160984 A1 (FUJITSU LIMITED), 11 June 2015 (11.06.2015), the whole document	1-36

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Date of the actual completion of the international search
04 August 2016 (04.08.2016)

Date of mailing of the international search report
31 August 2016 (31.08.2016)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
WANG, Chaoying
Telephone No.: (86-10) **62413252**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/097742

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102081561 A	01 June 2011	US 2011131373 A1 WO 2011066033 A2	02 June 2011 03 June 2011
CN 104572508 A	29 April 2015	None	
US 2011238909 A1	29 September 2011	CN 102209103 A	05 October 2011
US 2015160984 A1	11 June 2015	WO 2014027416 A1 JP 5930046 B	20 February 2014 08 June 2016

<p>A. 主题的分类</p> <p>G06F 12/1045 (2016.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																													
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G06F; H04L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNKI, CNPAT, WPI, EPODOC: 系统, 总线, 备份, 非透明桥, 镜像, 集群, 分布, 冗余, 快速通路互联, 超级传输, QPI, HT, NTB, non lw transparent w bridge, system w bus, backup, mirror+, redundant, group, distribut+</p>																													
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102081561 A (英特尔公司) 2011年 6月 1日 (2011 - 06 - 01)</td> <td>1, 6-8, 12-13, 18-20, 24-25, 30-32, 36</td> </tr> <tr> <td></td> <td>说明书第[0017]-[0026]段, 权利要求1, 图2A、3</td> <td></td> </tr> <tr> <td>A</td> <td>CN 104572508 A (山东超越数控电子有限公司) 2015年 4月 29日 (2015 - 04 - 29)</td> <td>1-36</td> </tr> <tr> <td></td> <td>全文</td> <td></td> </tr> <tr> <td>A</td> <td>US 2011238909 A1 (KUMAR PANKAJ等) 2011年 9月 29日 (2011 - 09 - 29)</td> <td>1-36</td> </tr> <tr> <td></td> <td>全文</td> <td></td> </tr> <tr> <td>A</td> <td>US 2015160984 A1 (FUJITSU LIMITED) 2015年 6月 11日 (2015 - 06 - 11)</td> <td>1-36</td> </tr> <tr> <td></td> <td>全文</td> <td></td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 102081561 A (英特尔公司) 2011年 6月 1日 (2011 - 06 - 01)	1, 6-8, 12-13, 18-20, 24-25, 30-32, 36		说明书第[0017]-[0026]段, 权利要求1, 图2A、3		A	CN 104572508 A (山东超越数控电子有限公司) 2015年 4月 29日 (2015 - 04 - 29)	1-36		全文		A	US 2011238909 A1 (KUMAR PANKAJ等) 2011年 9月 29日 (2011 - 09 - 29)	1-36		全文		A	US 2015160984 A1 (FUJITSU LIMITED) 2015年 6月 11日 (2015 - 06 - 11)	1-36		全文	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																											
X	CN 102081561 A (英特尔公司) 2011年 6月 1日 (2011 - 06 - 01)	1, 6-8, 12-13, 18-20, 24-25, 30-32, 36																											
	说明书第[0017]-[0026]段, 权利要求1, 图2A、3																												
A	CN 104572508 A (山东超越数控电子有限公司) 2015年 4月 29日 (2015 - 04 - 29)	1-36																											
	全文																												
A	US 2011238909 A1 (KUMAR PANKAJ等) 2011年 9月 29日 (2011 - 09 - 29)	1-36																											
	全文																												
A	US 2015160984 A1 (FUJITSU LIMITED) 2015年 6月 11日 (2015 - 06 - 11)	1-36																											
	全文																												
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																													
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																													
<p>国际检索实际完成的日期</p> <p>2016年 8月 4日</p>		<p>国际检索报告邮寄日期</p> <p>2016年 8月 31日</p>																											
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN)</p> <p>中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10) 62019451</p>		<p>受权官员</p> <p>王朝英</p> <p>电话号码 (86-10) 62413252</p>																											

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/097742

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102081561	A	2011年 6月 1日	US	2011131373	A1	2011年 6月 2日
				WO	2011066033	A2	2011年 6月 3日
CN	104572508	A	2015年 4月 29日	无			
US	2011238909	A1	2011年 9月 29日	CN	102209103	A	2011年 10月 5日
US	2015160984	A1	2015年 6月 11日	WO	2014027416	A1	2014年 2月 20日
				JP	5930046	B	2016年 6月 8日