

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月8日(08.06.2023)



(10) 国際公開番号

WO 2023/100285 A1

(51) 国際特許分類:

G06F 7/14 (2006.01) H03F 3/45 (2006.01)
H03F 3/20 (2006.01) H03F 3/60 (2006.01)

(21) 国際出願番号: PCT/JP2021/044064

(22) 国際出願日: 2021年12月1日(01.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:和田 平(WADA, Osamu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 中溝 英之(NAKAMIZO,

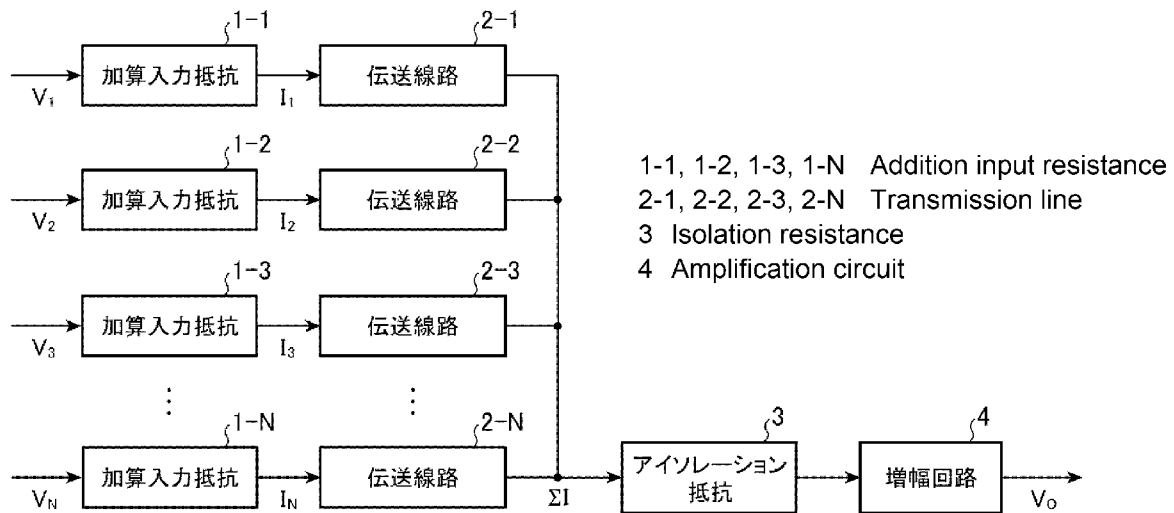
Hideyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人山王内外特許事務所 (SANNO PATENT ATTORNEYS OFFICE); 〒1000014 東京都千代田区永田町二丁目1番2号 赤坂山王センタービル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ADDITION CIRCUIT

(54) 発明の名称: 加算回路



(57) Abstract: This addition circuit comprises: a plurality of addition input resistances (1-1) to (1-N) that each receive at one end a signal to be added; a plurality of transmission lines (2-1) to (2-N) that are connected at one end to the other ends of the addition input resistances (1-n) (n=1, ..., N), respectively; an isolation resistance (3) that is connected at one end to all of the other ends of the plurality of transmission lines (2-1) to (2-N); and an amplification circuit (4) that amplifies the power of the signal output from the other end of the isolation resistance (3).

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 加算対象の信号が一端に与えられる複数の加算入力抵抗 $(1-1) \sim (1-N)$ と、それぞれの加算入力抵抗 $(1-n)$ ($n = 1, \dots, N$) の他端と一端が接続されている複数の伝送線路 $(2-1) \sim (2-N)$ と、複数の伝送線路 $(2-1) \sim (2-N)$ の他端の全てと一端が接続されているアイソレーション抵抗 (3) と、アイソレーション抵抗 (3) の他端から出力された信号の電力を増幅する増幅回路 (4) とを備えるように、加算回路を構成した。

明 細 書

発明の名称： 加算回路

技術分野

[0001] 本開示は、加算回路に関するものである。

背景技術

[0002] N個の加算対象の信号を加算する加算回路がある（特許文献1を参照）。
Nは、2以上の整数である。

当該加算回路は、N個の加算入力抵抗と、オペアンプとを備えている。それぞれの加算入力抵抗の一端には、加算対象の信号が与えられる。それぞれの加算入力抵抗の他端は、オペアンプの反転入力端子と接続されている。オペアンプの非反転入力端子は、グランドと接続されている。

先行技術文献

特許文献

[0003] 特許文献1：特開昭61-195470号公報

発明の概要

発明が解決しようとする課題

[0004] 加算入力抵抗とオペアンプの反転入力端子とを結ぶ線路の寄生容量は、当該線路の長さが長くなるほど大きくなる。

特許文献1に開示されている加算回路では、N個の加算入力抵抗の全てがオペアンプの近くに配置できるとは限らない。加算対象の信号の数が多いほど、加算入力抵抗の数も多くなり、その結果、加算入力抵抗をオペアンプの近くに配置しにくくなるために、寄生容量の大きな加算入力抵抗の数が増える。加算回路が、寄生容量の大きな加算入力抵抗を有することで、加算回路における通過利得の周波数特性の平坦性が劣化してしまうことがあるという課題があった。

[0005] 本開示は、上記のような課題を解決するためになされたもので、複数の加算入力抵抗である第1の抵抗の全てを増幅回路の近くに配置できるか否かに

かかわらず、通過利得の周波数特性の平坦性の劣化を防止することができる加算回路を得ることを目的とする。

課題を解決するための手段

[0006] 本開示に係る加算回路は、加算対象の信号が一端に与えられる複数の第1の抵抗と、それぞれの第1の抵抗の他端と一端が接続されている複数の伝送線路と、複数の伝送線路の他端の全てと一端が接続されている第2の抵抗と、第2の抵抗の他端から出力された信号の電力を増幅する増幅回路とを備えたものである。

発明の効果

[0007] 本開示によれば、複数の加算入力抵抗である第1の抵抗の全てを増幅回路の近くに配置できるか否かにかかわらず、通過利得の周波数特性の平坦性の劣化を防止することができる。

図面の簡単な説明

[0008] [図1]実施の形態1に係る加算回路を示す構成図である。
[図2]実施の形態1に係る加算回路の増幅回路4を示す構成図である。
[図3]実施の形態1に係る加算回路における通過利得の周波数特性の一例を示す説明図である。
[図4]実施の形態2に係る加算回路の増幅回路4を示す構成図である。

発明を実施するための形態

[0009] 以下、本開示をより詳細に説明するために、本開示を実施するための形態について、添付の図面に従って説明する。

[0010] 実施の形態1.

図1は、実施の形態1に係る加算回路を示す構成図である。

図2は、実施の形態1に係る加算回路の増幅回路4を示す構成図である。

図1に示す加算回路は、加算入力抵抗（第1の抵抗） $1-1 \sim 1-N$ 、伝送線路 $2-1 \sim 2-N$ 、アイソレーション抵抗（第2の抵抗）3及び増幅回路4を備えている。

増幅回路 4 は、オペアンプ 1 1、帰還抵抗 1 2 及びコンデンサ 1 3 を備えている。

[0011] 加算入力抵抗 $1 - n$ ($n = 1, \dots, N$) は、例えば、チップ抵抗、又は、金属皮膜抵抗によって実現される。 N は、2 以上の整数である。

加算入力抵抗 $1 - n$ の一端には、加算対象の信号が与えられる。加算対象の信号の電圧は、 V_n である。

加算入力抵抗 $1 - n$ の他端は、伝送線路 $2 - n$ の一端と接続されている。

加算入力抵抗 $1 - n$ は、加算対象の信号の電圧 V_n を降下させ、電圧降下後の信号を伝送線路 $2 - n$ に出力する。

図 1 に示す加算回路では、加算入力抵抗 $1 - n$ が、チップ抵抗、又は、金属皮膜抵抗によって実現されている。加算入力抵抗 $1 - n$ は、加算対象の信号の電圧 V_n を降下させることができればよく、例えば、トランジスタのような能動素子によって実現されていてもよい。

また、加算入力抵抗 $1 - n$ は、抵抗値が固定の抵抗であってもよいし、抵抗値が可変の抵抗であってもよい。

[0012] 伝送線路 $2 - n$ ($n = 1, \dots, N$) は、例えば、同軸ケーブル、プリント基板上のマイクロストリップ線路、コプレーナ線路、又は、導波管によって実現される。

伝送線路 $2 - n$ の一端は、加算入力抵抗 $1 - n$ の他端と接続されている。

伝送線路 $2 - n$ の他端は、アイソレーション抵抗 3 の一端と接続されている。

伝送線路 $2 - n$ は、加算入力抵抗 $1 - n$ による電圧降下後の信号をアイソレーション抵抗 3 まで伝送させる。

[0013] アイソレーション抵抗 3 は、例えば、チップ抵抗、又は、金属皮膜抵抗によって実現される。

アイソレーション抵抗 3 の一端は、伝送線路 $2 - 1 \sim 2 - N$ の他端の全てと接続されている。

アイソレーション抵抗 3 の他端は、増幅回路 4 の入力端子と接続されてい

る。

アイソレーション抵抗3は、伝送線路2-1~2-Nを通過してきたN個の信号の合成信号の電圧を降下させる。

アイソレーション抵抗3は、電圧降下後の合成信号を増幅回路4に出力する。

アイソレーション抵抗3の抵抗値は、加算入力抵抗1-n ($n=1, \dots, N$) の抵抗値よりも大きい。

図1に示す加算回路では、アイソレーション抵抗3が、チップ抵抗、又は、金属皮膜抵抗によって実現されている。アイソレーション抵抗3は、合成信号の電圧を降下させることができればよく、例えば、トランジスタのような能動素子によって実現されていてもよい。

また、アイソレーション抵抗3は、抵抗値が固定の抵抗であってもよいし、抵抗値が可変の抵抗であってもよい。

[0014] 増幅回路4は、アイソレーション抵抗3による電圧降下後の合成信号の電力を増幅する。

オペアンプ11は、例えば、バイポーラトランジスタ、又は、FET (Field Effect Transistor) によって実現される。

オペアンプ11は、第1の入力端子（以下「反転入力端子」という）11aと、第2の入力端子（以下「非反転入力端子」という）11bと、電力増幅後の信号を出力する出力端子11cとを有している。

オペアンプ11の出力端子11cは、帰還抵抗12の一端及びコンデンサ13の一端のそれぞれと接続されている。

オペアンプ11の反転入力端子11aは、アイソレーション抵抗3の他端、帰還抵抗12の他端及びコンデンサ13の他端のそれぞれと接続されている。

オペアンプ11の非反転入力端子11bは、グラウンドと接続されている。したがって、非反転入力端子11bには、定電圧として、0Vが印加されている。

オペアンプ 11 は、反転入力端子 11 a に印加されている電圧と非反転入力端子 11 b に印加されている電圧との電圧差を増幅する。

オペアンプ 11 の出力端子 11 c から、当該電圧差に比例する電圧 V_o を有する信号が外部に出力される。

アイソレーション抵抗 3 とオペアンプ 11 の反転入力端子 11 a とを結ぶ線路の長さは、伝送線路 $2-n$ ($n=1, \dots, N$) の長さよりも短い。

[0015] 帰還抵抗 12 は、例えば、チップ抵抗、又は、金属皮膜抵抗によって実現される。

帰還抵抗 12 の一端は、オペアンプ 11 の出力端子 11 c 及びコンデンサ 13 の一端のそれぞれと接続されている。

帰還抵抗 12 の他端は、オペアンプ 11 の反転入力端子 11 a、コンデンサ 13 の他端及びアイソレーション抵抗 3 の他端のそれぞれと接続されている。

帰還抵抗 12 は、オペアンプ 11 の出力端子 11 c から出力された信号の電圧を降下させ、電圧降下後の信号をオペアンプ 11 の反転入力端子 11 a に出力する。

図 2 に示す増幅回路 4 では、帰還抵抗 12 が、チップ抵抗、又は、金属皮膜抵抗によって実現されている。帰還抵抗 12 は、オペアンプ 11 の出力端子 11 c から出力された信号の電圧を降下させることができればよく、例えば、トランジスタのような能動素子によって実現されていてもよい。

また、帰還抵抗 12 は、抵抗値が固定の抵抗であってもよいし、抵抗値が可変の抵抗であってもよい。

[0016] コンデンサ 13 は、例えば、セラミックコンデンサ、又は、電界コンデンサによって実現される。

コンデンサ 13 の一端は、オペアンプ 11 の出力端子 11 c 及び帰還抵抗 12 の一端のそれぞれと接続されている。

コンデンサ 13 の他端は、オペアンプ 11 の反転入力端子 11 a、帰還抵抗 12 の他端及びアイソレーション抵抗 3 の他端のそれぞれと接続されてい

る。

コンデンサ 13 は、オペアンプ 11 の出力端子 11c に印加されている電圧と反転入力端子 11a に印加されている電圧との電位差に応じた電荷を蓄える静電容量を有している。

コンデンサ 13 は、負帰還をかけている増幅回路 4 の安定性を保つために設けられている。このため、コンデンサ 13 が有する静電容量は、所望の周波数特性、又は、安定性に応じて決定される。

図 2 に示す増幅回路 4 では、コンデンサ 13 が、セラミックコンデンサ、又は、電界コンデンサによって実現されている。しかし、これは一例に過ぎず、コンデンサ 13 は、トランジスタのような能動素子によって実現されていてもよい。

また、コンデンサ 13 は、容量値が固定のコンデンサであってもよいし、容量値が可変のコンデンサであってもよい。

[0017] 次に、図 1 に示す加算回路の動作について説明する。

ここでは、説明の便宜上、 $N = 4$ の例を説明する。

また、加算入力抵抗 $1-1 \sim 1-4$ におけるそれぞれの抵抗値が R_{CH} であり、アイソレーション抵抗 3 の抵抗値が R_{IS} であり、帰還抵抗 12 の抵抗値が R_{RE} であるものとする。

また、4 つの加算対象の信号の電圧 V_n が同じであるものとする。 $V_1 = V_2 = V_3 = V_4$ である。

さらに、加算入力抵抗 $1-n$ と伝送線路 $2-n$ とを結ぶ線路、伝送線路 $2-n$ とアイソレーション抵抗 3 とを結ぶ線路及びアイソレーション抵抗 3 と増幅回路 4 とを結ぶ線路のそれぞれには、寄生成分が無いものとする。

[0018] 加算入力抵抗 $1-n$ ($n = 1, \dots, 4$) は、加算対象の信号が与えられると、加算対象の信号の電圧 V_n を降下させ、電圧降下後の信号を伝送線路 $2-n$ に出力する。

電圧降下後の信号の電圧は、 V_n' であり、 $V_n > V_n'$ である。 $V_1 = V_2 = V_3 = V_4$ であって、加算入力抵抗 $1-1 \sim 1-N$ におけるそれぞれの抵抗値

は、同じ R_{CH} であるため、 $V_1' = V_2' = V_3' = V_4'$ である。

加算入力抵抗 $1-n$ から伝送線路 $2-n$ には、電流 I_n が流れる。 $V_1 = V_2 = V_3 = V_4$ であって、加算入力抵抗 $1-1 \sim 1-N$ におけるそれぞれの抵抗値は、同じ R_{CH} であるため、 $I_1 = I_2 = I_3 = I_4 = I$ である。

[0019] 伝送線路 $2-n$ ($n = 1, \dots, 4$) は、加算入力抵抗 $1-n$ から、電圧が V_n' で、電流が I_n の信号を受けると、当該信号をアイソレーション抵抗 3 まで伝送させる。

[0020] 伝送線路 $2-1 \sim 2-N$ を通過してきた N 個の信号は、互いに合成される。 N 個の信号の合成信号の電圧は、 V_n' であり、合成信号の電流 ΣI は、以下の式 (1) のように表される。

$$\Sigma I = I_1 + I_2 + I_3 + I_4 \quad (1)$$

[0021] $I_1 = I_2 = I_3 = I_4 = I$ であるため、合成信号の電流 ΣI は、以下の式 (2) のように表される。

$$\Sigma I = 4 I \quad (2)$$

[0022] アイソレーション抵抗 3 は、合成信号の電圧 V_n' を降下させ、電圧降下後の合成信号を増幅回路 4 におけるオペアンプ 11 の反転入力端子 11a に出力する。

アイソレーション抵抗 3 による電圧降下後の合成信号の電圧は、 V_n'' であり、電圧降下後の合成信号の電流は、 ΣI である。

アイソレーション抵抗 3 の抵抗値 R_{IS} は、加算入力抵抗 $1-n$ ($n = 1, \dots, 4$) の抵抗値 R_{CH} よりも大きい。このため、オペアンプ 11 の反転入力端子 11a から加算入力抵抗 $1-n$ の一端を見たインピーダンスを大きくすることができる。オペアンプ 11 の反転入力端子 11a から加算入力抵抗 $1-n$ の一端を見たインピーダンスを大きくできる分だけ、加算入力抵抗 $1-n$ とオペアンプ 11 との間にある伝送線路 $2-n$ の寄生容量の影響を小さくすることができる。

[0023] オペアンプ 11 の非反転入力端子 11b は、グラウンドと接続されているため、負帰還をかけたイマジナリーショートが成立している。このため、オペ

アンプ 11 の反転入力端子 11 a の電位は、非反転入力端子 11 b と同じ電位になる。即ち、オペアンプ 11 の反転入力端子 11 a の電位は、0 [V] になる。

したがって、加算対象の信号の電圧 V_n ($n = 1, \dots, 4$) は、以下の式 (3) のように表される。

$$V_n = R_{CH} \cdot I_n + R_{IS} \cdot \Sigma I \quad (3)$$

[0024] 帰還抵抗 12 は、オペアンプ 11 の出力端子 11 c から出力された信号の電圧 V_o を降下させ、電圧降下後の信号をオペアンプ 11 の反転入力端子 11 a に出力する。

帰還抵抗 12 を流れる電流が I_{RE} であるとすれば、信号の電圧 V_o は、以下の式 (4) のように表される。

$$[0025] \quad V_o = R_{RE} \cdot I_{RE} \quad (4)$$

$$I_{RE} = \Sigma I \quad (5)$$

また、式 (2) ~ (5) より、信号の電圧 V_o は、以下の式 (6) のように表される。

$$[0026] \quad V_o = \frac{4R_{RE}}{R_{CH} + 4R_{IS}} \cdot V_n \quad (6)$$

[0027] 例えば、4 つの加算対象の信号が等振幅で加算される場合において、オペアンプ 11 の利得が、 $V_o = 4 V_n$ となるような利得を有していれば、以下の式 (7) が成立する。

$$R_{CH} + 4 R_{IS} = R_{RE} \quad (7)$$

ここでは、 $N = 4$ の例を示しているが、 N を一般化すれば、以下の式 (8) が成立する。

$$R_{CH} + N \cdot R_{IS} = R_{RE} \quad (8)$$

[0028] 特許文献 1 に開示されている加算回路では、 N 個の抵抗（以下「加算入力抵抗」という）の抵抗値が R_{CH} 、オペアンプの反転入力端子とオペアンプの出力端子との間に接続されている帰還抵抗の抵抗値が R_{RE} であるとすれば、以下の式 (9) が成立する。

$$N \cdot R_{CH} = R_{RE} \quad (9)$$

[0029] 式(8)及び式(9)が示すように、図1に示す加算回路と、特許文献1に開示されている加算回路とでは、抵抗値の決め方が異なる。

[0030] 図3は、実施の形態1に係る加算回路における通過利得の周波数特性の一例を示す説明図である。

図3において、横軸は周波数[Hz]を示し、縦軸は通過利得[dB]を示している。

また、実線は、図1に示す加算回路における通過利得の周波数特性を示し、破線は、特許文献1に開示されている加算回路における通過利得の周波数特性を示している。図3の例では、 $N=4$ である。

特許文献1に開示されている加算回路では、スペースの都合上、 N 個の加算入力抵抗の全てがオペアンプの近くに配置できるとは限らない。加算対象の信号の数が多いほど、加算入力抵抗の数も多くなり、その結果、加算入力抵抗をオペアンプの近くに配置しにくくなるために、寄生容量の大きな加算入力抵抗の数が増える。当該加算回路が、寄生容量の大きな加算入力抵抗を有することで、当該加算回路の安定性が劣化してしまうことがある。また、図3に示すように、当該加算回路における通過利得の周波数特性の平坦性が劣化してしまうことがある。

[0031] 図1に示す加算回路では、アイソレーション抵抗3がオペアンプ11の近くに配置されていれば、 N 個の加算入力抵抗1-1～1-Nの全てがオペアンプ11の近くに配置されているか否かにかかわらず、図3に示すように、加算回路における通過利得の周波数特性の平坦性の劣化を抑えることができる。

図1に示す加算回路が備えるアイソレーション抵抗3の数は、1つであり、1つのアイソレーション抵抗3だけであれば、アイソレーション抵抗3をオペアンプ11の近くに配置できる可能性が高い。アイソレーション抵抗3をオペアンプ11の近くに配置することで、アイソレーション抵抗3の他端とオペアンプ11の反転入力端子11aとを結ぶ線路の長さが短くなれば、

アイソレーション抵抗3とオペアンプ11の反転入力端子11aとの間に生じる寄生容量が、無視できるほどに小さくなる。図1に示す加算回路では、アイソレーション抵抗3の他端とオペアンプ11の反転入力端子11aとを結ぶ線路の長さが、伝送線路2-nの長さよりも短い。

[0032] また、図1に示す加算回路では、アイソレーション抵抗3の抵抗値 R_{IS} が、加算入力抵抗1-n ($n=1, \dots, 4$)の抵抗値 R_{CH} よりも大きい。アイソレーション抵抗3の抵抗値 R_{IS} が、加算入力抵抗1-nの抵抗値 R_{CH} よりも大きければ、アイソレーション抵抗3が設けられていない加算回路よりも、オペアンプ11の反転入力端子11aから加算入力抵抗1-nの一端を見たインピーダンスが大きくなる。オペアンプ11の反転入力端子11aから加算入力抵抗1-nの一端を見たインピーダンスが大きくなることで、加算入力抵抗1-nとオペアンプ11との間にある伝送線路2-nの寄生容量の影響が小さくなる。

アイソレーション抵抗3の他端とオペアンプ11の反転入力端子11aとの間に生じる寄生容量が無視できるほどに小さく、かつ、伝送線路2-nの寄生容量の影響が小さいため、加算回路の安定性の劣化を抑えることができる。また、加算回路における通過利得の周波数特性の平坦性の劣化を抑えることができる。

[0033] 以上の実施の形態1では、加算対象の信号が一端に与えられる複数の加算入力抵抗1-1~1-Nと、それぞれの加算入力抵抗1-n ($n=1, \dots, N$)の他端と一端が接続されている複数の伝送線路2-1~2-Nと、複数の伝送線路2-1~2-Nの他端の全てと一端が接続されているアイソレーション抵抗3と、アイソレーション抵抗3の他端から出力された信号の電力を増幅する増幅回路4とを備えるように、加算回路を構成した。したがって、加算回路は、複数の加算入力抵抗1-1~1-Nの全てを増幅回路4の近くに配置できるか否かにかかわらず、通過利得の周波数特性の平坦性の劣化を防止することができる。

[0034] 図1に示す加算回路では、加算入力抵抗1-1~1-Nにおけるそれぞれ

の抵抗値が同じ R_{CH} であるものを示している。しかし、これは一例に過ぎず、加算入力抵抗 $1-1 \sim 1-N$ におけるそれぞれの抵抗値が互いに異なってもよい。

[0035] 図1に示す加算回路では、増幅回路4がコンデンサ13を備えている。コンデンサ13は、負帰還をかけた増幅回路4の安定性を保つために設けられている。増幅回路4がコンデンサ13を備えていなくても、増幅回路4の安定性を保つことができれば、増幅回路4がコンデンサ13を備えていなくてもよい。

[0036] 実施の形態2.

図1に示す加算回路では、オペアンプ11の非反転入力端子11bがグラウンドと接続されている。

実施の形態2では、オペアンプ11の非反転入力端子11bが電圧源14と接続されている加算回路について説明する。

[0037] 実施の形態2に係る加算回路の構成は、実施の形態1に係る加算回路の構成と同様であり、実施の形態2に係る加算回路を示す構成図は、図1である。

図4は、実施の形態2に係る加算回路の増幅回路4を示す構成図である。図4において、図2と同一符号は同一又は相当部分を示すので説明を省略する。

電圧源14は、定電圧をオペアンプ11の非反転入力端子11bに出力する。

オペアンプ11の非反転入力端子11bが電圧源14と接続されている場合も、非反転入力端子11bがグラウンドと接続されている場合と同様に、オペアンプ11は、反転入力端子11aに印加されている電圧と非反転入力端子11bに印加されている電圧との電圧差を増幅する。

したがって、実施の形態2に係る加算回路は、実施の形態1に係る加算回路と同様に、複数の加算入力抵抗 $1-1 \sim 1-N$ の全てを増幅回路4の近くに配置できるか否かにかかわらず、通過利得の周波数特性の平坦性の劣化を

防止することができる。

[0038] なお、本開示は、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

産業上の利用可能性

[0039] 本開示は、加算回路に適している。

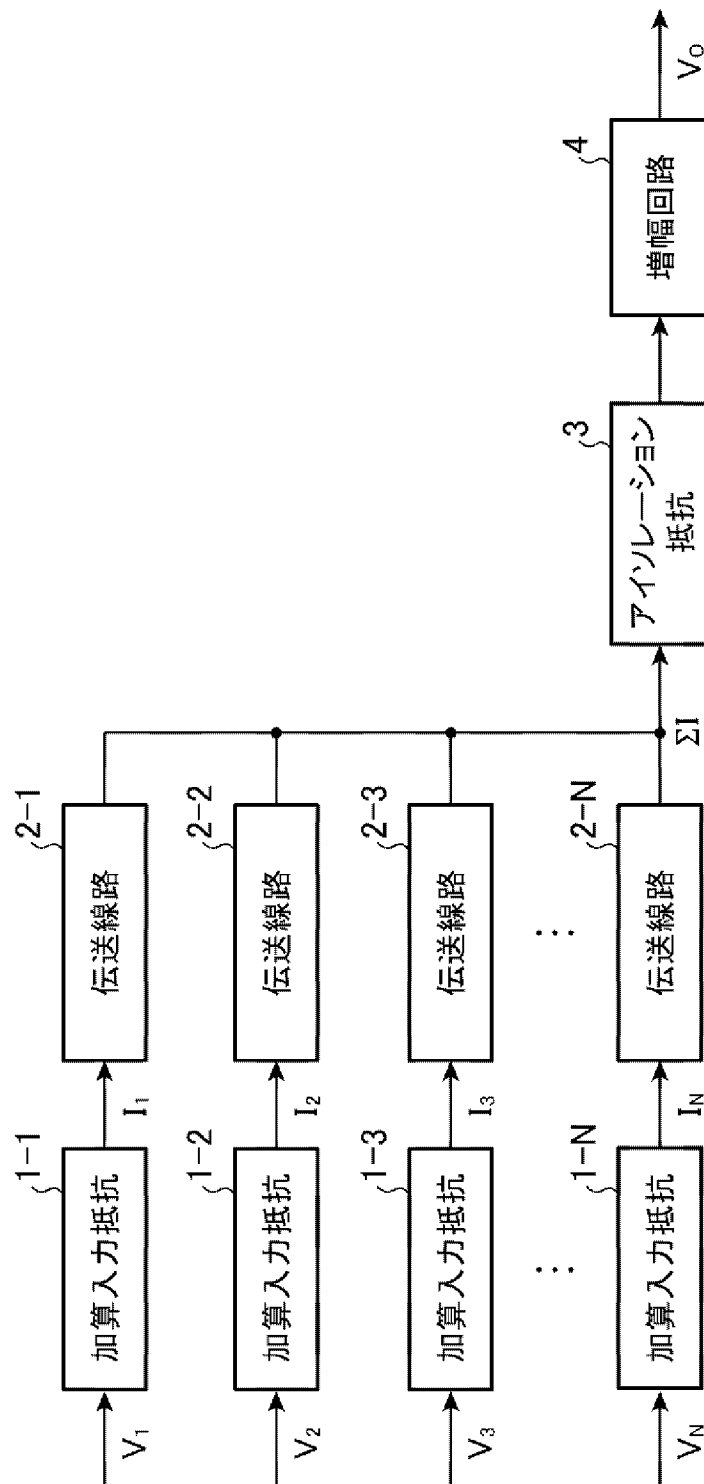
符号の説明

[0040] 1-1～1-N 加算入力抵抗（第1の抵抗）、2-1～2-N 伝送線路、3 アイソレーション抵抗（第2の抵抗）、4 増幅回路、11 オペアンプ、11a 反転入力端子（第1の入力端子）、11b 非反転入力端子（第2の入力端子）、11c 出力端子、12 帰還抵抗、13 コンデンサ、14 電圧源。

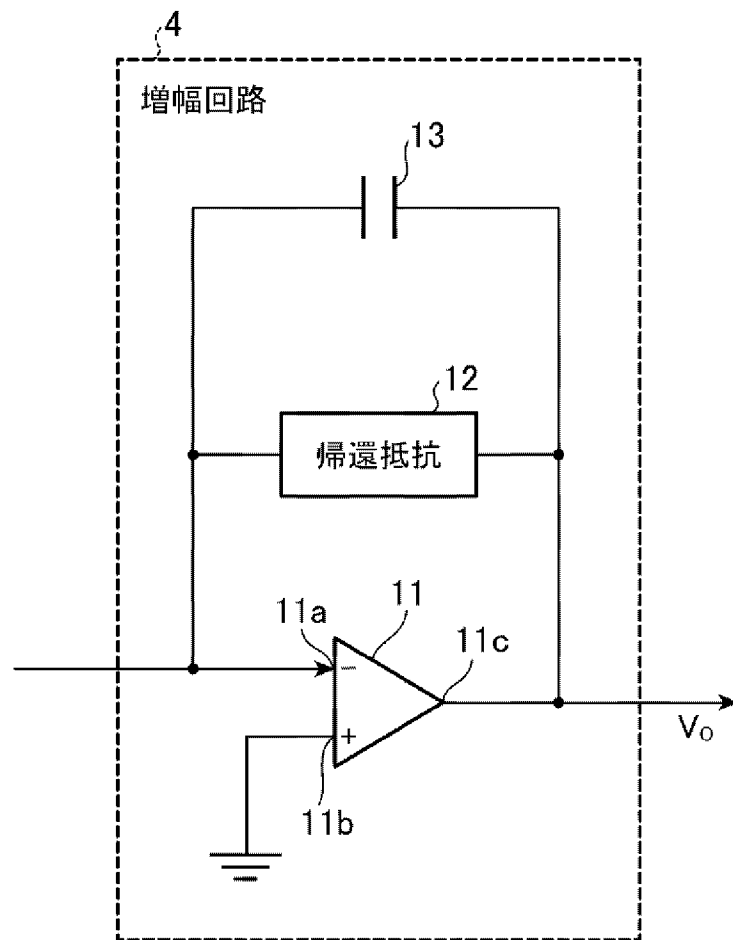
請求の範囲

- [請求項1] 加算対象の信号が一端に与えられる複数の第1の抵抗と、
それぞれの第1の抵抗の他端と一端が接続されている複数の伝送線路と、
前記複数の伝送線路の他端の全てと一端が接続されている第2の抵抗と、
前記第2の抵抗の他端から出力された信号の電力を増幅する増幅回路と
を備えた加算回路。
- [請求項2] 前記増幅回路は、
前記第2の抵抗の他端から出力された信号が与えられる第1の入力端子と、定電圧が印加される第2の入力端子と、電力増幅後の信号を出力する出力端子とを有するオペアンプと、
前記オペアンプの出力端子と一端が接続され、前記第1の入力端子と他端が接続されている帰還抵抗と
を備えていることを特徴とする請求項1記載の加算回路。
- [請求項3] 前記第1の入力端子が反転入力端子であり、前記第2の入力端子が非反転入力端子であることを特徴とする請求項2記載の加算回路。
- [請求項4] 前記増幅回路は、
前記オペアンプの出力端子と一端が接続され、前記第1の入力端子と他端が接続されているコンデンサを備えていることを特徴とする請求項2記載の加算回路。
- [請求項5] 前記第2の抵抗の抵抗値が、それぞれの第1の抵抗の抵抗値よりも大きいことを特徴とする請求項1記載の加算回路。
- [請求項6] 前記第2の抵抗と前記増幅回路とを結ぶ線路の長さが、それぞれの伝送線路の長さよりも短いことを特徴とする請求項1記載の加算回路。

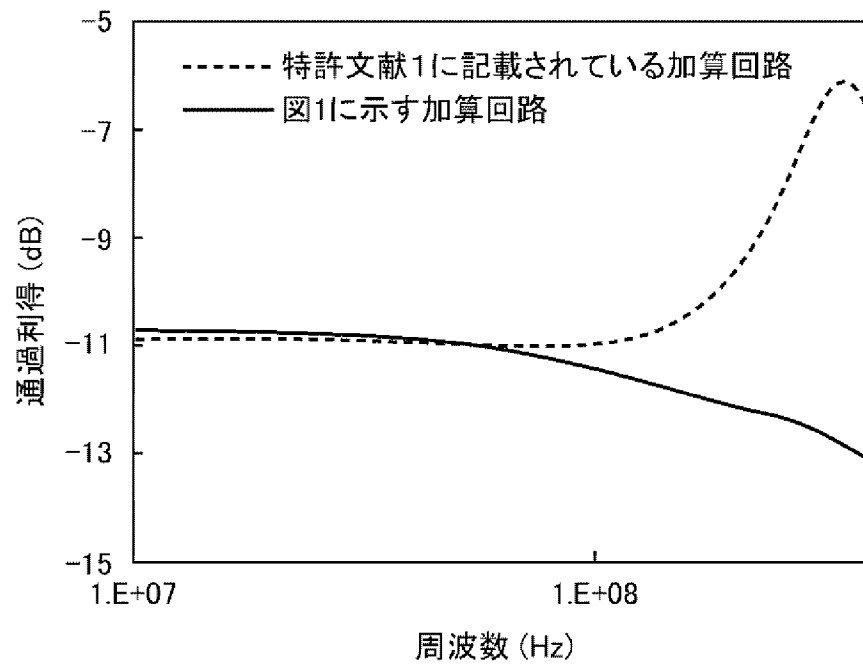
[図1]



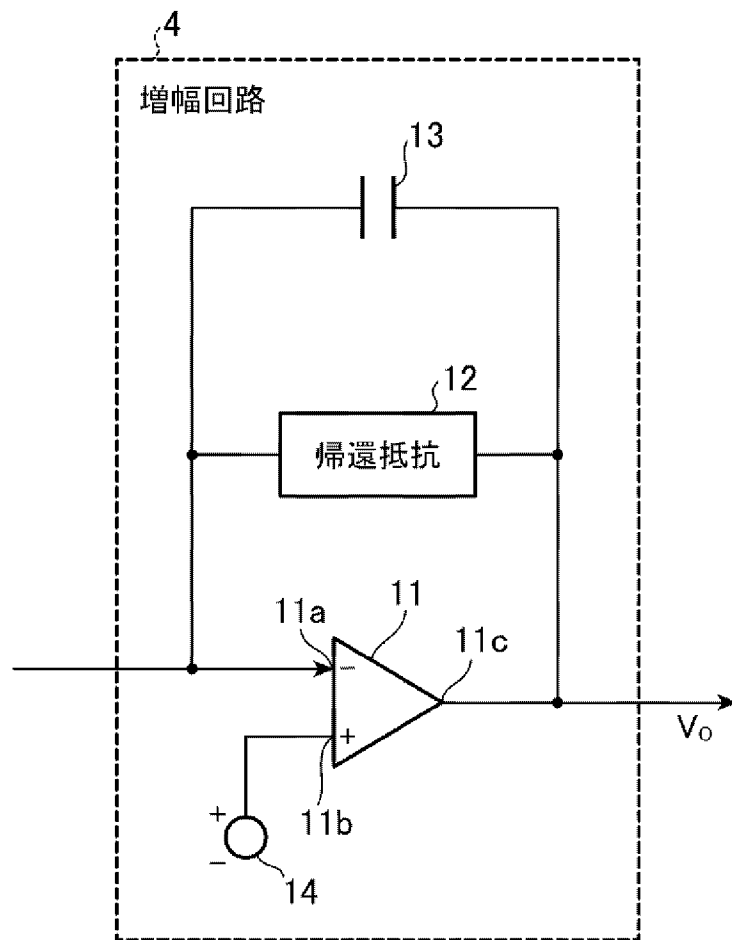
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/044064

A. CLASSIFICATION OF SUBJECT MATTERG06F 7/14(2006.01)n; H03F 3/20(2006.01)n; **H03F 3/45**(2006.01)i; **H03F 3/60**(2006.01)i

FI: H03F3/60; H03F3/45 220; G06F7/14; H03F3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F7/14; H03F3/20; H03F3/45; H03F3/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-56926 A (YAMAHA CORP) 11 March 2010 (2010-03-11)	1-3, 5
Y	paragraphs [0008]-[0016], [0028], fig. 2	4, 6
Y	JP 63-172516 A (MATSUSHITA ELECTRIC IND CO LTD) 16 July 1988 (1988-07-16)	4
	p. 2, upper right column, line 2 to p. 2, upper right column, line 16, fig. 1	
Y	JP 2014-99809 A (ASAHI KASEI ELECTRONICS CO LTD) 29 May 2014 (2014-05-29)	6
	paragraphs [0023]-[0024], fig. 4	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 December 2021

Date of mailing of the international search report

11 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/044064

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-56926	A	11 March 2010	US 2010/0117730 A1 paragraphs [0025]-[0033], [0047], fig. 2 EP 2159918 A2 CN 101662287 A KR 10-2010-0026996 A	
JP	63-172516	A	16 July 1988	(Family: none)	
JP	2014-99809	A	29 May 2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 7/14(2006.01)n; H03F 3/20(2006.01)n; H03F 3/45(2006.01)i; H03F 3/60(2006.01)i FI: H03F3/60; H03F3/45 220; G06F7/14; H03F3/20														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G06F7/14; H03F3/20; H03F3/45; H03F3/60														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用了電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2010-56926 A（ヤマハ株式会社）11.03.2010（2010 - 03 - 11） 段落[0008]-[0016], [0028], 図2	1-3, 5												
Y		4, 6												
Y	JP 63-172516 A（松下電器産業株式会社）16.07.1988（1988 - 07 - 16） 第2頁右上欄第2行-第2頁右上欄第16行, 第1図	4												
Y	JP 2014-99809 A（旭化成エレクトロニクス株式会社）29.05.2014（2014 - 05 - 29） 段落[0023]-[0024], 図4	6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 24.12.2021	国際調査報告の発送日 11.01.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/044064

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-56926	A	11.03.2010	US 2010/0117730 A1 段落[0025]-[0033], [0047], 図2 EP 2159918 A2 CN 101662287 A KR 10-2010-0026996 A	
JP	63-172516	A	16.07.1988	(ファミリーなし)	
JP	2014-99809	A	29.05.2014	(ファミリーなし)	