(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0062360
(43) 공개일자 2025년05월08일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) *G11C 11/4094* (2006.01)
G11C 11/4096 (2015.01)
(52) CPC특허분류
H10B 12/33 (2023.02)
G11C 11/4094 (2013.01)
(21) 출원번호 10-2023-0147246
(22) 출원일자 2023년10월30일
심사청구일자 2023년10월30일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
서정진
울산광역시 울주군 언양읍 유니스트길 50
이준희
울산광역시 울주군 언양읍 유니스트길 50
박상우
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
오위환, 박진기, 정기택

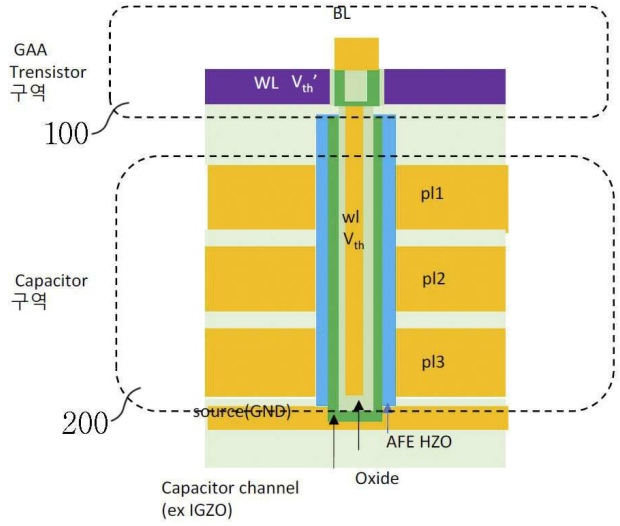
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **수직 적층형 3D 메모리 장치 및 이의 제조 방법**

(57) 요 약

본 발명은 GAA(Gate All Around) 트랜지스터 구조를 채택하고 하프 히스테리시스(Half hysteresis) 동작 특성을 갖는 1T-MC 3D DRAM 적층 구조를 설계하여 초고집적 고효율 소자 제조에 유리하도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법에 관한 것으로, 셀 선택을 위한 워드 라인(WL) 및 비트 라인(BL)을 갖는 상단의 GAA 트랜지스터 구역; 백게이트 라인(wl)과, 백게이트 라인(wl)과 절연막을 사이에 두고 형성되는 커패시터 채널층과, 커패시터 채널층의 외측면에 형성되어 정보 저장을 위한 반강유전성 박막층과, 반강유전성 박막층의 외측에 구성되는 플레이트 라인(pl)들을 포함하는 커패시터 구역;을 포함하는 것이다.

대 표 도 - 도4



(52) CPC특허분류
G11C 11/4096 (2018.05)
H10B 12/036 (2023.02)
H10B 12/05 (2023.02)
H10B 12/482 (2023.02)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711183040
과제번호 2022M3F3A2A01079710
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 차세대지능형반도체기술개발(소자)
연구과제명 지역적 분극 소재 적용 차세대 초고집적 고성능 3D DRAM 개발
기 여 율 3 / 5
과제수행기관명 울산과학기술원
연구기간 2023.01.01 ~ 2023.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1345348715
과제번호 2021R1I1A1A01057760
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 이공학학술연구기반구축
연구과제명 포논 엔지니어링 기반 초박막 결정 성장법 개발
기 여 율 1 / 5
과제수행기관명 울산과학기술원
연구기간 2023.03.01 ~ 2024.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 1711196980
과제번호 RS-2023-00257666
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 초고성능컴퓨팅활용고도화
연구과제명 100TB 고집적 fJ 초저전력 반도체 슈퍼컴퓨팅 실시간 모사 기술 연구
기 여 율 1 / 5
과제수행기관명 울산과학기술원
연구기간 2023.04.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

셀 선택을 위한 워드 라인(WL) 및 비트 라인(BL)을 갖는 상단의 GAA 트랜지스터 구역;

백게이트 라인(wl)과,

백게이트 라인(wl)과 절연막을 사이에 두고 형성되는 커패시터 채널층과,

커패시터 채널층의 외측면에 형성되어 정보 저장을 위한 반강유전성 박막층과,

반강유전성 박막층의 외측에 구성되는 플레이트 라인(pl)들을 포함하는 커패시터 구역;을 포함하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 2

제 1 항에 있어서, 커패시터 구역은,

워드 라인(WL) 및 비트 라인(BL)에 의해 백게이트 라인(wl)에 전압이 걸리면 채널을 GND로 만드는 Source(GND)를 더 포함하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 3

제 1 항에 있어서, 커패시터 채널층은,

백게이트 라인(wl)과 절연막을 사이에 두고 Source(GND)에 하단이 접하여 형성되는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 4

제 1 항에 있어서, 비트 라인(BL)은 대응하는 스트링의 백게이트 라인(wl)에 연결되는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 5

제 1 항에 있어서, 플레이트 라인(pl)들은,

서로 절연되어 수직 적층되고, 반강유전성 박막층의 외측에 구성되어 커패시터의 한쪽 전극이 되거나, 센싱 라인이 되어 복수개의 셀들을 구성하고, 이 셀들을 선택하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 6

제 1 항에 있어서, 수직 적층형 3D 메모리 장치는 하프 히스테리시스(Half hysteresis) 동작 특성을 갖고,

0을 쓰기 위한 voltage을 Vw0 이라 하고, 1을 쓰기 위한 voltage을 Vw1 이라 하고, read voltage을 Vr 이라 하면,

플레이트 라인(pl)에 Vw0와 Vw1의 사이의 크기를 갖는 Vm voltage을 인가하면 1 state는 1로 유지가 되고, 0 state도 0으로 유지가 되어 refresh voltage으로 사용하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 7

제 6 항에 있어서, Selected cell에 Vw 인가시, unselected cell에 Vm을 걸어줌으로써 disturb 문제가 발생하지 않도록 하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 8

제 6 항에 있어서, Write 1 동작시에는,

Selected cell이 속한 plate line에 Vw1을 걸고, 다른 plate line에는 Vm을 인가하고,

Selected cell은 △Vw1 이 걸리면서 1이 write 되고, 동일 string은 △Vm 이 인가 되면서 state가 fix 되는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 9

제 6 항에 있어서, Write 0 동작시에는,

Selected cell이 속한 plate line에 Vw0을 걸고, 다른 plate line에는 Vm을 인가하고,

Selected cell은 △Vw0 이 걸리면서 0이 write 되고, 동일 string은 △Vm 이 인가 되면서 state가 fix 되는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 10

제 8 항 또는 제 9 항에 있어서, Write 동작시에 Selected cell이 속한 스트링이 아닌 다른 string은 channel 이 off 이므로 한쪽이 floating이므로 전압차가 없어 반응하지 않게 되고, discharge가 진행되고 완전한 discharge 이전에 refresh를 하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 11

제 6 항에 있어서, Read 1일 때, 비트라인을 따라 생성되는 제 1 크기의 전류 흐름이 발생하고,

Read 0일 경우 비트라인을 따라 제 1 크기보다 큰 제 2 크기의 전류 흐름이 발생하고, Read 0은 write back을 하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 12

제 6 항에 있어서, Read 동작시에는,

Selected cell이 속한 plate line에 Vr을 인가하고, 다른 plate line에는 Vm을 인가하고,

Selected cell은 △Vr 이 인가되면서 1인 경우는 분극량 변화가 제 1 크기를갖고, 0인경우는 분극량이 제 1 크기보다 큰 제 2 크기로 변화하고, 분극량의 변화에 따라 voltage 변화와 current 변화가 생기며, 이 차이로 1,0을 판독하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 13

제 12 항에 있어서, Read 동작을 위한 Selected cell이 있는 string은 △Vm 이 인가 되면서 state가 fix 되고,

다른 string은 channel 이 off 이므로 한쪽이 floating이므로 전압차가 없어 반응하지 않고, discharge가 진행되고 완전한 discharge 이전에 refresh를 하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치.

청구항 14

하나의 단위 메모리 영역이 상단에 위치하는 GAA 트랜지스터 구역과 하단의 커패시터 구역을 포함하는 수직 적층형 3D 메모리 장치의 커패시터 구역을 제조하기 위하여,

교대로 반복 적층된 제 1,2 절연 물질층을 선택적으로 식각하여 스트링 홀을 형성하는 제 1 단계;

스트링 홀 영역에 정보 저장을 위한 정보 저장 박막층과, 정보 저장 박막층의 내측에 위치하는 커패시터 채널층과, 커패시터 채널층의 내측에 절연막을 사이에 두고 백게이트라인을 차례로 형성하는 제 2 단계;

서로 절연되어 수직 적층되고, 정보 저장 박막층의 외측에 구성되어 커패시터의 한쪽 전극이 되거나, 센싱 라인이 되어 복수개의 셀들을 구성하고, 이 셀들을 선택하는 플레이트 라인(pl)들을 형성하는 제 3 단계;를 포함하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치의 제조 방법.

청구항 15

제 14 항에 있어서, 제 1 단계에서,

제 1,2 절연 물질층은 Si_3N_4/SiO_2의 적층 형태이고,

이후의 공정에서 어느 하나의 물질이 제거되고, 제거 영역에 플레이트 라인(pl)들을 형성하기 위한 금속 물질이 채워지는 것을 특징으로 하는 수직 적층형 3D 메모리 장치의 제조 방법.

청구항 16

제 14 항에 있어서, 제 2 단계에서,

정보 저장 박막층은 ALD(Atomic Laver Deposition) 공정으로 HZO를 증착하여 형성하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치의 제조 방법.

청구항 17

제 14 항에 있어서, 제 2 단계에서,

커패시터 채널층을 형성하기 위한 채널 물질층은 ALD(Atomic Laver Deposition) 공정으로 IGZO 물질을 사용하여 형성하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치의 제조 방법.

청구항 18

제 14 항에 있어서, 제 2 단계는,

커패시터 채널층을 형성하기 위한 채널 물질층이 형성된 전면에 커패시터 채널층과의 절연을 위한 절연막을 형성하는 단계와,

절연막이 형성된 스트링 홀 내부에 백게이트 라인(wl)을 형성하기 위한 금속 물질층을 형성하는 단계와,

CMP(chemical mechanical polishing) 공정으로 상단 표면의 불필요한 층을 제거하여 평탄화하는 단계와,

측면 식각 공정으로, 스트링 홀들이 형성된 커패시터 구역의 외측 영역에 제 2 절연 물질층을 선택적으로 제거하기 위한 트렌치를 형성하는 단계와,

트렌치를 통하여 식각 물질을 투입하여 제 2 절연 물질층 선택적으로 제거하여 플레이트 라인(pl) 형성 영역을 형성하고 금속층을 채우는 단계를 포함하는 것을 특징으로 하는 수직 적층형 3D 메모리 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 초고집적 고효율 메모리 장치에 관한 것으로, 구체적으로 GAA(Gate All Around) 트랜지스터 구조를 채택하고 하프 히스테리시스(Half hysteresis) 동작 특성을 갖는 1T-MC 3D DRAM 적층 구조를 설계하여 초고집적 고효율 소자 제조에 유리하도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 2018년 이후로 반도체 집적회로가 직면한 평면상의 스케일에 대처하기 위한 노력은 크게 두 가지로 대별할 수 있다.

[0003] 첫째는 새로운 패터닝 기법을 개발하여 소자의 크기를 아주 작게 만드는 More Moore 접근 방식이다. 둘째는 평면 차원을 탈피하여 수직방향으로 소자구성 층위를 3차원으로 적층하는 More than Moore 방식이다.

[0004] 첫째의 대표적인 경우로는 EUV 공정을 들 수 있다. 이 방식에서는 기본적으로 패턴 소형화가 핵심이며, 이에 관련된 광원, 포토레지스트, 마스크, 펠리클 개발이 주요한 토픽이다.

[0005] 둘째의 경우는 흔히 3차원(3D) 집적화로 일컫는다.

[0006] 한편, 반도체 및 전자 소자의 로드맵을 발표하는 IEEE 산하 IRDS(International Roadmap for Devices and Systems)에서는 2020 보고에서 미래의 빅데이터, 클라우드, IoT 모빌리티 등에 효과적으로 대응하기 위하여 소자 측면에서 요구되는 PPAC 기준을 제안하였다.

[0007] PPAC는 각각 Performance, Power, Area, Cost의 첫 글자를 모은 약어이다.

[0008] 최근에는 딥러닝과 인공감각과 같이 고속으로 대용량의 자료를 처리해야 하는 응용분야가 많아짐에 따라 PPAC 요구사항은 점점 중요하게 대두되고 있다.

[0009] 이를 구현하기 위한 중요한 기술로 극자외선 패터닝 기술, 게이트 올 어라운드(GAA: Gate All Around) 구조와 3D 집적화가 제시/시연되었다.

[0010] 현재, 평면상의 기하학적 스케일링 기술적 한계들이 여러 가지 요소에서 등장하기 시작하였다. 대표적으로 채널의 길이가 10nm 이하로 매우 짧아지면서 숏채널 효과가 주된 소자 작동 장애로 등장하기 시작하였다. 이와 관련한 스위칭 소자의 On/Off 및 문턱전압 이하 스윙(Subthreshold Swing) 등의 특성을 조절하기가 어려워졌다.

[0011] 이와 같은 기술적 한계를 극복하기 위한 대응으로 소재 및 구조 측면에서 극복기술이 제시되었다. 대표적으로 HfO_2나 ZrO_2 같은 고유전율 게이트 절연막, 비평면구조의 FinFET, 채널에 응력을 인가하는 Strained Channel 등이 제시되었다.

[0012] 또한, 기술적 한계를 극복하기 위한 대응으로 소재 및 구조 측면에서의 연구 개발이 계속되고 있다.

[0013] 일 예로, 기존 DRAM 제품 개발은 회로 선폭을 줄여 집적도를 높이는 데 초점을 맞췄지만 선폭이 10nm대로 들어오면서 커패시터의 전류 누출과 간섭 등 물리적 한계가 크게 늘었다. 이를 막기 위해 고유전율(하이K) 증착 물질, 극자외선(EUV) 등 신소재 및 장비가 도입됐음에도 반도체 업계에서는 10나노 이하 미세화에는 큰 어려움이 뒤따를 것으로 보고 있다.

[0014] 따라서, 기존 패러다임을 깨는 새로운 구조의 3D DRAM 등의 메모리 칩이 제시되고 있다.

[0015] 일 예로, 도 1에서와 같은 INTEL 3D DRAM 모델이 제안되고 있다.

[0016] 인텔의 1T-MC 구조는,

[0017] BCAT 트랜지스터 위에 PL1/insulation/PL2/insulation/PL3/insulation/PL4 의 4층을 쌓고, hole을 파서 hole 벽에 ALD로 HZO(AFE 박막)을 증착하고, Top electrode를 만들고, 아래 BCAT와 연결시킨 구조이다.

[0018] 그러나 이 구조는 단순하다는 이점이 있지만, 충분한 전하량 저장을 위해 PL metal의 두께가 충분히 두껍게 증착되어야 하는 구조적인 한계가 있는데, 이와 같은 구조는 제조 비용 상승 및 균일도 저하의 문제가 있다.

[0019] 도 2a 내지 도 2c는 INTEL 3D DRAM 모델의 구조적 원인으로 인한 동작 특성 문제를 나타낸 구성도이다.

[0020] 수직 적층형 1T-MC 구조를 설계하고, AFE(Hf1-xZrO2) 사용으로 기존 High K 보다 높은 capacitance로 cell height를 줄여 고단화에 유리한 특징을 갖고 있으나, 셀 동작시에 교란성(Disturbance) 문제가 있다.

[0021] 도 2a 내지 도 2c에서와 같이, -0.7V ~ +0.58V 이내의 disturb voltage 에서 Memory window가 확보되어 voltage design을 통해 disturb 문제에 대응하고 있으나, Disturb 으로 인한 read sensing 의 어려움 및 voltage design으로 인한 복잡함 등의 문제가 있어 초고집적 고효율 특성을 갖는 메모리 장치 설계에는 한계가 있다.

[0022] 따라서, 초고집적 고효율 특성을 갖는 새로운 셀 구조에 관한 기술 개발이 요구되고 있다.

선행기술문헌

특허문헌

[0023] (특허문헌 0001) 대한민국 공개특허 제10-2022-0146336호

(특허문헌 0002) 대한민국 공개특허 제10-2021-0157323호

(특허문헌 0003) 대한민국 공개특허 제10-2019-0076853호

발명의 내용

해결하려는 과제

[0024] 본 발명은 종래 기술의 메모리 장치의 문제점을 해결하기 위한 것으로, GAA(Gate All Around) 트랜지스터 구조

를 채택하고 하프 히스테리시스(Half hysteresis) 동작 특성을 갖는 1T-MC 3D DRAM 적층 구조를 설계하여 초고집적 고효율 소자 제조에 유리하도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0025] 본 발명은 Metal core node를 Channel(ex IGZO)로 교체하고, BCAT transistor 구조 대신에 GAA transistor 구조를 적용한 새로운 셀 구조를 설계하여 초고집적 고효율 특성을 갖도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0026] 본 발명은 제조 공정에서 이전의 상업화 공정과의 유사성을 유지하여 제조 비용 측면에서 유리하고 생산성 및 소자 특성 확보에 유리하도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0027] 본 발명은 Transistor로 인한 공간 감소 문제를 해결하고, Vm voltage를 활용한 leakage free DRAM 특성에 의해 Refresh로 인한 소비전력을 감소시킬 수 있도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0028] 본 발명은 AFE의 분극량을 개선하여 cell 높이를 감소시킬 수 있도록 하여 초고집적 고효율 소자 제조에 유리하도록 한 수직 적층형 3D 메모리 장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0029] 본 발명의 다른 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0030] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 수직 적층형 3D 메모리 장치는 셀 선택을 위한 워드 라인(WL) 및 비트 라인(BL)을 갖는 상단의 GAA 트랜지스터 구역; 백게이트 라인(wl)과, 백게이트 라인(wl)과 절연막을 사이에 두고 형성되는 커패시터 채널층과, 커패시터 채널층의 외측면에 형성되어 정보 저장을 위한 반강유전성 박막층과, 반강유전성 박막층의 외측에 구성되는 플레이트 라인(pl)들을 포함하는 커패시터 구역;을 포함하는 것을 특징으로 한다.

[0031] 여기서, 커패시터 구역은, 워드 라인(WL) 및 비트 라인(BL)에 의해 백게이트 라인(wl)에 전압이 걸리면 채널을 GND로 만드는 Source(GND)를 더 포함하는 것을 특징으로 한다.

[0032] 그리고 커패시터 채널층은, 백게이트 라인(wl)과 절연막을 사이에 두고 Source(GND)에 하단이 접하여 형성되는 것을 특징으로 한다.

[0033] 그리고 비트 라인(BL)은 대응하는 스트링의 백게이트 라인(wl)에 연결되는 것을 특징으로 한다.

[0034] 그리고 플레이트 라인(pl)들은, 서로 절연되어 수직 적층되고, 반강유전성 박막층의 외측에 구성되어 커패시터의 한쪽 전극이 되거나, 센싱 라인이 되어 복수개의 셀들을 구성하고, 이 셀들을 선택하는 것을 특징으로 한다.

[0035] 그리고 수직 적층형 3D 메모리 장치는 하프 히스테리시스(Half hysteresis) 동작 특성을 갖고, 0을 쓰기 위한 voltage을 Vw0 이라 하고, 1을 쓰기 위한 voltage을 Vw1 이라 하고, read voltage을 Vr 이라 하면, 플레이트 라인(pl)에 Vw0와 Vw1의 사이의 크기를 갖는 Vm voltage을 인가하면 1 state는 1로 유지가 되고, 0 state도 0으로 유지가 되어 refresh voltage으로 사용하는 것을 특징으로 한다.

[0036] 그리고 Selected cell에 Vw 인가시, unselected cell에 Vm을 걸어줌으로써 disturb 문제가 발생하지 않도록 하는 것을 특징으로 한다.

[0037] 그리고 Write 1 동작시에는, Selected cell이 속한 plate line에 Vw1을 걸고, 다른 plate line에는 Vm을 인가하고, Selected cell은 △Vw1 이 걸리면서 1이 write 되고, 동일 string은 △Vm 이 인가 되면서 state가 fix되는 것을 특징으로 한다.

[0038] 그리고 Write 0 동작시에는, Selected cell이 속한 plate line에 Vw0을 걸고, 다른 plate line에는 Vm을 인가하고, Selected cell은 △Vw0 이 걸리면서 0이 write 되고, 동일 string은 △Vm 이 인가 되면서 state가 fix되는 것을 특징으로 한다.

[0039] 그리고 Write 동작시에 Selected cell이 속한 스트링이 아닌 다른 string은 channel이 off 이므로 한쪽이 floating이므로 전압차가 없어 반응하지 않게 되고, discharge가 진행되고 완전한 discharge 이전에 refresh를 하는 것을 특징으로 한다.

[0040] 그리고 Read 1일 때, 비트라인을 따라 생성되는 제 1 크기의 전류 흐름이 발생하고, Read 0일 경우 비트라인을 따라 제 1 크기보다 큰 제 2 크기의 전류 흐름이 발생하고, Read 0은 write back을 하는 것을 특징으로 한다.

[0041] 그리고 Read 동작시에는, Selected cell이 속한 plate line에 Vr을 인가하고, 다른 plate line에는 Vm을 인가하고, Selected cell은 △Vr 이 인가되면서 1인 경우는 분극량변화가 제 1 크기를갖고, 0인경우는 분극량이 제 1 크기보다 큰 제 2 크기로 변화하고, 분극량의 변화에 따라 voltage 변화와 current 변화가 생기며, 이 차이로 1,0을 판독하는 것을 특징으로 한다.

[0042] 그리고 Read 동작을 위한 Selected cell이 있는 string은 △Vm 이 인가 되면서 state가 fix 되고, 다른 string은 channel 이 off 이므로 한쪽이 floating이므로 전압차가 없어 반응하지 않고, discharge가 진행되고 완전한 discharge 이전에 refresh를 하는 것을 특징으로 한다.

[0043] 다른 목적을 달성하기 위한 본 발명에 따른 수직 적층형 3D 메모리 장치의 제조 방법은 하나의 단위 메모리 영역이 상단에 위치하는 GAA 트랜지스터 구역과 하단의 커패시터 구역을 포함하는 수직 적층형 3D 메모리 장치의 커패시터 구역을 제조하기 위하여, 교대로 반복 적층된 제 1,2 절연 물질층을 선택적으로 식각하여 스트링 홀을 형성하는 제 1 단계;스트링 홀 영역에 정보 저장을 위한 정보 저장 박막층과, 정보 저장 박막층의 내측에 위치하는 커패시터 채널층과, 커패시터 채널층의 내측에 절연막을 사이에 두고 백게이트라인을 차례로 형성하는 제 2 단계;서로 절연되어 수직 적층되고, 정보 저장 박막층의 외측에 구성되어 커패시터의 한쪽 전극이 되거나, 센싱 라인이 되어 복수개의 셀들을 구성하고, 이 셀들을 선택하는 플레이트 라인(pl)들을 형성하는 제 3 단계;를 포함하는 것을 특징으로 한다.

[0044] 여기서, 제 1 단계에서, 제 1,2 절연 물질층은 Si_3N_4/SiO_2의 적층 형태이고, 이후의 공정에서 어느 하나의 물질이 제거되고, 제거 영역에 플레이트 라인(pl)들을 형성하기 위한 금속 물질이 채워지는 것을 특징으로 한다.

[0045] 그리고 제 2 단계에서, 정보 저장 박막층은 ALD(Atomic Laver Deposition) 공정으로 HZO를 증착하여 형성하는 것을 특징으로 한다.

[0046] 그리고 제 2 단계에서, 커패시터 채널층을 형성하기 위한 채널 물질층은 ALD(Atomic Laver Deposition) 공정으로 IGZO 물질을 사용하여 형성하는 것을 특징으로 한다,

[0047] 그리고 제 2 단계는, 커패시터 채널층을 형성하기 위한 채널 물질층이 형성된 전면에 커패시터 채널층과의 절연을 위한 절연막을 형성하는 단계와, 절연막이 형성된 스트링 홀 내부에 백게이트 라인(wl)을 형성하기 위한 금속 물질층을 형성하는 단계와, CMP(chemical mechanical polishing) 공정으로 상단 표면의 불필요한 층을 제거하여 평탄화하는 단계와, 측면 식각 공정으로, 스트링 홀들이 형성된 커패시터 구역의 외측 영역에 제 2 절연 물질층을 선택적으로 제거하기 위한 트렌치를 형성하는 단계와, 트렌치를 통하여 식각 물질을 투입하여 제 2 절연 물질층 선택적으로 제거하여 플레이트 라인(pl) 형성 영역을 형성하고 금속층을 채우는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

[0048] 이상에서 설명한 바와 같은 본 발명에 따른 수직 적층형 3D 메모리 장치 및 이의 제조 방법은 다음과 같은 효과가 있다.

[0049] 첫째, 하프 히스테리시스(Half hysteresis) 동작 특성을 갖는 1T-MC 3D DRAM 적층 구조를 설계하여 초고집적 고효율 소자 제조에 유리하도록 한다.

[0050] 둘째, Metal core node를 Channel(ex IGZO)로 교체하고, BCAT transistor 구조 대신에 GAA transistor 구조를 적용한 새로운 셀 구조를 설계하여 초고집적 고효율 특성을 갖도록 한다.

[0051] 셋째, 제조 공정에서 이전의 상업화 공정과의 유사성을 유지하여 제조 비용 측면에서 유리하고 생산성 및 소자 특성 확보에 유리하다.

[0052] 넷째, Transistor로 인한 공간 감소 문제를 해결하고, Vm voltage를 활용한 leakage free DRAM 특성에 의해 Refresh로 인한 소비전력을 감소시킬 수 있도록 한다.

[0053] 다섯째, AFE의 분극량을 개선하여 cell 높이를 감소시킬 수 있도록 하여 초고집적 고효율 소자 제조에 유리하도록 한다.

도면의 간단한 설명

[0054] 도 1은 INTEL 3D DRAM 모델 구성도

도 2a 내지 도 2c는 INTEL 3D DRAM 모델의 구조적 원인으로 인한 동작 특성 문제를 나타낸 구성도

도 3은 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-1C 3D DRAM)의 단위 소자 구성도

도 4는 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-MC 3D DRAM)의 단위 소자 구성도

도 5는 본 발명에 따른 수직 적층형 3D 메모리 장치의 동작 특성 그래프

도 6a와 도 6b는 본 발명에 따른 수직 적층형 3D 메모리 장치의 Write 1 동작시의 동작 특성을 나타낸 그래프 및 단면 구성도

도 7a와 도 7b는 본 발명에 따른 수직 적층형 3D 메모리 장치의 Write 0 동작시의 동작 특성을 나타낸 그래프 및 단면 구성도

도 8a와 도 8b는 본 발명에 따른 수직 적층형 3D 메모리 장치의 Read 동작시의 동작 특성을 나타낸 그래프 및 단면 구성도

도 9a 내지 도 9c는 본 발명에 따른 수직 적층형 3D 메모리 장치의 셀 선택시의 동작 특성을 나타낸 구성도

도 10a 내지 도 10s는 본 발명에 따른 수직 적층형 3D 메모리 장치의 제조를 위한 공정 단면도

도 11은 본 발명에 따른 수직 적층형 3D 메모리 장치의 MAT 구조의 일 예를 나타낸 구성도

발명을 실시하기 위한 구체적인 내용

[0055] 이하, 본 발명에 따른 수직 적층형 3D 메모리 장치 및 이의 제조 방법의 바람직한 실시 예에 관하여 상세히 설명하면 다음과 같다.

[0056] 본 발명에 따른 수직 적층형 3D 메모리 장치 및 이의 제조 방법의 특징 및 이점들은 이하에서의 각 실시 예에 대한 상세한 설명을 통해 명백해질 것이다.

[0057] 도 3은 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-1C 3D DRAM)의 단위 소자 구성도이고, 도 4는 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-MC 3D DRAM)의 단위 소자 구성도이다.

[0058] 본 개시에서 사용되는 용어는 본 개시에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 판례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 개시에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 개시의 전반에 걸친 내용을 토대로 정의되어야 한다.

[0059] 명세서 전체에서 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다.

[0060] 본 발명에 따른 수직 적층형 3D 메모리 장치 및 이의 제조 방법은 GAA(Gate All Around) 트랜지스터 구조를 채택하여 하프 히스테리시스(Half hysteresis) 동작 특성을 갖는 1T-MC 3D DRAM 적층 구조를 설계하여 초고집적 고효율 소자 제조에 유리하도록 한 것이다.

[0061] 이를 위하여, 본 발명은 Metal core node를 Channel(ex IGZO)로 교체하고, BCAT transistor 구조 대신에 GAA transistor 구조를 적용한 새로운 셀 구조를 설계하여 초고집적 고효율 특성을 갖도록 하는 구성을 포함할 수 있다.

[0062] 본 발명은 Transistor로 인한 공간 감소 문제를 해결하고, Vm voltage를 활용한 leakage free DRAM 특성에 의해 Refresh로 인한 소비전력을 감소시킬 수 있도록 하는 구성을 포함할 수 있다.

[0063] 본 발명은 AFE의 분극량을 개선하여 cell 높이를 감소시킬 수 있도록 하는 구성을 포함할 수 있다.

[0064] 이하의 설명에서 하나의 단위 메모리 영역은 상단에 위치하는 [GAA 트랜지스터 구역]과 하단의 [커패시터 구역]을 포함하는 것으로 설명한다.

[0065] 커패시터 구역은 복수개의 플레이트 라인들이 절연되어 수직 적층되고, 플레이트 라인들을 수직 방향으로 관통하여 차례로 형성되는 정보 저장을 위한 반강유전성 박막, 커패시터 채널층,절연층,백게이트 라인이 위치하는 단위를 [스트링]이라 한다.

[0066] 하나의 커패시터 구역에는 복수개의 스트링이 구성된다.

[0067] GAA 트랜지스터 구역은 백게이트 라인에 연결되어 셀 선택을 하기 위한 비트라인 및 GAA 트랜지스터를 구성하는 워드라인을 포함한다.

[0068] 구체적으로, 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-1C 3D DRAM)의 단위 소자는 도 3에서와 같이, 상단에 위치하는 GAA 트랜지스터 구역(100)과, 하단의 커패시터 구역(200)으로 크게 구분할 수 있다.

[0069] GAA 트랜지스터 구역(100)은 셀 선택을 위한 워드 라인(WL) 및 비트 라인(BL)이 구성되고, 비트 라인(BL)은 대응하는 스트링의 백게이트 라인(wl)에 연결된다.

[0070] 그리고 커패시터 구역(200)은 WL/BL에 의해 백게이트 라인(wl)에 전압이 걸리면 채널을 GND로 만드는 Source(GND)와, 커패시터 구역의 중앙부에 위치하는 백게이트 라인(wl)과, 백게이트 라인(wl)과 절연막을 사이에 두고 Source(GND)에 하단이 접하여 형성되는 커패시터 채널층과, 채널층의 외측면에 형성되어 정보 저장을 위한 반강유전성 박막층과, 반강유전성 박막층의 외측에 구성되어 커패시터의 한쪽 전극이 되거나, 센싱 라인이 되는 플레이트 라인(pl)을 포함하여 수직 적층형 3D 메모리 장치(1T-1C 3D DRAM)을 구성한다.

[0071] WL/BL에 의해 백게이트 라인(wl)에 전압이 걸리면서 채널이 열리면, 커패시터 채널층이 source(GND)의 Ground와 연결되어 있어서 채널을 GND로 만든다.

[0072] 도 4는 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-MC 3D DRAM)의 단위 소자 구성도이다.

[0073] 본 발명에 따른 수직 적층형 3D 메모리 장치(1T-MC 3D DRAM)의 단위 소자는 도 4에서와 같이, 상단에 위치하는 GAA 트랜지스터 구역(100)과, 하단의 커패시터 구역(200)으로 크게 구분할 수 있다.

[0074] GAA 트랜지스터 구역(100)은 셀 선택을 위한 워드 라인(WL) 및 비트 라인(BL)이 구성되고, 비트 라인(BL)은 대응하는 스트링의 백게이트 라인(wl)에 연결된다.

[0075] 그리고 커패시터 구역(200)은 WL/BL에 의해 백게이트 라인(wl)에 전압이 걸리면 채널을 GND로 만드는 Source(GND)와, 커패시터 구역의 중앙부에 위치하는 백게이트 라인(wl)과, 백게이트 라인(wl)과 절연막을 사이에 두고 Source(GND)에 하단이 접하여 형성되는 커패시터 채널층과, 채널층의 외측면에 형성되어 정보 저장을 위한 반강유전성 박막층과, 서로 절연되어 수직 적층되고, 반강유전성 박막층의 외측에 구성되어 커패시터의 한쪽 전극이 되거나, 센싱 라인이 되는 플레이트 라인(pl)들을 포함하여 수직 적층형 3D 메모리 장치(1T-MC 3D DRAM)를 구성한다.

[0076] WL/BL에 의해 백게이트 라인(wl)에 전압이 걸리면서 채널이 열리면, 커패시터 채널층이 source(GND)의 Ground와 연결되어 있어서 채널을 GND로 만든다.

[0077] 커패시터 구역(200)의 백게이트 라인(wl)에 Channel threshold voltage(Vth)이 인가되고, GAA 트랜지스터 구역(100)의 워드 라인(WL)에 channel threshold voltage(Vth’)이 인가된다.

[0078] 이와 같은 구조를 갖는 본 발명에 따른 수직 적층형 3D 메모리 장치의 동작 특성을 구체적으로 설명하면 다음과 같다.

[0079] 도 5는 본 발명에 따른 수직 적층형 3D 메모리 장치의 동작 특성 그래프이다.

[0080] 도 5의 그래프에서, Vm은 다음과 같은 특징을 갖는다.

[0081] Vm voltage가 걸리면, 1 state는 1로 유지가 되고, 0 state도 0으로 유지가 되어, refresh voltage로 활용 가능하다.

[0082] 또한, Selected cell에 Vw 인가시, unselected cell에 Vm을 걸어줌으로써 disturb 문제가 발생하지 않도록 한다.

[0083] 이하의 설명에서 GAA 트랜지스터 구역(100)의 트랜지스터 채널의 threshold voltgae을 Vth’라 하고, 커패시터 구역(200) 채널의 threshold voltage을 Vth 라 한다.

[0084] 그리고 0을 쓰기 위한 voltage을 Vw0 이라 하고, 1을 쓰기 위한 voltage을 Vw1 이라 하고, read voltage을 Vr

이라 한다.

[0085] 본 발명에 따른 수직 적층형 3D 메모리 장치의 Write 1 동작시의 동작 특성은 다음과 같다.

[0086] 도 6a와 도 6b는 본 발명에 따른 수직 적층형 3D 메모리 장치의 Write 1 동작시의 동작 특성을 나타낸 그래프 및 단면 구성도이다.

[0087] Write 1 동작시에는, Selected cell이 속한 plate line에 Vw1을 걸고, 다른 plate line에는 Vm을 인가한다.

[0088] Selected cell은 △Vw1 이 걸리면서 1이 write 되고, 동일 string은 △Vm 이 인가 되면서 state가 fix 된다.

[0089] 그리고 다른 string은 channel이 off 이므로 한쪽이 floating이므로 전압차가 없어 반응하지 않게 되고, 서서히 discharge가 되고 완전한 discharge 이전에 refresh를 한다.

[0090] 본 발명에 따른 수직 적층형 3D 메모리 장치의 Write 0 동작시의 동작 특성은 다음과 같다.

[0091] 도 7a와 도 7b는 본 발명에 따른 수직 적층형 3D 메모리 장치의 Write 0 동작시의 동작 특성을 나타낸 그래프 및 단면 구성도이다.

[0092] Write 0 동작시에는 Selected cell이 속한 plate line에 Vw0을 걸고, 다른 plate line에는 Vm을 인가한다.

[0093] Selected cell은 △Vw0 이 걸리면서 0이 write 되고, 동일 string은 △Vm 이 인가 되면서 state가 fix 된다.

[0094] 그리고 다른 string은 channel이 off 이므로 한쪽이 floating이므로 전압차가 없어 반응하지 않게 되고, 서서히 discharge가 되고 완전한 discharge 이전에 refresh를 한다.

[0095] 본 발명에 따른 수직 적층형 3D 메모리 장치의 Read 동작시의 동작 특성은 다음과 같다.

[0096] 도 8a와 도 8b는 본 발명에 따른 수직 적층형 3D 메모리 장치의 Read 동작시의 동작 특성을 나타낸 그래프 및 단면 구성도이다.

[0097] Read 1일 때, 비트라인을 따라 생성되는 제 1 크기의 전류 흐름이 발생하고, Read 0일 경우 비트라인을 따라 제 1 크기보다 큰 제 2 크기의 전류 흐름이 발생한다. Read 0은 write back을 해야 한다.

[0098] 본 발명에서 Read 동작시에는 Selected cell이 속한 plate line에 Vr을 인가하고, 다른 plate line에는 Vm을 인가한다.

[0099] Selected cell은 △Vr 이 인가되면서 1인 경우는 분극량 변화가 미미하고, 0인경우는 분극량이 크게 변화한다.

[0100] 분극량의 변화에 따라, voltage 변화와 current 변화가 생기며, 이 차이로 1,0을 판독한다.

[0101] 동일 string은 △Vm 이 인가 되면서 state가 fix 되고, 다른 string은 channel 이 off 이므로 한쪽이 floating 이므로 전압차가 없어 반응하지 않고, 서서히 discharge가 되고 완전한 discharge 이전에 refresh를 한다.

[0102] 도 9a 내지 도 9c는 본 발명에 따른 수직 적층형 3D 메모리 장치의 셀 선택시의 동작 특성을 나타낸 구성도이다.

[0103] Read 시 IGZO 채널에 연결된 bl(source)의 voltage 변화와 current를 읽음으로 1,0을 read 할 수 있으나, 이 방법은 채널이 10um 이상으로 길어질 경우, 긴 채널의 높은 저항으로 인해 read 속도와 voltage및 current 차이가 작아지는 문제를 발생시킨다.

[0104] 이때문에 본 발명에서는 plate line으로 sensing을 한다.

[0105] 도 9a에서와 같이, Plate line이 sense amplifier와 연결되어 있다.

[0106] Plate line에 전압을 인가하여도, 반대쪽 전극인 채널이 닫혀 있으면 state가 변화가 없기 때문에 pl에 Vr을 인가한 후, string이 선택되면서 채널이 GND가 되는 순간 Vr은 전압 강하를 하게된다.

[0107] 도 9b에서와 같이, String이 선택이 되지 않은 상태에서는 PL에 Vr이 인가되어도, 채널이 floating되어있으므로, 전압차가 발생되지 않아 1,0 state 그대로 있다.

[0108] 도 9c에서와 같이, String이 선택이 되서. 채널이 GND가 되면, Selected cell에 전압 Vr이 인가되면서 1,0에따른 분극량 변화가 순간 발생하고, Plate line에 걸린 Vr 이 전압 강하가 일어나게 된다.

[0109] 본 발명에 따른 수직 적층형 3D 메모리 장치의 제조 공정을 구체적으로 설명하면 다음과 같다.

[0110] 도 10a 내지 도 10s는 본 발명에 따른 수직 적층형 3D 메모리 장치의 제조를 위한 공정 단면도이다.

[0111] 이하의 설명에서 물질 증착 공정은 Ebeam evaporation, Thermal Evaporation, Sputtering Deposition 등을 포함하는 PVD(Physical Vapor Deposition) 또는 APCVD (Atmosphere CVD), LPCVD (Low pressure CVD), PECVD (Plasma Enhanced CVD), HDPCVD (High-Density Plasma CVD), MOCVD (Metal-Organic CVD) 등을 포함하는 CVD(Chemical Vapor Deposition) 또는 ALD(Atomic Laver Deposition) 공정들이 선택되어 사용될 수 있고, 이로 제한되지 않는다.

[0112] 물질 증착 공정의 세부적인 공정 조건은 소자 요구 특성 및 사용 물질 등에 따라 제어될 수 있다.

[0113] 그리고 사용되는 절연 물질은 SiO_2, Si_3N_4, Al_2O_3 등이 사용될 수 있고, 이로 제한되지 않는다.

[0114] 그리고 커패시터 패터닝을 위한 식각 공정은 반응성 기체, 이온 등을 이용해 특정 부위를 제거하는 건식 식각(Dry Etching) 또는 용액을 이용 화학적인 반응을 통해 식각하는 습식 식각(Wet Etching)이 선택적으로 사용될 수 있다.

[0115] 식각 공정의 세부적인 공정 조건은 소자 요구 특성 및 사용 물질 등에 따라 제어될 수 있다.

[0116] 먼저, 도 10a에서와 같이, 커패시터 영역을 형성하기 위하여, 서로 다른 식각 선택성을 갖는 제 1,2 절연 물질층(10)(11)을 교대로 적층 형성한다.

[0117] 여기서, 제 1,2 절연 물질층(10)(11)은 Si_3N_4/SiO_2의 적층 형태일 수 있고, 이로 제한되지 않는다.

[0118] 이와 같이 제 1,2 절연 물질층(10)(11)을 적층 형성하는 이유는 공정상 고단화를 위해서는 metal/oxide stacking 시 dry etching이 않되므로 Si_3N_4/SiO_2의 stacking을 하고, 이후 공정에서 Si_3N_4를 Metal로 대체하여(replacement) 채울 수 있도록 하기 위한 것이다.

[0119] 이어, 도 10b에서와 같이, 1개의 GAA 트랜지스터에 대응하는 스트링을 정의하기 위한 스트링 홀(12)을 형성한다.

[0120] 그리고 도 10c에서와 같이, 스트링 홀(12)이 형성된 커패시터 영역의 전면에 정보 저장을 위한 정보 저장 박막층(13)을 형성한다.

[0121] 정보 저장 박막층(13)은 ALD(Atomic Laver Deposition) 공정으로 HZO와 같은 AFE(antiferroelectric) 또는 FE(ferroelectric) 물질을 사용하여 형성할 수 있고 이제 제한되지 않는다.

[0122] 이어, 도 10d에서와 같이, 정보 저장 박막층(13)이 형성된 전면에 커패시터 채널층을 형성하기 위한 채널 물질층(14)을 증착 형성한다.

[0123] 채널 물질층(14)은 ALD(Atomic Laver Deposition) 공정으로 IGZO 물질을 사용하여 형성할 수 있고 이제 제한되지 않는다.

[0124] 그리고 도 10e에서와 같이, 채널 물질층(14)이 형성된 전면에 커패시터 채널층과의 절연을 위한 절연막을 형성하고, 절연막이 형성된 스트링 홀(12) 내부에 백게이트 라인(wl)을 형성하기 위한 금속 물질층(15)을 형성한다.

[0125] 여기서, 절연막은 산화막을 CVD 공정으로 증착 형성 할수 있고, 절연막은 백게이트 라인(wl)과 커패시터 채널층의 절연 분리를 위한 것이다.

[0126] 이어, 도 10f에서와 같이, CMP(chemical mechanical polishing) 공정으로 상단 표면의 불필요한 층을 제거하여 평탄화한다.

[0127] 그리고 도 10g에서와 같이, 측면 식각 공정으로, 스트링 홀(12)들이 형성된 커패시터 구역의 외측 영역에 제 2 절연 물질층(11)을 선택적으로 제거하기 위한 트렌치(16)를 형성한다.

[0128] 이 트렌치(16)는 제 2 절연 물질층(11)인 Si_3N_4를 H_3PO_4 etching 하기 위해, chemical이 침투할 수 있도록 라인 형태로 식각한다.

[0129] 여기서, 트렌치(16) 바닥면의 깊이보다 스트링 홀(12)의 하부 바닥면이 더 깊은 위치에 형성되는 형태이다.

[0130] 이어, 도 10h에서와 같이, 제 2 절연 물질층(11)인 Si_3N_4를 H_3PO_4 etching 하여 플레이트 라인(pl)들을 형성하기 위한 영역을 확보한다.

[0131] 그리고 도 10i에서와 같이, 플레이트 라인(pl) 형성 영역에 CVD 공정으로 금속층, 일 예로 텅스텐(W)을 사용하여 금속층(17)을 형성한다.

[0132] 이어, 도 10j에서와 같이, 스트링 홀(12)들이 형성된 커패시터 구역의 외측 영역에 형성된 트렌치(16) 벽면에 절연막(18)을 형성한다. 이 절연막(18)은 이후의 공정에서 채널 물질층(14)에 연결된 GND 라인을 지나도록 하기 위한 것이다.

[0133] 그리고 도 10k에서와 같이, 트렌치(16) 바닥면의 절연막(18), 제 1 절연 물질층(10), 제 2 절연 물질층(11) 및 하단의 정보 저장 박막층(13)의 일부를 선택적으로 제거하여 커패시터 채널 연결 영역(19)을 형성한다.

[0134] 이어, 도 10l에서와 같이, CVD 공정으로 금속층, 일 예로 텅스텐(W)을 사용하여 금속층을 형성하여 채널과 contact 된 라인을 채워넣고, 밖으로도 이 라인을 빼내 채널 콘택 라인(20)을 형성한다.

[0135] 그리고 도 10m에서와 같이, CMP를 통해 표면에 있는 W을 polishing하고 평탄화한다.

[0136] 이어, 도 10n에서와 같이, 커패시터 영역의 상단에 백게이트 라인(wl)을 선택하기 위한 GAA 트랜지스터를 형성하기 위하여 산화막/금속층/산화막(21)을 적층 형성한다.

[0137] 그리고 도 10o에서와 같이, 스트링 홀(12) 상부의 적층된 산화막/금속층/산화막(21)을 선택적으로 식각하여 홀을 형성한다.

[0138] 이어, 도 10p에서와 같이, 홀이 형성된 전면에 산화막을 증착하여 게이트 유전체층(23)을 형성한다.

[0139] 그리고 도 10q에서와 같이, 홀 바닥면의 게이트 유전체층(23)을 선택적으로 식각하여 이후의 공정에서 증착되는 채널 물질이 백게이트 라인(wl)에 연결되는 영역을 확보한다.

[0140] 이어, 도 10r에서와 같이, ALD 공정으로 IGZO 채널 물질층(24)을 형성하고, 도 10s에서와 같이, 홀 내부에 산화막(25)을 채우고 비트라인(26)을 형성한다.

[0141] 도 11은 본 발명에 따른 수직 적층형 3D 메모리 장치의 MAT 구조의 일 예를 나타낸 구성도이다.

[0142] 이상에서 설명한 본 발명에 따른 수직 적층형 3D 메모리 장치 및 이의 제조 방법은 GAA(Gate All Around) 트랜지스터 구조를 채택하고 하프 히스테리시스(Half hysteresis) 동작 특성을 갖는 1T-MC 3D DRAM 적층 구조를 설계하여 초고집적 고효율 소자 제조에 유리하도록 한 것이다.

[0143] 이상에서의 설명에서와 같이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명이 구현되어 있음을 이해할 수 있을 것이다.

[0144] 그러므로 명시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 전술한 설명이 아니라 특허청구 범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

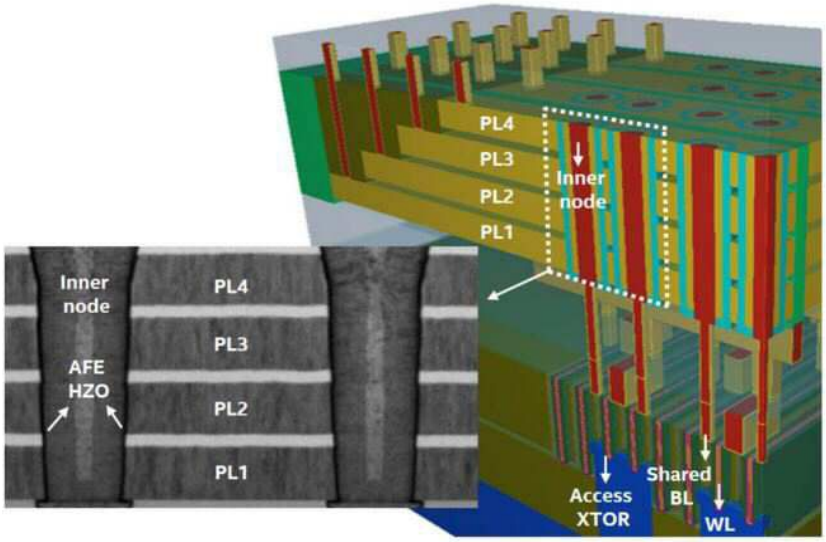
부호의 설명

[0145] 100. GAA 트랜지스터 구역

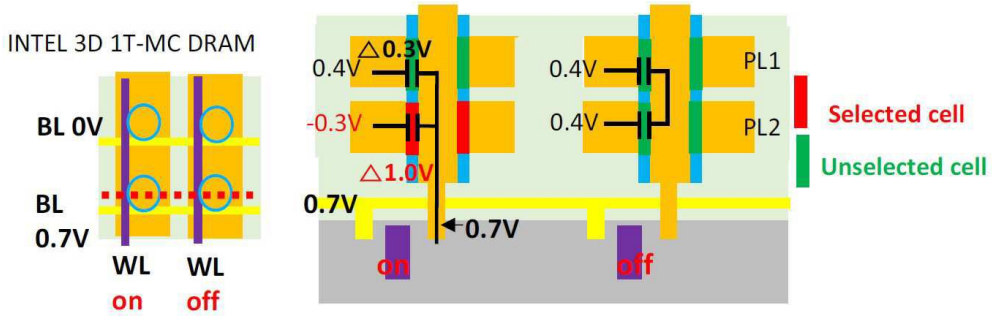
200. 커패시터 구역

도면

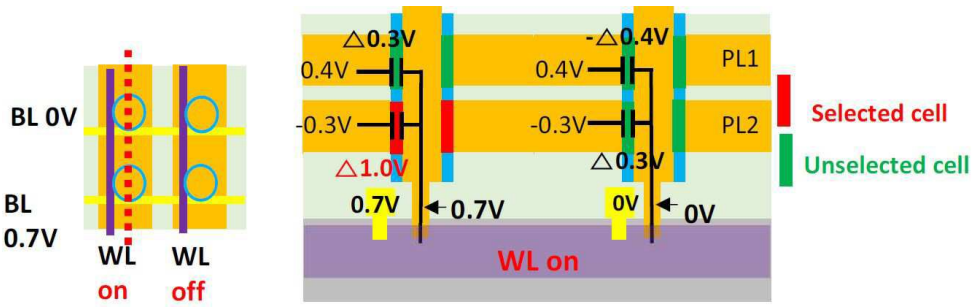
도면1



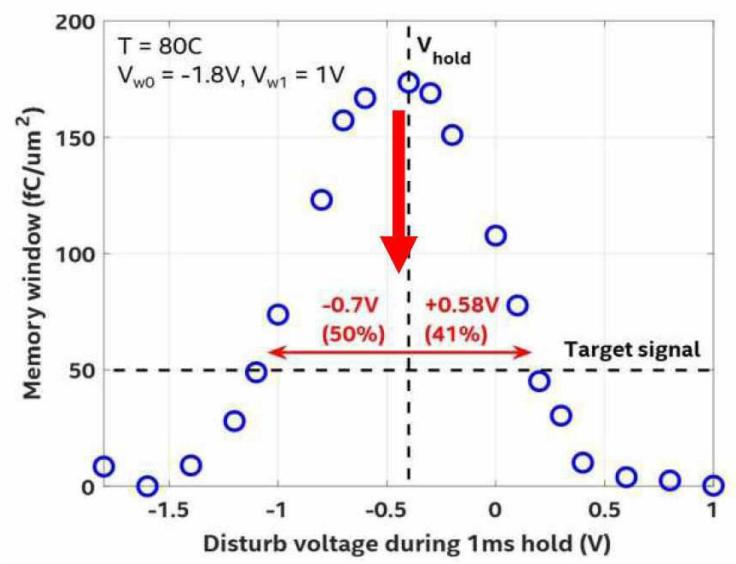
도면2a



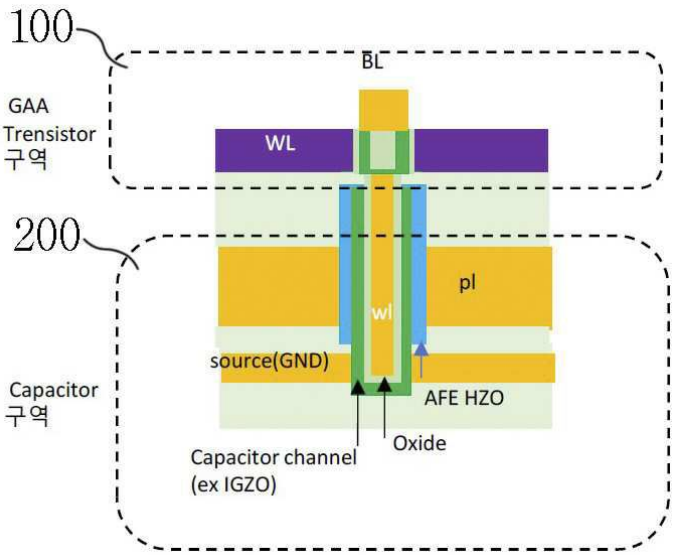
도면2b



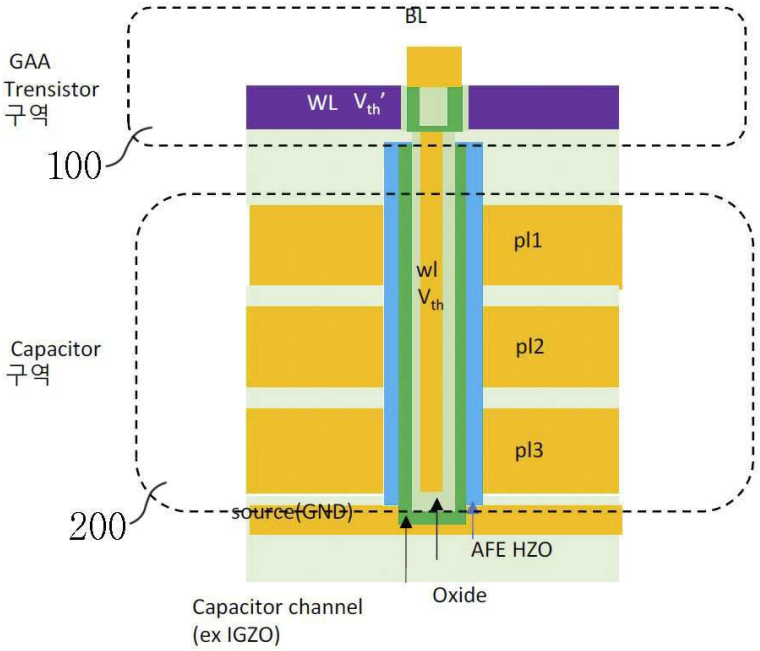
도면2c


T = 80C
V_{w0} = -1.8V, V_{w1} = 1V
V_{hold}
-0.7V
(50%)
+0.58V
(41%)
Target signal
Memory window (fC/um^2)
Disturb voltage during 1ms hold (V)
200
150
100
50
0
-1.5
-1
-0.5
0
0.5
1

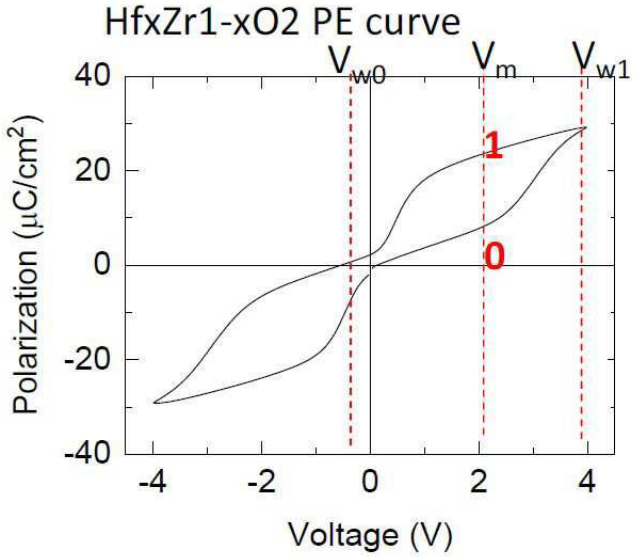
도면3


100
GAA
Trensistor
구역
BL
WL
200
pl
wl
source(GND)
AFE HZO
Capacitor
구역
Capacitor channel
(ex IGZO)
Oxide

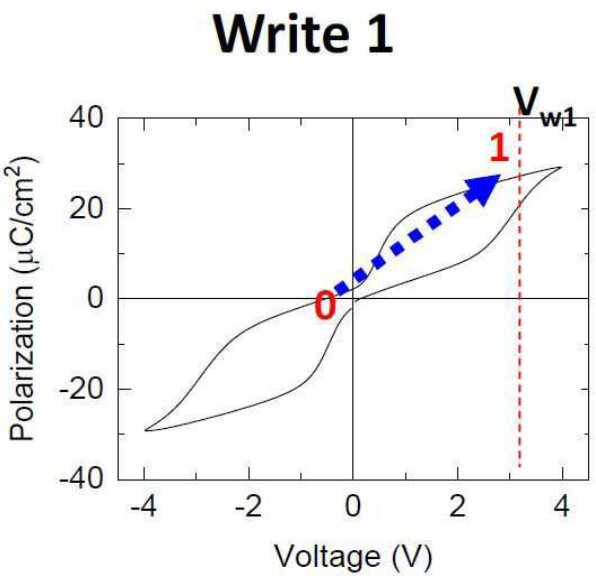
도면4


BL
GAA
Trensistor
구역
WL V_{th}'
100
pl1
wl
V_{th}
pl2
Capacitor
구역
pl3
200
source(GND)
AFE HZO
Oxide
Capacitor channel
(ex IGZO)

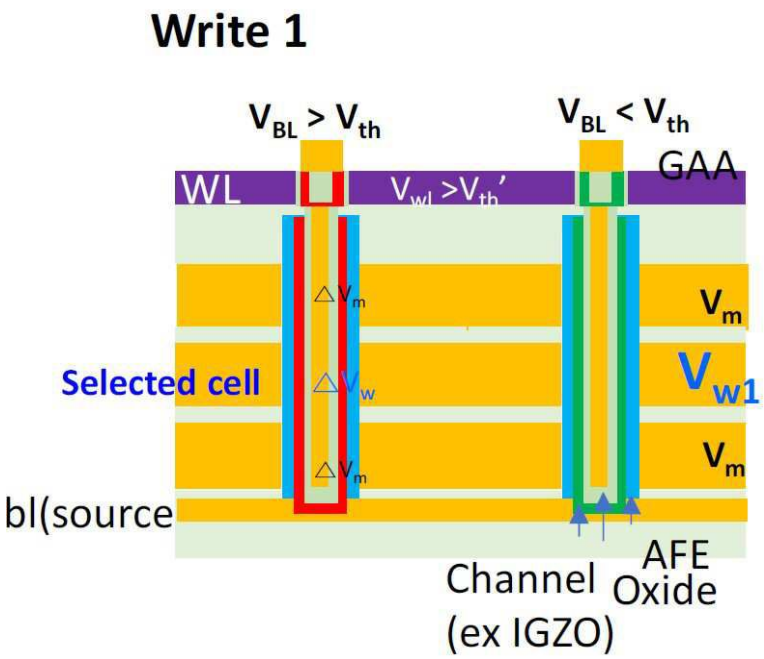
도면5


HfxZr1-xO2 PE curve
V_{w0}
V_m
V_{w1}
1
0
Polarization (μC/cm²)
40
20
0
-20
-40
-4
-2
0
2
4
Voltage (V)

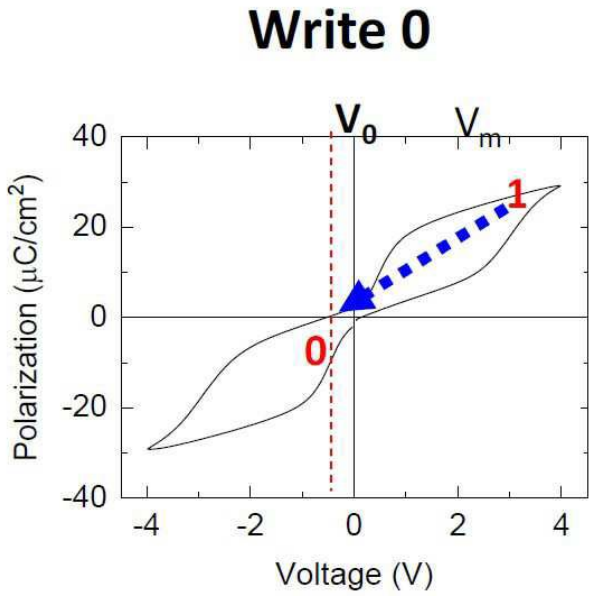
도면6a


Write 1
V_{w1}
1
0
Polarization (μC/cm²)
40
20
0
-20
-40
-4
-2
0
2
4
Voltage (V)

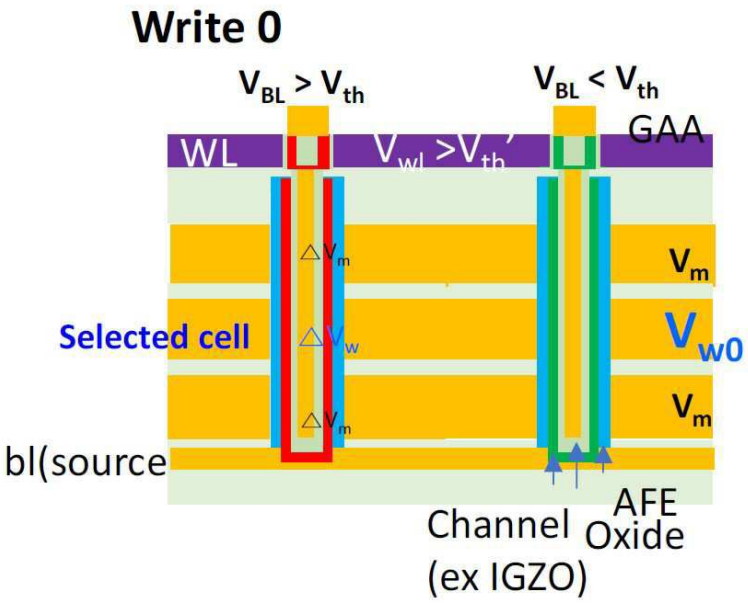
도면6b


Write 1
$V_{BL} > V_{th}$
$V_{BL} < V_{th}$
GAA
WL
$V_{wl} > V_{th}'$
$\triangle V_m$
V_m
Selected cell
$\triangle V_w$
V_{w1}
$\triangle V_m$
V_m
bl(source
AFE
Channel
Oxide
(ex IGZO)

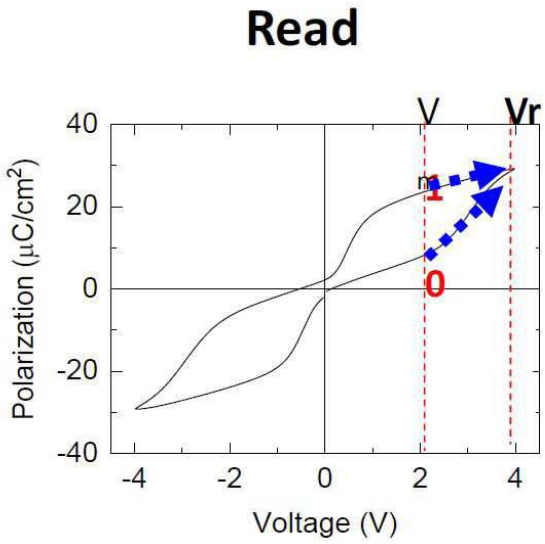
도면7a


Write 0
V0
Vm
1
0
Polarization (μC/cm²)
40
20
0
-20
-40
-4
-2
0
2
4
Voltage (V)

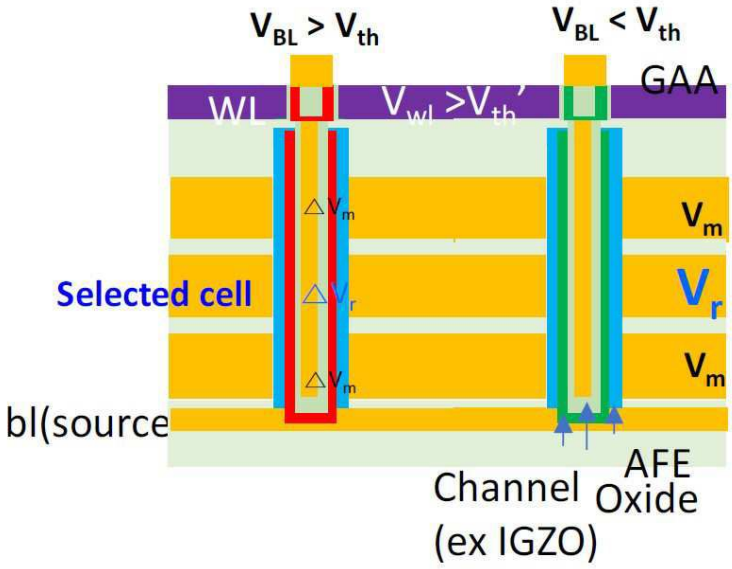
도면7b


Write 0
VBL > Vth
VBL < Vth
GAA
WL
Vwl >Vth'
△Vm
Vm
Selected cell
△Vw
Vw0
△Vm
Vm
bl(source
Channel
(ex IGZO)
AFE
Oxide

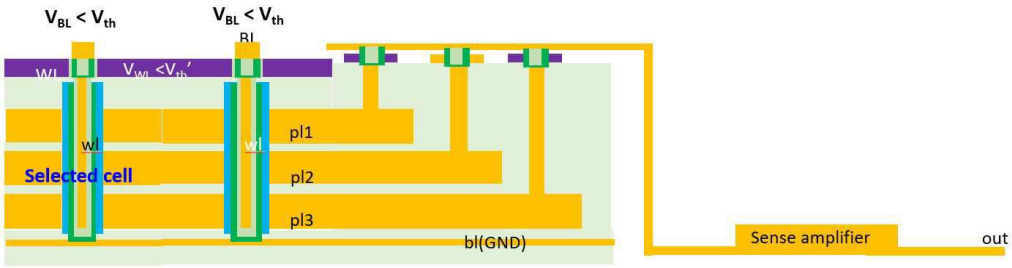
도면8a



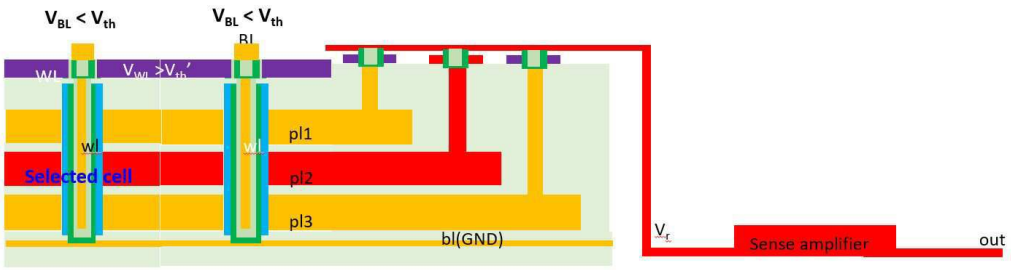
도면8b



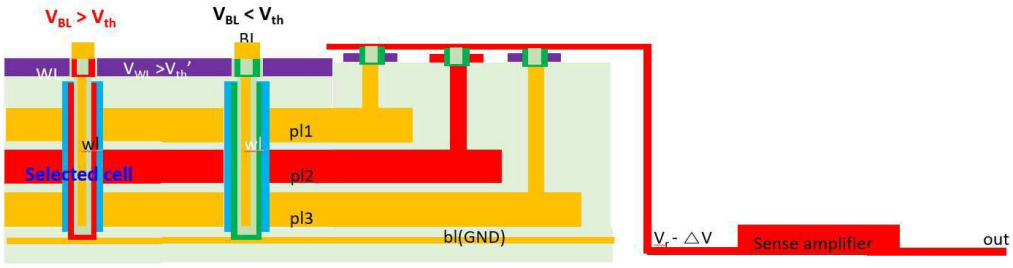
도면9a



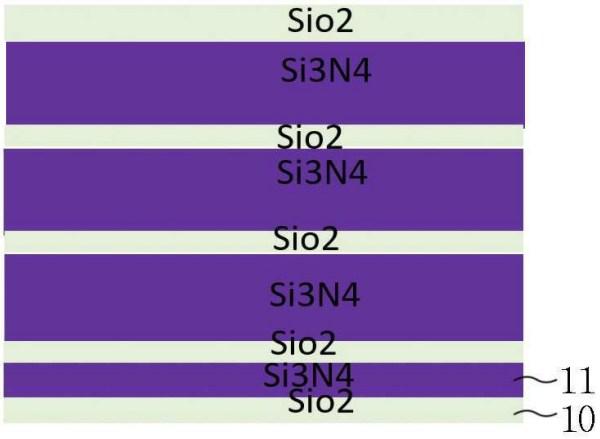
도면9b



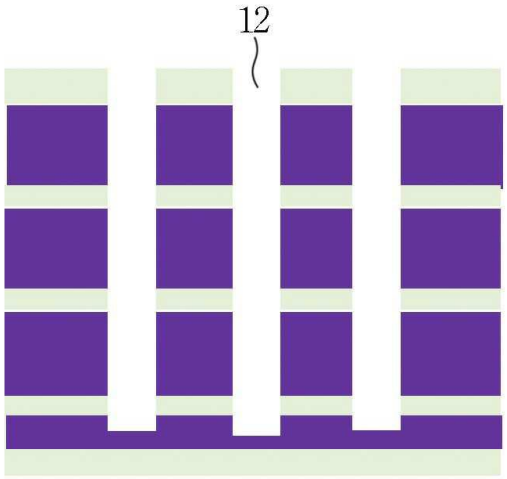
도면9c



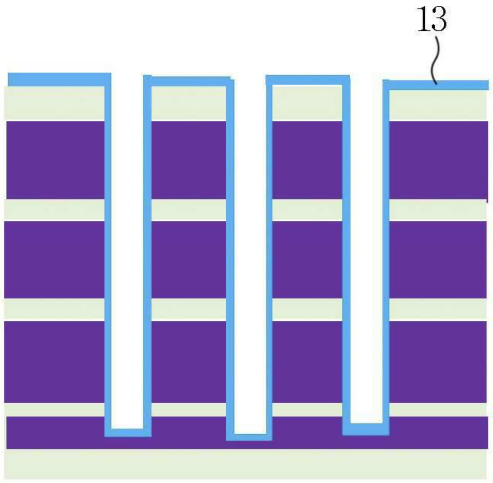
도면10a



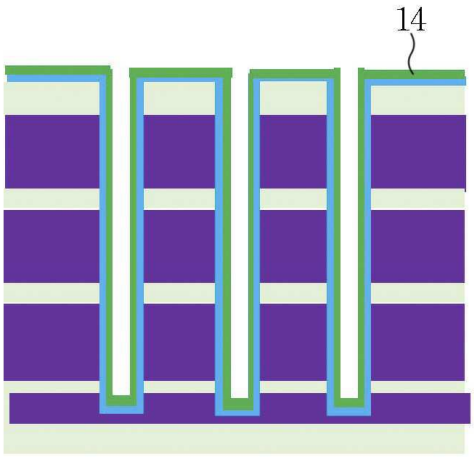
도면10b



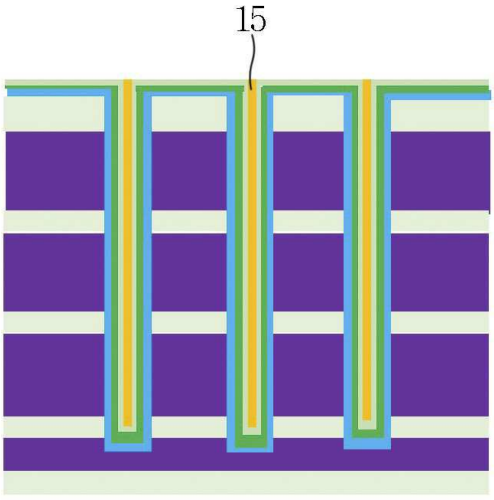
도면10c



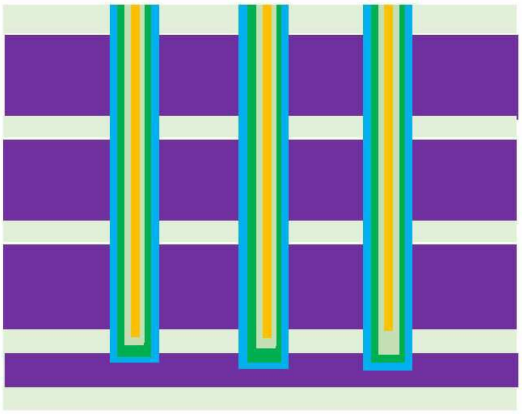
도면10d



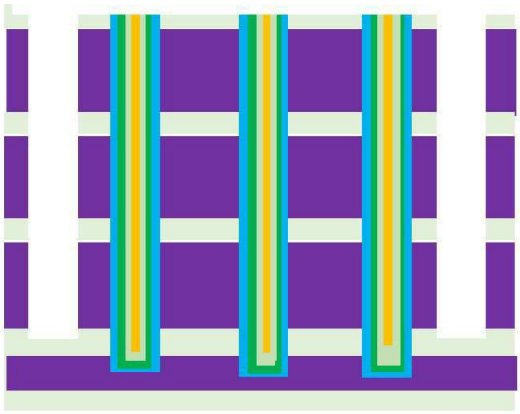
도면10e



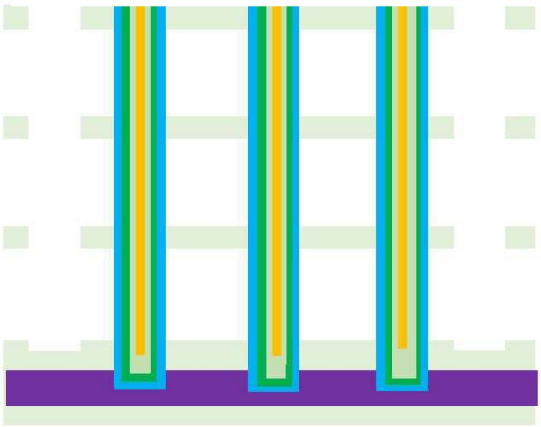
도면10f



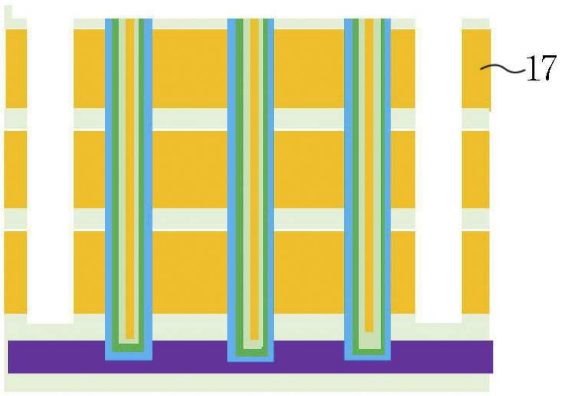
도면10g



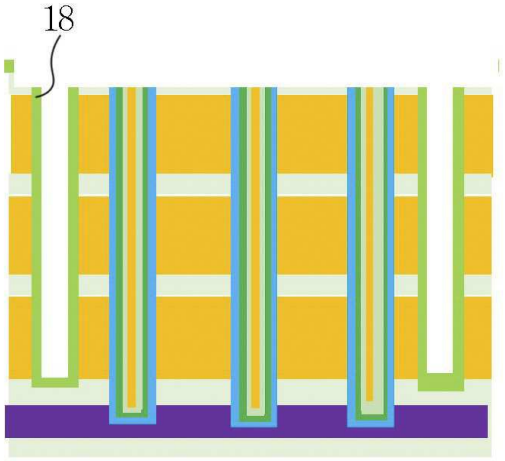
도면10h



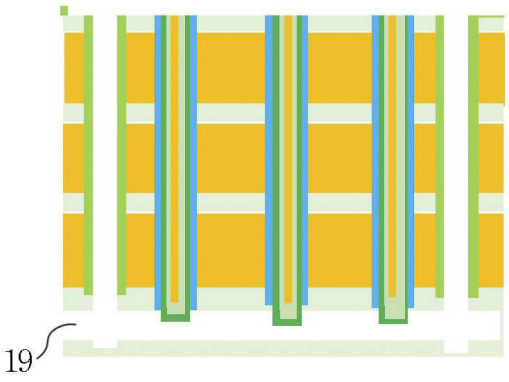
도면10i



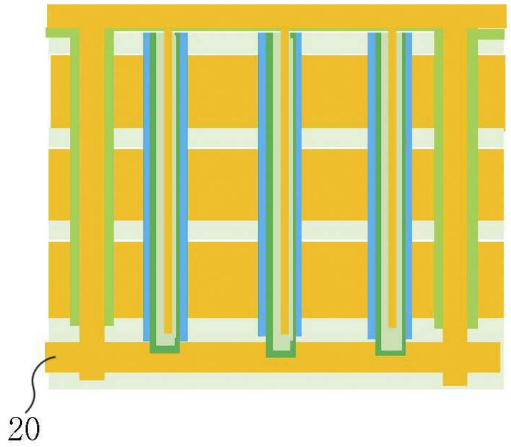
도면10j



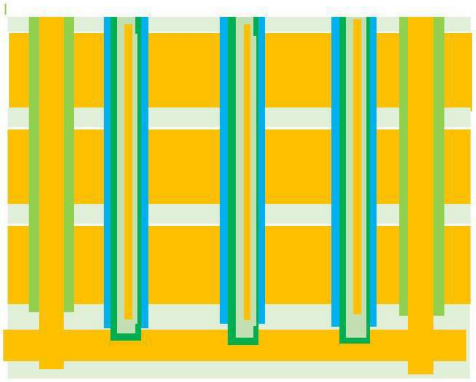
도면10k



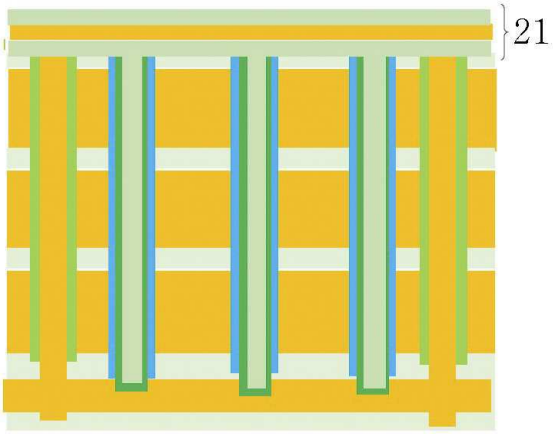
도면10l



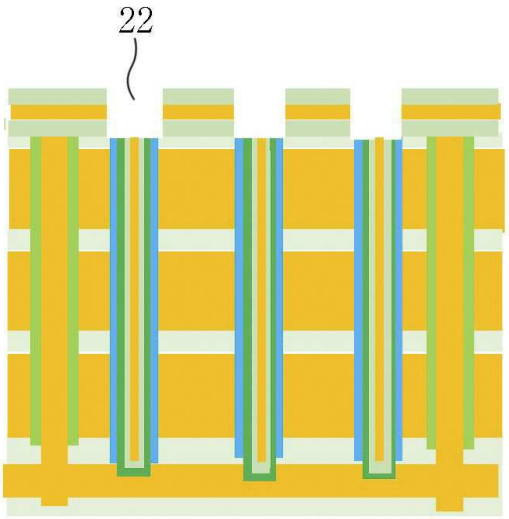
도면10m



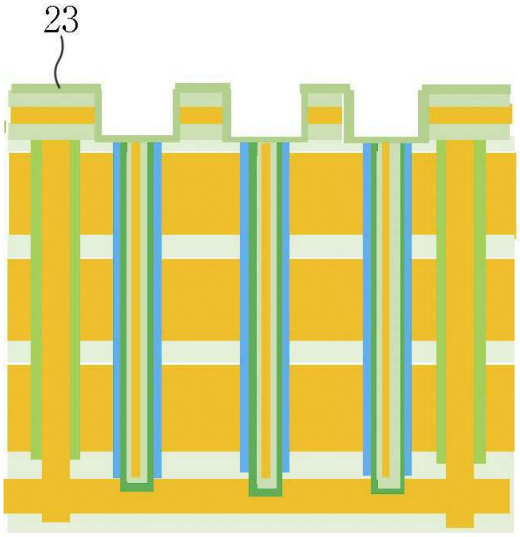
도면10n



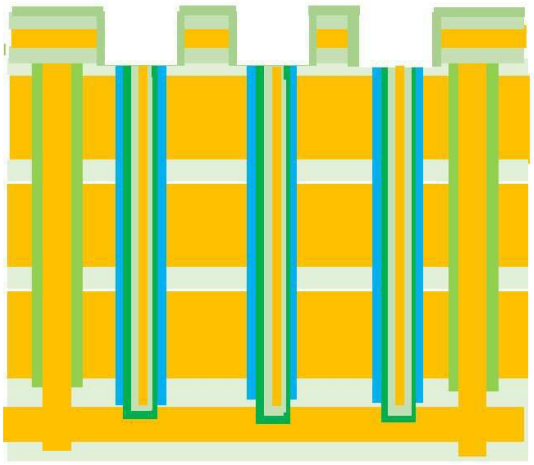
도면10o



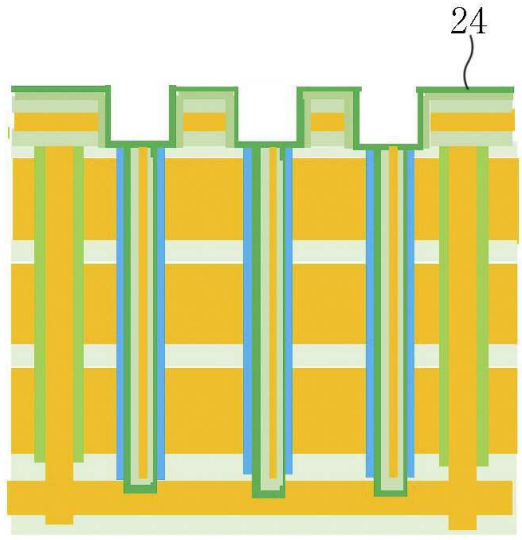
도면10p



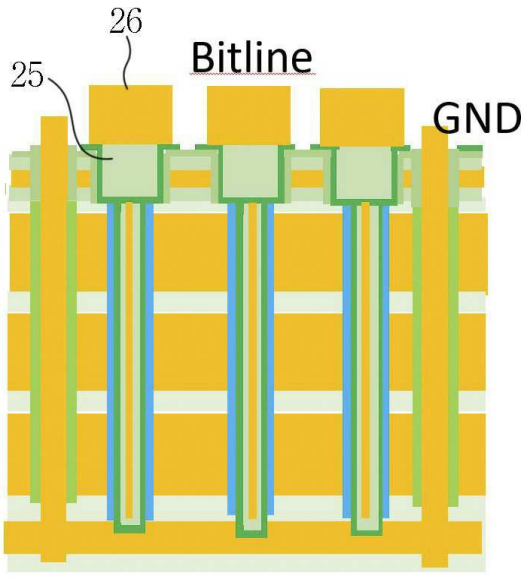
도면10q



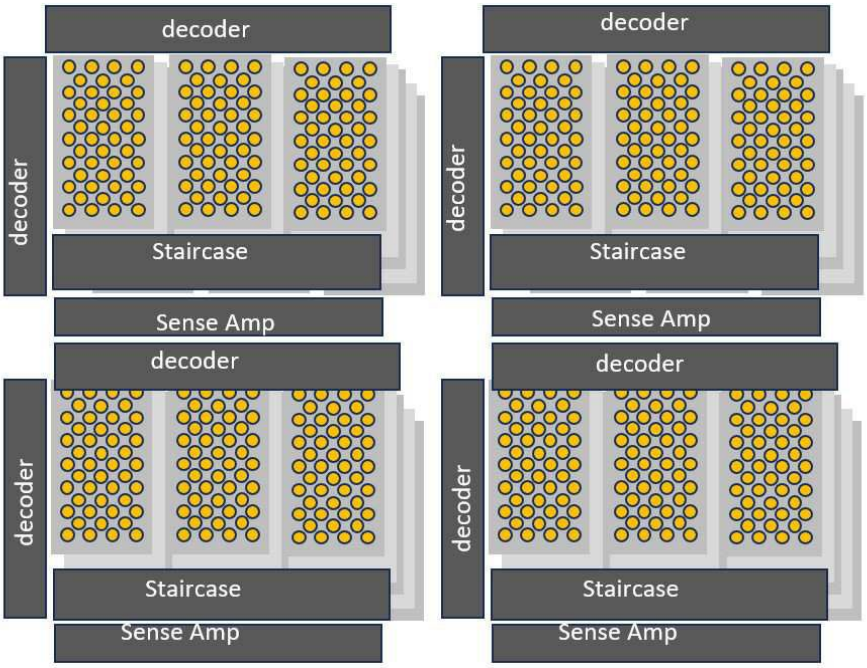
도면10r



도면10s



도면11


decoder
decoder
Staircase
Sense Amp
decoder
decoder
Staircase
Sense Amp
decoder
decoder
Staircase
Sense Amp
decoder
decoder
Staircase
Sense Amp