



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202429820 A

(43) 公開日：中華民國 113 (2024) 年 07 月 16 日

(21) 申請案號：112131609

(22) 申請日：中華民國 112 (2023) 年 08 月 23 日

(51) Int. Cl. : H03F1/42 (2006.01)

H03F3/20 (2006.01)

(30) 優先權：2022/09/08 日本

2022-142965

(71) 申請人：日商京三製作所股份有限公司 (日本) KYOSAN ELECTRIC MFG. CO., LTD. (JP)
日本

(72) 發明人：國玉博史 KUNITAMA, HIROSHI (JP) ; 吉田卓矢 YOSHIDA, TAKUYA (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：17 項 圖式數：14 共 89 頁

(54) 名稱

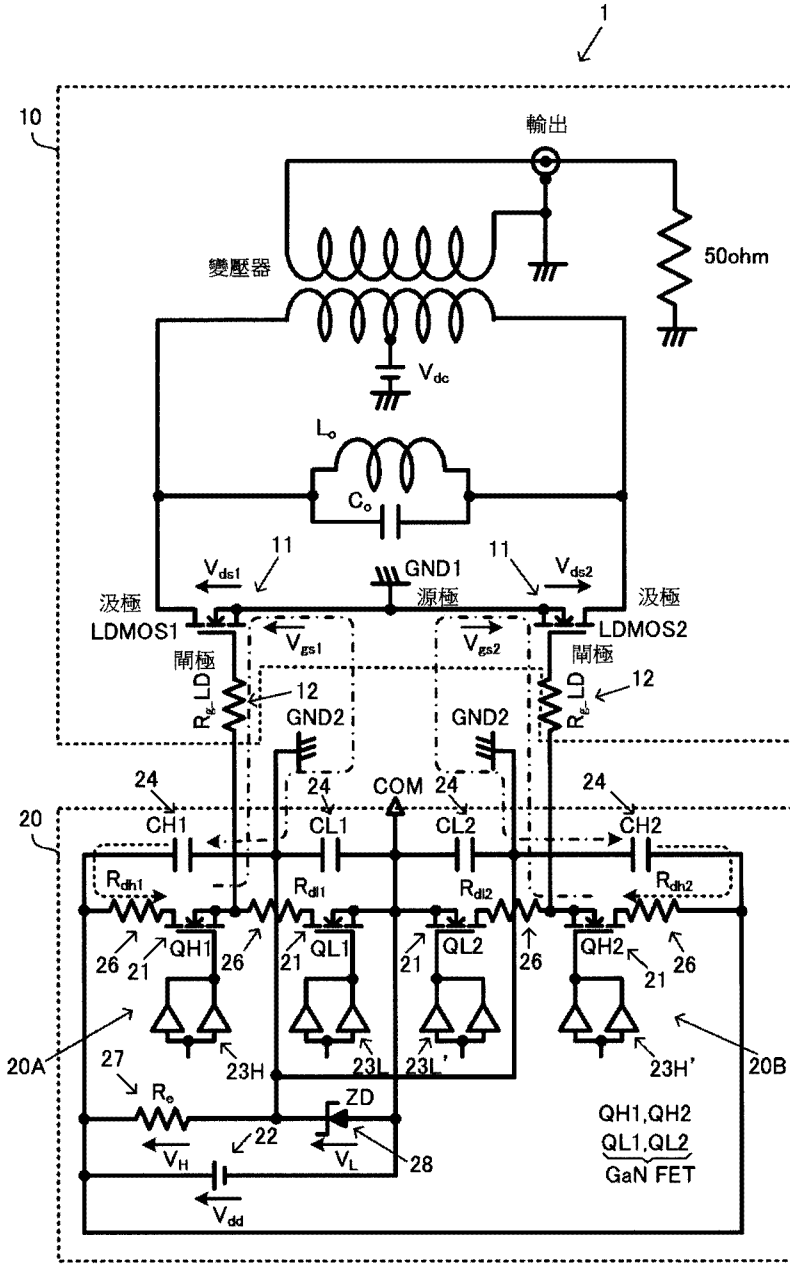
高頻電源裝置

(57) 摘要

本發明之高頻電源裝置，係具備有：高頻放大部，係藉由放大元件之切換動作而進行高頻放大；和閘極驅動部，係對於高頻放大部之放大元件之閘極端子輸入閘極訊號而驅動放大元件，高頻放大部之放大元件，係為 LDMOSFET，閘極驅動部之切換元件，係為 GaNFET。藉由作為放大元件而使用 LDMOSFET，來將高輸出/高頻率之高頻作輸出，藉由作為切換元件而使用 GaNFET，來降低切換元件之傳導延遲之個體差異，並對於進行 PWM 控制之閘極訊號的失效時間(dead time)DT 以及脈衝寬幅 T_{on} 之參差作抑制，而改善精確度與再現性，並改善高速回應特性，並且對於高頻共振作抑制。

A high-frequency power supply device of the present invention includes a high-frequency amplifier that performs high-frequency amplification by switching operation of an amplifying element, and a gate driver that inputs a gate signal to a gate terminal of the amplifying element of the high-frequency amplifier to drive the amplifying element. The amplifying element of the high frequency amplifier is an LDMOSFET, and the switching element of the gate driver is a GaNFET. By using LDMOSFETs as amplifying elements, high power of high frequency is output. By using GaNFETs as switching elements, individual differences in propagation delay of switching elements are reduced. And variations in dead time DT and pulse width T_{on} of gate signals for PWM control are suppressed to improve precision and reproducibility, improve high-speed response characteristics, and suppress high-frequency resonance.

指定代表圖：



【圖 1】

符號簡單說明：

1:高頻電源裝置

10:高頻放大器

11:放大元件

12:閘極電阻

20:閘極驅動部

20A,20B:閘極驅動電路

21:切換元件

22:直流電源

23H:驅動用邏輯

23H':驅動用邏輯

23L:驅動用邏輯

23L':驅動用邏輯

24:旁通電容器

26:汲極電阻

27:串聯電阻

28:齊納二極體

C_o:電容(capacitance)

GND1:接地電位

GND2:接地電位

L_o:電感

R_e:串聯電阻

R_{g-LD}:閘極電阻

V_H:驅動電壓

V_{dc}:直流電壓

V_{dd}:電源電壓

V_{ds1}:汲極-源極電壓

V_{ds2}:汲極-源極電壓

V_{gs1}:閘極電壓

V_{gs2}:閘極電壓

V_L:逆偏壓電壓

【發明摘要】

【中文發明名稱】

高頻電源裝置

【英文發明名稱】

HIGH FREQUENCY POWER SUPPLY DEVICE

【中文】

本發明之高頻電源裝置，係具備有：高頻放大部，係藉由放大元件之切換動作而進行高頻放大；和閘極驅動部，係對於高頻放大部之放大元件之閘極端子輸入閘極訊號而驅動放大元件，高頻放大部之放大元件，係為LDMOSFET，閘極驅動部之切換元件，係為GaN FET。藉由作為放大元件而使用LDMOSFET，來將高輸出/高頻率之高頻作輸出，藉由作為切換元件而使用GaN FET，來降低切換元件之傳導延遲之個體差異，並對於進行PWM控制之閘極訊號的失效時間(dead time)DT以及脈衝寬幅 T_{on} 之參差作抑制，而改善精確度與再現性，並改善高速回應特性，並且對於高頻共振作抑制。

【英文】

A high-frequency power supply device of the present invention includes a high-frequency amplifier that performs high-frequency amplification by switching operation of an amplifying element, and a gate driver that inputs a gate signal to a gate terminal of the amplifying element of the high-frequency amplifier to drive the amplifying element. The amplifying element of the high frequency amplifier is an LDMOSFET, and the switching element of the gate driver is a GaNFET. By using LDMOSFETs as amplifying elements, high power of high frequency is output. By using GaNFETs as switching elements, individual differences in propagation delay of switching elements are reduced. And variations in dead time DT and pulse width Ton of gate signals for PWM control are suppressed to improve precision and reproducibility, improve high-speed response characteristics, and suppress high-frequency resonance.

【指定代表圖】圖 1

【代表圖之符號簡單說明】

1:高頻電源裝置

10:高頻放大部

11:放大元件

12:閘極電阻

20:閘極驅動部

20A,20B:閘極驅動電路

21:切換元件

22:直流電源

23H:驅動用邏輯

23H':驅動用邏輯

23L:驅動用邏輯

23L':驅動用邏輯

24:旁通電容器

26:汲極電阻

27:串聯電阻

28:齊納二極體

C_0 :電容 (capacitance)

GND1:接地電位

GND2:接地電位

L_0 :電感

R_e :串聯電阻

R_{g-LD} :閘極電阻

V_H :驅動電壓

V_{dc} : 直流電壓

V_{dd} : 電源電壓

V_{ds1} : 汲極 - 源極電壓

V_{ds2} : 汲極 - 源極電壓

V_{gs1} : 閘極電壓

V_{gs2} : 閘極電壓

V_L : 逆偏壓電壓

【特徵化學式】 無

【發明說明書】

【中文發明名稱】

高頻電源裝置

【英文發明名稱】

HIGH FREQUENCY POWER SUPPLY DEVICE

【技術領域】

【0001】本發明，係有關於藉由切換模式來驅動放大元件並輸出高頻之高頻電源裝置。

【先前技術】

【0002】高頻電源裝置，係具備有藉由放大元件來將高頻作電力放大並作輸出之高頻放大部、和對於此高頻放大部之放大元件之閘極端子施加驅動訊號之閘極驅動部。

【0003】

(高頻放大部)

作為高頻電源裝置之高頻放大部所具備的放大元件，MOSFET係為周知。在MOSFET中，係周知有縱型MOSFET(VDMOSFET)與橫型MOSFET(LDMOSFET)之2個種類。

【0004】縱型MOSFET(VDMOSFET)，係基於其之高耐壓、大電流之特徵，而被使用在由切換動作所致之AC-DC切換電源或換流器處。此切換動作，一般而言係被限

定於數十 kHz～數十 MHz之區域中。若是此以上之高頻，則基於元件之特性，係會有在 ON 電阻上而有所犧牲之必要。

【0005】相對於此，橫型 MOSFET(LDMOSFET)，雖係存在有難以高耐壓化以及難以低 ON 電阻化之問題，但是，反過來說，係有著輸出電容 C_{oss} 為低電容且回饋電容 C_{rss} 為小之特徵。LDMOSFET，係基於此一具有低電容特性之特徵，而身為適合作為需要能夠非常高速地動作之高頻特性的高頻放大器之輸出控制元件的元件。

【0006】LDMOSFET，一般而言，係被使用於「在 A 級放大器、B 級放大器、AB 級放大器、C 級放大器等之活性動作區域中所被使用的高頻線性放大器」中，在由切換模式所致之 D 級放大器、E 級放大器、F 級放大器等之切換用途中，係並不會被作使用。

【0007】

(閘極驅動部)

在高頻電源裝置之閘極驅動部處，當進行一般性之線性放大時，作為閘極訊號係被使用有正弦波狀之振幅調變訊號，切換用之方形波狀訊號係並不會被作使用。在藉由先前技術之正弦波狀之閘極訊號來使 LDMOSFET 進行切換動作的情況時，係使用有使交流電壓重疊於偏壓電壓處所得到的正弦波狀之閘極電壓 V_{gs} 。偏壓電壓，係對於閘極電壓 V_{gs} 之基準準位作調整，並藉由將進行了準位調整後之閘極電壓 V_{gs} 與臨限值電壓 V_{th} 進行電壓比較，來制定失

效時間(dead time)DT以及脈衝寬幅 T_{on} 。

【0008】圖14，係對於先前技術之高頻電源裝置100之其中一構成例作展示。高頻電源裝置100，係具備有高頻放大部110和閘極驅動部120。高頻放大部110，係作為LDMOSFET之放大元件111而具備有LDMOS1以及LDMOS2。閘極驅動部120，係對於LDMOS1以及LDMOS2之閘極端子而施加閘極訊號。LDMOS1與LDMOS2，係藉由閘極訊號而進行切換動作。

【0009】閘極驅動電路，係將由交流電源之交流電壓 V_{ac} 所致的正弦波狀之閘極電壓 V_{gs} ，對於LDMOS1以及LDMOS2之閘極端子而與偏壓電壓 V_{bias} 相重疊地作施加。閘極電壓 V_{gs} ，由於係從交流電源來經由閘極變壓器之互電感 M_g 而將LDMOS1以及LDMOS2之閘極作共有，因此，係存在著「LDMOSFET會在OFF區間中而發生異常振盪之現象」的問題。

【0010】

(高頻訊號之輸出要件)

一般而言，以切換模式而動作之高頻電源裝置，由於係輸出高頻訊號，因此，針對高頻放大部，係要求有以下之(a)、(b)之要件，針對閘極驅動部，係要求有以下之(c)之要件。

(a)放大元件之切換動作

(b)放大元件之高速/高頻之動作特性

(c)放大元件之PWM控制

【0011】在對於高頻電源裝置所要求的高頻訊號之要件(a)、(b)、(c)中，縱型之VDMOSFET，雖然能夠滿足使放大元件進行切換動作之要件(a)，但是，關於高速/高頻之動作特性之要件(b)，則並無法滿足。作為此放大元件之高速/高頻之動作特性之要件(b)的對策，係可考慮替代縱型之VDMOSFET而使用低電容特性之橫型之LDMOSFET。然而，橫型之LDMOSFET，在使用A級放大器、B級放大器、C級放大器等之活性動作區域而進行放大動作之線性放大的情況時，係無法滿足放大元件之切換動作之要件(a)。

【0012】另一方面，橫型之LDMOSFET，除了要件(a)以外，由於其之在閘極驅動部處而由正弦波狀之閘極電壓 V_{gs} 所致之切換動作中，於失效時間DT以及脈衝寬幅 T_{on} 之調整的精確度以及再現性上係存在有課題，而為不安定，因此，在放大元件之PWM控制之要件(c)一點上也存在有問題。

【0013】在橫型之LDMOSFET之驅動中，於由正弦波狀之閘極電壓 V_{gs} 所致之切換動作中，失效時間DT以及脈衝寬幅 T_{on} ，係基於放大元件之臨限值電壓 V_{th} 與閘極電壓 V_{gs} 而被制定。因此，失效時間DT以及脈衝寬幅 T_{on} 係會起因於臨限值電壓 V_{th} 而受到大的影響。臨限值電壓 V_{th} ，由於係會起因於構成閘極驅動部之元件特性而存在有參差，因此，失效時間DT以及脈衝寬幅 T_{on} 之調整的精確度以及再現性係為不安定。故而，在驅動高頻放大元件之閘極驅

動中，利用正弦波來將閘極訊號之脈衝寬幅設為可變並進行PWM控制一事，係為困難。

【0014】針對此種先前技術之使用有VDMOSFET之放大元件之高頻放大部，作為能夠滿足高頻放大部之輸出要件(a)、(b)之構成，係提案有將LDMOSFET之放大元件在切換區域(飽和區域)中而作驅動之放大器(參照專利文獻1)。

【0015】又，針對閘極驅動部之輸出要件(c)，係提案有將LDMOSFET之放大元件藉由矩形波之閘極訊號來進行PWM控制之電源裝置(參照專利文獻2)。

[先前技術文獻]

[專利文獻]

【0016】

[專利文獻1]日本特開2017-092915號公報

[專利文獻2]日本特開平08-140341號公報

【發明內容】

[發明所欲解決之問題]

【0017】在高頻電源裝置中，針對身為高頻放大部之要件(a)放大元件之切換動作以及(b)放大元件之高速/高頻之動作特性，係如同在專利文獻1中所提案一般，而被提案有「作為放大元件，而使用LDMOSFET，並在切換區域(飽和區域)中而作驅動」之構成。

【0018】又，針對身為閘極驅動部之要件(c)放大元

件之PWM控制，係如同在專利文獻2中所提案一般，而提案有將LDMOSFET之放大元件藉由矩形波之閘極訊號來進行PWM控制之構成。

【0019】然而，於先前技術中所提案之進行PWM控制之閘極驅動部，為了使LDMOSFET以高速/高頻來動作，係存在有「在矩形波(方形波)之閘極電壓 V_{gs} 之失效時間DT以及脈衝寬幅 T_{on} 之精確度和再現性的觀點上仍並非為充分」的問題。

【0020】在輸出「輸出為1[kW]以上並且頻率範圍為27[MHz]~100[MHz]」之高輸出/高頻率之高頻的高頻電源裝置中，針對對於LDMOSFET之放大元件進行PWM控制的矩形波之閘極訊號之失效時間DT以及脈衝寬幅 T_{on} ，係要求有高的精確度和再現性。

【0021】另一方面，在專利文獻2中所提案之閘極驅動部，雖係提案有由矩形波之閘極訊號所致之PWM控制，但是，作為構成此閘極驅動部之切換元件，係使用有由Bi-MOS(雙極性MOS，bipolar MOS)所致的PWM控制IC。一般而言，Si-MOSFET，在從閘極接收控制訊號起直到切換元件到達ON狀態為止的傳導延遲中，係存在有元件之個體差異。例如，在先前技術之Si-MOSFET中，係存在有1[ns]~數[ns]之個體差異。因此，關於藉由Bi-MOS(bipolar MOS)所構成之PWM控制IC，亦同樣的，起因於切換元件之傳導延遲之個體差異，在施加於高頻放大部之LDMOSFET之閘極端子處並進行PWM控制的閘極訊號之失

效時間 DT 以及脈衝寬幅 T_{on} 中係會產生有參差，並在精確度與再現性中產生問題。

【0022】在輸出「輸出為 $1[kW]$ 以上並且頻率範圍為 $27[MHz] \sim 100[MHz]$ 」之高輸出/高頻率之高頻的高頻電源裝置中，傳導延遲之個體差異，對於要使PWM控制成為可能一事而言，係為無法容許的重要因素。在專利文獻2中，係並不存在有任何之有關於用以在高輸出/高頻率之高頻中而進行PWM控制的技術性之揭示。

【0023】又，在將高輸出/高頻率之高頻作輸出的高頻電源裝置中，於閘極驅動部處，除了起因於切換元件之傳導延遲之個體差異所導致之閘極訊號的失效時間 DT 以及脈衝寬幅 T_{on} 之精確度與再現性的問題以外，亦存在有像是閘極驅動部之高速回應特性、起因於寄生電容與配線電感所導致的高頻共振之抑制等的問題。另外，在專利文獻2中，針對此些之問題以及用以解決問題之技術性的手段，係並未作任何之揭示。

【0024】故而，本發明之目的，係在於解決前述之先前之問題，而在將高輸出/高頻率之高頻作輸出之高頻電源裝置之閘極驅動部處，將切換元件之傳導延遲之個體差異降低，並對於進行PWM控制之閘極訊號的失效時間 DT 以及脈衝寬幅 T_{on} 之參差作抑制，而改善精確度與再現性。

【0025】又，本發明之目的，係在於在將高輸出/高頻率之高頻作輸出之高頻電源裝置之閘極驅動部處，將高

速回應特性作改善，並對於高頻共振作抑制。

[用以解決問題之手段]

【0026】本發明之高頻電源裝置，係具備有高頻放大部和閘極驅動部。高頻放大部，係具備有放大元件，並藉由此放大元件之切換動作而使其進行高頻放大，並輸出高頻之輸出電力。閘極驅動部，係具備有切換元件，並藉由此切換元件之切換動作而對於高頻放大部之放大元件之閘極端子輸入閘極訊號，並藉由閘極訊號而驅動放大元件。

【0027】本發明，係在具備有高頻放大部和閘極驅動部之高頻電源裝置中，作為高頻放大部之放大元件而使用LDMOSFET，並作為閘極驅動部之切換元件而使用GaN FET。

【0028】閘極驅動部之GaN FET，係藉由切換動作而產生矩形波訊號之閘極訊號，並將所產生了的閘極訊號對於高頻放大部之LDMOSFET之閘極端子作施加，而進行PWM控制。

【0029】藉由作為高頻放大部之放大元件而使用LDMOSFET，來輸出高輸出/高頻率之高頻。又，係藉由作為閘極驅動部之切換元件而使用GaN FET，來降低切換元件之傳導延遲之個體差異，並對於進行PWM控制之閘極訊號的失效時間DT以及脈衝寬幅 T_{on} 之參差作抑制，而改善精確度與再現性。

【0030】

(用以對於高頻共振作抑制之構成)

為了使高頻放大部輸出高輸出/高頻率之高頻，係要求「施加於放大元件之LDMOSFET之閘極端子處的矩形波之閘極訊號之失效時間DT以及脈衝寬幅 T_{on} 之參差為小」。特別是在27[MHz]~100[MHz]一般之高頻區域中，係強烈地要求「使起因於矩形波波形之上揚與下挫所發生的振動被作抑制，而使閘極訊號之失效時間DT以及脈衝寬幅 T_{on} 之參差被作抑制」。

【0031】 在本發明中，作為起因於矩形波波形之上揚與下挫所發生的振動，係注目於在切換元件之近旁處所發生的高頻共振現象，並藉由對於此高頻共振現象作抑制，來抑制閘極訊號之矩形波波形之紊亂。

【0032】 在本發明之閘極驅動部處，針對切換元件之輸出寄生電容 C_{oss_GaN} 和被連接於切換元件之汲極端子處之配線的電感 L_2 之間之LC共振，係在切換元件之汲極端子處連接汲極電阻(R_d)而將共振振動作衰減。汲極電阻(R_d)，係將由輸出寄生電容 C_{oss_GaN} 與配線電感 L_2 之LC電路所致之振動作衰減。藉由此，矩形波形之上揚與下挫處的波形變形係被降低，閘極訊號之失效時間DT以及脈衝寬幅 T_{on} 之參差係被作抑制。通常，切換元件，係基於進行高效率之高頻動作一事，而被要求乃身為低電阻，但是，在本發明中，係藉由在低電阻特性之GaN FET處附加汲極電阻(R_d)，來對於LC共振之振動作抑制。

【0033】

(用以達成高速回應特性之構成)

本發明之高頻電源裝置，係為了將高頻放大部之放大元件以高頻且 PWM 控制來作驅動，而需要高頻之矩形波波形之閘極訊號。本發明之閘極驅動部，係為了進行由高頻之矩形波波形之閘極訊號所致之 PWM 控制，而具備有將閘極驅動部之高頻回應性提高之構成。當閘極驅動部之高頻回應性為有所不足的情況時，於閘極訊號之矩形波波形之上揚與下挫處，係會產生時間常數變大而導致上揚時間 / 下挫時間相較於矩形波訊號之脈衝寬幅而變長的現象、起因於波形有所振動之振動現象等所導致之波形變形現象等。

【0034】本發明，係在閘極驅動部以及高頻放大部處，作為將閘極驅動部之高頻回應性提高之構成，而在(A)電路元件之電性特性以及(B)電路元件之配置上，具備有特徵性之構成。

【0035】

(A)電路元件之電性特性

(a)總閘極電荷(閘極總電荷量) Q_g

作為電路元件之電性特性，係存在有身為閘極驅動部之主動元件的切換元件之總閘極電荷(閘極總電荷量) Q_g 。本發明，係制定與高頻之切換動作之切換頻率 f_{sw} 相對應的總閘極電荷 Q_g 之上限值，並使用具有較此上限值而更小之總閘極電荷(閘極總電荷量) Q_g 的切換元件。藉由對於切換元件之總閘極電荷 Q_g 之上限值作限制，係能夠使由高頻輸

出之頻率範圍內的切換頻率 f_{sw} 所致之切換動作高速化。

【0036】總閘極電荷(閘極總電荷量)，係亦被稱呼為「閘極輸入電荷量」之名稱。以下，係使用總閘極電荷(閘極總電荷量)之名稱來進行說明。

【0037】

(b)閘極驅動部之LC共振電路

在閘極驅動部處，係藉由配線電感 L 與切換元件所具有的寄生電容 C ，來形成LC共振電路。當由此LC共振電路所致之共振頻率 f_0 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形變形的重要因素。本發明之高頻電源裝置，係藉由對於配線電感作限制，來將LC共振電路之共振頻率設為較切換頻率 f_{sw} 而更高之頻率，以降低起因於共振現象所導致的影響。

【0038】

(b1)配線電感之限制

配線電感 L_1 ，係為被連接在「切換元件」和「對於此切換元件之閘極端子施加驅動訊號的驅動用邏輯IC」之間之配線所具有的電感，並在自身與切換元件之閘極電容 C_{iss_GaN} 之間而構成LC共振電路。當由LC共振電路所致之共振頻率 f_{o1} 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形變形的重要因素。

【0039】以會使起因於此LC共振所致之共振頻率 f_{o1}

成為較高頻之切換動作之切換頻率 f_{sw} 而更高之頻率的方式，來設定配線電感 L_1 之電感值之上限值。藉由對於配線電感 L_1 之上限值作限制而將配線之電感縮小，起因於 LC 共振所致之共振頻率 f_{o1} 係會成為較高頻之切換動作之切換頻率 f_{sw} 之頻率範圍而更高之頻率。藉由此，若是切換動作之切換頻率 f_{sw} 係為高頻之切換動作之頻率範圍，則 LC 共振之發生係被抑制，起因於共振振動所致之波形變形現象係被作抑制，高頻回應性係提升。配線之配線長度，係以會使配線電感 L_1 成為上限值以下的方式而被作設定。

【0040】

(b2)配線電感 L_2 之限制

配線電感 L_2 ，係為被連接在「切換元件」和「被與此切換元件之汲極端子作連接之旁通電容器」之間之配線所具有的電感。配線電感 L_2 ，係在自身與切換元件之輸出寄生電容 C_{oss_GaN} 之間而構成 LC 共振電路。

【0041】被與汲極端子作連接之旁通電容器，係將相對於配線之接地電位 (ground) 的交流性之阻抗作降低，而對起因於切換元件之切換動作所發生的雜訊流出至電源線處的情形作抑制。

【0042】當由 LC 共振電路所致之共振頻率 f_{o2} 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形變形的重要因素。

【0043】以會使起因於此 LC 共振所致之共振頻率 f_{o2} 成為較高頻之切換動作之切換頻率 f_{sw} 而更高之頻率的方式

式，來設定配線電感 L_2 之電感值之上限值。配線之配線長度，係以會使配線電感 L_2 成為上限值以下的方式而被作設定。

【0044】藉由對於配線電感 L_2 之上限值作限制而將配線之電感縮小，起因於LC共振所致之共振頻率 f_{o2} 係會成為較高頻之切換動作之切換頻率 f_{sw} 之頻率範圍而更高之頻率。藉由此，若是切換動作之切換頻率 f_{sw} 係為高頻之切換動作之頻率範圍，則LC共振現象之發生係被抑制，起因於共振振動所致之波形變形現象係被作抑制，高頻回應性係提升。配線之配線長度，係以會使配線電感 L_2 成為上限值以下的方式而被作設定。

【0045】

(b3)配線電感 L_3 之限制

配線電感 L_3 ，係為「閘極驅動部之高端(high side)側之切換元件之源極端子」與「放大元件之閘極端子」之間的配線所具有之電感。配線電感 L_3 ，係在自身與放大元件之閘極電容 C_{iss_LD} 之間而構成LC共振電路。

【0046】當由LC共振電路所致之共振頻率 f_{o3} 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形變形的重要因素。

【0047】本發明，係以會使起因於LC共振所致之共振頻率 f_{o3} 成為較高頻之切換動作之切換頻率 f_{sw} 而更高之頻率的方式，來設定配線電感 L_3 之電感值之上限值。配線之配線長度，係以會使配線電感 L_3 成為上限值以下的方式

而被作設定。

【0048】藉由對於配線電感 L_3 之上限值作限制而將配線之電感縮小，起因於LC共振所致之共振頻率 f_{o3} 係會成為較高頻之切換動作之切換頻率 f_{sw} 之頻率範圍而更高之頻率。藉由此，若是切換動作之切換頻率 f_{sw} 係為高頻之切換動作之頻率範圍，則LC共振現象之發生係被抑制，起因於共振振動所致之波形變形現象係被作抑制，高頻回應性係提升。配線之配線長度，係以會使配線電感 L_3 成為上限值以下的方式而被作設定。

【0049】

(b4)汲極電阻(R_{dh} ， R_{dl})

(i)保護電路

高頻放大部之LDMOSFET，係內藏有用以對於閘極作保護之閘極保護電路。閘極保護電路，係為對於「當將LDMOSFET在飽和區域中而作使用時，於逆電壓施加時負電壓之逆偏壓電壓超過閘極之容許電壓地而被作施加」的情形作防止之電路。針對此保護電路，亦係存在有容許電壓範圍，當從閘極驅動部所施加之負電壓超過閘極保護電路之容許電壓範圍的情況時，閘極保護電路係會有被破壞之虞。

【0050】本發明，係藉由將被施加於閘極保護電路處之負電壓抑制在容許電壓範圍內，而具備有防止閘極保護電路之破壞之構成。

又，在本發明之高頻電源裝置，閘極驅動部，係具備

有

(a)被作了串聯連接的高端側之切換元件與低端側之切換元件；和

(b)被與直流電源(V_{dd})作了並聯連接的串聯電阻(R_e)與齊納二極體(ZD)之串聯電路。

【0051】此串聯電阻(R_e)與齊納二極體(ZD)之串聯電路，係

(c)對於高端側之切換元件，而將串聯電阻(R_e)之兩端電壓作為驅動電壓 V_H 而作施加，並對於低端側之切換元件，而將齊納二極體(ZD)之兩端電壓作為逆偏壓電壓 V_L 而作施加。

(d)驅動電壓 V_H 以及逆偏壓電壓 V_L ，係被設定為高頻放大部所內藏的保護電路之額定電壓之電壓範圍內。

【0052】

(ii)汲極電阻(R_{dh} ， R_{dl})

在將LDMOSFET之閘極作逆偏壓時，若是起因於共振振動而在閘極電壓 V_{gs} 處產生有振動，則係會有超過LDMOSFET之閘極保護電路之逆耐電壓之虞。此共振振動，由於GaN FET之ON電阻係為數ohm~數十ohm而為非常小，因此，係為起因於在GaN FET之輸出寄生電容 C_{oss_GaN} 與旁通電容器間之配線電感 L_2 之間所產生的共振現象而導致者。

【0053】為了對於此共振現象作抑制，在本發明中，係於GaN FET之汲極側處，插入汲極電阻(R_{dh} 、 R_{dl})。作為

汲極電阻 (R_{dh} 、 R_{dl})，例如係使用 $0.5[\text{ohm}] \sim 2[\text{ohm}]$ 程度之電阻值。

【0054】

(b5)放大元件之閘極電阻 (R_{g_LD})

作為高頻放大部之其中一個電性特性，係存在有被與放大元件之閘極端子作連接之閘極電阻 (R_{g_LD})。

【0055】 閘極驅動部之切換元件，係具備有高端側之切換元件與低端側之切換元件之串聯電路。高端側和低端側之切換元件之連接點與放大元件之閘極端子之間之配線電感 L_3 ，係與放大元件之閘極電容 C_{iss_LD} 一同構成 LC 共振電路。此 LC 共振電路之共振現象，係會成為在閘極訊號之波形處而發生振鈴 (ringing) 等之波形變形的重要因素。本發明之閘極電阻 (R_{g_LD})，係將由 LC 共振電路所致之共振作衰減。

【0056】

(C)電路元件之配置

本發明，係作為將閘極驅動部之高頻回應性提高之構成，來針對閘極驅動部所具備之電路元件之配置，而具備有以下之第1構成～第6構成。第1構成以及第2構成，係為用以成為不會相對於基準電位而產生電性之不均等的元件配置，第3構成以及第4構成，係為用以提高電路元件之散熱的元件配置，第5構成以及第6構成，係為用以將電流迴路之路徑縮短的元件配置。

【0057】 在高頻電源裝置所具備之高頻放大部以及閘

極驅動電路處，高頻放大部係為將2個的放大元件之源極端子作接地連接之推挽電路，閘極驅動部係具備有對於高頻放大部之2個的放大元件之各閘極端子施加閘極訊號之2個的閘極驅動電路。

【0058】

(a)有關於電路元件配置之第1構成

在有關於電路元件配置之第1構成中，2個的閘極驅動電路，係藉由相同之電路構成而構成推挽電路，構成各閘極驅動電路之相同之功能的電路元件，係相對於通過COM電位之對稱軸而在對稱且等距離之位置處被作線對稱配置。藉由此線對稱配置，2個的閘極驅動電路之各電路元件，係以COM電位作為基準電位而被電性對稱地作配置。

【0059】藉由使電路元件被電性對稱地作配置，「閘極訊號之失效時間DT以及脈衝寬幅 T_{on} 之偏移」和「雙方之閘極訊號之同步偏移」等之基於閘極訊號之從基準電位起之偏移所產生之2個的閘極訊號間之偏移係被作抑制。

【0060】

(b)有關於電路元件配置之第2構成

有關於電路元件配置之第2構成，係與身為第1構成之線對稱配置一同地而具有輻射狀配置。

【0061】在各閘極驅動電路所具備的高端側之切換元件以及低端側之切換元件之閘極端子處，係於自身與對於各閘極端子施加驅動訊號之驅動用邏輯IC之間，被連接有閘極電阻(R_g _GaN)，而被構成有串聯電路。此驅動用邏輯

IC與閘極電阻 (R_{g_GaN})之串聯電路，係相對於閘極端子而被直線狀地作配置，並且係相對於各切換元件而被輻射狀地作配置。藉由輻射狀配置，各串聯電路之配線長度以及電性長度係成為均等。藉由此，起因於配線長度為相異一事所導致的配線電感之差異和起因於電性長度為相異一事所導致的延遲時間等之偏移等係被作抑制。

【0062】

(c)有關於電路元件配置之第3構成

有關於電路元件配置之第3構成，係為將電路元件作冷卻之構成。

閘極驅動部，係具備有主動元件與被動元件。旁通電容器和電阻元件之被動元件，係相對於基板而被配置於表層處，並藉由空氣冷卻而被作冷卻。GaNFET之主動元件，係相對於基板而被配置於背面處，並藉由中介於導傳熱構件地而作接觸之散熱部而被作冷卻。

【0063】本發明，係將發熱量為相異之主動元件與被動元件隔著基板而配置在相反側處。藉由將發熱量為小之被動元件相對於基板而配置在表層處，係能夠進行由空氣冷卻所致之冷卻，藉由將發熱量為大之主動元件相對於基板而配置在背面處，係能夠進行由散熱部所致之強制冷卻。散熱部，係可使用水冷卻板或者是鰓。

【0064】

(d)有關於電路元件配置之第4構成

有關於電路元件配置之第4構成，係為有關於熱傳導

以及配線電感降低之構成。

在閘極驅動部處，旁通電容器和電阻元件之被動元件，係將其之並聯個數(並聯數)以及安裝圖案寬幅，以會使其之實效寬幅成為與高頻放大部之放大元件之本體寬幅同等或者是較本體寬幅而更廣的方式來構成。

【0065】 被動元件之熱傳導以及用以降低配線電感之實效寬幅，係基於被作了並聯配置之被動元件的個數以及安裝圖案寬幅，而被制定。藉由使此實效寬幅成為與高頻放大部之放大元件之本體寬幅同等或者是較本體寬幅而更廣，係能夠反映有從被動元件而來之熱傳導效率之提升以及低配線電感化。

【0066】

(e)有關於電路元件配置之第5構成

有關於電路元件配置之第5構成，係為有關於在閘極驅動部與高頻放大部之間而流動的電流迴路(loop)之構成。

【0067】 在閘極驅動部處，係於表層側之閘極電阻(R_{g_LD})之正下方背面處，包夾基板地而配置有導電性之遮蔽墊圈。此導電性之遮蔽墊圈，係成為閘極驅動部側之接地電位(GND2)。另一方面，在高頻放大部處，放大元件之源極電壓，係成為高頻放大部側之接地電位(GND1)。閘極驅動部側之接地電位(GND2)與高頻放大部側之接地電位(GND1)，係經由散熱部而被作電性連接，在閘極驅動部與高頻放大部之間係被形成有電流迴路

(loop)。

【0068】

(f)有關於電路元件配置之第6構成

有關於電路元件配置之第6構成，係為有關於在閘極驅動部與高頻放大部之間而流動的電流迴路之構成。

【0069】在閘極驅動部處，切換元件，係包夾著基板地，而被配置在汲極電阻(R_d)以及旁通電容器之下方處，並經由被設置在基板處之貫通孔而被作電性連接。藉由此配置，切換元件、汲極電阻(R_d)、旁通電容器等之電路元件係被作近接配置，配線電感係被作抑制，電流迴路之電性長度係被縮短。

[發明效果]

【0070】如同以上所作了說明一般，若依據本發明，則係在將高輸出/高頻率之高頻作輸出之高頻電源裝置之閘極驅動部處，將切換元件之傳導延遲之個體差異降低，並對於進行PWM控制之閘極訊號的失效時間DT以及脈衝寬幅 T_{on} 之參差作抑制，而改善精確度與再現性。又，係在將高輸出/高頻率之高頻作輸出之高頻電源裝置之閘極驅動部處，將高速回應特性作改善，並對於高頻共振作抑制。

【圖式簡單說明】

【0071】

[圖 1]係為用以對於本發明之高頻電源裝置的構成作說明之圖。

[圖 2]係為用以對於閘極驅動部的動作作說明之圖。

[圖 3]係為用以對於閘極驅動部的動作作說明之圖。

[圖 4]係為用以對於閘極驅動部的動作作說明之圖。

[圖 5]係為用以對於閘極驅動部的配線電感作說明之圖。

[圖 6]係為用以對於閘極保護電路的保護作說明之圖。

[圖 7]係為用以對於閘極保護電路的保護作說明之圖。

[圖 8]係為用以對於電路元件之配置作說明之圖。

[圖 9]係為用以對於電路元件之配置作說明之圖。

[圖 10]係為用以對於電路元件之配置作說明之圖。

[圖 11]係為用以對於電路元件之配置作說明之圖。

[圖 12]係為用以對於電路元件之配置作說明之圖。

[圖 13]係為用以對於電路元件之配置作說明之圖。

[圖 14]係為用以對於先前技術之高頻電源裝置之其中一構成例作說明之圖。

【實施方式】

【0072】以下，使用圖 1，對於本發明之高頻電源裝置之構成進行說明，並使用圖 2～圖 4，而對於閘極驅動部之動作進行說明，並使用圖 5，來對於閘極驅動部之配線

電感進行說明，並使用圖6、圖7，來對於閘極保護電路之保護進行說明，並且使用圖8～圖13，來對於電路元件之配置進行說明。

【0073】

(A)本發明之概略構成

圖1，係為用以對於本發明之高頻電源裝置的構成作說明之圖。

本發明之高頻電源裝置1，係具備有高頻放大部10和閘極驅動部20。高頻放大部10，係具備有放大元件11，並藉由此放大元件11之切換動作而使其進行高頻放大，並輸出高頻之輸出電力。

【0074】閘極驅動部20，係具備有切換元件21。此切換元件21，係將藉由切換動作所產生之矩形波訊號作為閘極訊號而對於高頻放大部10之放大元件11之閘極端子(Gate)作輸入，並驅動放大元件11。

【0075】高頻放大部10，係作為放大元件11而使用LDMOSFET(橫型MOSFET)，閘極驅動部20，係作為切換元件21而使用GaN FET。閘極驅動部20之GaN FET，係藉由切換動作而產生矩形波訊號之閘極訊號，並將所產生的閘極訊號對於高頻放大部10之LDMOSFET之閘極端子作施加，而進行PWM控制。

【0076】藉由作為高頻放大部10之放大元件11而使用LDMOSFET，來輸出高輸出/高頻率之高頻。又，係藉由作為閘極驅動部20之切換元件21而使用GaN FET，來降低

切換元件之傳導延遲之個體差異，並對於進行PWM控制之閘極訊號的失效時間DT以及脈衝寬幅 T_{on} 之參差作抑制，而改善精確度與再現性。

【0077】在圖1中所示之高頻放大部10，係藉由使用2個的放大元件11來設為推挽構成，而使高頻輸出增大。

【0078】

(高頻放大部之構成)

在推挽構成中，其中一方之放大元件11(LDMOS1)和另外一方之放大元件11(LDMOS2)之雙方的源極端子係被接地，在2個的放大元件11之汲極端子之端子間，「電感 L_o 與電容 C_o 之並聯電路」與「變壓器之一次側之線圈」係被作並聯連接。在一次側之線圈之中點處，係被連接有直流電壓 V_{dc} 。變壓器之二次側之線圈，係被與對於負載輸出高頻電力之輸出端作連接。另外，電感 L_o 與電容 C_o 之構成，係僅為其中一例，而並不被限定於此構成。

【0079】LDMOS1與LDMOS2之放大元件11，係彼此藉由逆相之切換動作來彼此輸出逆相之汲極-源極電壓 V_{ds1} 以及 V_{ds2} 。電感 L_o 與電容 C_o 之並聯電路，係作為高頻放大部10之輸出電路之負載阻抗而起作用，並將在共振頻率下之放大元件之增益作最大化而將汲極-源極電壓 V_{ds1} 以及 V_{ds2} 之輸出提高。被作了提高的汲極-源極電壓 V_{ds1} 以及 V_{ds2} ，係經由變壓器而被從輸出端(OUTPUT)來對於負載作輸出。在圖1中，係作為負載而連接50[ohm]，並在與高頻放大部10之間而進行有阻抗整合。

【0080】在LDMOS1以及LDMOS2之放大元件11之閘極端子處，係被連接有閘極電阻12(R_{g_LD})。閘極電阻12(R_{g_LD})，係將藉由「放大元件11之閘極電容 C_{iss_LD} 」和「閘極驅動部20之高端側之切換元件21(QH1、QH2)之源極端子與放大元件11之閘極端子之間的配線電感 L_3 」所被形成的LC共振電路之共振振動作衰減。

【0081】

(閘極驅動部之構成)

在推挽構成中，閘極驅動部20係具備有閘極驅動電路20A以及閘極驅動電路20B。閘極驅動電路20A係為對於放大元件11(LDMOS1)之閘極端子施加閘極訊號之電路，閘極驅動電路20B係為對於放大元件11(LDMOS2)之閘極端子施加閘極訊號之電路。在圖1中，閘極驅動電路20A係為於左方所展示之電路部分，閘極驅動電路20B係為於右方所展示之電路部分。閘極驅動電路20A與閘極驅動電路20B，係以COM電位作為基準電位。

【0082】閘極驅動電路20A，係使高端側之切換元件21(QH1)之源極端子與低端側之切換元件21(QL1)之汲極端子被與汲極電阻(R_{d11})作連接，並使切換元件21(QH1)之源極端子經由高頻放大部10之閘極電阻12(R_{g_LD})而被與放大元件11(LDMOS1)之閘極端子作連接。

【0083】切換元件21(QH1)之汲極端子係經由汲極電阻26(R_{dh1})以及旁通電容器24(CH1)而被與接地電位(GND2)作連接。另一方面，切換元件21(QL1)之源極端子

係被與 COM 電位作連接，並進而經由旁通電容器 24(CL1) 而被與接地電位 (GND2) 作連接。

【0084】 閘極驅動部 20，係藉由「直流電源 22」和「串聯電阻 27(R_e)與齊納二極體 28(ZD)之串聯電路」之並聯連接而構成電源，串聯電路之中點係被與接地電位 (GND2) 作連接。直流電源 22 之直流電源電壓 V_{dd} ，係被分壓為串聯電阻 27(R_e)之驅動電壓 V_H 與齊納二極體 28(ZD)之逆偏壓電壓 V_L ，在高端側之切換元件 21(QH1)之汲極側處，係被施加有正電壓之驅動電壓 V_H ，在低端側之切換元件 21(QL1)之源極端子側處，係被施加有負電壓之逆偏壓電壓 V_L 。

【0085】 閘極驅動電路 20A 之構成：

切換元件 21(QH1)，當 ON 狀態時係將正電壓之驅動電壓 V_H 對於放大元件 11(LDMOS1)之閘極端子來作為閘極訊號而作施加。另一方面，低端側之切換元件 21(QL1)，當 ON 狀態時係將負電壓之逆偏壓電壓 V_L 對於放大元件 11(LDMOS1)之閘極端子來作為閘極訊號而作施加。

【0086】 在切換元件 21(QH1)之閘極端子處，係從驅動用邏輯 IC23H 之輸出端而被施加有控制訊號，切換元件 21(QH1)之切換動作係被作控制。又，在切換元件 21(QL1)之閘極端子處，係從驅動用邏輯 IC23L 之輸出端而被施加有控制訊號，切換元件 21(QL1)之切換動作係被作控制。此些之控制訊號，係成為對於高頻放大部進行 PWM 控制之基礎訊號。

【0087】另外，驅動用邏輯 IC23H、IC23L，係藉由分別設為並聯連接之構成，而能夠使施加於切換元件 21(QH1，QL1)之閘極端子處的驅動電流增加。

【0088】閘極驅動電路 20B 之構成：

在閘極驅動電路 20B 處，亦係成為與閘極驅動電路 20A 相同之構成。閘極驅動電路 20B，係使高端側之切換元件 21(QH2)之源極端子與低端側之切換元件 21(QL2)被與汲極電阻 (R_{d12}) 作連接，並使切換元件 21(QH2)之源極端子經由高頻放大部 10 之閘極電阻 12(R_{g_LD})而被與放大元件 11(LDMOS2)之閘極端子作連接。

【0089】切換元件 21(QH2)之汲極端子係經由汲極電阻 26(R_{dh2}) 以及旁通電容器 24(CH2)而被與接地電位 (GND2) 作連接。另一方面，切換元件 21(QL2)之源極端子係被與 COM 電位作連接，並進而經由旁通電容器 24(CL2)而被與接地電位 (GND2) 作連接。

【0090】在高端側之切換元件 21(QH2)之汲極側處，係被施加有正電壓之驅動電壓 V_H ，在低端側之切換元件 21(QL2)之源極端子側處，係被施加有負電壓之逆偏壓電壓 V_L 。

【0091】切換元件 21(QH2)，當 ON 狀態時係將正電壓之驅動電壓 V_H 對於放大元件 11(LDMOS2)之閘極端子來作為閘極訊號而作施加。另一方面，低端側之切換元件 21(QL2)，當 ON 狀態時係將負電壓之逆偏壓電壓 V_L 對於放大元件 11(LDMOS2)之閘極端子來作為閘極訊號而作施

加。

【0092】在切換元件21(QH2)之閘極端子處，係從驅動用邏輯IC23H'之輸出端而被施加有控制訊號，切換元件21(QH2)之切換動作係被作控制。又，在切換元件21(QL2)之閘極端子處，係從驅動用邏輯IC23L'之輸出端而被施加有控制訊號，切換元件21(QL2)之切換動作係被作控制。控制訊號，係成為對於高頻放大部進行PWM控制之基礎訊號。

【0093】圖1之高頻電源裝置1，雖係為推挽構成之電路例，但是，係亦可對於單路(single)構成作適用。在單路構成的情況時，係藉由圖1之高頻放大部10之其中一方之放大元件11與驅動此放大元件11之其中一方之閘極驅動電路(20A或20B)來構成。

【0094】

(B)閘極驅動部之動作

使用圖2～圖4，對於閘極驅動部的動作作說明。

(a)將放大元件設為ON狀態之動作

圖2，係對於當將高頻放大部10之放大元件11設為ON狀態時的閘極驅動部20之動作作展示。在圖2中，實線係代表閘極驅動電路20A之動作電流，虛線係代表閘極驅動電路20B之動作電流。另外，20A與20B係並不會有同時成為ON狀態的情況，而是於中間包夾有失效時間DT地來交互地動作。

【 0095 】 閘極驅動電路 20A 之動作：

在閘極驅動電路 20A 處，若是藉由控制訊號而驅動用邏輯 IC23H 之輸出成為“high”並且驅動用邏輯 IC23L 之輸出成為“low”，則切換元件 21(QH1)係成為 ON 狀態，切換元件 21(QL1)係成為 OFF 狀態。於此期間中，在閘極驅動電路 20B 側處，切換元件 21(QH2)係成為 OFF 狀態，切換元件 21(QL2)係成為 ON 狀態。

【 0096 】 被與切換元件 21(QH1)之汲極端子作串聯連接之汲極電阻 26(R_{dh1})由於係被與串聯電阻 27(R_e)作連接，因此，藉由切換元件 21(QH1)成為 ON 狀態一事，係從切換元件 21(QH1)之源極端子來經由閘極電阻 12(R_{g_LD})而在放大元件 11(LDMOS1)處施加有驅動電壓 V_H ，放大元件 11(LDMOS1)係成為 ON 狀態。

【 0097 】 起因於切換元件 21(QH1)以及放大元件 11(LDMOS1)均成為 ON 狀態一事，切換元件 21(QH1)之源極端子，係經由「閘極電阻 12(R_{g_LD})、放大元件 11(LDMOS1)之閘極端子、放大元件 11(LDMOS1)之源極端子」之路徑，而被與高頻放大部 10 側之接地電位 (GND1) 作連接。切換元件 21(QH1)之汲極端子，係經由「汲極電阻 26(R_{dh1})、旁通電容器 24(CH1)」之路徑，而被與閘極驅動部 20 側之接地電位 (GND2) 作連接。藉由此，在高頻放大部 10 與閘極驅動部 20 之間，係經由接地電位 (GND1、GND2) 而被形成有閉電路，並流動有圖中之以實線所示之電流。

【 0098 】 閘極驅動電路 20B 之動作：

在閘極驅動電路 20B 處，若是藉由控制訊號而驅動用邏輯 IC23H' 之輸出成為 "high" 並且驅動用邏輯 IC23L' 之輸出成為 "low"，則切換元件 21(QH2) 係成為 ON，切換元件 21(QL2) 係成為 OFF。於此期間中，在閘極驅動電路 20A 側處，切換元件 21(QL1) 係成為 ON，切換元件 21(QH1) 係成為 OFF。

【 0099 】 被與切換元件 21(QH2) 之汲極端子作串聯連接之汲極電阻 26(R_{dh2}) 由於係被與串聯電阻 27(R_e) 作連接，因此，藉由切換元件 21(QH2) 成為 ON 狀態一事，係從切換元件 21(QH2) 之源極端子來經由閘極電阻 12(R_{g_LD}) 而在放大元件 11(LDMOS2) 處施加有驅動電壓 V_H ，放大元件 11(LDMOS2) 係成為 ON 狀態。

【 0100 】 起因於切換元件 21(QH2) 以及放大元件 11(LDMOS2) 均成為 ON 狀態一事，切換元件 21(QH2) 之源極端子，係經由「閘極電阻 12(R_{g_LD})、放大元件 11(LDMOS2) 之閘極端子、放大元件 11(LDMOS2) 之源極端子」之路徑，而被與高頻放大部 10 側之接地電位 (GND1) 作連接。切換元件 21(QH2) 之汲極端子，係經由「汲極電阻 26(R_{dh2})、旁通電容器 24(CH2)」之路徑，而被與閘極驅動部 20 側之接地電位 (GND2) 作連接。藉由此，在高頻放大部 10 與閘極驅動部 20 之間，係經由接地電位 (GND1、GND2) 而被形成有閉電路，並流動有圖中之以虛線所示之電流。

【 0101】

(b)將放大元件設為 OFF 狀態之動作

圖 3，係對於當將高頻放大部 10 之放大元件 11 設為 OFF 狀態時的閘極驅動部 20 之動作作展示。在圖 3 中，實線之箭頭係代表閘極驅動電路 20A 之電壓狀態，虛線係代表閘極驅動電路 20B 之電壓狀態。另外，20A 與 20B，在失效時間 DT 中係亦會有同時成為 OFF 狀態的情形。

【 0102】 閘極驅動電路 20A 之動作：

在閘極驅動電路 20A 處，若是藉由控制訊號而驅動用邏輯 IC23L 之輸出成為“high”並且驅動用邏輯 IC23H 之輸出成為“low”，則切換元件 21(QL1)係成為 ON，切換元件 21(QH1)係成為 OFF。

【 0103】 在切換元件 21(QL1)之源極端子處，由於係被連接有齊納二極體 28(ZD)之負電壓側，因此，起因於切換元件 21(QL1)成為 ON 狀態一事，係從切換元件 21(QL1)之汲極端子來經由汲極電阻 26(R_{d11})以及閘極電阻 12(R_{g_LD})而在放大元件 11(LDMOS1)處施加有逆偏壓電壓 V_L ，放大元件 11(LDMOS1)係成為 OFF 狀態。實線之箭頭，係代表被施加於放大元件 11(LDMOS1)處之逆偏壓電壓 V_L 。藉由此，在放大元件 11(LDMOS1)之閘極端子處，係經由圖 3 中之以實線所展示之路徑而被施加有閘極電壓 V_{gs1} 。

【 0104】 閘極驅動電路 20B 之動作：

在閘極驅動電路 20B 處，若是藉由控制訊號而驅動用

邏輯 IC23L'之輸出成為“high”並且驅動用邏輯 IC23H'之輸出成為“low”，則切換元件 21(QL2)係成為 ON，切換元件 21(QH2)係成為 OFF。

【0105】在切換元件 21(QL2)之源極端子處，由於係被連接有齊納二極體 28(ZD)之負電壓側，因此，起因於切換元件 21(QL2)成為 ON 狀態一事，係從切換元件 21(QL2)之汲極端子來經由汲極電阻 26(R_{d12})以及閘極電阻 12(R_{g_LD})而在放大元件 11(LDMOS2)處施加有逆偏壓電壓 V_L ，放大元件 11(LDMOS2)係成為 OFF 狀態。虛線之箭頭，係代表被施加於放大元件 11(LDMOS2)處之逆偏壓電壓 V_L 。藉由此，在放大元件 11(LDMOS2)之閘極端子處，係經由圖 3 中之以虛線所展示之路徑而被施加有閘極電壓 V_{gs2} 。

【0106】

(c) 切換元件之 ON/OFF 動作

圖 2，係對於 ON 狀態之 LDMOS1 以及 LDMOS2 作展示，圖 3，係對於 OFF 狀態之 LDMOS1 以及 LDMOS2 作展示。高頻放大部 10，係藉由將 LDMOS1 與 LDMOS2 彼此互補性地設為 ON 狀態，來將輸出電力作輸出。在彼此互補性之 ON 狀態下，當 LDMOS1 成為 ON 狀態時，LDMOS2 係為 OFF 狀態，當 LDMOS2 成為 ON 狀態時，LDMOS1 係為 OFF 狀態。

【0107】高頻放大部 10，當 LDMOS1 與 LDMOS2 為 OFF 狀態時，係並不將輸出電力作輸出。又，就算是在放

大元件 11(LDMOS1, LDMOS2)成為 ON 狀態時，亦同樣的，依存於閘極驅動電路 20A 所具備之切換元件 21(QH1, QL1)以及閘極驅動電路 20B 所具備之切換元件 21(QH2, QL2)的 ON 狀態之組合，高頻放大部 10 也會有並不進行正常之動作的情形。

【0108】例如，在圖 2 中，於切換元件 21(QH1)與切換元件 21(QH2)同時成為 ON 狀態的組合下，由於係身為推挽構成，因此輸出電力係並不會被從高頻放大部 10 而作輸出。又，在圖 3 中，於切換元件 21(QL1)與切換元件 21(QL2)同時成為 OFF 狀態的組合下，高頻放大部 10 係成為並不進行輸出之 OFF 狀態。

【0109】高頻放大部 10，在閘極驅動電路 20A 所具備之切換元件 21(QH1, QL1)以及閘極驅動電路 20B 所具備之切換元件 21(QH2, QL2)的 ON 狀態下，係以以下之 3 個的組合 (c1)、(c2)、(c3)之動作狀態而動作。於此，(c1)以及 (c2)之組合，係為輸出電壓會被從高頻放大部 10 而輸出之情況，(c3)之組合，係為從高頻放大部 10 而將輸出電壓設為零輸出的情況。

【0110】

(c1)第 1 組合

第 1 組合，係為閘極驅動電路 20A 之切換元件 21(QH1)與閘極驅動電路 20B 之切換元件 21(QL2)均成為 ON 狀態之動作狀態。

【0111】在由此第 1 組合所致之動作狀態下，起因於

切換元件 21(QH1) 成為 ON 狀態一事，放大元件 11(LDMOS1) 係成為 ON 狀態，起因於切換元件 21(QL2) 成為 ON 狀態一事，放大元件 11(LDMOS2) 係成為 OFF 狀態。藉由此動作狀態，放大元件 11(LDMOS1) 之汲極-源極電壓 V_{ds1} 係作為輸出電壓而被作輸出。

【 0112】

(c2) 第 2 組合

第 2 組合，係為閘極驅動電路 20B 之切換元件 21(QH2) 與閘極驅動電路 20A 之切換元件 21(QL1) 均成為 ON 狀態之動作狀態。

【 0113】 在由此第 2 組合所致之動作狀態下，起因於切換元件 21(QH2) 成為 ON 狀態一事，放大元件 11(LDMOS2) 係成為 ON 狀態，起因於切換元件 21(QL1) 成為 ON 狀態一事，放大元件 11(LDMOS1) 係成為 OFF 狀態。藉由此動作狀態，放大元件 11(LDMOS2) 之汲極-源極電壓 V_{ds2} 係作為輸出電壓而被作輸出。

【 0114】

(c3) 第 3 組合

第 3 組合，係為閘極驅動電路 20A 之切換元件 21(QL1) 與閘極驅動電路 20B 之切換元件 21(QL2) 均成為 ON 狀態之動作狀態。

【 0115】 在由此第 3 組合所致之動作狀態下，起因於切換元件 21(QL1) 成為 ON 狀態一事，放大元件 11(LDMOS1) 係成為 OFF 狀態，起因於切換元件 21(QL2) 成

為 ON 狀態一事，放大元件 11(LDMOS2) 係成為 OFF 狀態。藉由此動作狀態，不論是從放大元件 11(LDMOS1) 以及放大元件 11(LDMOS2) 之何者，汲極 - 源極電壓 V_{ds1} 、 V_{ds2} 均不會被作輸出。

【0116】

(d) 動作電流

使用圖 4，對於由閘極驅動電路 20A、20B 所致之閘極電流作說明。另外，圖 4，係僅對於閘極驅動電路 20A 作展示，並展示有驅動放大元件 11(LDMOS) 之閘極訊號的流動。在圖 4 中，係展示有配線電感 L_1 、 L_2 、 L_3 以及身為切換元件 21(QH, QL) 之 GaNFET 之寄生電容的閘極電容 (輸入寄生電容) C_{iss_GaN} 、輸出寄生電容 C_{oss_GaN} 。

【0117】在圖中所示之實線之箭頭，係代表將放大元件 11(LDMOS) 設為 ON 狀態之閘極電流，在圖中所示之虛線之箭頭，係代表將放大元件 11(LDMOS) 設為 OFF 狀態之電壓之施加狀態。

【0118】驅動用邏輯 IC23H，係經由閘極電阻 25H(R_{g_GaN}) 而被與切換元件 21H(QH) 之閘極端子作連接，並進行將切換元件 21H(QH) 作 ON/OFF 之切換動作。驅動用邏輯 IC23H，例如係使用有 5VCOM 邏輯。驅動用邏輯 IC23H 之電壓，係藉由閘極電阻 25H(R_{g_GaN}) 而被轉換為電流，並被注入至切換元件 21H(QH) 之閘極端子處。

【0119】切換元件 21H(QH) 之汲極端子，係經由汲極電阻 26H(R_{dh}) 而被與串聯電阻 27(R_e) 之正電壓側作連接，

切換元件 21H(QH)之源極端子側，係經由閘極電阻 12(R_{g_LD})而被與放大元件 11(LDMOS)之閘極端子作連接。

【0120】在被施加有驅動電壓 V_H 之狀態下，若是驅動用邏輯 IC23H 成為 ON 狀態，則切換元件 21H(QH)之導通電流，係從源極端子來經由閘極電阻 12(R_{g_LD})而被施加至放大元件 11(LDMOS)處，並使放大元件 11(LDMOS1)進行切換動作而成為 ON 狀態。

【0121】放大元件 11(LDMOS1)之源極端子，由於係被與高頻放大部 10 側之接地電位 (GND1) 作連接，並且進而被與閘極驅動側之接地電位 (GND2) 作連接，因此，係被形成有通過旁通電容器 24H(CH) 而回到切換元件 21H(QH)之汲極端子處之電流路徑。

【0122】驅動用邏輯 IC23L，係經由閘極電阻 25L(R_{g_GaN})而被與切換元件 21L(QL)之閘極端子作連接，並進行將切換元件 21L(QL)作 ON/OFF 之切換動作。驅動用邏輯 IC23L，例如係使用有 5VCOM 邏輯。驅動用邏輯 IC23L 之電壓，係藉由閘極電阻 25L(R_{g_GaN})而被轉換為電流，並被注入至切換元件 21L(QL)之閘極端子處。

【0123】切換元件 21L(QL)之源極端子，係被與齊納二極體 28(ZD)之負電壓側作連接，切換元件 21L(QL)之汲極端子，係經由汲極電阻 26L(R_{d1})而被與切換元件 21H(QH)之源極端子作連接，並經由閘極電阻 12(R_{g_LD})而被與放大元件 11(LDMOS)之閘極端子作連接。

【0124】在被施加有逆偏壓電壓 V_L 之狀態下，若是驅動用邏輯IC23L成為ON狀態，則藉由切換元件21L(QL)之導通，逆偏壓電壓 V_L 係從汲極端子來經由汲極電阻26L(R_{d1})以及閘極電阻12(R_{g_LD})而被施加至放大元件11(LDMOS)之閘極端子處，並使放大元件11(LDMOS)進行切換動作而成為OFF狀態。

【0125】閘極電阻25H、25L(R_{g_GaN})，係制定將切換元件21(QH，QL)之總閘極電荷 Q_{g_GaN} 作充電之閘極電流，閘極電阻12(R_{g_LD})，係制定將放大元件11(LDMOS)之總閘極電荷 Q_{g_LD} 作充電之閘極電流。

【0126】旁通電容器24(CH、CL)，係將相對於配線之接地電位(ground)的交流性之阻抗作降低，而對切換元件之雜訊流出至電源線處的情形作抑制。

【0127】

(C)閘極驅動部之電性特性

使用圖5，針對在閘極驅動部20以及高頻放大部分10處的由電性特性所致之高速回應特性之提升進行說明。以下，係針對總閘極電荷(閘極總電荷量) Q_g 、產生LC共振電路之配線電感 L_1 、 L_2 、 L_3 之閘極驅動部20之電性特性以及被與放大元件11之閘極端子作連接之閘極電阻(R_{g_LD})之高頻放大部分10之電性特性進行說明。

【0128】

(a)總閘極電荷(閘極總電荷量) Q_g 之限制

作為閘極驅動部20之切換元件之其中一個電性特性，

係存在有總閘極電荷(閘極總電荷量) Q_g 。總閘極電荷(閘極總電荷量) Q_g ，係亦被稱呼為「閘極輸入電荷量」之名稱。

本發明之高頻電源裝置，係藉由對於切換元件之總閘極電荷 Q_g 之上限值作限制，而能夠使由高頻輸出之頻率範圍內的切換頻率 f_{sw} 所致之切換動作高速化。

【0129】總閘極電荷(閘極總電荷量) Q_g ，係為為了驅動MOSFET所需要的被注入至閘極處之電荷量。若是MOSFET之總閘極電荷 Q_g 為大，則為了充電對於MOSFET之ON而言為必要的電荷量所需之時間係變長，切換動作係變慢。又，係會成為作為驅動用而需要專用之IC。相對於此，若是MOSFET之總閘極電荷 Q_g 為小，則係能夠將閘極藉由泛用之邏輯IC來作驅動。進而，切換速度係變快，而成為能夠進行在高頻下之切換動作。

【0130】本發明，係藉由作為閘極驅動電路之切換元件而使用總閘極電荷 Q_g 為小之GaNFET，來降低切換損失，而將切換動作高速化。

【0131】例如，在頻率範圍為27[MHz]~100[MHz]之帶域中，100[MHz]之頻率的矩形波之閘極訊號之一個週期之時間寬幅 t_{sw} ，係成為10[ns]。在閘極訊號之矩形波形中，若是上揚時以及下挫時之延遲時間 t_d 相較於一個週期之時間寬幅而具有大的比例，則波形變形係會變大。假設當將相對於10[ns]之一個週期之時間寬幅 t_{sw} 的延遲時間 t_d 之比例設為1/10的情況時，係可求取出使電荷注入至閘極

端子中之時間為0.5[ns]。

【0132】一般而言，總閘極電荷 Q_g ，係藉由閘極電流 I_g 與切換元件之開啟(turn on)時間 t_{on} 之乘積($Q_g=I_g \times t_{on}$)來作表現。根據此關係，假設當將閘極電流 I_g 設為1[A]，並將開啟時間 t_{on} 設為與使電荷注入至閘極端子中之時間相對應之0.5[ns]時，總閘極電荷(閘極總電荷量) Q_g 係成為5[nC]。

【0133】基於此例，藉由使用總閘極電荷 Q_g 為5[nC]之GaNFET，在100[MHz]之高頻中係能夠得到使起因於延遲時間所導致的波形變形被作了降低的閘極訊號，並能夠驅動放大元件11而得到100[MHz]之高頻輸出。

【0134】另外，被施加於GaNFET之閘極端子處之閘極訊號，係藉由驅動用邏輯IC而被作供給。此時，當1個的驅動用邏輯IC之輸出電流為小的情況時，係能夠藉由將複數個的驅動用邏輯IC作並聯連接，來得到對於為了驅動GaNFET而言為充分之電流。另外，在現階段的最快速之5[V]之CMOS邏輯IC，由於係為175[MHz]，因此，作為用以驅動27[MHz]~100[MHz]用之GaNFET的驅動IC而言係具有充分的頻率特性。

【0135】

(b)閘極驅動部之LC共振電路

在閘極驅動部20處，係藉由配線電感L與切換元件所具有的寄生電容C，來形成LC共振電路。當由此LC共振電路所致之共振頻率 f_0 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形

變形(衰減)的重要因素。本發明之高頻電源裝置，係藉由對於配線電感之電感值之上限作限制，來對於在切換動作之切換頻率 f_{sw} 之頻率範圍內起因於LC共振電路而產生共振現象的情形作抑制。

以下，針對3個種類之配線電感 L_1 、 L_2 以及 L_3 之限制、汲極電阻(R_{dh} ， R_{dl})，來進行說明。

【0136】

(b1)配線電感 L_1 之限制

作為閘極驅動部20之切換元件之其中一個電性特性，係存在有配線電感 L_1 。配線電感 L_1 ，係為被連接在「切換元件」和「對於此切換元件之閘極端子施加驅動訊號的驅動用邏輯IC」之間之配線所具有的電感。配線電感 L_1 ，係在自身與切換元件之閘極電容 C_{iss_GaN} 之間而構成LC共振電路LC1。當LC共振電路LC1之共振頻率 f_{o1} 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形變形(衰減)的重要因素。

【0137】本發明，係以會使起因於LC共振所致之共振頻率 f_{o1} 成為較高頻之切換動作之切換頻率 f_{sw} 而更高之頻率的方式，來設定配線電感 L_1 之電感值之上限值。配線之配線長度，係以會使配線電感 L_1 成為上限值以下的方式而被作設定。

【0138】藉由對於配線電感 L_1 之上限值作限制而將配線之電感縮小，起因於LC共振所致之共振頻率 f_{o1} 係會成為較高頻之切換動作之切換頻率 f_{sw} 之頻率範圍而更高之頻

率。藉由此，若是切換動作之切換頻率 f_{sw} 係為高頻之切換動作之頻率範圍，則LC共振現象之發生係被抑制，起因於共振振動所致之波形變形(衰減)現象係被作抑制，高頻回應性係提升。

【0139】在閘極驅動部20處，切換元件之閘極端子與驅動用邏輯IC之間之配線的配線電感 L_1 ，係因應於配線長度而改變。在此配線電感 L_1 與切換元件之閘極電容 C_{iss_GaN} 之間，係被構成有LC共振電路。

【0140】一般而言，LC共振電路之共振頻率 f_o ，係藉由以下之式(1)來作表現。

[數式1]

$$f_o = (1 / 2 \pi) \cdot \{1 / (L \cdot C)^{1/2}\} \dots (1)$$

【0141】在藉由GaN FET之切換元件之寄生電容C與配線電感L所形成之LC共振電路LC1處，L係為配線電感 L_1 ，C係為閘極電容 C_{iss_GaN} 。若是將式(1)中之共振頻率 f_o 藉由 f_{o1} 來作表現，則共振頻率 f_{o1} 係與 $\{1/(L \cdot C)^{1/2}\}$ 成正比，並與 $L^{1/2}$ 成反比。

【0142】設定配線電感 L_1 之電感值之上限值，並在切換頻率 f_{sw} 之頻率範圍中，以會使配線電感 L_1 之電感值成為上限值以下之電感值的方式來進行設定，而以會使共振頻率 f_{o1} 成為較進行切換動作之切換頻率 f_{sw} 而更高之頻率的方式來進行設定。藉由此，由於驅動放大元件11之切換頻率 f_{sw} 之頻率範圍係成為較共振頻率 f_{o1} 而更低之頻率，因此，LC共振之發生係被抑制，起因於共振振動所致之波

形變形(衰減)現象係被作抑制，高頻回應性係提升。

【0143】在作為切換元件而使用 GaNFET 之構成中，由於 GaNFET 之閘極電容 C_{iss_GaN} 一般而言係為 200[pF] 程度，因此，當將共振頻率 f_{o1} 例如設為 140[MHz] 的情況時，配線電感 L_1 係成為 6[nH]。又，當切換動作之切換頻率 f_{sw} 係為頻率帶域之上限頻率之 100[MHz] 的情況時，會發生共振現象之配線電感 L_1 係成為 12[nH]，但是，由於配線電感 L_1 之上限係被限制為 6[nH]，因此，在切換頻率 f_{sw} 處共振現象係並不會發生。

【0144】如同上述一般，藉由將配線電感 L_1 限制在 6[nH] 以下，在藉由 140[MHz] 以下之閘極訊號來驅動放大元件 11 的情況時，共振振動之發生係被作抑制，在 27[MHz] ~ 100[MHz] 之頻率範圍中，係能夠得到低變形之方形波狀之高頻輸出。在配線電感 L 與配線長度之間，由於係存在有正的增減關係，因此，配線電感 L_1 之配線長度，係以會成為較與上限值相對應之配線長度而更短的方式而被作設定。

【0145】

(b2) 配線電感 L_2 之限制

作為閘極驅動部 20 之切換元件之其中一個電性特性，係存在有配線電感 L_2 。配線電感 L_2 ，係為被連接在「切換元件」和「被與此切換元件之汲極端子作連接之旁通電容器」之間之配線所具有的配線電感。配線電感 L_2 ，係在自身與切換元件之輸出寄生電容 C_{oss_GaN} 之間而構成 LC 共振

電路 LC2。

【0146】另外，被與汲極端子作連接之旁通電容器，係將相對於配線之接地電位 (ground) 的交流性之阻抗作降低，而對起因於切換元件之切換動作所發生的雜訊流出至電源線處的情形作抑制。

【0147】當由 LC 共振電路 LC2 所致之共振頻率 f_{o2} 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在賦予至 LDMOS 處之閘極訊號之波形中而發生波形變形 (衰減) 的重要因素。

【0148】本發明，係以會使起因於 LC 共振所致之共振頻率 f_{o2} 成為較高頻之切換動作之切換頻率 f_{sw} 而更高之頻率的方式，來設定配線電感 L_2 之電感值之上限值。配線之配線長度，係以會使配線電感 L_2 成為上限值以下的方式而被作設定。

【0149】藉由對於配線電感 L_2 之上限值作限制，起因於 LC 共振所致之共振頻率 f_{o2} 係會成為較高頻之切換動作之切換頻率 f_{sw} 之頻率範圍而更高之頻率。藉由此，若是切換動作之切換頻率 f_{sw} 係為高頻之切換動作之頻率範圍，則 LC 共振現象之發生係被抑制，起因於共振振動所致之波形變形 (衰減) 現象係被作抑制，高頻回應性係提升。

【0150】在閘極驅動部 20 處，在「切換元件之汲極端子」和「被與此切換元件之汲極端子作連接之旁通電容器」之間之配線的配線電感 L_2 ，係因應於配線長度而改變。在此配線電感 L_2 與切換元件之輸出寄生電容 C_{oss_GaN}

之間，係被構成有LC共振電路LC2。

【0151】一般而言，LC共振電路之共振頻率 f_0 ，係藉由上述之式(1)來作表現。

在藉由GaN FET之切換元件之寄生電容C與配線電感L所形成之LC共振電路LC2處，L係為配線電感 L_2 ，C係為輸出寄生電容 C_{oss_GaN} 。若是將式(1)中之共振頻率 f_0 藉由 f_{o2} 來作表現，則共振頻率 f_{o2} 係與 $\{1/(L \cdot C)^{1/2}\}$ 成正比，並與 $L^{1/2}$ 成反比。

【0152】在設定配線電感 L_2 之電感值之上限值時，係在切換頻率 f_{sw} 之頻率範圍中，以會使配線電感 L_2 之電感值成為上限值以下之電感值的方式來進行設定，而以會使共振頻率 f_{o2} 成為較進行切換動作之切換頻率 f_{sw} 而更高之頻率的方式來進行設定。藉由此，由於驅動放大元件11之切換頻率 f_{sw} 之頻率範圍係成為較共振頻率 f_{o2} 而更低之頻率，因此，LC共振之發生係被抑制，起因於共振振動所致之波形變形(衰減)現象係被作抑制，高頻回應性係提升。

【0153】在作為切換元件而使用GaN FET之構成中，在將GaN FET之輸出寄生電容 C_{oss_GaN} 設為300[pF]時，當將共振頻率 f_{o2} 例如設為140[MHz]的情況時，配線電感 L_2 係成為4[nH]。又，當切換動作之切換頻率 f_{sw} 係為頻率帶域之上限頻率之100[MHz]的情況時，會發生共振現象之配線電感 L_2 係成為8[nH]，但是，由於配線電感 L_2 之上限係被限制為4[nH]，因此，在切換頻率 f_{sw} 處共振現象係並不

會發生。

【0154】如同上述一般，藉由將配線電感 L_2 限制在 $4[\text{nH}]$ 以下，在藉由 $140[\text{MHz}]$ 以下之閘極訊號來驅動放大元件11的情況時，共振振動之發生係被作抑制，在 $27[\text{MHz}] \sim 100[\text{MHz}]$ 之頻率範圍中，係能夠得到低變形之方形波狀之高頻輸出。

【0155】在配線電感 L 與配線長度之間，由於係存在有正的增減關係，因此，配線電感 L_2 之配線長度，係以會成為較與上限值相對應之配線長度而更短的方式而被作設定。

【0156】配線電感 L_2 之限制，係藉由以會使旁通電容器 $24\text{H}(\text{CH})$ 、 $24\text{L}(\text{CL})$ 、汲極電阻 $26\text{H}(\text{R}_{\text{dh}})$ 、 $26\text{L}(\text{R}_{\text{dl}})$ 之並聯連接數(並聯數)以及安裝圖案寬幅成為與切換元件 21H 、 $21\text{L}(\text{GaNFET})$ 之本體寬幅同等或者是較本體寬幅而更廣的方式來進行設定，而進行。

【0157】

(b3)配線電感 L_3 之限制

作為閘極驅動部20以及高頻放大部10之其中一個電性特性，係存在有配線電感 L_3 。配線電感 L_3 ，係為「閘極驅動部20之高端(high side)側之切換元件之源極端子」與「高頻放大部10之放大元件11之閘極端子」之間的配線所具有之配線電感。

【0158】配線電感 L_3 ，係在自身與放大元件11之閘極電容 $C_{\text{iss_LD}}$ 之間而構成LC共振電路LC3。由於高端側之切

換元件之源極端子係被與低端側之切換元件之汲極端子作連接，因此，LC共振電路LC3係亦對於低端側之切換元件之汲極端子而被作連接。

【0159】當由LC共振電路LC3所致之共振頻率 f_{o3} 係落於切換動作之切換頻率 f_{sw} 之頻率範圍內的情況時，係會成為在閘極訊號之波形處發生波形變形(衰減)的重要因素。

【0160】本發明，係以會使起因於LC共振所致之共振頻率 f_{o3} 成為較高頻之切換動作之切換頻率 f_{sw} 而更高之頻率的方式，來設定配線電感 L_3 之電感值之上限值。配線之配線長度，係以會使配線電感 L_3 成為上限值以下的方式而被作設定。

【0161】藉由對於配線電感 L_3 之上限值作限制而將配線之電感縮小，起因於LC共振所致之共振頻率 f_{o3} 係會成為較高頻之切換動作之切換頻率 f_{sw} 之頻率範圍而更高之頻率。藉由此，若是切換動作之切換頻率 f_{sw} 係為高頻之切換動作之頻率範圍，則LC共振現象之發生係被抑制，起因於共振振動所致之波形變形(衰減)現象係被作抑制，高頻回應性係提升。

【0162】「閘極驅動部20之高端側之切換元件之源極端子」與「放大元件11之閘極端子」之間的配線所具有之配線電感 L_3 ，係因應於配線長度而改變。在此配線電感 L_3 與放大元件11之閘極電容 C_{iss_LD} 之間，係被構成有LC共振電路LC3。

【0163】一般而言，LC共振電路之共振頻率 f_o ，係藉

由上述之式(1)來作表現。

在藉由LDMOSFET之放大元件11之寄生電容C與配線電感L所形成之LC共振電路LC3處，L係為配線電感 L_3 ，C係為閘極電容 C_{iss_LD} 。若是將式(1)中之共振頻率 f_0 藉由 f_{03} 來作表現，則共振頻率 f_{03} 係與 $\{1/(L \cdot C)^{1/2}\}$ 成正比，並與 $L^{1/2}$ 成反比。

【0164】 設定配線電感 L_3 之電感值之上限值，並在切換頻率 f_{sw} 之頻率範圍中，以會使配線電感 L_3 之電感值成為上限值以下之電感值的方式來進行設定，而以會使共振頻率 f_{03} 成為較進行切換動作之切換頻率 f_{sw} 而更高之頻率的方式來進行設定。由於驅動放大元件11之切換頻率 f_{sw} 之頻率範圍係成為較共振頻率 f_{03} 而更低之頻率，因此，LC共振之發生係被抑制，起因於共振振動所致之波形變形現象係被作抑制，高頻回應性係提升。

【0165】 在作為放大元件11而使用LDMOSFET之構成中，在將LDMOSFET之閘極電容 C_{iss_LD} 設為400[pF]時，當將共振頻率 f_{03} 設為140[MHz]的情況時，配線電感 L_3 係成為3[nH]。又，當切換動作之切換頻率 f_{sw} 係為頻率帶域之上限頻率之100[MHz]的情況時，會發生共振現象之配線電感 L_3 係成為6[nH]，但是，由於配線電感 L_3 之上限係被限制為3[nH]，因此，在切換頻率 f_{sw} 處共振現象係並不會發生。

【0166】 如同上述一般，藉由將配線電感 L_3 限制在3[nH]以下，在藉由140[MHz]以下之閘極訊號來驅動放大

元件 11 的情況時，共振振動之發生係被作抑制，在 27[MHz]~100[MHz]之頻率範圍中，係能夠得到低變形之方形波狀之高頻輸出。

【0167】在配線電感 L 與配線長度之間，係存在有正的增減關係。因此，配線長度，係以會成為較對應於配線電感 L_3 之上限值之配線長度而更短的方式，而被作設定。作為將配線長度縮短之構成，係設為將切換元件 21H、21L(QH, QL)、旁通電容器 24H、24L(CH, CL)、閘極電阻 12(R_{g_LD})、汲極電阻 R_d (R_{dh} , R_{dl})配置在極為接近放大元件 11(LDMOS1, LDMOS2)之閘極端子處，例如配置於 25[mm]以內之位置處的配置構成、設為將放大元件 11(LDMOS1, LDMOS2)之閘極電阻 12(R_{g_LD})之並聯連接數(並聯數)以及安裝圖案寬幅設定為會成為與放大元件 11(LDMOS1, LDMOS2)之閘極電阻 12(R_{g_LD})之電極之寬幅同等或者是其以上之寬幅的尺寸之構成。進而，作為相對於基板 30之配置，係在設置在基板 30之表面側處之閘極電阻 12(R_{g_LD})之正下方的基板 30之背面側處，配置接地電位(GND2)，並使用導電性之遮蔽墊圈 29等來經由放大元件 11(LDMOS1, LDMOS2)之源極端子側之接地電位(GND1)之散熱部 31來作連接之配置構成。於此，遮蔽墊圈 29，係使用與放大元件 11(LDMOS1, LDMOS2)之閘極端子之寬幅同等之寬幅或者是更為廣寬幅者。另外，遮蔽墊圈 29、基板 30以及散熱部 31之元件符號 29、30、31，係被記載於圖 8~圖 10中。

【0168】藉由上述之配置構成，而將「從切換元件21H、21L(QH，QL)之源極端子起來經由配線電感 L_3 之配線以及閘極電阻12(R_{g_LD})而被與放大元件11(LDMOS1，LDMOS2)之閘極端作連接並且從放大元件11(LDMOS1，LDMOS2)之源極端子起而被與接地電位(GND1)以及接地電位(GND2)作連接所成之電流迴路」的當從剖面方向來作了觀察時之直徑設為10[mm]以下。藉由此，配線電感 L_3 係被作降低。關於此點，係在後述之電流迴路中而進行說明。

【0169】

(b4)汲極電阻(R_{dh} ， R_{dl})

(i)閘極保護電路

高頻放大部之LDMOSFET，係為了對於閘極作保護，而被設置有閘極保護電路，閘極保護電路，係為對於「當將LDMOSFET在飽和區域中而作使用時，於逆電壓施加時在閘極處被施加有超過閘極之容許電壓的負電壓之逆偏壓電壓」的情形作防止之電路。作為閘極保護電路，係周知有被內藏於高頻放大部內之構成。

【0170】圖6(a)，係對於閘極保護電路13之電路例作展示，圖6(b)，係對於閘極保護電路之保護電壓範圍作展示。保護電路，係為保護半導體元件而使其免於受到起因於從外部而來之靜電所導致的靜電放電(ESD：Electro Static Discharge)之傷害的電路。

【0171】在圖6(a)所示之閘極保護電路13之電路例

中，係由在基極端子處被連接有電阻之npn型之第1雙極電晶體Q1、Q2、和使閘極端子被與源極端子作了連接的n型之第2MOS電晶體M1、M2，而構成。第1雙極電晶體Q1、Q2，係藉由以集極-基極間之漏洩電流所致之集極-射極間之導通，來作為被朝向逆方向而作了偏壓的二極體而動作。第2MOS電晶體M1、M2，係作為藉由寄生二極體而被朝向逆方向作了偏壓的二極體而動作。

【0172】第1雙極電晶體Q1與第2MOS電晶體M2之串聯電路，係構成當在Gate處被施加有正電壓時之第1保護電路，第1雙極電晶體Q2與第2MOS電晶體M1之串聯電路，係構成當在Gate處被施加有負電壓時之第2保護電路。第1雙極電晶體Q1之崩潰電壓(Breakdown voltage)與第2MOS電晶體M2之崩潰電壓之和，係成為相對於正電壓之閘極保護電路之崩潰電壓，第1雙極電晶體Q2之崩潰電壓與第2MOS電晶體M1之崩潰電壓之和，係成為相對於負電壓之閘極保護電路之崩潰電壓。

【0173】在閘極保護電路中，係存在有容許電壓範圍，當從閘極驅動部而在逆電壓施加中所供給之負電壓超過閘極保護電路之容許電壓範圍的情況時，閘極保護電路係會有被破壞之虞。

【0174】在圖6(b)中，當將具備有保護電壓範圍為-6[V]~+11[V]之閘極保護電路的LDMOS在飽和區域中而作使用的情況時，假設若是藉由振幅相對於零電位而為±9V之正弦波電壓 V_{ac} 來驅動LDMOS之閘極，則就算是

在將直流偏壓電壓 V_{bias} 設定為 1[V] 的情況時，於逆電壓施加時在閘極處也會被施加有 -8[V] 之負電壓。在閘極保護電路處，由於在負電壓側處係被施加有超過保護電壓範圍之過剩之電壓，因此，閘極保護電路係會有被破壞之虞。

【0175】在使用有 GaNFET 之閘極電路中，亦係存在有相同之問題，在將 LDMOSFET 之閘極作逆偏壓時，若是起因於共振振動而在閘極電壓 V_{gs} 處產生有振動，則係會有超過 LDMOSFET 之閘極保護電路之逆耐電壓之虞。此共振振動，由於 GaNFET 之 ON 電阻係為非常小(數 ohm ~ 數十 ohm)，因此，係為起因於在 GaNFET 之輸出寄生電容 C_{oss_GaN} 與旁通電容器間之配線電感 L_2 之間所產生的共振現象而導致者。

【0176】

(ii) 汲極電阻 (R_{dh} , R_{dl})

為了對於此共振現象作抑制，在本發明中，係於 GaNFET 之汲極側處，插入汲極電阻 26 (R_{dh} , R_{dl})。作為汲極電阻 26 (R_{dh} , R_{dl})，例如係使用 0.5[ohm] ~ 2[ohm] 程度之電阻值。

【0177】另外，在一般性之被使用於 27[MHz] 以下之頻率帶中的閘極驅動電路處，作為切換元件，一般而言係被使用有 Si-MOSFET，其之 ON 電阻係為 0.5[ohm] 以上而為較大，因此，發生共振現象的可能性係為低。

【0178】相對於此，在如同本發明一般之為了於頻率帶域為 27[MHz] ~ 100[MHz] 之帶域中以方形波之閘極訊號

來進行驅動而使用有 GaNFET 的情況時，由於 GaNFET 之 ON 電阻係為低，因此，配線電感 L_2 與 GaNFET 之輸出寄生電容 C_{oss_GaN} 之共振係幾乎不會衰減。為了使此共振現象作衰減，本發明，係具備有汲極電阻 (R_{dh} 、 R_{dl})。

【0179】圖 7，係對於被施加於放大元件 11(LDMOS) 之閘極處的閘極電壓 V_{gs} 作展示，圖 7(a) 係對於當並不存在有汲極電阻 26(R_{dh} ， R_{dl}) 時之閘極電壓 V_{gs} 作展示，圖 7(b) 係對於當存在有汲極電阻 26(R_{dh} ， R_{dl}) 時之閘極電壓 V_{gs} 作展示。在圖 7(a)、(b) 中，以虛線所標示之 S1 的矩形波形，係代表理想性之閘極電壓 V_{gs} ，以實線所標示之 S2 之波形，係代表示意性地作了表現的閘極電壓 V_{gs} 之實際訊號波形。又，以 S3 所標示之虛線，係代表閘極保護電路之逆耐電壓。另外，各波形形狀係為示意性地作表現，而並非為代表實際之波形形狀。

【0180】當並不存在有汲極電阻 26(R_{dh} ， R_{dl}) 的情況時，閘極電壓 V_{gs} 之負電壓之峰值係超過閘極保護電路之逆耐電壓，並成為導致閘極保護電路損壞的重要因素。另一方面，當存在有汲極電阻 26(R_{dh} ， R_{dl}) 的情況時，閘極電壓 V_{gs} 之負電壓之峰值由於係並不會超過閘極保護電路之逆耐電壓，因此，閘極保護電路係被作保護。

【0181】另外，雖然能夠藉由在 GaNFET 之源極端子側處將電阻作串聯連接之構成來將共振現象作衰減，但是，於此情況，由於係會在 GaNFET 之閘極側處產生有影響，因此係並不合適。

【 0182】

(iii) 閘極保護電路之保護

本發明，係藉由將被施加於閘極保護電路處之負電壓抑制在容許電壓範圍內，而具備有防止閘極保護電路之破壞之構成。將施加於 GaNFET 處之驅動電壓 V_H 以及逆偏壓電壓 V_L ，設定於閘極保護電路之額定電壓內。

【 0183】 在本發明之高頻電源裝置 1 處，閘極驅動部 20，係作為電源構成，而具備有「直流電源 22(V_{dd})」和被與此直流電源 22 作了並聯連接之「串聯電阻 27(R_e)與齊納二極體 28(ZD)之串聯電路」。

【 0184】 此串聯電阻 27(R_e)與齊納二極體 28(ZD)之串聯電路，係對於高端側之切換元件 21(QH)，而將串聯電阻 27(R_e)之兩端電壓作為驅動電壓 V_H 而作施加，並對於低端側之切換元件 21(QL)，而將齊納二極體 28(ZD)之兩端電壓作為逆偏壓電壓 V_L 而作施加。

【 0185】 藉由將驅動電壓 V_H 以及逆偏壓電壓 V_L 設定為高頻放大部 10 所內藏的閘極保護電路之額定電壓之電壓範圍內，來對於閘極保護電路作保護而使其免於受到過剩電壓之影響，乃至於對於放大元件 11(LDMOS)之閘極作保護。

在將 LDMOS 之閘極保護電路之額定電壓設為 $+11[V]/-6[V]$ 時，

若是將驅動電壓 V_H 以及逆偏壓電壓 V_L 之電壓範圍，設為

$$V_H = 6 \sim 11 [V]$$

$$V_L = 0 \cdot 5 \sim 6 [V]$$

，則在LDMOS之閘極處就算是最大也僅會被施加有 $V_{gs} = 11 [V] / -6 [V]$ ，而能夠防止閘極之破壞。

【0186】在閘極保護電路處，於LDMOSFET之OFF狀態下，由於LDMOSFET之閘極係藉由逆偏壓電壓 V_L 而被恆常施加有負電壓，因此，就算是於在半導體製造裝置處所被使用之ON/OFF脈衝運轉中的OFF區間中，也能夠防止異常振盪。

【0187】

(b5)放大元件之閘極電阻(R_{g_LD})

作為高頻放大部10之其中一個電性特性，係存在有被與放大元件11之閘極端子作連接之閘極電阻(R_{g_LD})。

【0188】閘極驅動部20之切換元件，係具備有被作了串聯連接的高端側之切換元件與低端側之切換元件。

【0189】高端側和低端側之切換元件之連接點與放大元件11之閘極端子之間之配線電感 L_3 ，係與放大元件11之閘極電容 C_{iss_LD} 一同構成LC共振電路LC3。此LC共振電路LC3之共振現象，係會成為在閘極訊號之波形處而發生振鈴(ringing)等之波形變形的重要因素。本發明之閘極電阻(R_{g_LD})，係將由LC共振電路LC3所致之共振作衰減。

【0190】本發明，係藉由在閘極驅動部20之切換元件21之輸出端與放大元件11之閘極端子之間連接閘極電阻(R_{g_LD})，而使起因於LC共振電路所致之振動的振幅作衰

減，並對於在閘極訊號上揚時之開啟時間 t_{on} 內的振鈴作抑制。

【0191】藉由將閘極電阻(R_{g_LD})設定為特定值，起因於LC共振電路LC3所致之振動的振幅係被作衰減，在閘極訊號上揚時之開啟時間內的振鈴係被作抑制。

【0192】

(D)電路元件之配置

使用圖8～圖13，針對本發明之高頻電源裝置的電路元件之配置作說明。圖8，係對於平面配置作展示，圖9，係對於圖8中之以虛線a-a所示之位置的剖面配置作展示，圖10，係為高頻電源裝置之一部分之立體圖。圖11，係對於電路元件之配置上的電流迴路作展示。圖12，係對於電路元件之線對稱配置以及輻射狀配置作展示。

【0193】在圖8～圖13中所示之電路元件之配置中，高頻放大部係將2個的放大元件之源極端子作接地連接而構成推挽電路，閘極驅動部係具備有對於高頻放大部之2個的放大元件之各閘極端子施加閘極訊號之2個的閘極驅動電路。

【0194】

(a)電路元件之線對稱配置

在圖8中，係藉由相同之電路構成之2個的閘極驅動電路20A、20B而構成推挽電路，構成閘極驅動電路20A、20B之相同之功能的電路元件，係相對於通過COM電位之對稱軸而被線對稱地作配置。在圖8中，一點鏈線之b-b係

代表線對稱之對稱線。

【0195】在對稱線 b-b 之其中一側(圖中之左方)處，係被配置有高頻放大部之放大元件 11(LDMOS1)以及閘極驅動部之閘極驅動電路 20A，在對稱線 b-b 之另外一側(圖中之右方)處，係被配置有高頻放大部之放大元件 11(LDMOS2)以及閘極驅動部之閘極驅動電路 20B。

【0196】閘極驅動電路 20A，在對稱線 b-b 之其中一側(圖中之左方)處，於基板 30 之表面側處，係被配置有旁通電容器 24(CH1)以及 24(CL1)、汲極電阻 26L(R_{d11})，並且被配置有被與放大元件 11(LDMOS1)之閘極端子作連接之閘極電阻 12(R_{g_LD})。

【0197】另一方面，在基板 30 之背面側處，係被配置有切換元件 21(QH1)以及 21(QL1)、汲極電阻 26H(R_{dh1})，並且在閘極電阻 12(R_{g_LD})之下方位置處係被配置有導電性之遮蔽墊圈 29。

【0198】閘極驅動電路 20B，在對稱線 b-b 之另外一側(圖中之右方)處，於基板 30 之表面側處，係被配置有旁通電容器 24(CH2)以及 24(CL2)、汲極電阻 26L(R_{d12})，並且被配置有被與放大元件 11(LDMOS2)之閘極端子作連接之閘極電阻 12(R_{g_LD})。

【0199】另一方面，在基板 30 之背面側處，係被配置有切換元件 21(QH2)以及 21(QL2)、汲極電阻 26H(R_{dh2})，並且在閘極電阻 12(R_{g_LD})之下方位置處係被配置有導電性之遮蔽墊圈 29。

【0200】在構成閘極驅動電路20A之各電路元件與構成閘極驅動電路20B之各電路元件中，相同之功能的電路元件，係相對於對稱線b-b而被等距離地作配置，並被進行有線對稱配置。

【0201】藉由以一點鏈線b-b作為對稱線來空間性地作線對稱配置，2個的閘極驅動電路之各電路元件，係以COM電位作為基準電位而被電性對稱地作配置。又，藉由使電路元件被電性對稱地作配置，「閘極訊號之失效時間DT以及脈衝寬幅 T_{on} 之偏移」和「雙方之閘極訊號之同步偏移」等之基於閘極訊號之從基準電位起之偏移所產生之2個的閘極訊號間之偏移係被作抑制。

【0202】

(b)電路元件之表背面配置

圖9，係對於圖8中之虛線a-a之位置的剖面作示意性展示。

在高頻放大部處，放大元件11(LDMOS)之閘極端子係被與閘極電阻12(R_{g_LD})作連接，源極端子係作為高頻放大部側之接地電位(GND1)而與散熱部31相接觸地而被作配置。

【0203】在閘極驅動部處，被配置在基板30之背面側處之導電性之遮蔽墊圈29，係作為閘極驅動部側之接地電位(GND2)，而與散熱部31相接觸地而被作配置。又，被配置在基板30之背面側處之切換元件21(GaN FET(QH, QL))，係經由熱傳導性之矽橡膠等之熱導電構件，而與散

熱部 31 相接觸地而被作配置。散熱部 31，係為水冷卻板或者是鱗等之具有散熱功能之具有導電性的金屬性構件，並具備有將接地電位 (GND1) 與接地電位 (GND2) 之間作電性連接之導電性。

【0204】旁通電容器 24(CH, CL) 以及汲極電阻 26(R_{dh} , R_{d1})、和切換元件 21(QH, QL)，係包夾著基板 30 地而概略被配置在上下之位置處。

【0205】圖 10，係對於高頻電源裝置之一部分以立體圖來作展示。在基板 30 之表面側處，係被配置有旁通電容器 24(CH1) 以及閘極電阻 12(R_{g_LD})，在背面側之下方位置處，係被配置有切換元件 21(GaN FET(QH1)) 以及被與該切換元件 21(GaN FET(QH1)) 作了連接之閘極電阻 25(R_{g_GaN})。切換元件 21(GaN FET(QH1))，係經由閘極電阻 25(R_{g_GaN}) 而被與驅動用邏輯 IC23 作連接。驅動用邏輯 IC23，係亦可設為除了被配置在基板 30 之背面側處以外亦包夾著基板 30 地而被配置在表面側處之構成。藉由將基板 30 以虛線所示而在表面側以及背面側之兩側處配置 2 個的驅動用邏輯 IC23，係能夠使供給至切換元件 21(GaN FET(QH1)) 處之電流增加。

【0206】包夾著基板 30 地而「被配置於表面處之旁通電容器 24(CH1)」與「被配置在背面處之導電性之遮蔽墊圈 29」之間，係可經由基板 30 之貫通孔來作連接。又，包夾著基板 30 地而「被配置在背面處之汲極電阻 26(R_{dh1}) 以及被配置在背面處之切換元件 21(GaN FET(QH1))」與「被

配置在表面處之旁通電容器 24(CH1)」之間，係可經由基板 30 之貫通孔來作連接。

【 0207】

(c) 電路元件之冷卻

在閘極驅動部處，旁通電容器 24、閘極電阻 12 之電阻元件之被動元件，係相對於基板 30 而被配置於表面側處，並藉由空氣冷卻而被作冷卻。另一方面，切換元件 21(GaN FET(QH, QL)) 之主動元件，係相對於基板 30 而被配置在背面側處，並藉由經由導傳熱構件而作接觸之散熱部 31 而被作冷卻。

【 0208】藉由將發熱量為相異之主動元件與被動元件隔著基板而配置在相反側處，並將發熱量為小之被動元件相對於基板而配置在表面側處，係成為能夠進行以空氣冷卻所致之冷卻。另一方面，係將發熱量為大之主動元件相對於基板而配置於背面側處，並藉由散熱部而強制性地作冷卻。散熱部，係可使用水冷卻板或者是鰭。

【 0209】

(d) 電路元件之熱傳導

在閘極驅動部處，旁通電容器 24 和電阻元件之被動元件，係將作並聯連接之元件的並聯個數(並聯數)，以會使其之實效寬幅成為與高頻放大部之放大元件之本體寬幅同等或者是較本體寬幅而更廣的方式來構成。

【 0210】被動元件之熱傳導之實效寬幅，係依存於被作了並聯連接之被動元件的個數以及安裝圖案寬幅。藉由

將此被動元件之實效寬幅設為與高頻放大部之放大元件之本體寬幅同等或者是較本體寬幅而更廣，彼此之熱傳導效率係提升，熱性之不均等係被消除。又，被動元件之寬廣的實效寬幅，係對於配線電感之降低有所助益。

【0211】

(e) 驅動電流之電流迴路

在閘極驅動部與高頻放大部之間，係被形成有驅動電流之電流迴路。圖 11，係為用以對於驅動電流之電流迴路作說明之圖，圖 11(a)係使用圖 4 之電路圖來對於電流迴路作展示，圖 11(b)係使用圖 9 之剖面圖來對於電流迴路作展示。

【0212】在驅動電流之電流迴路中，於高端側之切換元件 21H(QH)為 ON 的狀態下，將放大元件 11(LDMOS)之閘極作驅動的閘極電流，係從切換元件 21H(QH)之源極端子起通過閘極電阻 12(R_{g_LD})而被施加於放大元件 11(LDMOS)之閘極端子處。

【0213】之後，驅動電流，係如同在圖 11(a)中所示一般，從放大元件 11(LDMOS)之源極端子起，通過高頻放大部側之接地電位 (GND1)以及閘極驅動部側之接地電位 (GND2)，來通過旁通電容器 24H(CH)以及汲極電阻 26H(R_{dh})而回到切換元件 21H(QH)之汲極端子處。

【0214】在圖 11(b)中，從被設置在基板 30 之背面側處的切換元件 21H(QH)之源極端子而來之電流，係通過基板 30 之貫通孔而流動至被設置在基板 30 之表面側處的閘極

電阻 12(R_{g_LD})處，並從放大元件 11(LDMOS)之閘極端子來驅動放大元件 11(LDMOS)。放大元件 11(LDMOS)之源極端子由於係成為接地電位 (GND1)，因此，係經由散熱部 31來流動至身為閘極驅動部側之接地電位 (GND2)的導電性之遮蔽墊圈 29處。從導電性之遮蔽墊圈 29起來通過基板 30之貫通孔而流動至旁通電容器 24(CH)處，並再度通過基板 30之貫通孔而經由汲極電阻 26H(R_{dh})而回到被設置在基板 30之背面側處之切換元件 21(QH)的汲極端子處。

【0215】在閘極驅動部處，係於表層側之閘極電阻 12(R_{g_LD})之正下方背面處，包夾著基板地而配置有導電性之遮蔽墊圈 29。此導電性之遮蔽墊圈 29，係成為閘極驅動部側之接地電位 (GND2)。另一方面，在高頻放大部處，放大元件之源極電壓，係成為高頻放大部側之接地電位 (GND1)。閘極驅動部側之接地電位 (GND2)與高頻放大部側之接地電位 (GND1)，係經由散熱部而被作電性連接，在閘極驅動部與高頻放大部之間係被形成有電流迴路 (loop)。

【0216】在閘極驅動部處，切換元件 21，係包夾著基板 30地，而被配置在汲極電阻 26(R_d)以及旁通電容器 24之下方處，並經由被設置在基板 30處之貫通孔而被作電性連接。藉由此配置，切換元件 21、汲極電阻 26(R_d)、旁通電容器 24等之電路元件係成為能夠作近接配置。藉由此，電流迴路之電性長度係被縮短，藉由此，係成為能夠將配線電感抑制為小的值。

【0217】關於電流迴路之電性長度，藉由將當從剖面方向來作了觀察時之電流迴路之直徑設為10[mm]程度以下，係能夠對於矩形波形狀之閘極訊號的起因於配線電感所導致的衰減有所抑制地來進行傳輸。

【0218】

(g)電路元件之直線狀以及輻射狀配置

本發明之高頻電源裝置的電路元件，係被線對稱地作配置，並且被配置為輻射狀。圖12、圖13，係為用以對於輻射狀配置作說明之圖。

圖12(a)，係對於被配置在基板30之表面側處的電路元件作展示，圖12(b)，係對於被配置在基板30之背面側處之電路元件作展示。

【0219】各電路元件，係在基板30之表面側以及背面側處，相對於對稱線b-b而被線對稱地作配置，並且，驅動用邏輯IC23以及閘極電阻25係被配置為直線狀，並且，此串聯電路係被輻射狀地作配置。被配置在基板30之背面側處的驅動用邏輯IC23，係藉由被與該驅動用邏輯IC23作連接之閘極電阻25而構成串聯電路，在此串聯電路中，兩電路元件係被配置為直線狀，並且驅動用邏輯IC23係被配置為輻射狀，關於被配置在基板30之表面側處之驅動用邏輯IC23，亦係同樣的被配置為輻射狀。

【0220】例如，用以驅動切換元件21(QH1)之驅動用邏輯IC23H以及閘極電阻25，係相對於切換元件21(QH1)而被配置為直線狀。

又，關於用以驅動切換元件 21(QL1)之驅動用邏輯 IC23L以及閘極電阻 25之串聯電路，亦同樣的，兩電路元件係被配置為直線狀。而，此些之串聯電路，係分別被輻射狀地作配置。

【0221】關於其他之串聯電路，亦係同樣地被作配置，相對於各閘極驅動電路 20A、20B所具備的高端側之切換元件以及低端側之切換元件之閘極端子，對於各閘極端子施加驅動訊號之驅動用邏輯 IC與閘極電阻 25(R_g -GaN)之串聯電路係被直線狀且輻射狀地作配置。藉由串聯電路之直線狀配置以及輻射狀配置，各串聯電路之電性長度以及與切換元件之閘極端子之間之電性長度係成為均等，起因於配線長度為相異一事所導致的配線電感之差異和延遲時間等之偏移等係被作抑制。

【0222】圖 13(a)，係對於使「將驅動用邏輯 IC與閘極電阻 (R_g -GaN)直線狀地作配置所成之串聯電路」被配置為輻射狀的構成作示意性展示。

【0223】由驅動用邏輯 IC23H與閘極電阻 25H(R_g -GaN)所成之串聯電路，係被直線狀且輻射狀地作配置。

【0224】關於由驅動用邏輯 IC23L與閘極電阻 25L(R_g -GaN)所成之串聯電路，亦同樣的，串聯電路係相對於切換元件之閘極端子而被直線狀地作配置並且被輻射狀地作配置。此配置，係亦針對被線對稱地作配置之閘極驅動電路 20A以及閘極驅動電路 20B之兩驅動電路而有所

進行。

【0225】圖 13(b)，係對於將驅動用邏輯 IC23 與閘極電阻 25(R_g _GaN)非直線狀地作了配置的狀態作展示。在此配置中，在相對於各切換元件 21 之配置中，由於將驅動用邏輯 IC23 與閘極電阻 25(R_g _GaN)作連結之配線的線路長度以及將閘極電阻 25(R_g _GaN)與切換元件 21 之閘極端子作連結之配線的線路長度係為相異，因此各電性長度係為相異。此電性長度之相異，係會成為導致配線電感之差異和延遲時間之偏移的重要因素。另外，就算是非直線狀，只要配線之線路長度與電性長度係於各者處而為相同，則係亦可採用非直線配置。

【0226】若依據本發明，則係成為能夠進行使用有 LDMOSFET 之高頻放大器之切換模式動作(D級~F級)，並且能夠將施加於放大元件之閘極處之閘極電壓 V_{gs} 的失效時間 DT 與閘極脈衝寬幅 T_{on} 設為可變，而能夠進行在 27[MHz]~100[MHz]之高頻帶域中的 PWM 控制。又，當放大元件(LDMOSFET)為 OFF 時，由於放大元件(LDMOSFET)之閘極係恆常設為逆偏壓，因此異常振盪之發生係被作抑制。

【0227】另外，在上述實施形態以及變形例中的記述內容，係僅為本發明之寬頻帶 RF 電源的其中一例，本發明，係並不被限定於各實施形態，而能夠基於本發明之要旨來進行各種的變形，並且也不應將這些從本發明之範圍中而排除。

[產業上之利用可能性]

【0228】本發明之高頻電源裝置，係可適用在像是輸出為1kW以上且頻率範圍為27[MHz]~100[MHz]之半導體製造裝置、由液晶或有機EL所致之平面面板顯示器製造裝置、CO₂雷射加工機等之產業用途中。

【符號說明】

【0229】

- 1:高頻電源裝置
- 10:高頻放大部
- 11:放大元件
- 12:閘極電阻
- 13:閘極保護電路
- 20:閘極驅動部
- 20A,20B:閘極驅動電路
- 21:切換元件
- 22:直流電源
- 23:驅動用邏輯IC
- 24:旁通電容器
- 25:閘極電阻
- 26:汲極電阻
- 27:串聯電阻
- 28:齊納二極體

29:遮蔽墊圈

30:基板

31:散熱部

100:高頻電源裝置

110:高頻放大部

111:放大元件

120:閘極驅動部

C:寄生電容

C_o :電容 (capacitance)

C_{iss} :閘極電容(輸入寄生電容)

C_{oss} :輸出寄生電容

DT:失效時間 (deadtime)

I_g :閘極電流

L:配線電感

L_1, L_2, L_3 :配線電感

LC1, LC2, LC3:LC共振電路

L_o :電感

M_g :互電感

Q_g :總閘極電荷(閘極總電荷量)

T_{on} :脈衝寬幅

V_H :驅動電壓

V_L :逆偏壓電壓

V_{ac} :交流電壓

V_{bias} :直流偏壓電壓

V_{dc} : 直流電壓

V_{dd} : 電源電壓

V_{gs} : 閘極電壓

V_{in} : 輸入電壓

V_{th} : 臨限值電壓

b-b: 對稱線

f_{o1} : 共振頻率

f_{o2} : 共振頻率

f_{o3} : 共振頻率

f_{sw} : 切換頻率

t_d : 延遲時間

t_{on} : 開啟時間 (turn on time)

t_{sw} : 時間寬幅

【發明申請專利範圍】

【請求項1】一種高頻電源裝置，係具備有：

高頻放大部，係藉由放大元件之切換動作而使其進行高頻放大，並輸出高頻之輸出電力；和

閘極驅動部，係藉由切換元件之切換動作而對於前述放大元件之閘極端子輸入閘極訊號，並藉由該閘極訊號而驅動前述放大元件，

在前述高頻放大部處，前述放大元件係為 **LDMOSFET**，

在前述閘極驅動部處，前述切換元件係為 **GaN FET**，並將前述高頻放大部藉由矩形波訊號之閘極訊號來進行 **PWM** 控制。

【請求項2】如請求項1所記載之高頻電源裝置，其中，

在前述閘極驅動部處，將前述切換元件之輸出寄生電容 (C_{oss_GaN}) 和被連接於前述切換元件之汲極端子處之配線的電感之間之 **LC** 共振之振動作衰減之汲極電阻 (R_d)，係被連接於前述切換元件之汲極端子處。

【請求項3】如請求項1或2所記載之高頻電源裝置，其中，

在前述閘極驅動部處，前述切換元件之總閘極電荷 (Q_g)，係為於與前述高頻之切斷動作之切換頻率 (f_{sw}) 相對應之一個週期的時間 ($1/f_{sw}$) 內而前述切換元件之閘極電流 (I_g) 所被注入至閘極端子處的總電荷量以下之值。

【請求項4】如請求項1或2所記載之高頻電源裝置，其中，

在前述閘極驅動部處，前述切換元件與對於該切換元件之閘極端子施加驅動訊號的驅動用邏輯IC之間之配線電感(L_1)，係被限制為會使其之與前述切換元件之閘極電容(C_{iss_GaN})之間的LC共振之共振頻率(f_{o1})成為前述高頻之切換動作之切換頻率(f_{sw})以上之值。

【請求項5】如請求項1或2所記載之高頻電源裝置，其中，

在前述閘極驅動部處，前述切換元件和被與該切換元件之汲極端子作連接的旁通電容器之間之配線電感(L_2)，係被限制為會使其之與前述切換元件之輸出寄生電容(C_{oss_GaN})之間的LC共振之共振頻率(f_{o2})成為前述高頻之切換動作之切換頻率(f_{sw})以上之值。

【請求項6】如請求項1或2所記載之高頻電源裝置，其中，

在前述閘極驅動部以及前述高頻放大部處，高端(high side)側之前述切換元件之源極端子與前述放大元件之閘極端子之間之配線電感(L_3)，係被限制為會使其之與前述放大元件之閘極電容(C_{iss_LD})之間的LC共振之共振頻率(f_{o3})成為前述高頻之切換動作之切換頻率(f_{sw})以上之值。

【請求項7】如請求項6所記載之高頻電源裝置，其中，

在前述高端側之前述切換元件之源極端子與前述放大元件之閘極端子之間，係被連接有閘極電阻 (R_{g_LD})，

前述閘極電阻 (R_{g_LD})，係將前述放大元件之閘極電容 (C_{iss_LD})和前述高端側之切換元件之源極端子與前述放大元件之閘極端子之間的配線電感 (L_3)之間之LC共振作衰減。

【請求項8】如請求項1或2所記載之高頻電源裝置，其中，

前述高頻放大部，係為將2個的放大元件之源極端子作接地連接之推挽電路 (push-pull circuit)，

前述閘極驅動部，係具備有對於前述2個的放大元件之各閘極端子施加閘極訊號之2個的閘極驅動電路，

前述2個的閘極驅動電路，係以COM電位作為基準而為電性對稱，構成各閘極驅動電路之電路元件，係相對於通過COM電位之對稱軸而被線對稱地作配置。

【請求項9】如請求項8所記載之高頻電源裝置，其中，

前述各閘極驅動電路所具備的高端側之切換元件以及低端 (low side)側之切換元件之閘極端子，係於自身與對於各閘極端子施加驅動訊號之驅動用邏輯IC之間，被連接有閘極電阻 (R_{g_GaN})，

被配置為直線狀之前述驅動用邏輯IC與前述閘極電阻 (R_{g_GaN})之間之串聯電路，係被具備有複數，

前述複數之串聯電路，係被配置為輻射狀，各個的串

聯電路之電性長度係為均等。

【請求項 10】如請求項 1 或 2 所記載之高頻電源裝置，其中，

前述閘極驅動部，係具備有主動元件與被動元件，

前述被動元件，係相對於基板而被配置於表層處，並藉由空氣冷卻而被作冷卻，

前述主動元件，係相對於基板而被配置於背面處，並藉由中介於導傳熱構件地而作接觸之散熱部而被作冷卻。

【請求項 11】如請求項 10 所記載之高頻電源裝置，其中，

前述散熱部係為水冷卻板或者是鰭。

【請求項 12】如請求項 1 或 2 所記載之高頻電源裝置，其中，

前述閘極驅動部，係具備有主動元件與被動元件，

前述被動元件之並聯個數以及安裝圖案寬幅，係其之實效寬幅為與前述高頻放大部之放大元件之本體寬幅同等或者是較本體寬幅而更廣。

【請求項 13】如請求項 7 所記載之高頻電源裝置，其中，

在前述閘極驅動部處，導電性之遮蔽墊圈，係包夾著基板而被配置在表層側之閘極電阻 (R_{g_LD}) 之正下方背面處，並被設為閘極驅動部側之接地電位，

在前述高頻放大部處，前述放大元件之源極電壓係被設為高頻放大部側之接地電位，

前述閘極驅動部側之接地電位與高頻放大部側之接地電位，係經由散熱部而被作電性連接，在前述閘極驅動部與高頻放大部之間係被形成有電流迴路(loop)。

【請求項14】如請求項13所記載之高頻電源裝置，其中，

在前述閘極驅動部處，前述切換元件，係包夾著基板，而被配置在被與前述切換元件之汲極端子作連接之汲極電阻(R_d)以及被與前述汲極電阻(R_d)作連接之旁通電容器之下方處，並經由被設置在基板處之貫通孔而被作電性連接。

【請求項15】如請求項13所記載之高頻電源裝置，其中，

前述電流迴路之路徑之迴路直徑，係為10[mm]以下。

【請求項16】如請求項14所記載之高頻電源裝置，其中，

前述電流迴路之路徑之迴路直徑，係為10[mm]以下。

【請求項17】如請求項1或2所記載之高頻電源裝置，其中，

前述閘極驅動部，係具備有被作了串聯連接的高端側之切換元件與低端側之切換元件，

並且，係具備有被與直流電源作了並聯連接的串聯電阻(R_e)與齊納二極體(ZD)之串聯電路，

前述串聯電阻(R_e)之兩端電壓，係作為驅動電壓(V_H)而被施加於前述高端側之切換元件處，

前述齊納二極體(ZD)之兩端電壓，係作為逆偏壓電壓(V_L)而被施加於前述低端側之切換元件處，

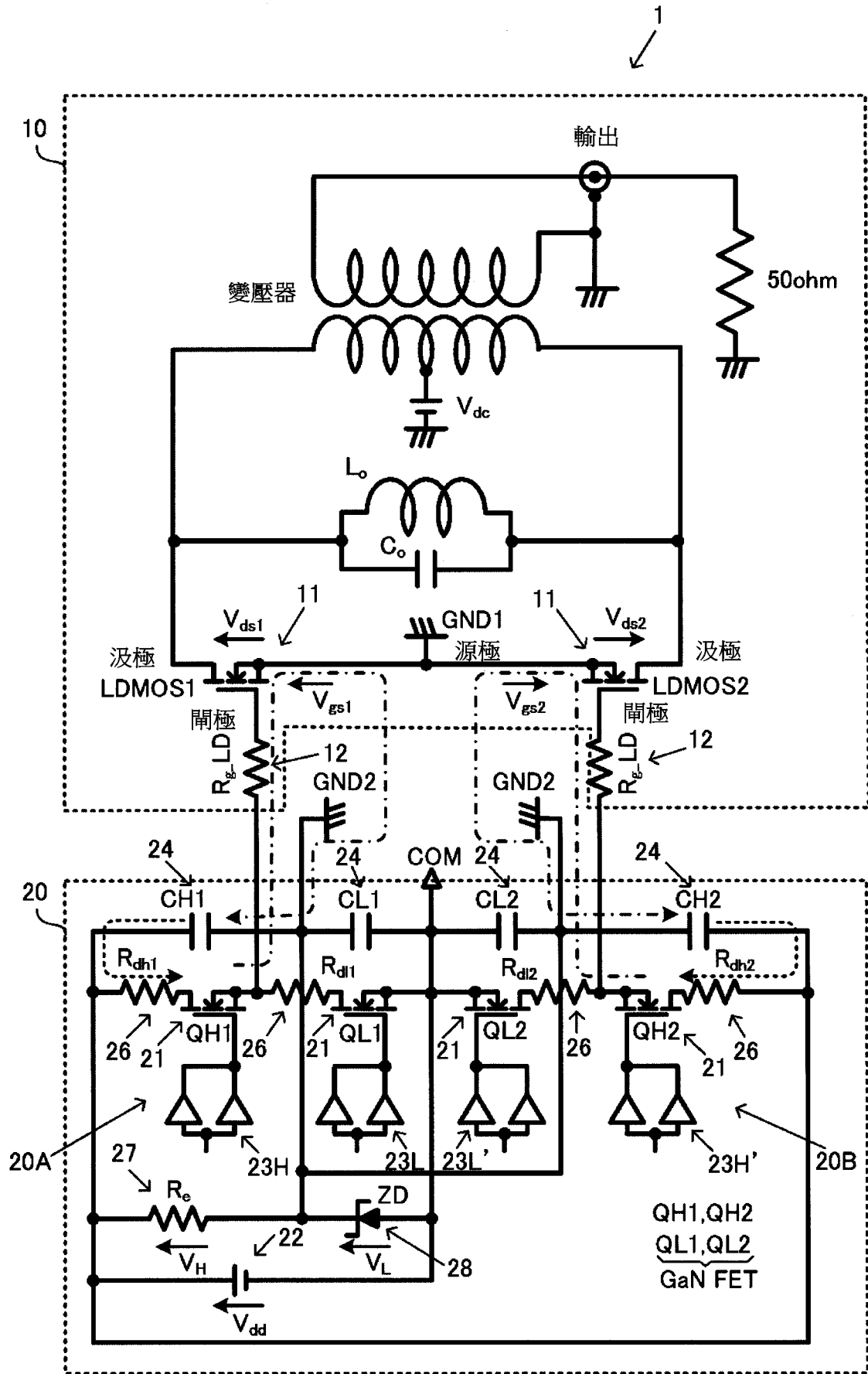
前述高頻放大部，係內藏有對於前述放大元件之閘極作保護之閘極保護電路，

前述驅動電壓(V_H)以及逆偏壓電壓(V_L)，係為前述閘極保護電路之額定電壓之電壓範圍內，

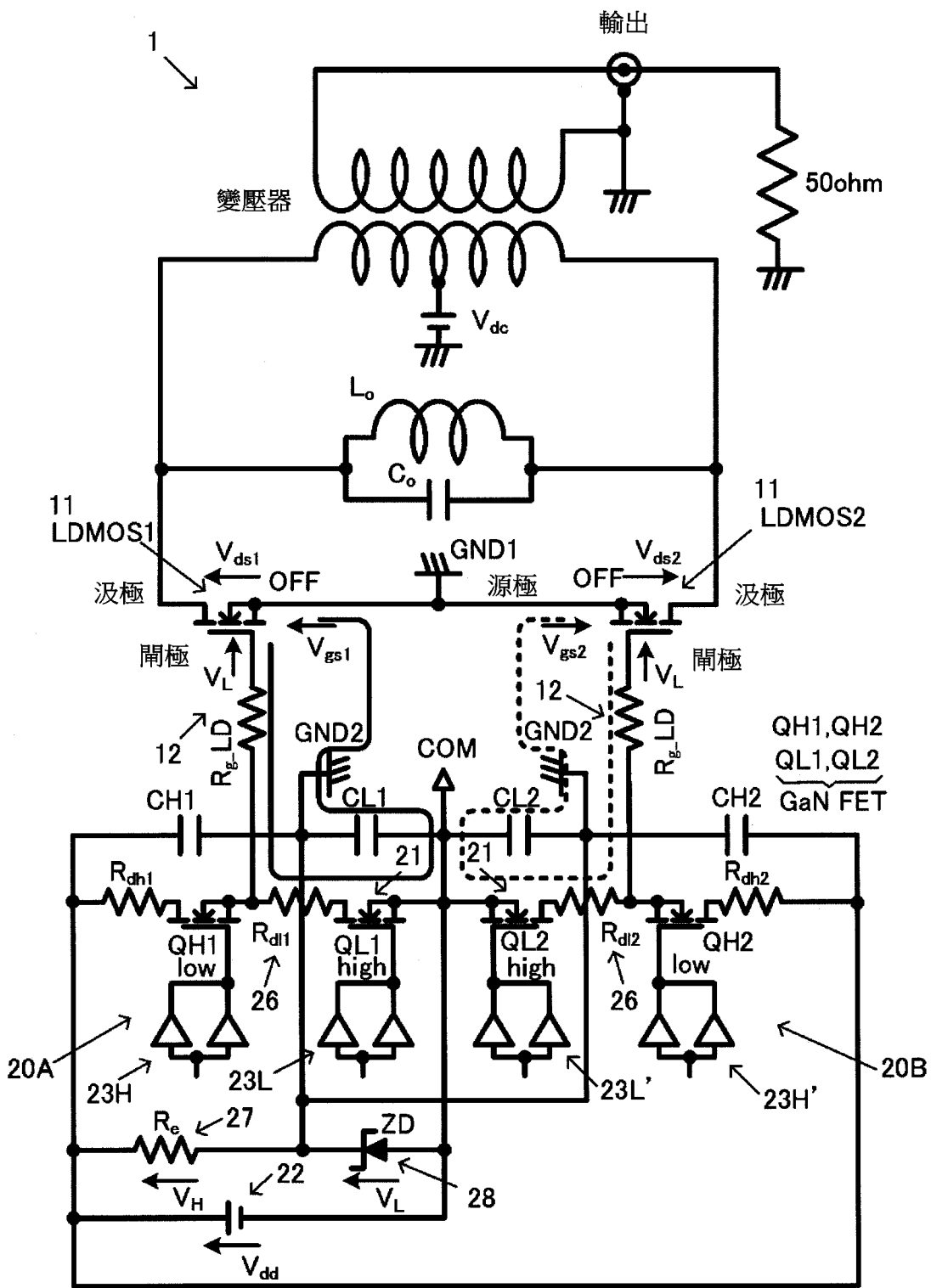
在前述高端側之切換元件之汲極端子處，係被連接有汲極電阻(R_{dh})，

在前述低端側之切換元件之汲極端子處，係被連接有汲極電阻(R_{dl})。

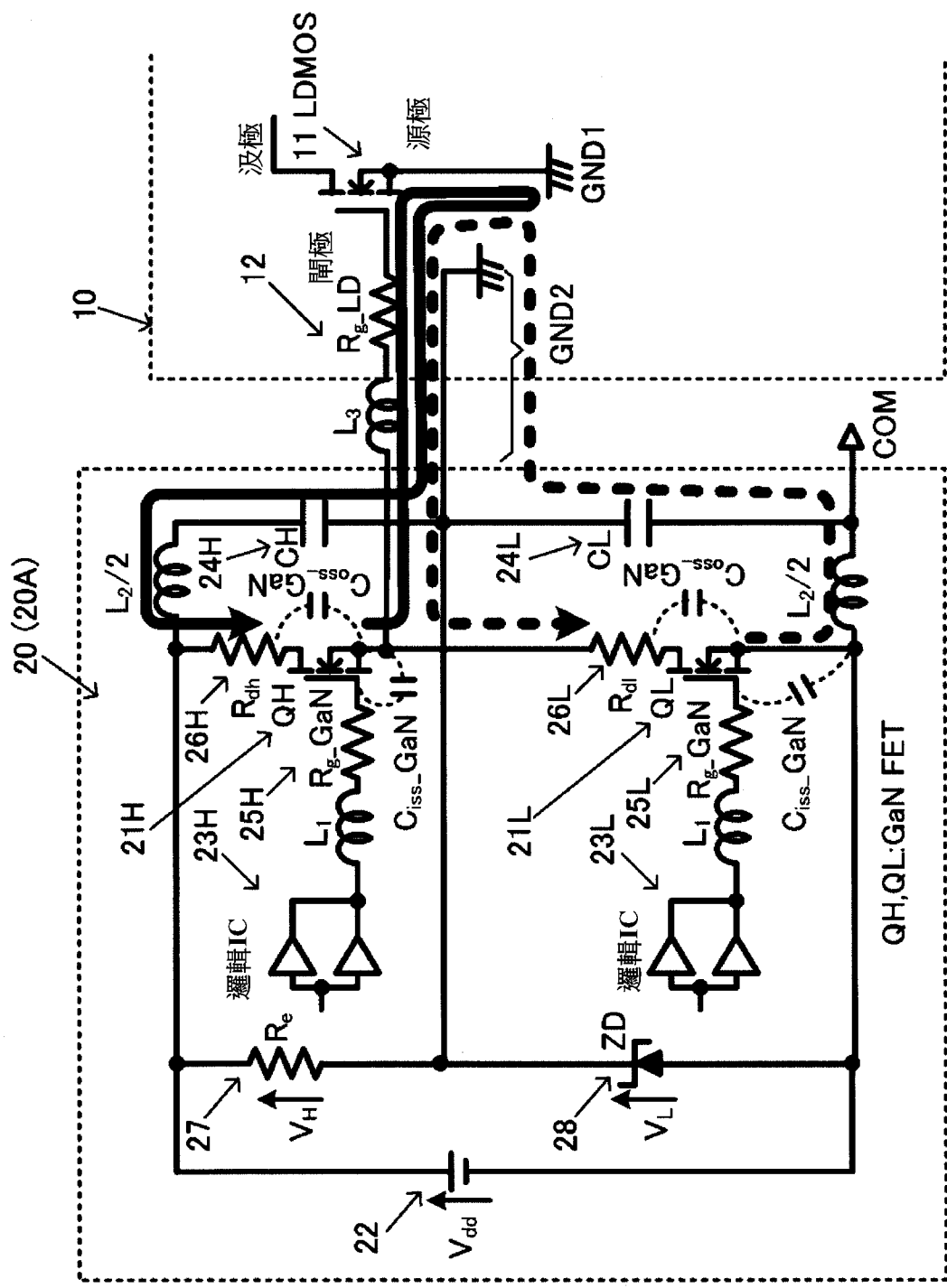
【發明圖式】



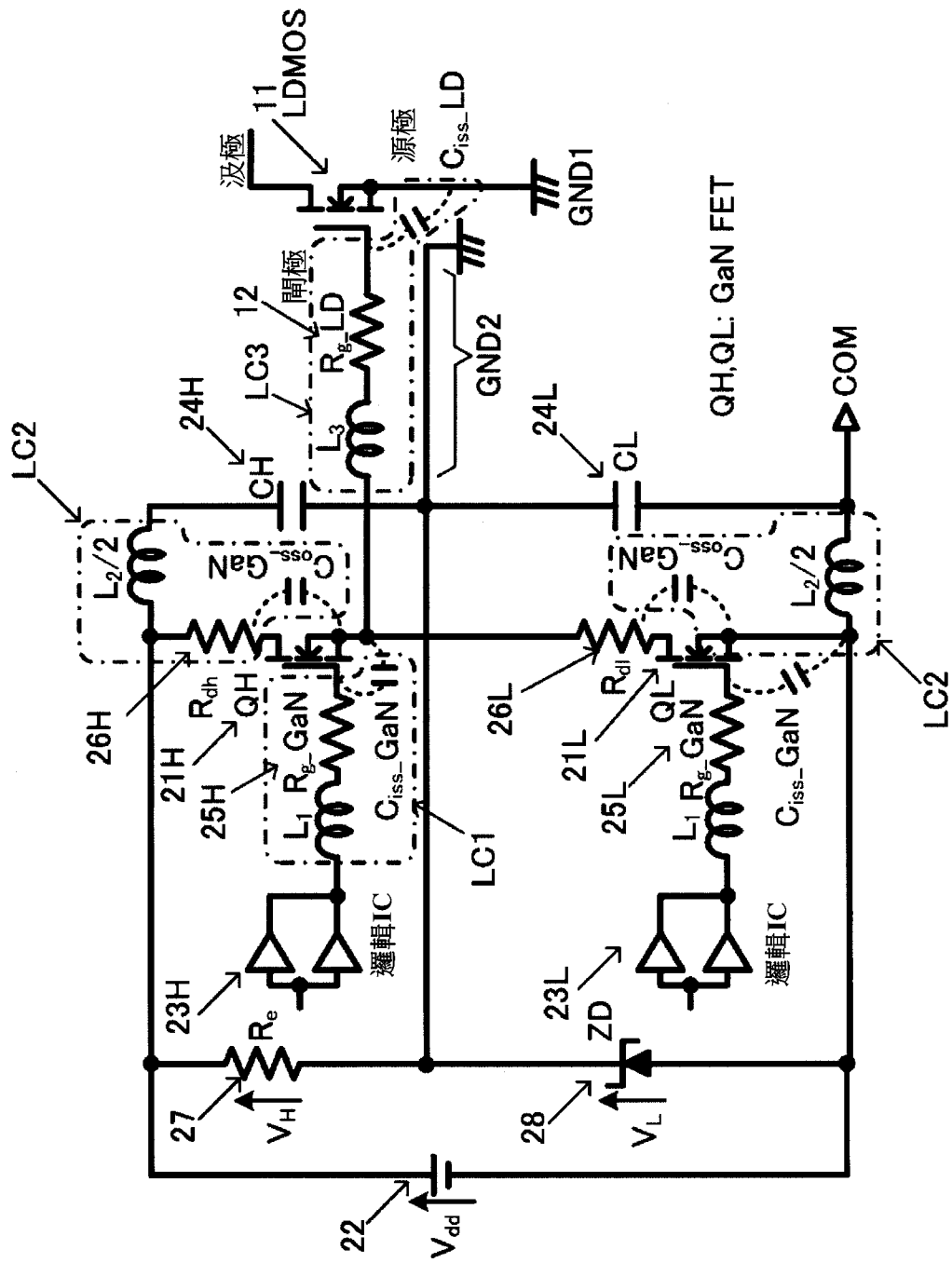
【圖 1】



【圖 3】

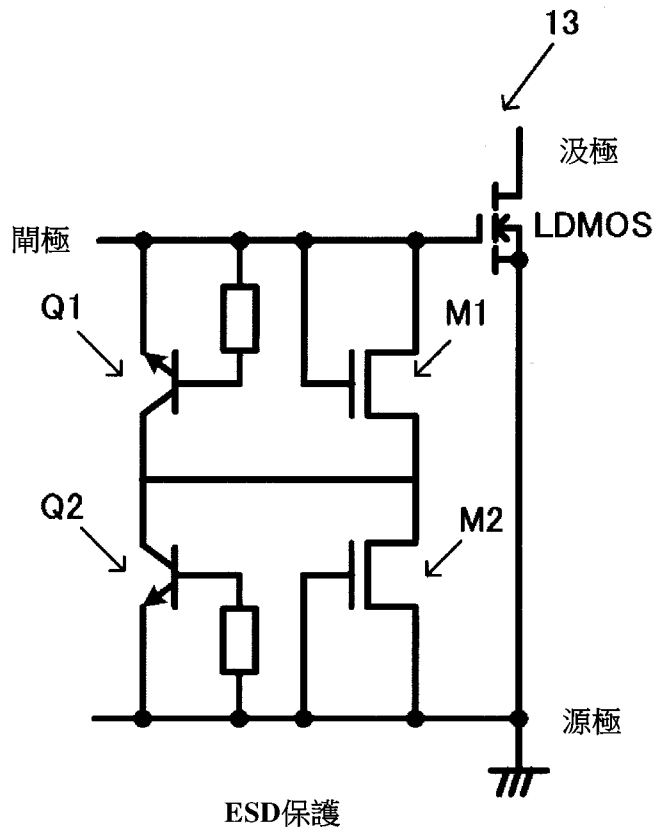


【圖 4】

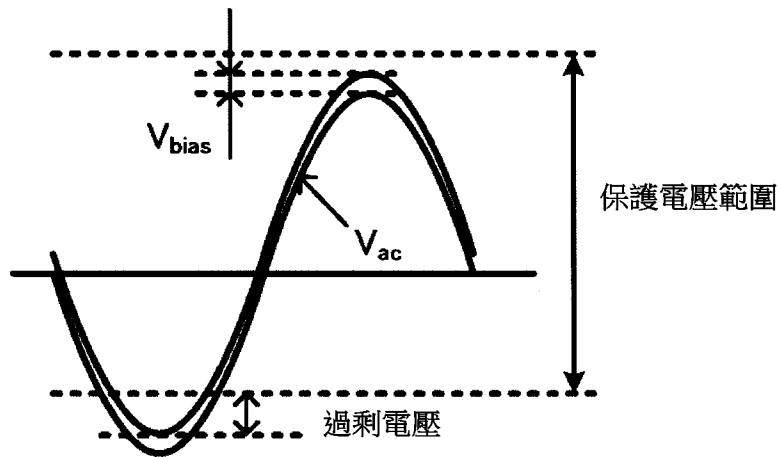


【圖 5】

(a)

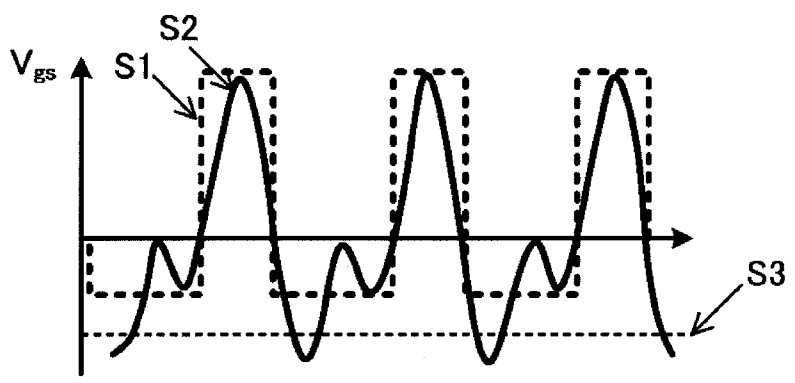


(b)

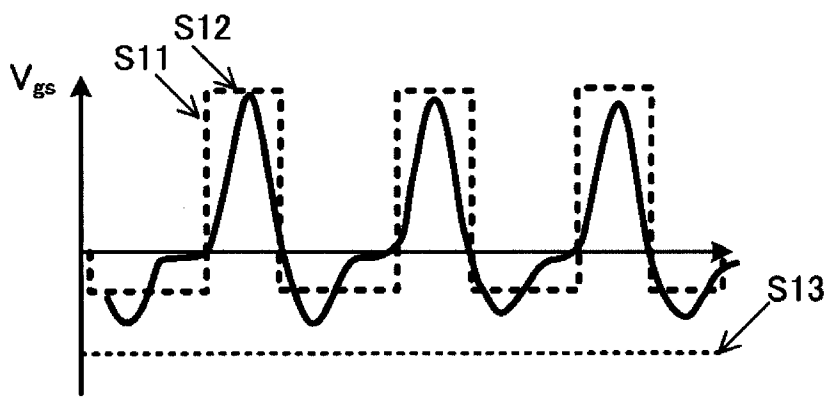


【圖 6】

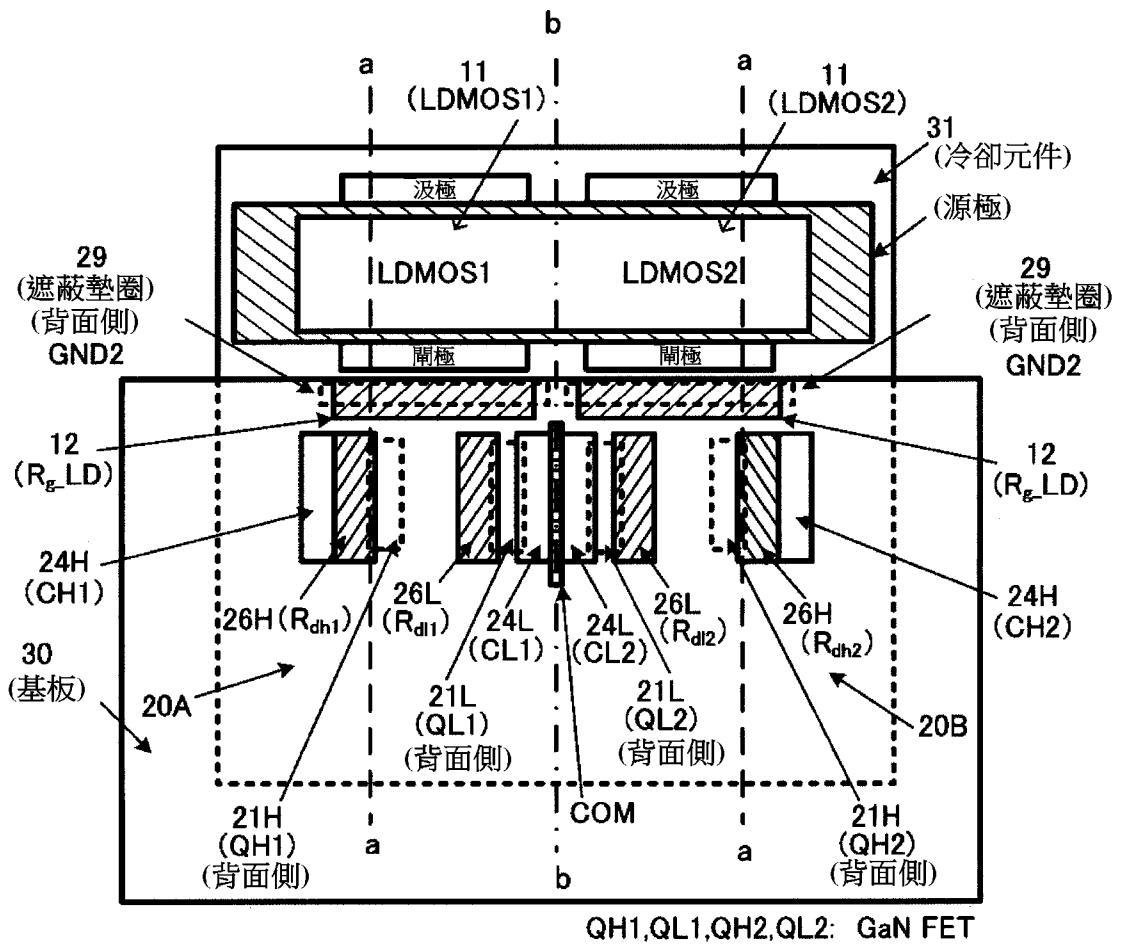
(a) 無Rd



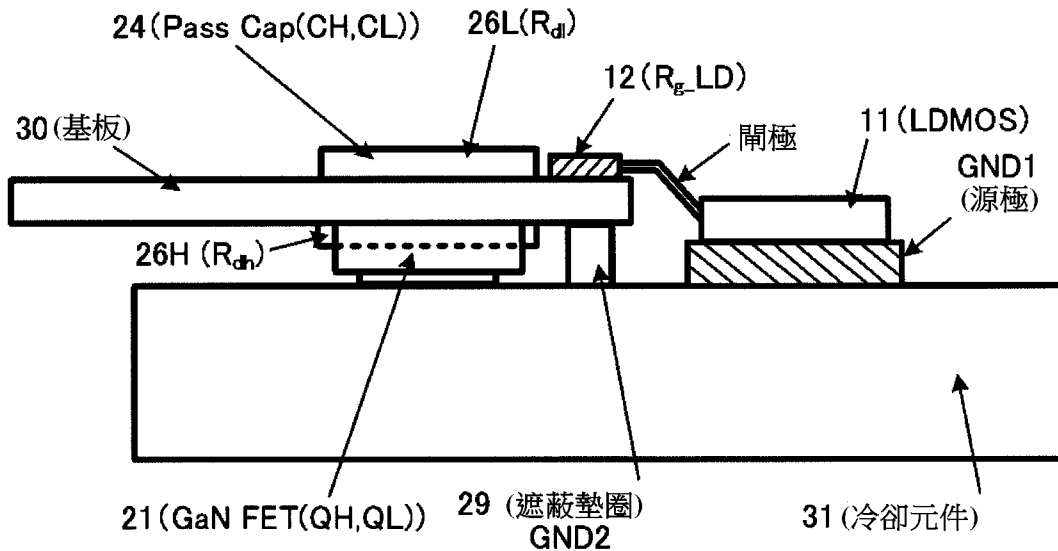
(b) 有Rd



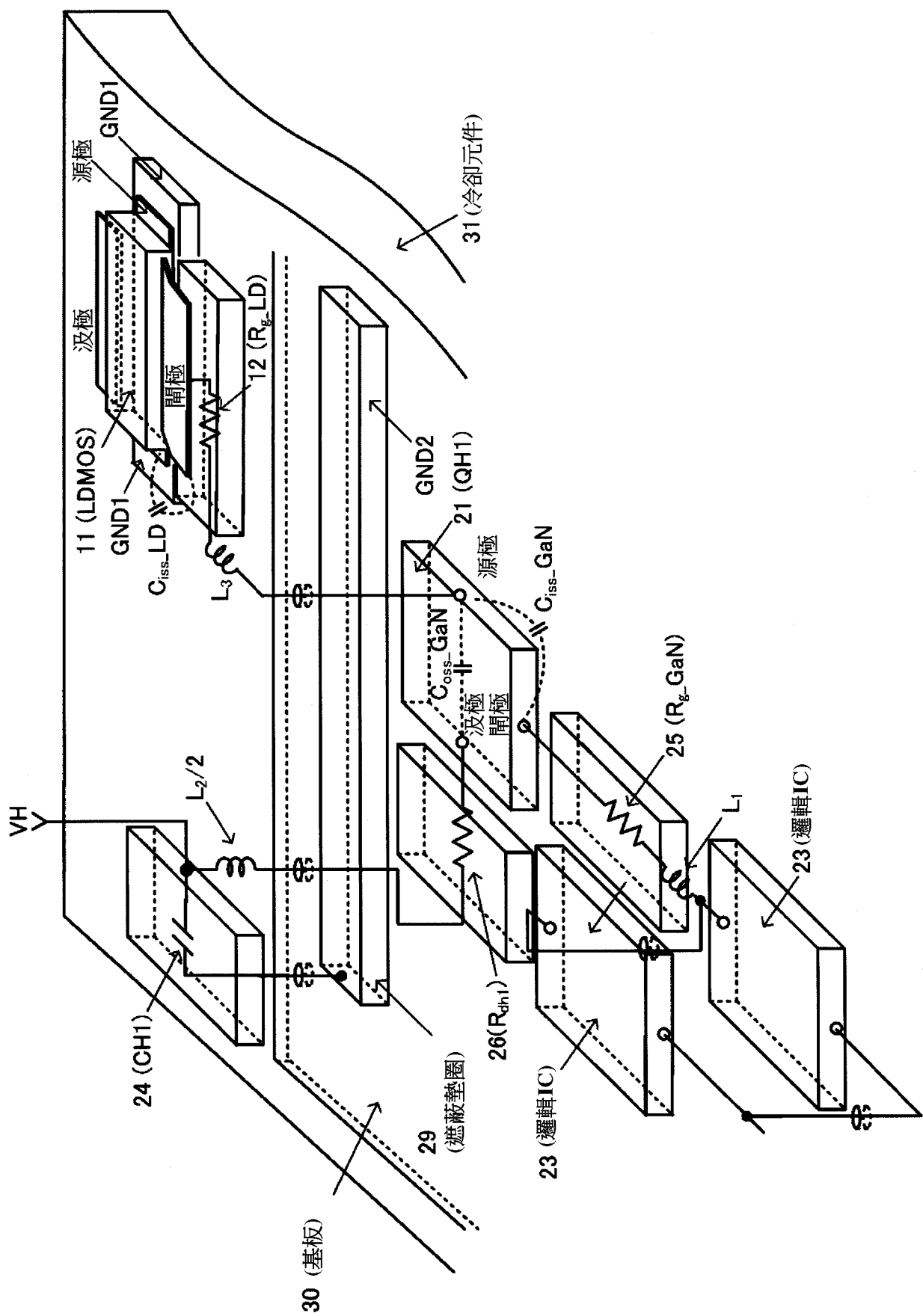
【圖 7】



【圖 8】

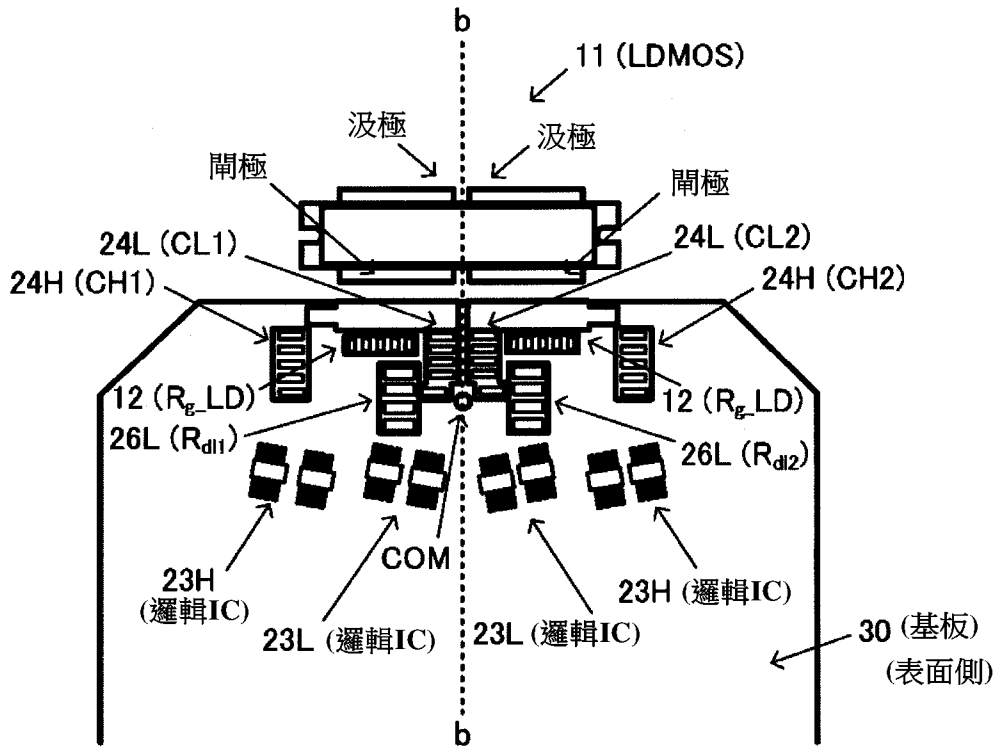


【圖 9】

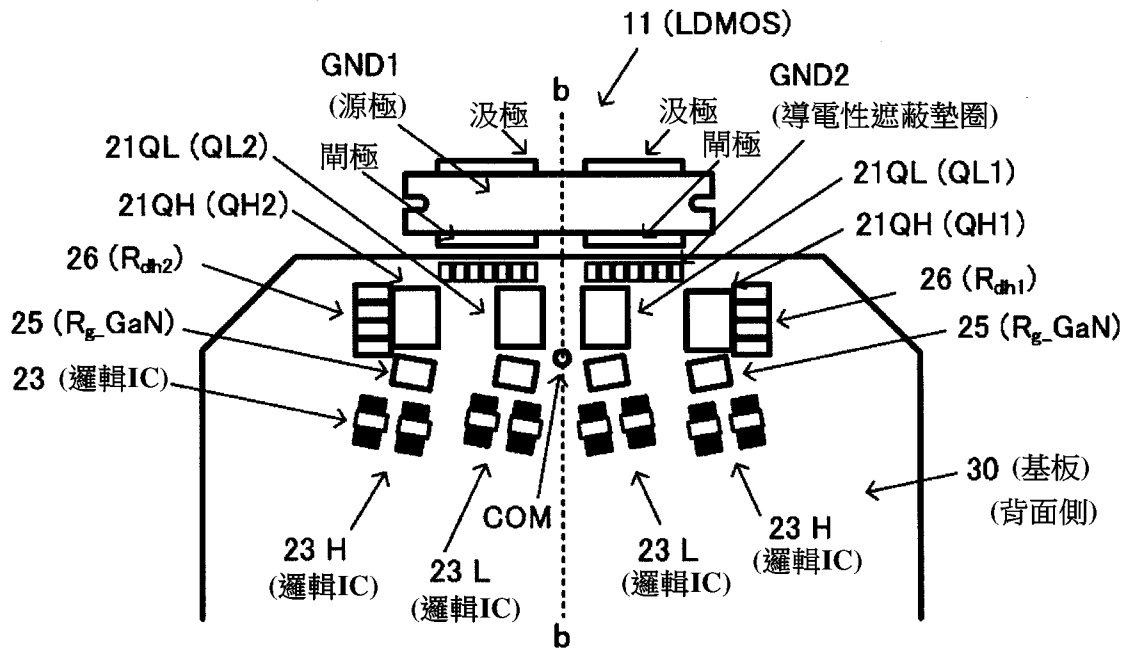


【圖 10】

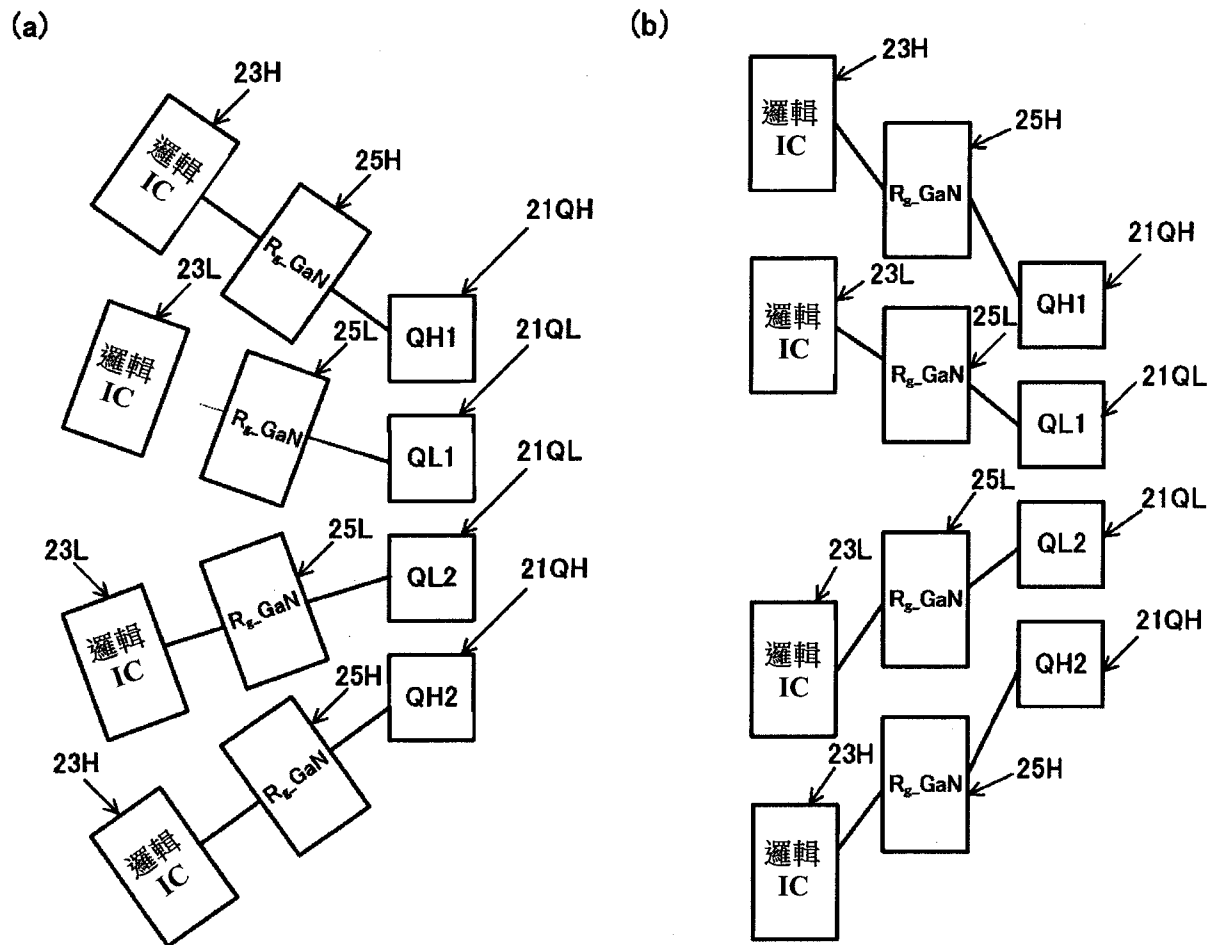
(a)表面



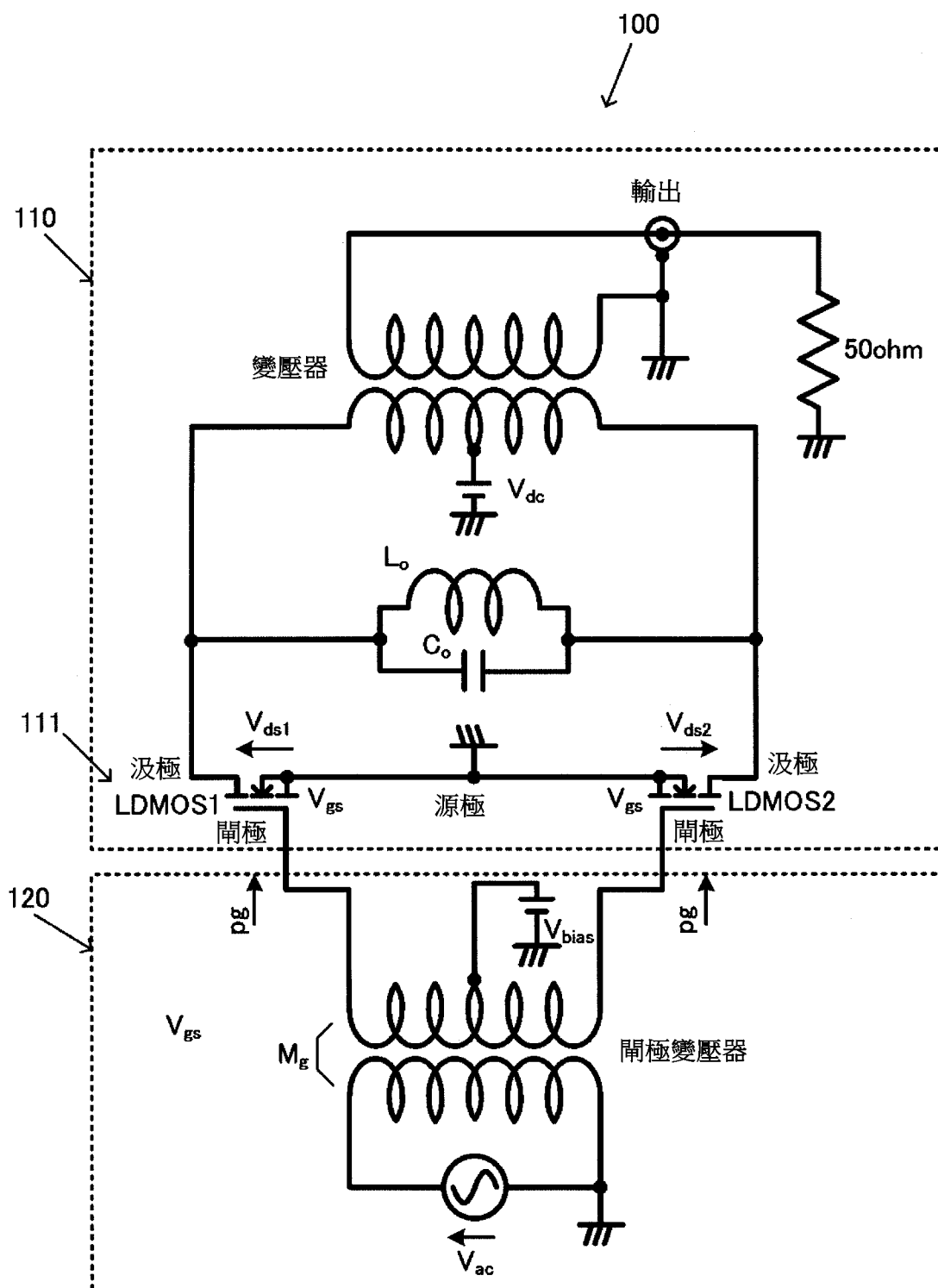
(b)背面



【圖 12】



【圖 13】



【圖 14】