



(12)发明专利

(10)授权公告号 CN 103927401 B

(45)授权公告日 2018.02.16

(21)申请号 201410151817.9

(22)申请日 2014.04.16

(65)同一申请的已公布的文献号
申请公布号 CN 103927401 A

(43)申请公布日 2014.07.16

(73)专利权人 公安部第一研究所
地址 100048 北京市海淀区首体南路1号
专利权人 北京中盾安民分析技术有限公司

(72)发明人 姜济群 闻健明 汪凤华 姜玲玲
吕维洪 桑伟 邢薇 李永清

(74)专利代理机构 北京中海智圣知识产权代理
有限公司 11282
代理人 李大为

(56)对比文件

- CN 103699702 A, 2014.04.02,
- CN 102202171 A, 2011.09.28,
- CN 101295324 A, 2008.10.29,
- CN 101587499 A, 2009.11.25,
- CN 103186679 A, 2013.07.03,
- CN 102638661 A, 2012.08.15,
- CN 103647913 A, 2014.03.19,

审查员 边臻

(51) Int. Cl.

G06F 17/40(2006.01)

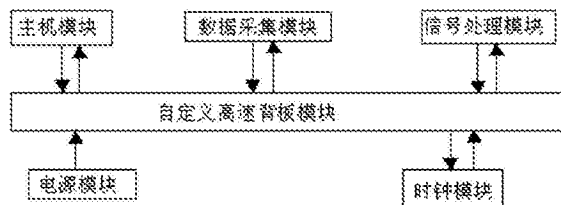
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种多通道采样的高速信号采集与处理系统

(57)摘要

本发明涉及一种多通道采样的高速信号采集与处理系统,该系统包括主机模块为系统的显控单元,负责控制系统的工作状态,显示系统成像;电源模块为系统提供3.3V及5V电压;时钟模块为系统提供同步时钟源,用于同步系统的工作状态;数据采集模块用于同步采集中频模拟信号,将采集的信号做数据缓存、有效位提取等预处理操作,并将预处理后的数据同步传输给信号处理模块;信号处理模块负责接收数据采集模块发送来的预处理数据,并将生成的原始图像数据传输给上位机;自定义高速背板模块通过相应接口插件将上述模块连接起来。系统可实现96通道以400MHz的采样率同步采集中频模拟信号,并将采集到的数据做数据提取,相关运算、图像反演、图像融合等处理。



1. 一种多通道采样的高速信号采集与处理系统,其特征在于,所述系统包括主机模块、电源模块、时钟模块、数据采集模块、信号处理模块和自定义高速背板模块;主机模块为系统的显控单元,负责控制系统的工作状态,显示系统成像;电源模块为系统提供3.3V及5V电压;时钟模块为系统提供同步时钟源,用于同步系统的工作状态;数据采集模块用于同步采集集中频模拟信号,将采集的信号做数据缓存、有效位提取预处理操作,并将预处理后的数据同步传输给信号处理模块;信号处理模块负责接收数据采集模块发送来的预处理数据,进行相关运算、图像反演、图像融合操作,并将生成的原始图像数据传输给上位机;自定义高速背板模块通过相应接口插件将上述模块连接起来,负责控制指令、时钟信号、数据的传输工作;所述数据采集模块包括6块数据采集板,每块数据采集板集成16通道的AD,6块数据采集板共集成96通道的AD;

每块所述数据采集板的核心器件包括有AD9484芯片,FPGA芯片,PCI9054芯片,CDCLVP1216芯片;其中,AD9484芯片用于单通道400MSPS的采样率,SINAD>43dB,分辨率为8bit;FPGA芯片同步接收16片AD9484芯片输出的数字信号,并进行有效数据提取、将数据按帧打包预处理操作,最后通过收发器将帧数据传输给信号处理模块;PCI9054芯片用于主机模块与数据采集板之间的通讯,主机模块通过PCI总线及PCI9054芯片向数据采集板发送控制命令,数据采集板通过PCI总线及PCI9054芯片向主机板反馈其工作状态;CDCLVP1216芯片用于400MHz时钟分配,将1路400MHz时钟分为16路400MHz的AD采样时钟,保证16路之间最大的时钟误差为30ps。

2. 如权利要求1所述的多通道采样的高速信号采集与处理系统,其特征在于,每块所述数据采集板集成16个采集通道,单通道的采样率为400MSPS,分辨率为8bit,数据采集板将采集到的信号经过预处理,取3bit的有效位,故每块采集板的数据传输带宽设置为19.2Gbps,信号处理模块接收数据采集板传输数据测带宽为115.2Gbps,将每块所述数据采集板的数据传输带宽设计为25Gbps,使用8个收发器发送数据,收发器中单根线的传输带宽为3.125Gbps;信号处理模块同步接收6块数据采集板发送数据的带宽为150Gbps,由2片FPGA提供48个收发器。

3. 如权利要求2所述的多通道采样的高速信号采集与处理系统,其特征在于,所述收发器采用8b/10b编码后,数据传输带宽为24Gbps。

4. 如权利要求3所述的多通道采样的高速信号采集与处理系统,其特征在于,所述信号处理模块的核心器件包括2片FPGA芯片、DSP芯片、EMIF总线芯片、电源模块、CDCLVD2104芯片和CDCLVD1212芯片;其中,2片FPGA用于接收6块数据采集板发送来的预处理数据,并作相关运算,FPGA1负责接收6块数据采集板发送的奇数据样本,FPGA2负责接收6块数据采集板的偶数据样本,分别作相关运算,最后将相关运算的结果汇总到FPGA2,FPGA2再将汇总的相关运算结果通过EMIF总线传输给DSP;DSP接收FPGA2传输过来的数据,并与成像物体的目标位置结合进行毫米波图像反演,再与光学图像相融合形成所需图像的灰度值,最后将所需图像的灰度值通过PCI总线传输给图像显示与存储单元;CDCLVD2104和CDCLVD1212作为信号处理模块的时钟管理模块。

5. 如权利要求4所述的多通道采样的高速信号采集与处理系统,其特征在于,所述时钟模块的核心器件包括LMK04803芯片,FPGA芯片,PCI9054芯片;其中,LMK04803芯片用于系统的时钟控制,用于调6块数据采集板的时钟延时;FPGA芯片用于整板控制指令的发送,并接

受主机模块发送来的控制信号;PCI9054芯片用于主机模块与时钟模块之间的通讯,主机模块通过PCI总线及PCI9054芯片向时钟模块发送控制命令,时钟模块通过PCI总线及PCI9054芯片向主机模块反馈其工作状态。

6.如权利要求5所述的多通道采样的高速信号采集与处理系统,其特征在于,所述时钟管理模块为数据采集与处理系统提供96路同步的400MHz采样时钟,将时延误差控制在150ps以内;时钟模块中采用的可调时延时钟芯片为LMK04803芯片;LMK04803芯片提供6路400MHz的同步时钟给6块数据采集板,每路时钟时延的最大误差为30ps,可调时延的步长为25ps,400MHz时钟进入数据采集板后,通过CDCLVP1216芯片,分成16路400MHz时钟给16个AD9484作采样时钟。

7.如权利要求1所述的多通道采样的高速信号采集与处理系统,其特征在于,所述系统构建于6U-CPCI的机箱平台上。

8.如权利要求1所述的多通道采样的高速信号采集与处理系统,其特征在于,所述的电源模块有2块,最大可提供60A的电流。

一种多通道采样的高速信号采集与处理系统

技术领域

[0001] 本发明涉及毫米波成像技术领域,尤其涉及一种多通道采样的高速信号采集与处理系统。

背景技术

[0002] 由于毫米波自身具有穿透烟雾、灰尘以及一定厚度衣物的能力,促使毫米波辐射成像技术在人体隐匿物品探测方面发挥着重要的作用。目前国内外,越来越多的公司和科研机构投入大量的人力和物力进行毫米波人体安全检查设备的研制。

[0003] 就现有的被动式毫米波人体安全检查设备而言,人体隐匿物体探测时成像效果差、检测灵敏度低等问题制约着被动式毫米波人体安检系统的实用性发展。导致上述问题的原因有:1、毫米波探测器和天线阵等系统前端器件的灵敏度和精度不够;2、中频数据采集与处理能力不足。

[0004] 然而,毫米波探测器和天线阵等前端器件一直被某些公司垄断,造价昂贵,故提高毫米波成像系统中信号采集与处理子系统的性能指标,可作为提高被动式毫米波人体安全检查设备成像质量、系统灵敏度的重要技术手段。多通道、高采样率、大数据吞吐量的信号采集与处理系统的研制对将被动式毫米波人体安全检查设备推向国内外市场具有重大意义。

发明内容

[0005] 本发明的目的是,针对现有技术存在的问题,提供一种基于多通道采样的高速信号采集与处理系统,该信号采集与处理系统可增加模拟数据采集通道数,提高数据采样率,加大数据处理能力和数据传输能力,进而提高系统的灵敏度,且生成更加清晰的毫米波图像。

[0006] 为实现上述发明目的,本发明解决问题的技术方案是:提供一种多通道采样的高速信号采集与处理系统,其特征在于,所述系统包括主机模块、电源模块、时钟模块、数据采集模块、信号处理模块和自定义高速背板模块;主机模块为系统的显控单元,负责控制系统的工作状态,显示系统成像;电源模块为系统提供3.3V及5V电压;时钟模块为系统提供同步时钟源,用于同步系统的工作状态;数据采集模块用于同步采集中频模拟信号,将采集的信号做数据缓存、有效位提取等预处理操作,并将预处理后的数据同步传输给信号处理模块;信号处理模块负责接收数据采集模块发送来的预处理数据,进行相关运算、图像反演、图像融合操作,并将生成的原始图像数据传输给上位机;自定义高速背板模块通过相应接口插件将上述模块连接起来,负责控制指令、时钟信号、数据的传输工作。

[0007] 其中优选的技术方案是,所述数据采集模块包括6块数据采集板,每块数据采集板集成16通道的AD,6块数据采集板共集成96通道的AD。

[0008] 优选的技术方案还有,每块所述数据采集板的核心器件包括有AD9484芯片,FPGA芯片,PCI9054芯片,CDCLVP1216芯片;其中,AD9484芯片用于单通道400MSPS的采样率,

SINAD>43dB,分辨率为8bit;FPGA芯片同步接收16片AD9484芯片输出的数字信号,并进行有效数据提取、将数据按帧打包等预处理操作,最后通过收发器将帧数据传输给信号处理模块;PCI9054芯片用于主机模块与数据采集板之间的通讯,主机模块通过PCI总线及PCI9054芯片向数据采集板发送控制命令,数据采集板通过PCI总线及PCI9054芯片向主机板反馈其工作状态;CDCLVP1216芯片用于400MHz时钟分配,将1路400MHz时钟分为16路400MHz的AD采样时钟,保证16路之间最大的时钟误差为30ps。

[0009] 进一步优选的技术方案是,每块所述数据采集板集成16个采集通道,单通道的采样率为400MSPS,分辨率为8bit,数据采集板将采集到的信号经过预处理,取3bit的有效位,故每块采集板的数据传输带宽设置为19.2Gbps,信号处理模块接收数据采集板传输数据测带宽为115.2Gbps,将每块所述数据采集板的数据传输带宽设计为25Gbps,使用8个收发器发送数据,收发器中单根线的传输带宽为3.125Gbps;信号处理模块同步接收6块数据采集板发送数据的带宽为150Gbps,由2片FPGA提供48个收发器。

[0010] 进一步优选的技术方案还有,所述收发器采用8b/10b编码后,数据传输带宽为24Gbps,

[0011] 进一步优选的技术方案还有,所述信号处理模块的核心器件包括2片FPGA芯片,DSP芯片,EMIF总线芯片、电源模块、CDCLVD2104芯片和CDCLVD1212芯片;其中,2片FPGA用于接收6块数据采集板发送来的预处理数据,并作相关运算,FPGA1负责接收6块数据采集板发送的奇数据样本,FPGA2负责接收6块数据采集板的偶数据样本,分别作相关运算,最后将相关运算的结果汇总到FPGA2,FPGA2再将汇总的相关运算结果通过EMIF总线传输给DSP;DSP接收FPGA2传输过来的数据,并与成像物体的目标位置结合进行毫米波图像反演,再与光学图像相融合形成所需图像的灰度值,最后将所需图像的灰度值通过PCI总线传输给图像显示与存储单元;CDCLVD2104和CDCLVD1212作为信号处理模块的时钟管理模块。

[0012] 进一步优选的技术方案还有,所述时钟模块的核心器件包括LMK04803芯片,FPGA芯片,PCI9054芯片;其中,LMK04803芯片用于系统的时钟控制,用于调6块数据采集板的时钟延时;FPGA芯片用于整板控制指令的发送,并接受主机模块发送来的控制信号;PCI9054芯片用于主机模块与时钟模块之间的通讯,主机模块通过PCI总线及PCI9054芯片向时钟模块发送控制命令,时钟模块通过PCI总线及PCI9054芯片向主机模块反馈其工作状态。

[0013] 进一步优选的技术方案还有,所述时钟控制模块为数据采集与处理系统提供96路同步的400MHz采样时钟,将时延误差控制在150ps以内;时钟模块中采用的可调时延时钟芯片为LMK04803芯片;LMK04803芯片提供6路400MHz的同步时钟给6块数据采集板,每路时钟时延的最大误差为30ps,可调时延的步长为25ps,400MHz时钟进入数据采集板后,通过CDCLVP1216芯片,分成16路400MHz时钟给16个AD9484作采样时钟。

[0014] 优选的技术方案还有,所述系统构建于6U-CPCI的机箱平台上。

[0015] 优选的技术方案还有,所述的电源模块有2块,最大可提供60A的电流。

[0016] 与现有技术相比,本发明的有益效果是:

[0017] 1、该96通道同步采样的高速信号采集与处理系统,系统可实现96通道以400MHz的采样率同步采集中频模拟信号,并将采集到的数据做数据提取,相关运算、图像反演、图像融合等处理;

[0018] 2、系统的数据采集模块向信号处理模块高速传输数据,数据传输带宽达到

150Gbps;

[0019] 3、系统96通道的采样时钟同步,同步误差精确到150ps以内。

附图说明

[0020] 图1为信号采集与处理系统的原理框图;

[0021] 图2为系统中数据采集模块的原理框图;

[0022] 图3为系统中数据处理模块的原理框图;

[0023] 图4为系统中时钟模块的原理框图;

[0024] 图5为系统中数据传输示意图;

[0025] 图6为系统中时钟控制示意图;

[0026] 图7为系统工作过程示意框图。

具体实施方式

[0027] 如图1所示,本发明是一种多通道采样的高速信号采集与处理系统,该系统包括主机模块、电源模块、时钟模块、数据采集模块、信号处理模块和自定义高速背板模块;主机模块为系统的显控单元,负责控制系统的工作状态,显示系统成像;电源模块为系统提供3.3V及5V电压;时钟模块为系统提供同步时钟源,用于同步系统的工作状态;数据采集模块用于同步采集中频模拟信号,将采集的信号做数据缓存、有效位提取等预处理操作,并将预处理后的数据同步传输给信号处理模块;信号处理模块负责接收数据采集模块发送来的预处理数据,进行相关运算、图像反演、图像融合操作,并将生成的原始图像数据传输给上位机;自定义高速背板模块通过相应接口插件将上述模块连接起来,负责控制指令、时钟信号、数据的传输工作。

[0028] 在本发明中优选的实施方案是,所述数据采集模块包括6块数据采集板,每块数据采集板集成16通道的AD,6块数据采集板共集成96通道的AD。

[0029] 如图2所示,在本发明中优选的实施方案还有,每块所述数据采集板的核心器件包括有AD9484芯片,FPGA芯片,PCI9054芯片,CDCLVP1216芯片;其中,AD9484芯片用于单通道400MSPS的采样率,SINAD>43dB,分辨率为8bit;FPGA芯片同步接收16片AD9484芯片输出的数字信号,并进行有效数据提取、将数据按帧打包等预处理操作,最后通过收发器将帧数据传输给信号处理模块;PCI9054芯片用于主机模块与数据采集板之间的通讯,主机模块通过PCI总线及PCI9054接芯片向数据采集板发送控制命令,数据采集板通过PCI总线及PCI9054芯片向主机板反馈其工作状态;CDCLVP1216芯片用于400MHz时钟分配,将1路400MHz时钟分为16路400MHz的AD采样时钟,保证16路之间最大的时钟误差为30ps。

[0030] 如图2所示,在本发明中进一步优选的实施方案是,每块所述数据采集板集成16个采集通道,单通道的采样率为400MSPS,分辨率为8bit,数据采集板将采集到的信号经过预处理,取3bit的有效位,故每块采集板的数据传输带宽设置为19.2Gbps,信号处理模块接收数据采集板传输数据测带宽为115.2Gbps,将每块所述数据采集板的数据传输带宽设计为25Gbps,使用8个收发器发送数据,收发器中单根线的传输带宽为3.125Gbps;信号处理模块同步接收6块数据采集板发送数据的带宽为150Gbps,由2片FPGA提供48个收发器。

[0031] 如图2所示,在本发明中进一步优选的实施方案还有,所述收发器采用8b/10b编码

后,数据传输带宽为24Gbps,

[0032] 如图3所示,在本发明中进一步优选的实施方案还有,所述信号处理模块的核心器件包括2片FPGA芯片、DSP芯片、EMIF总线芯片、电源模块、CDCLVD2104芯片和CDCLVD1212芯片;其中,2片FPGA用于接收6块数据采集板发送来的预处理数据,并作相关运算,FPGA1负责接收6块数据采集板发送的奇数据样本,FPGA2负责接收6块数据采集板的偶数据样本,分别作相关运算,最后将相关运算的结果汇总到FPGA2,FPGA2再将汇总的相关运算结果通过EMIF总线传输给DSP;DSP接收FPGA2传输过来的数据,并与成像物体的目标位置结合进行毫米波图像反演,再与光学图像相融合形成所需图像的灰度值,最后将所需图像的灰度值通过PCI总线传输给图像显示与存储单元;CDCLVD2104和CDCLVD1212作为信号处理模块的时钟管理模块。

[0033] 如图4所示,在本发明中进一步优选的实施方案还有,所述时钟模块的核心器件包括LMK04803芯片,FPGA芯片,PCI9054芯片;其中,LMK04803芯片用于系统的时钟控制,用于调6块数据采集板的时钟延时;FPGA芯片用于整板控制指令的发送,并接受主机模块发送来的控制信号;PCI9054芯片用于主机模块与时钟模块之间的通讯,主机模块通过PCI总线及PCI9054芯片向时钟模块发送控制命令,时钟模块通过PCI总线及PCI9054芯片向主机模块反馈其工作状态。

[0034] 如图6所示,在本发明中进一步优选的实施方案还有,所述时钟控制模块为数据采集与处理系统提供96路同步的400MHz采样时钟,将时延误差控制在150ps以内;时钟模块中采用的可调时延时钟芯片为LMK04803芯片;LMK04803芯片提供6路400MHz的同步时钟给6块数据采集板,每路时钟时延的最大误差为30ps,可调时延的步长为25ps,400MHz时钟进入数据采集板后,通过CDCLVP1216芯片,分成16路400MHz时钟给16个AD9484作采样时钟。

[0035] 如图5所示,在本发明中优选的实施方案还有,所述系统构建于6U-CPCI的机箱平台上。

[0036] 在本发明中优选的技术方案还有,所述的电源模块有2块,最大可提供60A的电流。

[0037] 实施例1

[0038] 如图1所示,该多通道采样的高速信号采集与处理系统搭建在6U-CPCI机箱的平台之上,整个系统包括1块主机模块、2块电源模块、1块时钟板、6块数据采集模块、1块信号处理模块及1块自定义高速背板模块。主机模块为系统的显控单元,负责控制系统的工作状态,显示系统成像;电源模块负责为系统提供所需的3.3v及5v电压;时钟模块为系统提供同步时钟源,同步系统的工作状态;数据采集模块同步采集中频模拟信号,将采集的信号做数据缓存、有效位提取等预处理操作,并将预处理后的数据同步传输给信号处理模块;信号处理模块负责接收数据采集模块发送来的预处理数据,进行相关运算、图像反演、图像融合等操作,并将生成的原始图像数据传输给上位机;自定义高速背板模块通过相应接口插件将上述模块连接起来,负责控制指令、时钟信号、数据的传输工作。

[0039] (1)关于该系统大数据吞吐量的设计:

[0040] 系统中共集成96路数据采集通道,单通道的采样率高达400MHz,六块数据采集模块需同时将预处理后的96路数字信号传输给信号处理模块,系统数据传输吞吐量巨大,为保证数据传输的实时性与准确性,本设计提出一种大数据吞吐量设计方法。

[0041] 该系统大数据吞吐量设计可应用于多块数据采集板向1块信号处理模块同步传输

数据,信号处理模块可对信号进行实时处理。设计方法采用FPGA的GTX收发器作为数据传输模块。调用数据采集模块的XC6VLX130T-1FF1156C型号FPGA中2个GTX核的8个高速串行传输通道,参考时钟采用156.25MHz,实现单通道3.125Gbps,单块数据采集板传输数据带宽为25Gbps。信号处理板采用2片XC6VLX240T-1FF1759C型号FPGA提供的12个GTX核共48个高速串行传输通道,信号处理板接收数据的传输带宽高达150Gbps。

[0042] (2) 关于96通道采样时钟高精度同步性的控制

[0043] 该信号采集与处理系统要求时钟模块提供96路400MHz的同步时钟作为96个采集通道的采样时钟,这96路采样时钟的时延误差在150ps以内,这对时钟走线的等长性,时钟芯片的精度要求极高。此外,时钟模块还需要为数据采集板和信号处理板的GTX模块提供200MHz时钟,要求6块采集板的GTX时钟同步。本设计采用TI公司的LMK04803芯片、CDCLVP1216芯片、CDCLVD2104芯片和CDCLVD1212芯片来控制系统的工作时钟,调控采样时钟时延,达到96个采样通道同步采样及GTX模块正常工作。

[0044] (3) 该系统基于6U-CPCI机箱的架构设计。

[0045] 该系统的工作过程是:

[0046] 如图1所示,前端接收机输出的中频模拟信号进入数据采集与处理系统后,经数据采集与预处理单元转化为8bit的数字信号,8bit的数字信号进入FIFO缓存。根据算法需求,在每8bit的数据中取3bit有效数据传输到数字信号处理单元进行相关运算,并结合相关运算结果和目标位置进行毫米波图像反演,通过对毫米波图像和光学图像的分析,进行目标识别和图像融合工作。最终,毫米波图像、光学图像及融合后的图像存储到图像显示与存储单元。

[0047] 如图2所示,数据采集与处理模块由6块数据采集板构成,每块数据采集板集成16通道的AD,6块数据采集板共集成96通道的AD。每块数据采集板的核心器件有:ADI公司的AD9484芯片,赛灵思公司XC6VLX130T-1FF1156C型号的FPGA芯片,PLX公司的PCI9054芯片,TI公司的CDCLVP1216芯片。其中,AD9484芯片实现单通道400MSPS的采样率,SINAD>43dB,分辨率为8bit;FPGA同步接收16片AD9484芯片输出的数字信号,并进行有效数据提取、数据按帧打包等预处理操作,最后通过GTX收发器将帧数据传输给信号处理板;PCI9054芯片负责主机板与数据采集板之间的通讯工作,主机板通过PCI总线及PCI9054芯片向数据采集板发送控制命令,数据采集板通过PCI总线及PCI9054芯片向主机模块反馈其工作状态;CDCLVP1216实现400MHz时钟分配,将1路400MHz时钟分为16路400MHz的AD采样时钟,保证16路之间最大的时钟误差为30ps。数据采集板的原理框图。

[0048] 如图3所示,数字信号处理模块由1块信号处理模块构成,信号处理模块核心器件有:赛灵思公司的XC6VLX240T-1FF1759C型号FPGA芯片,TI公司的TMS320C6455型号DSP芯片,TI公司的CDCLVD2104和CDCLVD1212芯片。其中,2片FPGA芯片负责接收6块数据采集板发送来的预处理数据,并作相关运算,FPGA1芯片负责接收6块数据采集板发送的奇数据样本,FPGA2芯片负责接收6块数据采集板的偶数据样本,分别作相关运算,最后将相关运算的结果汇总到FPGA2芯片,FPGA2芯片再将汇总的相关运算结果通过EMIF总线传输给DSP芯片;DSP芯片接收FPGA2芯片传输过来的数据,并与成像物体的目标位置结合进行毫米波图像反演,再与光学图像相融合形成所需图像的灰度值,最后将所需图像的灰度值通过PCI总线传输给图像显示与存储单元;CDCLVD2104芯片和CDCLVD1212芯片作为信号处理板时钟管理模

块的核心器件,在系统时钟控制上起到至关重要的作用,将在系统时钟设计的章节中做详细介绍。

[0049] 如图4所示,系统时钟管理模块由一块时钟板构成,时钟模块的核心器件有:TI公司的LMK04803芯片,赛灵思公司的XC6SLX9-3CSG324C型号FPGA芯片,PLX公司的PCI9054芯片。其中,LMK04803芯片负责系统的时钟控制,可调6块数据采集板的时钟延时;FPGA芯片负责整板控制指令的发送,并接受主机板发送来的控制信号;PCI9054芯片负责主机板与时钟板之间的通讯工作,主机板通过PCI总线及PCI9054芯片向时钟板发送控制命令,时钟模块通过PCI总线及PCI9054芯片向主机模块反馈其工作状态。

[0050] 该系统大数据吞吐量设计方法:

[0051] 该数据采集与处理系统共有96个数据采集通道,平均分布在6块数据采集模块上,每块数据采集模块集成16个采集通道。单通道的采样率为400MSPS,分辨率为8bit,采集到的信号经过预处理,取3bit的有效位,故每块采集板的数据传输带宽为19.2Gbps,信号处理板接收数据采集板传输数据测带宽为115.2Gbps。

[0052] 如图5所示,传统数据传输协议由于其传输带宽的限制性,已经无法满足本系统数据吞吐量的要求。FPGA芯片中的GTX高速收发器最高传输速率可达6.6Gbps,ZD接插件的单根线传输数据的带宽可高达10Gbps。该设计采用GTX收发器(FPGA内嵌的IP核,高速串行收发器)作为数据传输模块,采用ZD接插件来作为数据传输接口。GTX传输采用8b/10b编码后,数据传输带宽为24Gbps。考虑到帧格式等额外开销,每块数据采集板的数据传输带宽设计为25Gbps,使用8个GTX收发器发送数据,单根GTX线的传输带宽为3.125Gbps。信号处理板同步接收6块数据采集板发送数据的带宽为150Gbps,需要2片FPGA提供48个GTX收发器,单根GTX线的传输带宽也为3.125Gbps。

[0053] 该系统时钟同步性控制设计方法:

[0054] 时钟控制模块给本数据采集与处理系统提供96路同步的400MHz采样时钟,时延误差控制在150ps以内。时钟板采用可调时延的时钟芯片LMK04803(TI公司生产),LMK04803芯片提供6路400MHz的同步时钟给6块数据采集板,每路时钟时延的最大误差为30ps,可调时延的步长(step)为25ps。400MHz时钟进入数据采集板后,通过CDCLVP1216芯片,分成16路400MHz时钟给16个AD9484作采样时钟,每路时钟时延的最大误差为30ps,CDCLVP1216芯片不具备时延可调的功能,要求数据采集板的时钟线和自定义高速背板的时钟线都严格等长,等长误差在1mil之内。

[0055] 时钟控制模块给数据采集板和信号处理板的GTX模块提供200MHz的工作时钟,要求6块数据采集板的GTX工作时钟具有同步性。时钟板同样采用LMK04803芯片,提供7路200MHz时钟,其中6路时延可调,传输给6块数据采集板,另外1路传输给信号处理板。信号处理板中两片FPGA芯片共用48个GTX收发器,每4个GTX收发器位于一个QUAD内,每个QUAD需要提供1路200MHz时钟,故需12路同步的200MHz时钟。采用CDCLVD1212芯片(TI公司生产),该芯片具有双通道时钟输入,将1路200MHz时钟输入通道1分成12路同步的200MHz时钟,时延误差为30ps。

[0056] 此外,为方便调试,信号处理板需可本地产生200MHz时钟,采用CDCLVD2104芯片(TI公司生产)。CDCLVD2104具有双通道时钟输入,通道1可输入时钟板传输的400MHz工作时钟,输出2路同步的400MHz时钟给FPGA1和FPGA2作为工作时钟;通道2可输入本地晶振产生

的200MHZ时钟给CDCLVD1212的通道2。

[0057] 本系统的时钟控制示意图如图6所示。

[0058] 本发明不限于上述实施方式,本领域技术人员所做出的对上述实施方式任何显而易见的改进或变更,都不会超出本发明的构思和所附权利要求的保护范围。

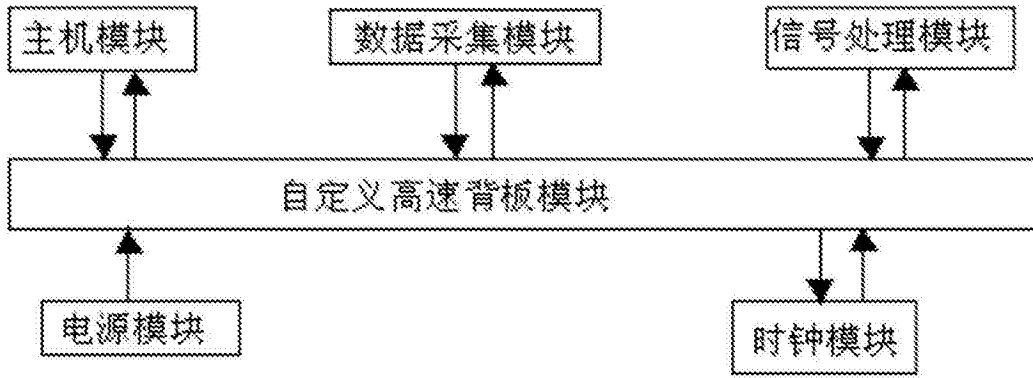


图1

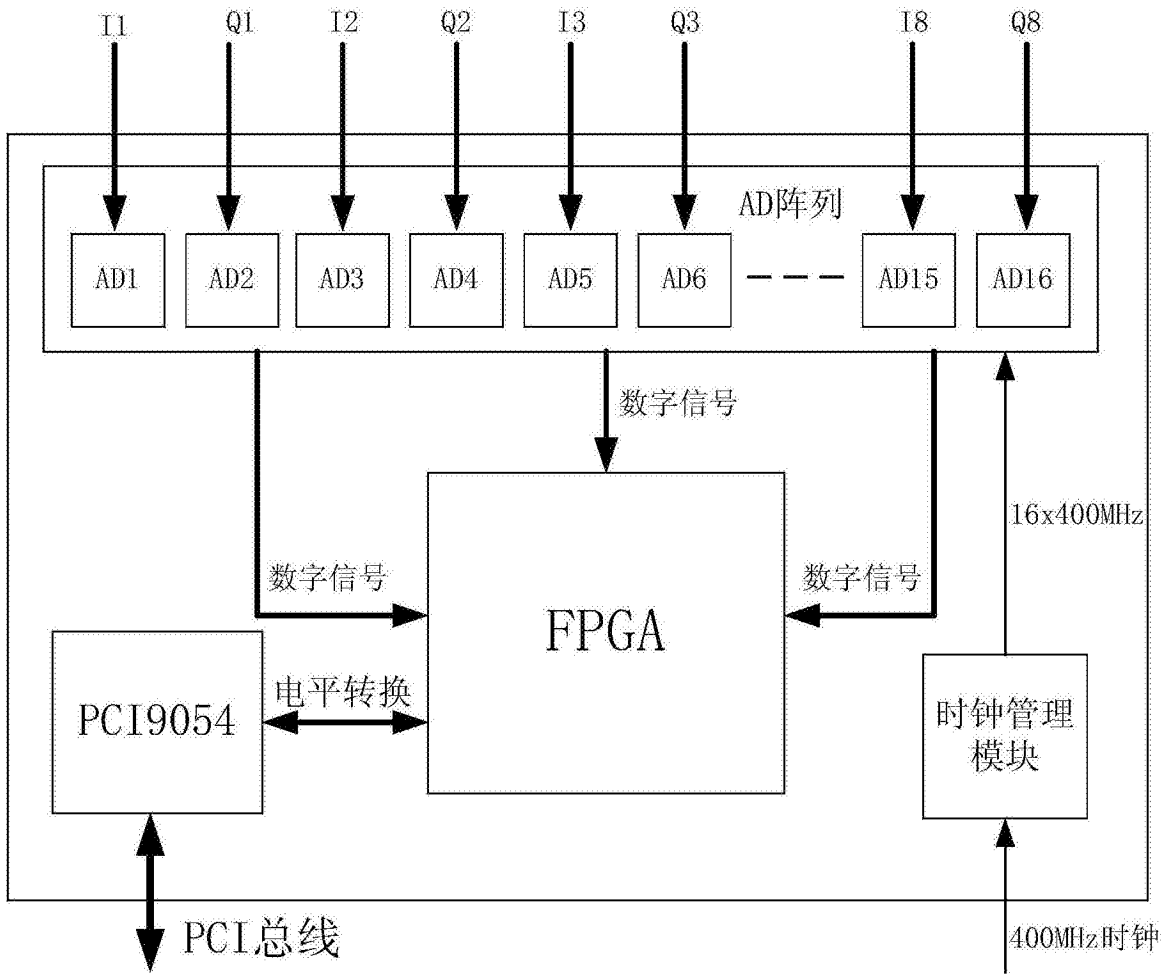


图2

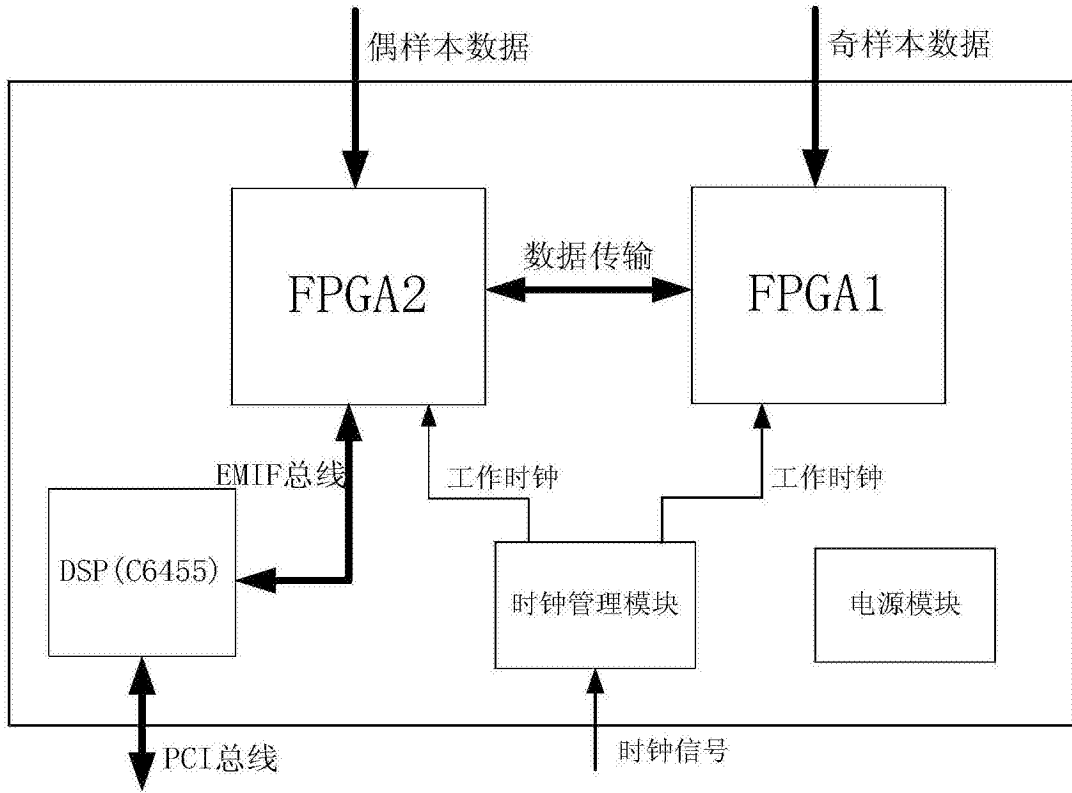


图3

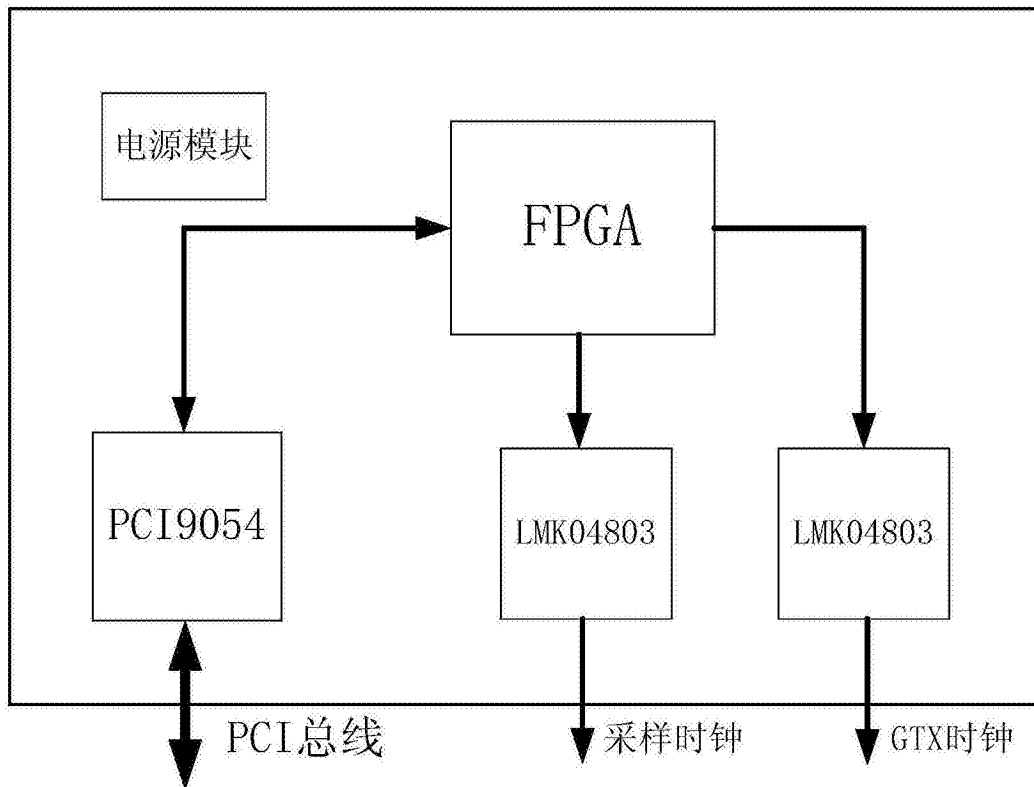


图4

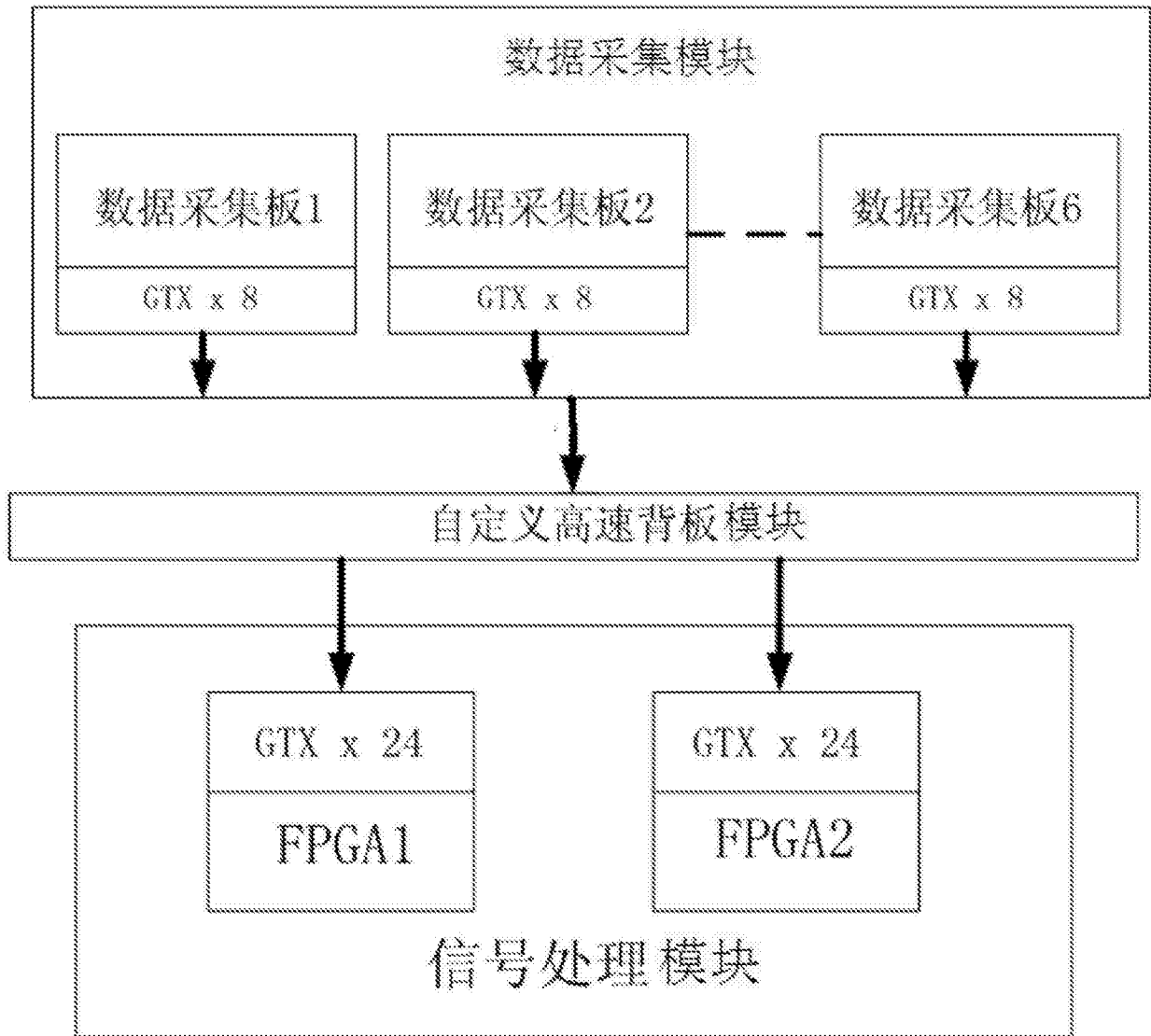


图5

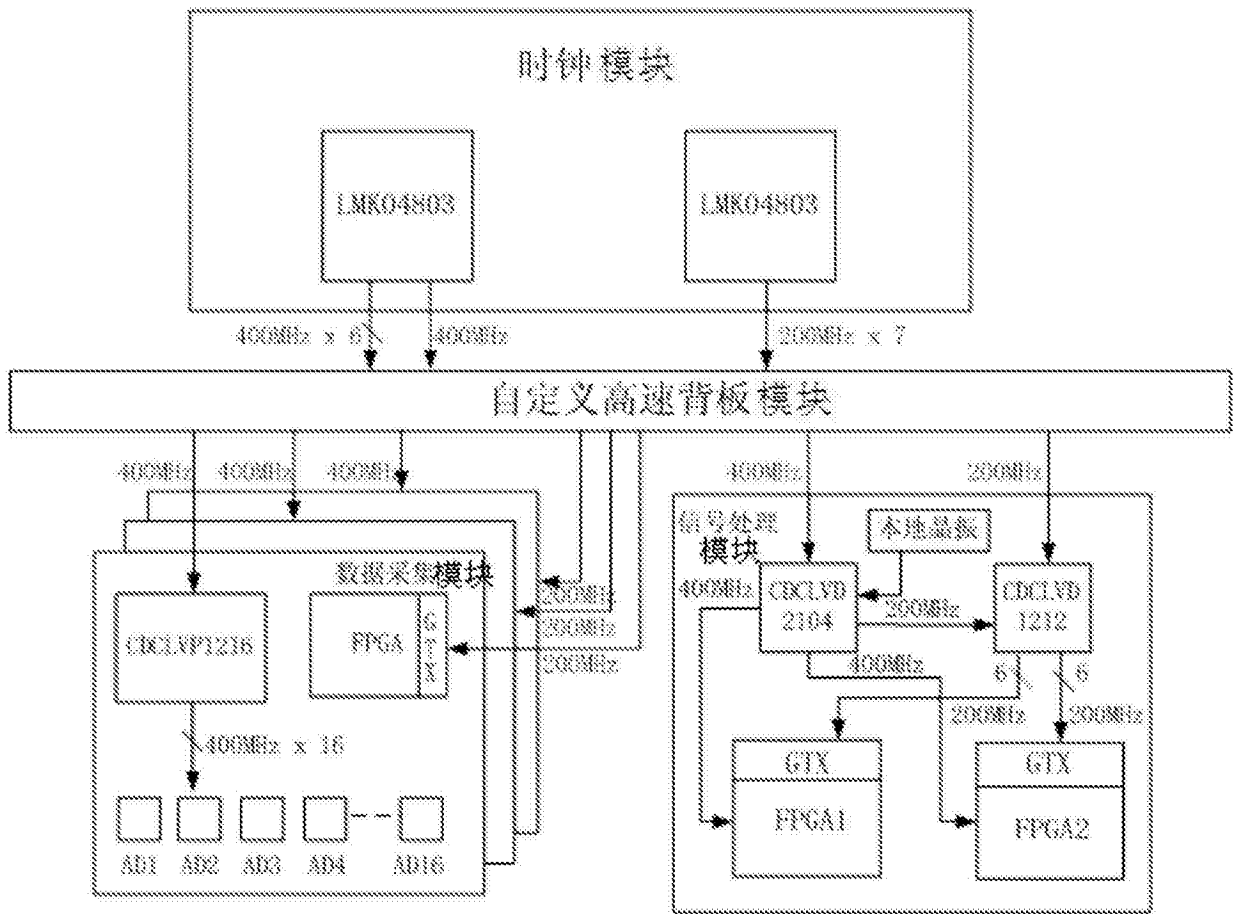


图6

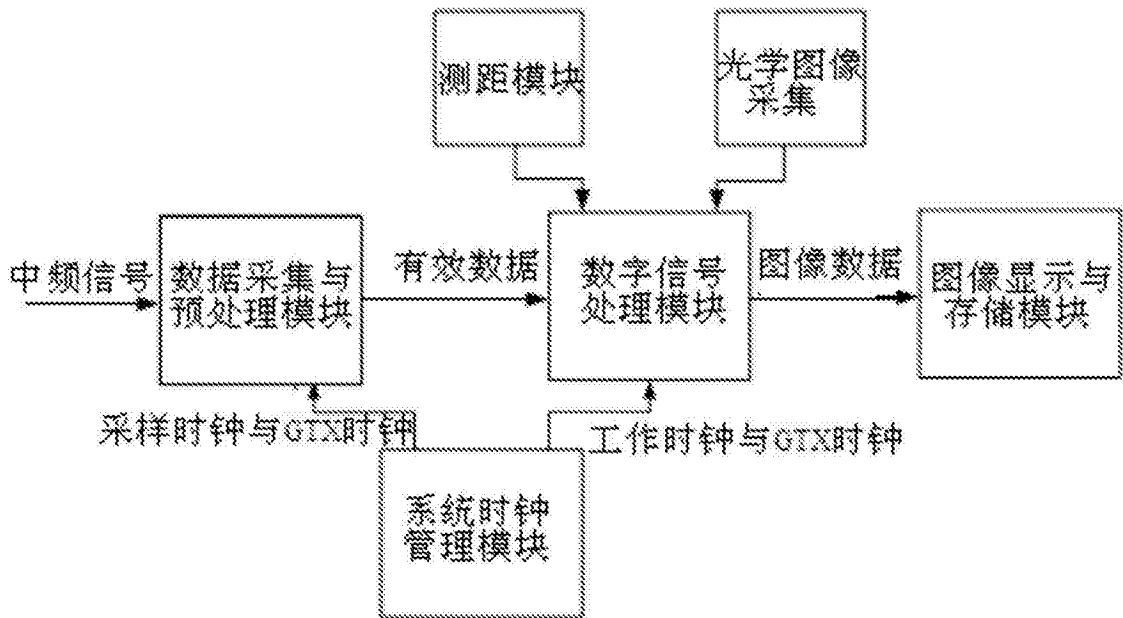


图7