



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I473246 B

(45)公告日：中華民國 104 (2015) 年 02 月 11 日

(21)申請案號：097151602

(22)申請日：中華民國 97 (2008) 年 12 月 30 日

(51)Int. Cl. : H01L25/075 (2006.01)

H01L33/62 (2010.01)

(71)申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市新竹科學工業園區力行五路 5 號

(72)發明人：許嘉良 HSU, CHIA LIANG (TW)；徐舒婷 HSU, SHU TING (TW)；謝明勳 HSIEH, MIN HSUN (TW)；呂志強 LU, CHIH CHIANG (TW)；王希維 WANG, ALEXANDER (US)

(56)參考文獻：

TW 200505050A

TW 200701499A

US 2006/0169993A1

審查人員：莊榮昌

申請專利範圍項數：10 項 圖式數：11 共 34 頁

(54)名稱

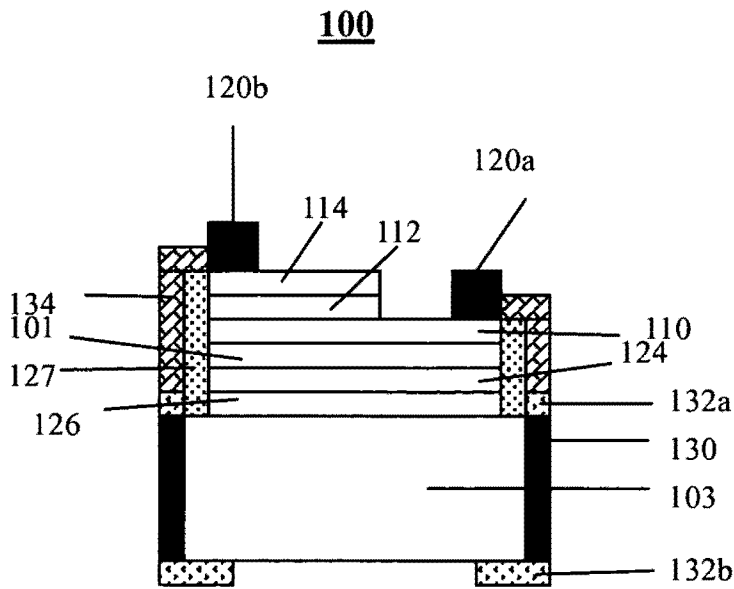
發光二極體晶粒等級封裝

A CHIP LEVEL PACKAGE OF LIGHT-EMITTING DIODE

(57)摘要

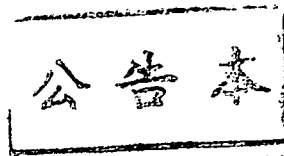
本發明揭示一發光二極體晶粒等級封裝結構，包含一永久基板，具有一第一平面及一第二平面；一第一電極位於永久基板之第一平面上；一第二電極位於永久基板之第二平面上；一黏接層位於永久基板之第一平面除第一電極之外區域上；一成長基板位於黏接層之上；一圖形化半導體結構位於成長基板之上；一第三電極及一第四電極位於圖形化半導體結構上，且分別與圖形化半導體結構電性連結；一電性連接結構位於圖形化半導體結構之側壁，以作為第三電極和第四電極與第一電極間之電性連接；及一絕緣層位於圖形化半導體結構之側壁與電性連接結構之間，以電性隔絕圖形化半導體結構。

The invention discloses a light-emitting diode chip level package structure including: a permanent substrate with a first plane and a second plane; a first electrode on the first plane; a second electrode on the second plane; an adhesive layer on the region where the first plane of the permanent substrate not covered by the first electrode; a growth substrate on the adhesive layer; a patterned semiconductor structure on the growth substrate; a third electrode and a fourth electrode on the patterned semiconductor structure and connect electrically with the patterned semiconductor structure; an electrical connecting structure on the sidewall of the patterned semiconductor structure connecting electrically the third electrode and the fourth electrode with the first electrode; and an isolation layer between the side wall of the patterned semiconductor structure and the electrical connecting structure for isolating electrically the patterned semiconductor structure.



第 1L 圖

- 100 . . . 發光二極體  
元件
- 101 . . . 成長基板
- 101a . . . 成長基板  
第一平面
- 101b . . . 成長基板  
第二平面
- 103 . . . 永久基板
- 110 . . . 第一電性半  
導體層
- 112 . . . 活性層
- 114 . . . 第二電性半  
導體層
- 116 . . . 磊晶結構
- 118 . . . 圖形化半導  
體結構
- 120a . . . 第三電極
- 120b . . . 第四電極
- 122 . . . 連接層
- 124 . . . 反射層
- 126 . . . 金屬黏接層
- 127 . . . 絕緣層
- 130 . . . 導電物質
- 132a . . . 第一電極
- 132b . . . 第二電極
- 134 . . . 電性連接結  
構



第 097151602 號專利申請案  
再審查補充修正 102/6/18(未畫線版)

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97151602

※ 申請日：97.12.30

※ IPC 分類：

H01L 25/075 (2006.01)  
H01L 33/62 (2006.01)

一、發明名稱：(中文/英文)

發光二極體晶粒等級封裝 / A CHIP LEVEL PACKAGE OF  
LIGHT-EMITTING DIODE

二、中文發明摘要：

本發明揭示一發光二極體晶粒等級封裝結構，包含一永久基板，具有一第一平面及一第二平面；一第一電極位於永久基板之第一平面上；一第二電極位於永久基板之第二平面上；一黏接層位於永久基板之第一平面除第一電極之外區域上；一成長基板位於黏接層之上；一圖形化半導體結構位於成長基板之上；一第三電極及一第四電極位於圖形化半導體結構上，且分別與圖形化半導體結構電性連結；一電性連接結構位於圖形化半導體結構之側壁，以作為第三電極和第四電極與第一電極間之電性連接；及一絕緣層位於圖形化半導體結構之側壁與電性連接結構之間，以電性隔絕圖形化半導體結構。

三、英文發明摘要：

The invention discloses a light-emitting diode chip level package structure including: a permanent substrate with a first plane and a

second plane; a first electrode on the first plane; a second electrode on the second plane; an adhesive layer on the region where the first plane of the permanent substrate not covered by the first electrode; a growth substrate on the adhesive layer; a patterned semiconductor structure on the growth substrate; a third electrode and a fourth electrode on the patterned semiconductor structure and connect electrically with the patterned semiconductor structure; an electrical connecting structure on the sidewall of the patterned semiconductor structure connecting electrically the third electrode and the fourth electrode with the first electrode; and an isolation layer between the side wall of the patterned semiconductor structure and the electrical connecting structure for isolating electrically the patterned semiconductor structure.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 1L 圖。

(二)本代表圖之元件符號簡單說明：

- |                |                |
|----------------|----------------|
| 100~發光二極體元件；   | 101~成長基板；      |
| 101a~成長基板第一平面； | 101b~成長基板第二平面； |
| 103~永久基板；      | 110~第一電性半導體層；  |
| 112~活性層；       | 114~第二電性半導體層；  |
| 116~磊晶結構；      | 118~圖形化半導體結構；  |
| 120a~第三電極；     | 120b~第四電極；     |
| 122~連接層；       | 124~反射層；       |
| 126~金屬黏接層；     | 127~絕緣層；       |
| 130~導電物質；      | 132a~第一電極；     |
| 132b~第二電極；     | 134~電性連接結構。    |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

**【發明所屬之技術領域】**

本發明係有關於一種發光二極體元件，特別是關於發光二極體晶粒等級封裝。

**【先前技術】**

發光二極體產業蓬勃發展，而封裝業已成為其中的一個主力戰場，從以往經驗我們可以理解輕薄短小、低成本、高效率是不變的設計標竿。目前，發光二極體晶粒須與其他元件組合以形成一發光裝置(light-emitting apparatus)。第 11 圖為習知之發光裝置結構示意圖，如第 11 圖所示，一發光裝置 600 包含一具有至少一電路之次載體(sub-mount)64；至少一錫料 62(solder)位於上述次載體 64 上；一發光二極體晶粒 400 位於上述次載體 64 上，其至少具有一基板 58；一半導體磊晶疊層 54 位於上述基板 58 上；一電極 56 位於上述半導體磊晶疊層 54 上；以及一電性連接結構 66。藉由錫料 62 將上述發光二極體晶粒 400 黏結固定於次載體 64 上並使發光二極體晶粒 400 之基板 58 與次載體 64 上之電路形成電性連接，再利用電性連接結構 66 將發光二極體晶粒 400 之電極 56 與次載體 64 上的電路形成電性連接。其中，上述

之次載體 64 可以是導線架(lead frame)或大尺寸鑲嵌基底(mounting substrate)，以方便發光裝置 600 之電路規劃並提高其散熱效果。使用支架與射出成型的塑膠碗杯技術都可能成為過去式，取而代之的是晶圓等級封裝(Wafer Level Package)、晶粒等級封裝(Chip Level Package)，甚至是三維立體封裝(3D Package)。從節省成本與輕薄短小的角度而言，晶粒等級封裝(Chip Level Package)是較可行的方式。

#### 【發明內容】

本發明藉由晶粒等級封裝技術，達到縮小發光二極體元件封裝尺寸與簡化封裝製程之目的，同時提升發光二極體元件出光效率。

本發明之一實施例提供一永久基板可以內埋被動元件，且被動元件與磊晶半導體層結構之間可以串聯或並聯方式電性連接。

本發明之一實施例提供一永久基板，可為絕緣材料與高導熱率材料複合而成。其中絕緣材料可為陶瓷材料、玻璃、或高分子材料，高導熱率材料可為銀、銅、石墨、碳化矽、或金。其中在高導熱率材料區域具有複數個熱傳導通孔，以達到高散熱之功效。

本發明之一實施例提供一出光微結構位於磊晶半導體層結構之上，其形狀可以是柱狀、Fresnel 透鏡狀、鋸齒狀等，其目的為增加光取出效率。

本發明之一實施例提供一光子晶體 ( photonic

crystal) 結構，係利用壓印技術形成。其目的在使侷限於發光二極體中的光不會向任意方向發射，大幅增加了光向上方發射機會，進而降低發光二極體發散角並提升其效率。

本發明之一實施例提供一以交流電操作之光電元件，其由複數個發光二極體元件以串聯方式電性連結所組成。

### 【實施方式】

以下配合第 1A 圖~第 1L 圖描述本發明第一實施例發光二極體元件 100 之製程。首先，請參照第 1A 圖，提供一成長基板 101，包含一第一平面 101a 及一第二平面 101b，其材料為氧化鋁(sapphire)，於成長基板 101 之第一平面 101a 上形成一磊晶結構 116。磊晶結構 116 係藉由一磊晶製程所形成，例如有機金屬氣相沉積磊晶法(MOCVD)、液相磊晶法(LPE)或分子束磊晶法(MBE)等磊晶製程。此磊晶結構 116 至少包含一第一電性半導體層 110，例如為一 n 型氮化鋁鎵銦  $(Al_xGa_{1-x})_yIn_{1-y}N$  層；一活性層 112，例如為氮化鋁鎵銦  $(Al_xGa_{1-x})_yIn_{1-y}N$  所形成的多重量子井結構；以及一第二電性半導體層 114，例如為一 p 型氮化鋁鎵銦  $(Al_xGa_{1-x})_yIn_{1-y}N$  層。另外，本實施例之活性層 112 可由例如同質結構、單異質結構、雙異質結構、或是多

重量子井結構所堆疊而成。請參照第 1B 圖，將成長基板 101 之上的磊晶結構 116 蝕刻形成圖形化半導體結構 118。請參照第 1C 圖，分別在第一電性半導體層 110 及第二電性半導體層 114 之上形成一第三電極 120a 及一第四電極 120b。請參照第 1D 圖，提供一暫時基板 102，利用連接層 122 將圖形化半導體結構 118 與暫時基板 102 連接。請參照第 1E 圖，以研磨或蝕刻方式去除至少部份成長基板 101，使得成長基板厚度至  $10\mu\text{m}$  左右。請參照第 1F 圖，依序於成長基板 101 之第二平面 101b 上形成一反射層 124 及一金屬黏接層 126。再切割金屬黏接層 126、反射層 124 及成長基板 101 等，如第 1G 圖所示。接著於圖形化半導體結構 118、成長基板 101、反射層 124 及金屬黏接層 126 之側壁形成一絕緣層 127，如第 1H 圖所示。

請參照第 1I 圖，提供一永久基板 103，包含一第一平面 103a 及一第二平面 103b；其材料可為陶瓷材料、玻璃、複合材料、或高分子材料。於永久基板 103 形成複數個孔洞以貫通整個永久基板，並將複數個孔洞充填導電物質 130；且分別於永久基板之第一平面 103a 及第二平面 103b 分別形成第一電極 132a 及第二電極 132b。藉由金屬黏接層 126 將第 1H 圖之結構與第 1I 圖之永久基板黏接，並移除暫時基板 102 及連接層 122，如第 1J 圖所示。再藉由電鍍

或鍍膜相關製程形成電性連接結構134將發光二極體元件之第三電極120a，第四120b與永久基板上之第一電極132a做連接，如第1K圖所示。切割形成如第1L圖所示結構之發光二極體元件100。發光二極體元件100藉由永久基板上之第二電極132b與發光裝置之電路板電性連接，不須再藉由連接次載體達到散熱效果。

請參照第2圖，於發光二極體元件100之永久基板可為絕緣材料與高導熱率材料複合而成。其中絕緣材料可為陶瓷材料、玻璃、或高分子材料，高導熱率材料可為銀、銅、石墨、碳化矽、或金。且在高導熱率材料區域具有複數個熱傳導通孔140，以達到散熱之功效。

請參照第3圖，分別於發光二極體元件100之第一電性半導體層110上表面未覆蓋電極之區域及第二電性半導體層114上表面未覆蓋電極之區域形成一出光微結構136，其形狀可以是柱狀、Fresnel透鏡狀、鋸齒狀等，此出光微結構目的為增加光取出效率。請參照第4圖，也可於發光二極體元件100之第一電性半導體層110上表面未覆蓋電極之區域及第二電性半導體層114上表面未覆蓋電極之區域形成一光子晶體(photonic crystal)結構137。此光子晶體結構可使得侷限於發光二極體中的光不會向任意方向發射，大幅增加了光導向上方發射機會，進而

降低發光二極體發散角並提升其效率。

本發明第二實施例發光二極體元件 200 之製程，前半段製程與實施例一製程第 1A 至 1D 圖相同。再參照第 5A 圖，將成長基板 101 藉由化學選擇性蝕刻或研磨方式去除。請參照第 5B 圖，依序於第一電性半導體層 110 下方形成一絕緣反射層 124 及一金屬黏接層 126。接著，如第 5C 圖所示切割金屬黏接層 126 及絕緣反射層 124，再於圖形化半導體結構 118、絕緣反射層 124 及金屬黏接層 126 之側壁形成一絕緣層 127，如第 5D 圖所示。

請參照第 5E 圖，提供一永久基板 103，包含一第一平面 103a 及一第二平面 103b；其材料可為陶瓷材料、玻璃、複合材料、或高分子材料。於永久基板 103 形成複數個孔洞以貫通整個永久基板，並將複數個孔洞充填導電物質 130；分別於永久基板之第一平面 103a 及第二平面 103b 分別形成第一電極 132a 及第二電極 132b。藉由金屬黏接層 126 將第 5D 圖之結構與第 5E 圖之永久基板黏接，並移除暫時基板 102 及連接層 122，如第 5F 圖所示。再藉由電鍍或鍍膜相關製程形成電性連接結構 134，將發光二極體元件之第三電極 120a，第四電極 120b 與永久基板上之第一電極 132a 做連接，如第 5G 圖所示。最後切割形成如第 5H 圖所示結構之發光二極體元件 200。發光二極體元件

200藉由永久基板上之第二電極132b與發光裝置之電路板電性連接，不須再藉由連接次載體達到散熱效果。

請參照第6圖，分別於發光二極體元件200之第一電性半導體層110上表面未覆蓋電極之區域及第二電性半導體層114上表面未覆蓋電極之區域形成一出光微結構136，其形狀可以是柱狀、Fresnel透鏡狀、鋸齒狀等，此出光微結構目的為增加光取出效率。請參照第7圖，也可於發光二極體元件200之第一電性半導體層110上表面未覆蓋電極之區域及第二電性半導體層114上表面未覆蓋電極之區域形成一光子晶體(photonic crystal)結構137。此光子晶體結構可使得侷限於發光二極體中的光不會向任意方向發射，大幅增加了光導向上方發射機會，進而降低發光二極體發散角並提升其效率。

以下配合第8A圖~第8G圖描述本發明第三實施例發光二極體元件300之製程。首先，請參照第8A圖，提供一成長基板101，包含一第一平面101a及一第二平面101b，其材料為砷化鎵(GaAs)，於成長基板101之第一平面101a上形成一磊晶結構116。磊晶結構116係藉由一磊晶製程所形成，例如有機金屬氣相沉積磊晶法(MOCVD)、液相磊晶法(LPE)或分子束磊晶法(MBE)等磊晶製程。此磊晶結構116至少包含一第一電性半導體層

110，例如為一 n 型磷化鋁鎵銦  $(Al_xGa_{1-x})_yIn_{1-y}P$  層；一活性層 112，例如為磷化鋁鎵銦  $(Al_xGa_{1-x})_yIn_{1-y}P$  所形成的多重量子井結構；以及一第二電性半導體層 114，例如為一 p 型磷化鋁鎵銦  $(Al_xGa_{1-x})_yIn_{1-y}P$  層。另外，本實施例之活性層 112 可由例如同質結構、單異質結構、雙異質結構、或是多重量子井結構所堆疊而成。接著，形成一透明黏接層 138 於磊晶結構 116 之上。

請參照第 8B 圖，提供一永久基板 103，包含一第一平面 103a 及一第二平面 103b；其材料可為陶瓷材料、玻璃、複合材料、或高分子材料。於永久基板 103 形成複數個孔洞以貫通整個永久基板，並將複數個孔洞充填導電物質 130；分別於永久基板之第一平面 103a 及第二平面 103b 分別形成第一電極 132a 及第二電極 132b。接著，在永久基板之第一平面 103a 上除了第一電極 132a 區域外形成一透明黏接層 138。藉由透明黏接層 138 將第 8A 圖之結構與第 8B 圖之永久基板黏接，如第 8C 圖所示。請參照第 8D 圖，將成長基板 101 藉由化學選擇性蝕刻或研磨方式去除，將磊晶結構 116 及透明黏接層 138 蝕刻形成圖型化半導體結構 118。請參照第 8E 圖，分別在第一電性半導體層 110 及第二電性半導體層 114 之上形成一第三電極 120a 及一第四電極 120b。再於圖形化半導體結構 118 之側壁形成一絕緣

層 127。接著，藉由電鍍或鍍膜相關製程形成電性連接結構 134，將發光二極體元件之第三電極 120a，第四電極 120b 與永久基板上之第一電極 132a 做連接，如第 8F 圖所示。切割形成如第 8G 圖所示結構之發光二極體元件 300。發光二極體元件 300 藉由永久基板上之第二電極 132b 與發光裝置之電路板電性連接，不須再藉由連接次載體達到散熱效果。

請參照第 9 圖，分別於發光二極體元件 300 之第一電性半導體層 110 上表面未覆蓋電極之區域及第二電性半導體層 114 上表面未覆蓋電極之區域形成一出光微結構 136，其形狀可以是柱狀、Fresnel 透鏡狀、鋸齒狀等，此出光微結構目的為增加光取出效率。請參照第 10 圖，也可於發光二極體元件 300 之第一電性半導體層 110 上表面未覆蓋電極之區域及第二電性半導體層 114 上表面未覆蓋電極之區域形成一光子晶體 (photonic crystal) 結構 137。此光子晶體結構可使得侷限於發光二極體中的光不會向任意方向發射，大幅增加了光導向上方發射機會，進而降低發光二極體發散角並提升其效率。

在晶粒製程的佈局也可以採用多電極串聯設計以達到交流電操作需求，且永久基板可以內埋相關被動元件如電阻或電容，可以達到節省空間之設計。

以上提供之實施例係用以描述本發明不同之技術特徵，但根據本發明之概念，其可包括或運用於更廣泛之技術範圍。須注意的是，實施例僅用以揭示本發明製程、裝置、組成、製造和使用之特定方法，並不用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾。因此，本發明之保護範圍，當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第 1A 圖~第 1L 圖描述本發明第一實施例發光二極體元件 100 之製程。

第 2 圖描述本發明第一實施例發光二極體元件 100 結構之另一設計。

第 3 圖描述本發明第一實施例發光二極體元件 100 結構之另一設計。

第 4 圖描述本發明第一實施例發光二極體元件 100 結構之再一設計。

第 5A 圖~第 5H 圖描述本發明第二實施例發光二極體元件 200 之製程。

第 6 圖描述本發明第二實施例發光二極體元件 200 結構之另一設計。

第 7 圖描述本發明第二實施例發光二極體元件 200 結構之再一設計。

第 8A 圖~第 8G 圖描述本發明第三實施例發光二極體

元件 300 之製程。

第 9 圖描述本發明第三實施例發光二極體元件 300 結構之另一設計。

第 10 圖描述本發明第三實施例發光二極體元件 300 結構之再一設計。

第 11 圖描述習知之發光裝置結構示意圖。

### 【主要元件符號說明】

100, 200, 300~發光二極體元件；

101~成長基板；

101a~成長基板第一平面；

101b~成長基板第二平面；

102~暫時基板；

103~永久基板；

110~第一電性半導體層；

112~活性層；

114~第二電性半導體層；

116~磊晶結構；

118~圖形化半導體結構；

120a~第三電極；

120b~第四電極；

122~連接層；

124~反射層；

126~金屬黏接層；

127~絕緣層；

130~導電物質；

132a~第一電極；

132b~第二電極；

134~電性連接結構；

136~出光微結構；

137~光子晶體結構；

138~透明黏接層；

140~熱傳導通孔；

54~半導體磊晶疊層；

56~電極；

58~基板；

62~焊料；

64~次載體；

66~電性連接結構；

400~發光二極體晶粒；

600~發光裝置。

## 七、申請專利範圍：

1. 一種發光二極體元件，包括：

一永久基板，其中該永久基板具有一第一平面及一第二平面；

一第一電極位於該永久基板之該第一平面上；

一黏接層位於該永久基板之第一平面上除該第一電極之外區域；

一圖形化半導體結構，係位於該黏接層之上，其中該圖形化半導體結構至少包括一第一型半導體層和一第二型半導體層；

一第三電極及一第四電極，係位於該圖形化半導體結構上，且分別與該第一型半導體層和該第二型半導體層電性連結；

一電性連接結構，係位於該圖形化半導體結構之側壁，且為該第三電極和該第四電極與該第一電極之間電性連接；及

一絕緣層，係位於該圖形化半導體結構之側壁與該電性連接結構之間，以於該側壁電性隔絕該圖形化半導體結構與該電性連接結構。

2. 如申請專利範圍第 1 項所述之發光二極體元件，更包括一成長基板位於該黏接層與該圖形化半導體結構之間。

3. 如申請專利範圍第 1 項所述之發光二極體元件，更包括一熱傳導通孔位於該永久基板之中。

4. 如申請專利範圍第 1 項所述之發光二極體元件，其中該永久基板之材料可為陶瓷材料、玻璃、複合材料、或

高分子材料。

5.如申請專利範圍第 1 項所述之發光二極體元件，更包括一出光微結構位於該圖形化半導體結構之上。

6.如申請專利範圍第 5 項所述之發光二極體元件，其中該出光微結構之形狀為柱狀、Fresnel 透鏡狀、或鋸齒狀。

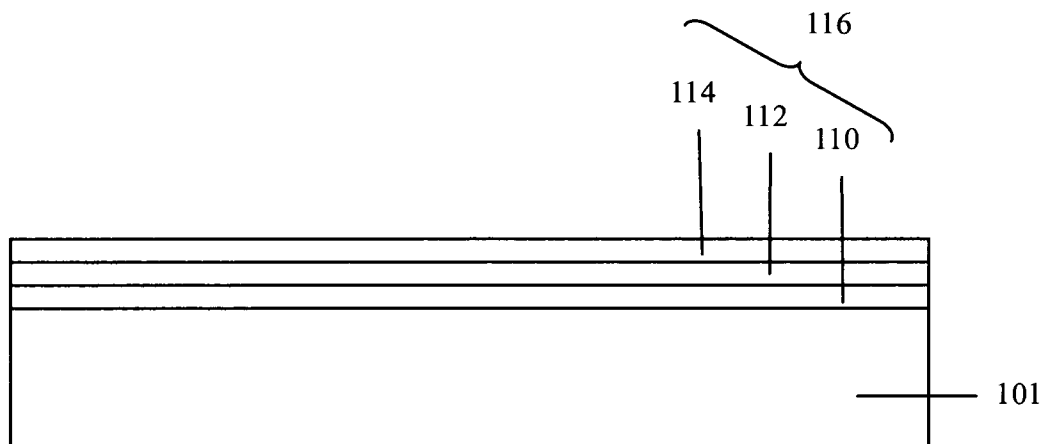
7.如申請專利範圍第 1 項所述之發光二極體元件，更包括一光子晶體結構位於該圖形化半導體結構之上。

8.如申請專利範圍第 1 項所述之發光二極體元件，更包括一第二電極位於該永久基板之該第二平面上。

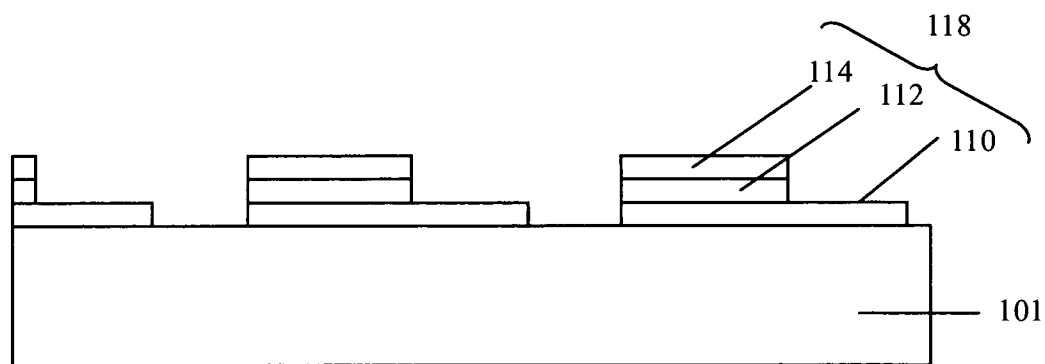
9.如申請專利範圍第 8 項所述之發光二極體元件，其中該永久基板具有複數個充填導電物質之孔洞，以導通該第一電極與該第二電極。

10.如申請專利範圍第 1 項所述之發光二極體元件，更包括一反射層位於該黏接層與該圖形化半導體結構之間。

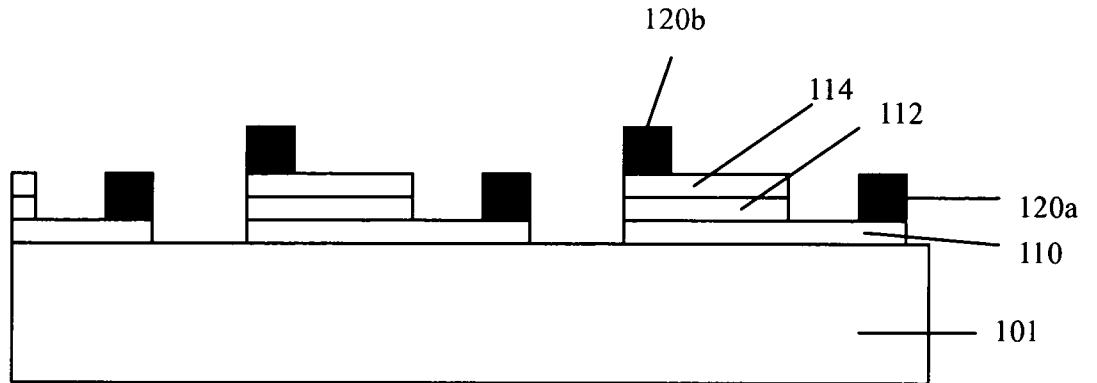
八、圖式：



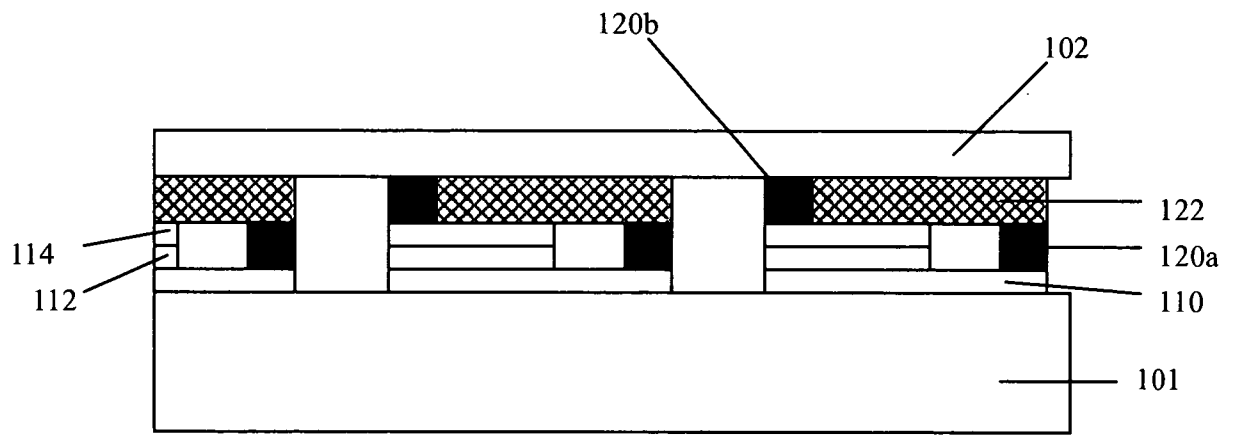
第 1A 圖



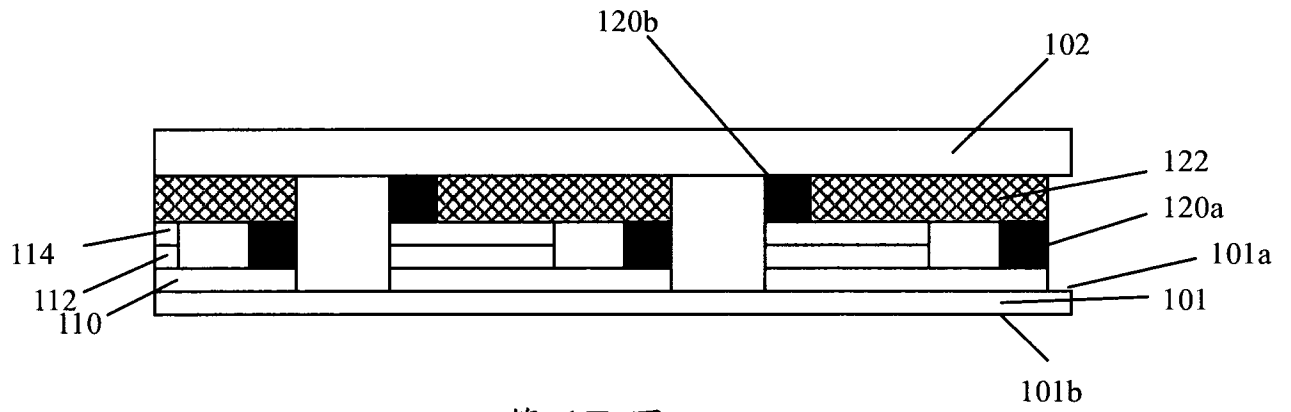
第 1B 圖



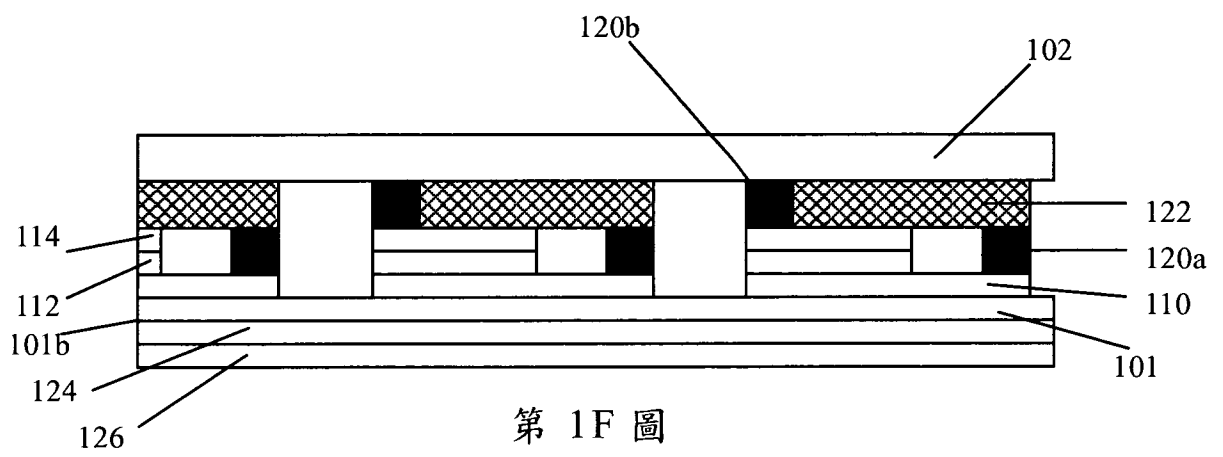
第 1C 圖



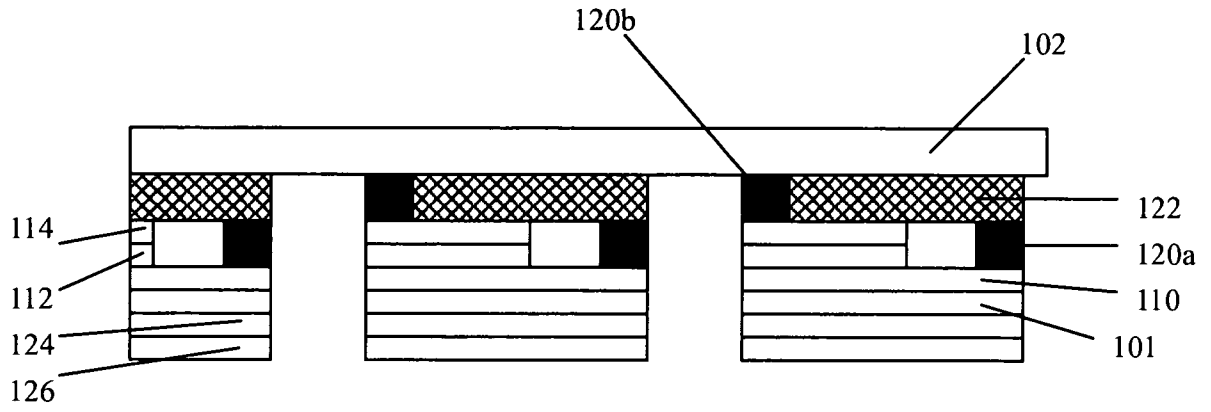
第 1D 圖



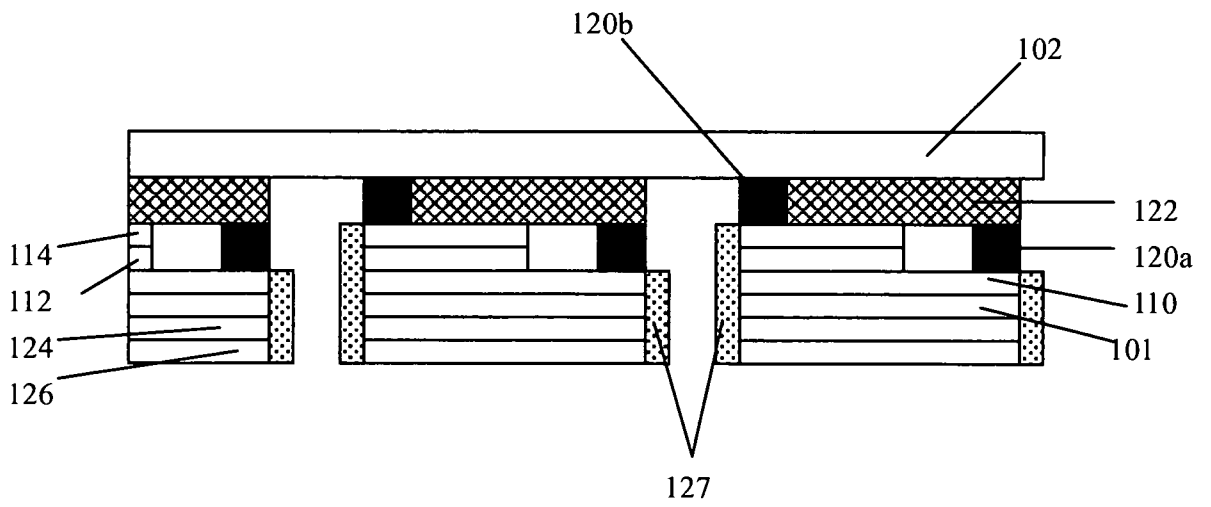
第 1E 圖



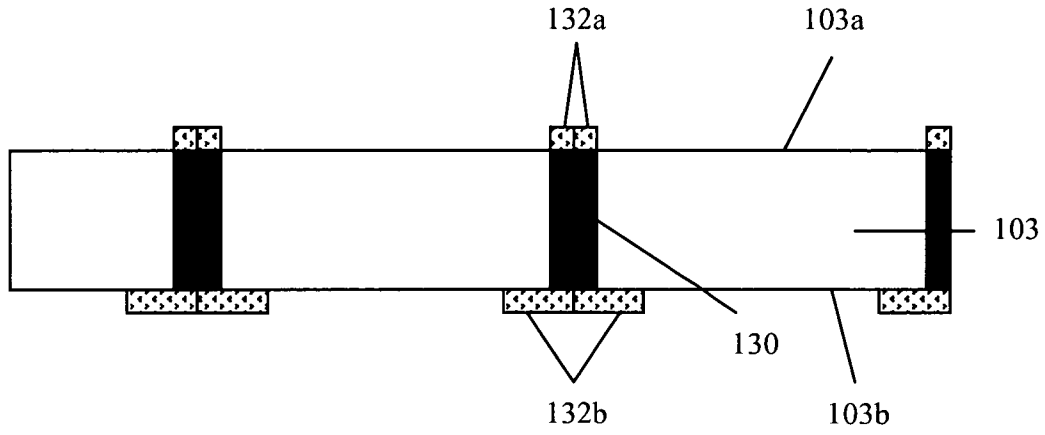
第 1F 圖



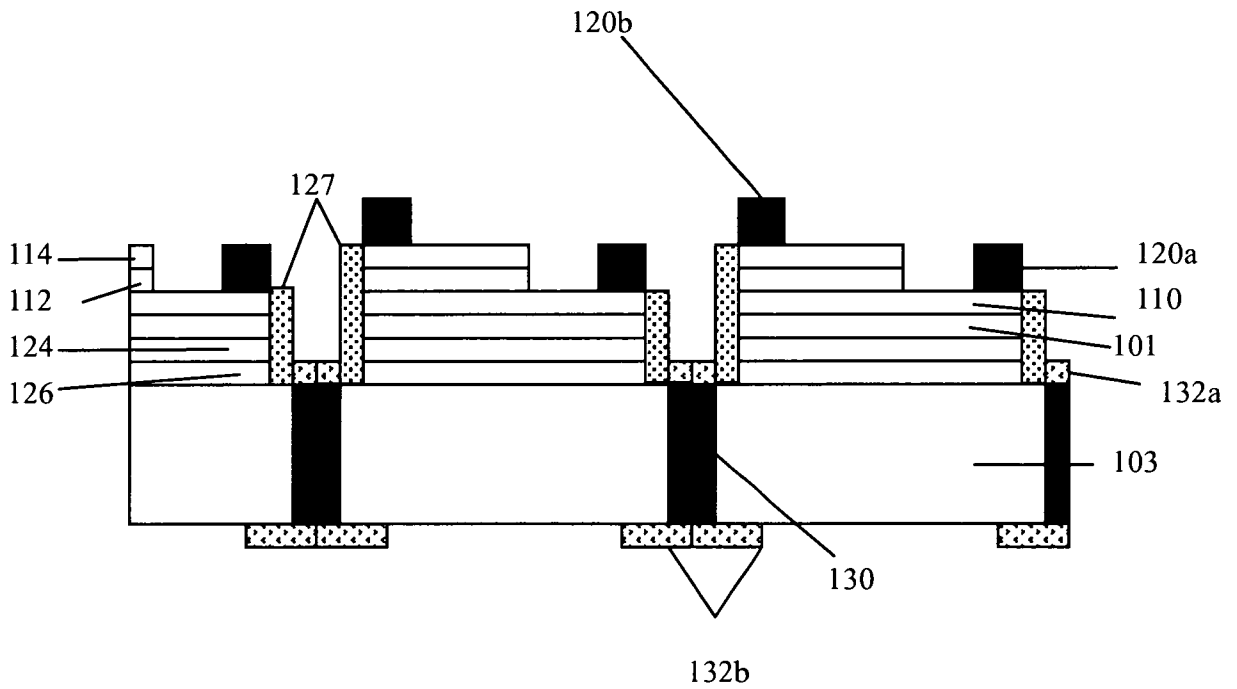
第 1G 圖



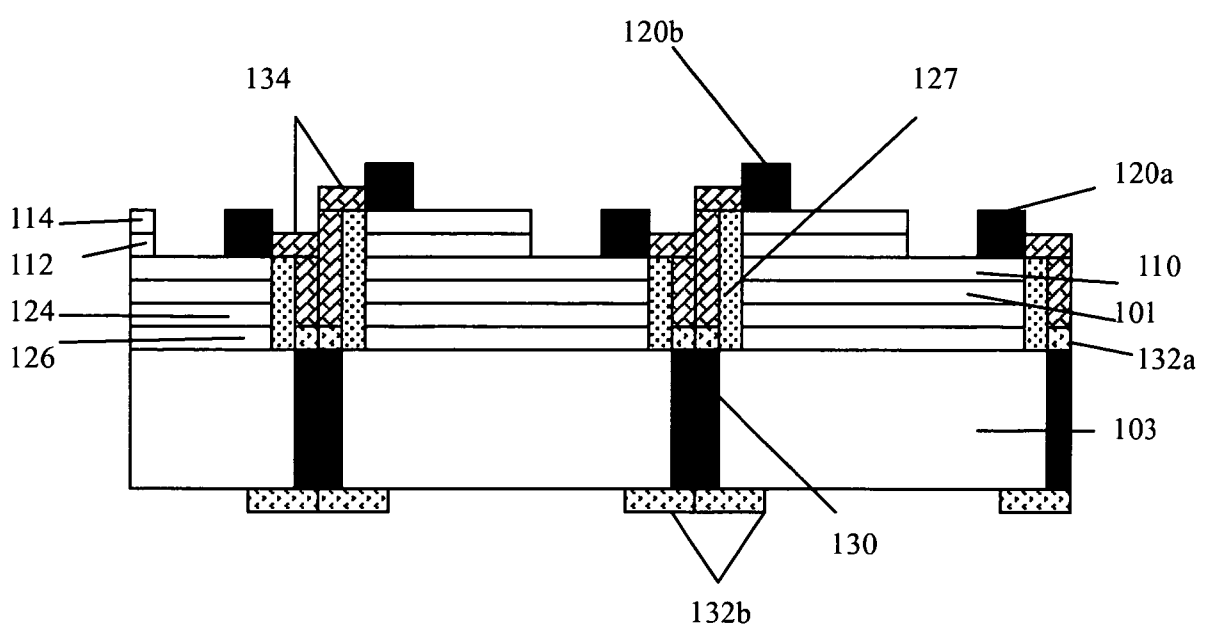
第 1H 圖



第 1I 圖

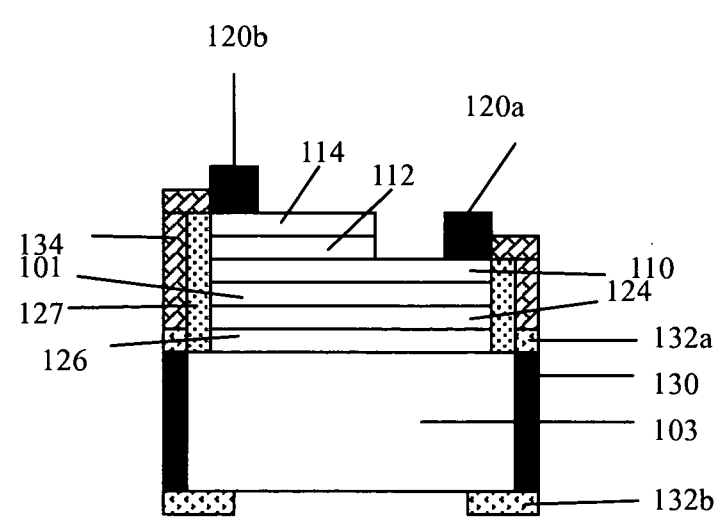


第 1J 圖

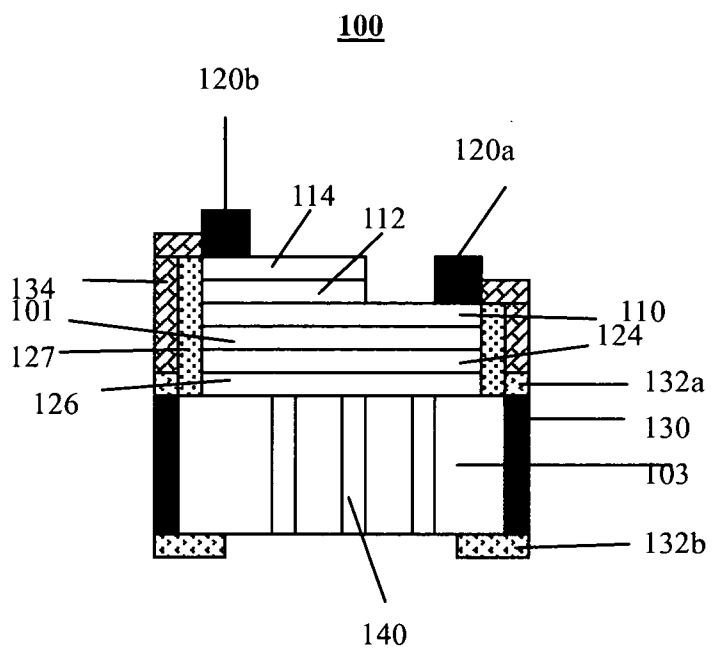


第 1K 圖

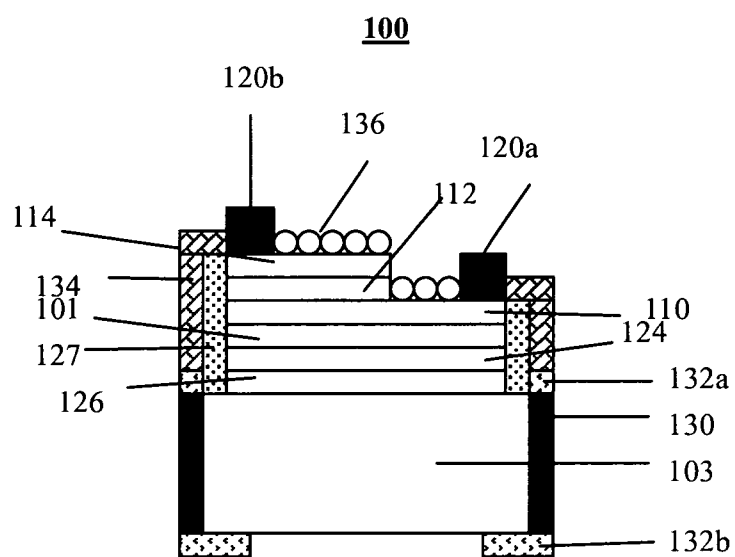
**100**



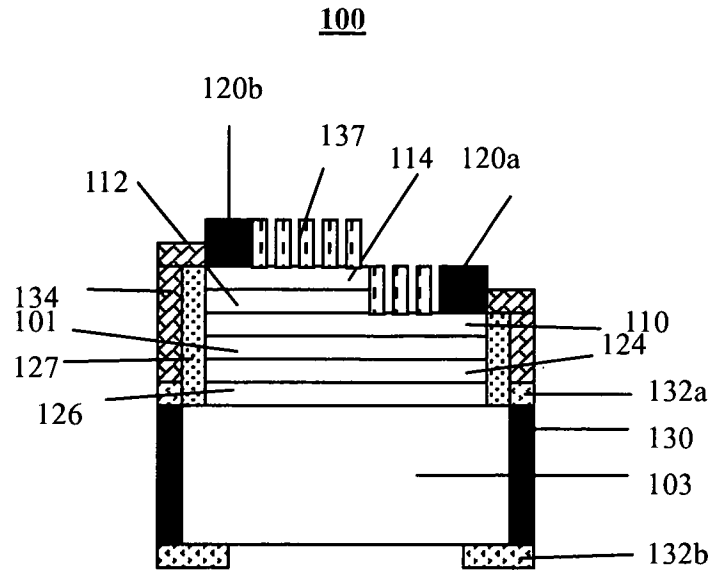
第 1L 圖



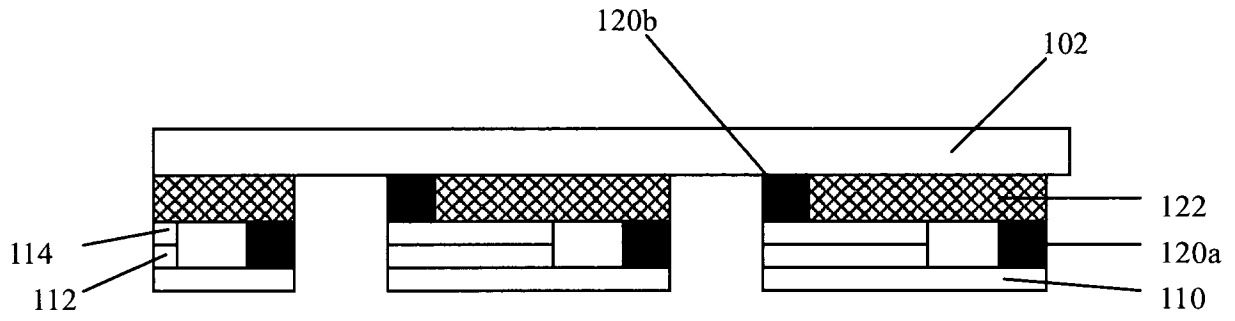
第 2 圖



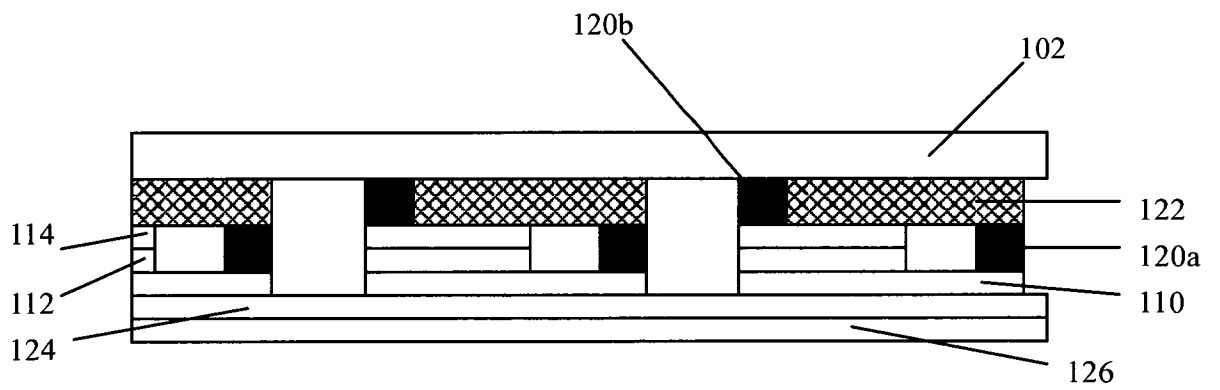
第 3 圖



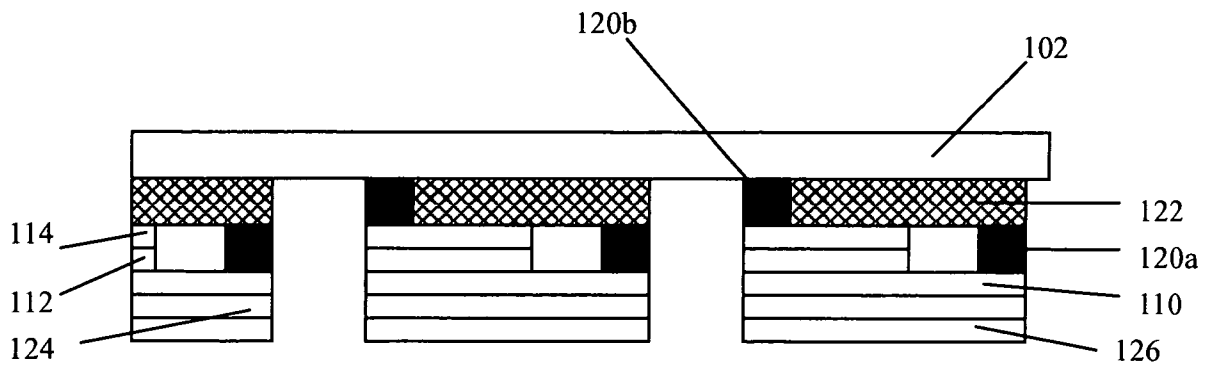
第 4 圖



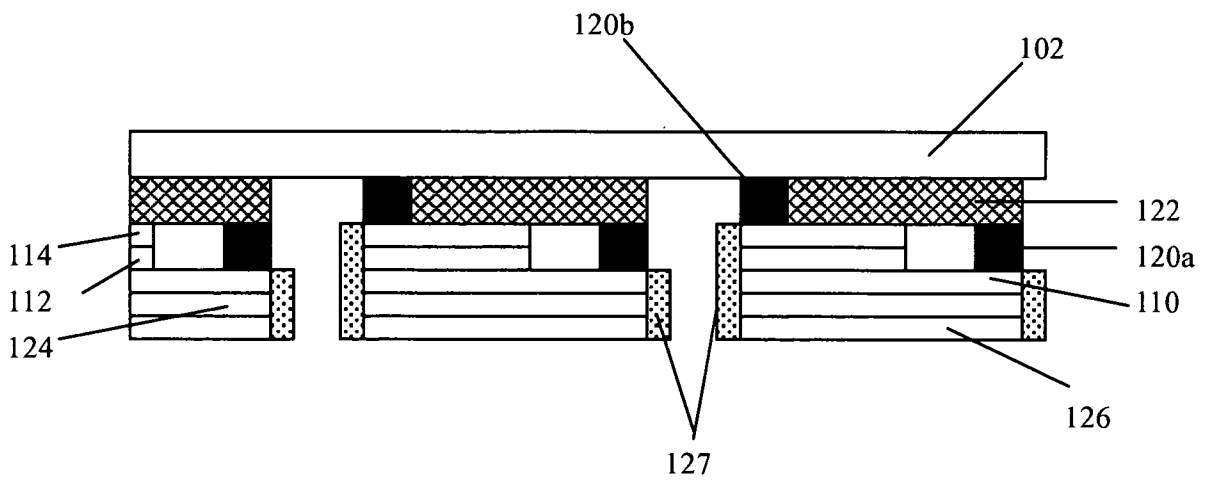
第 5A 圖



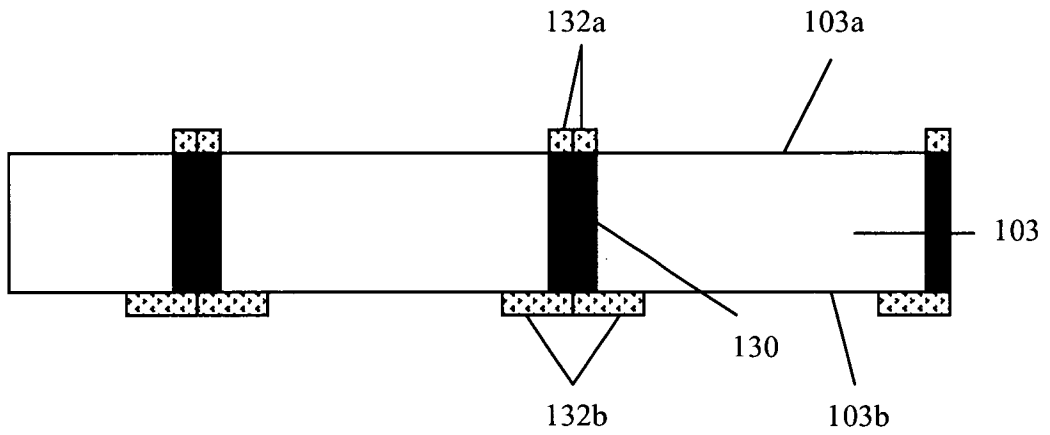
第 5B 圖



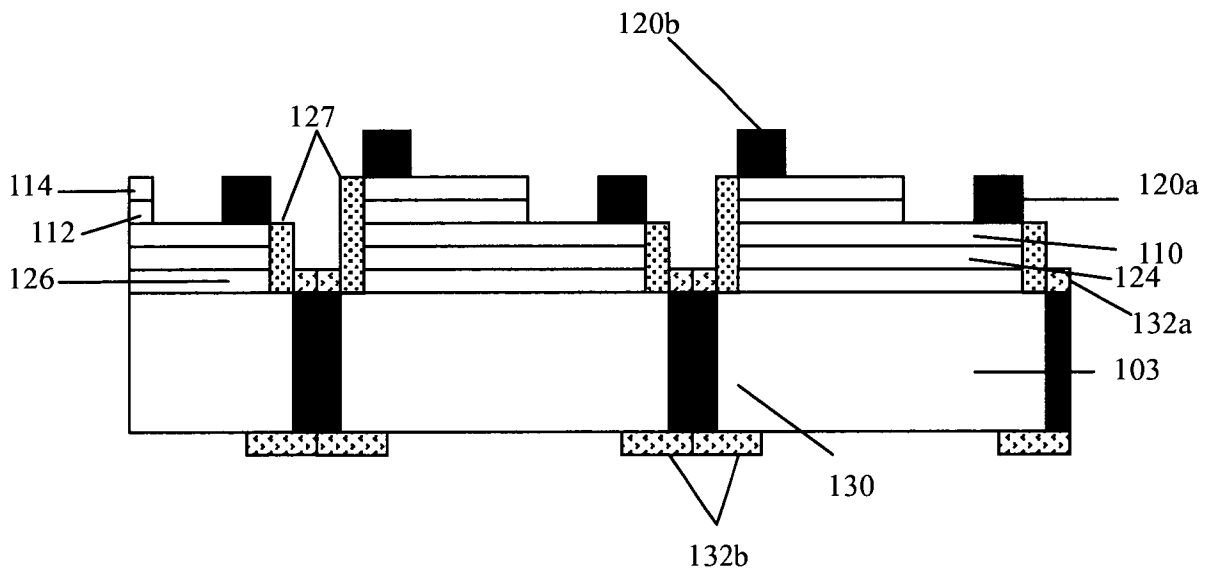
第 5C 圖



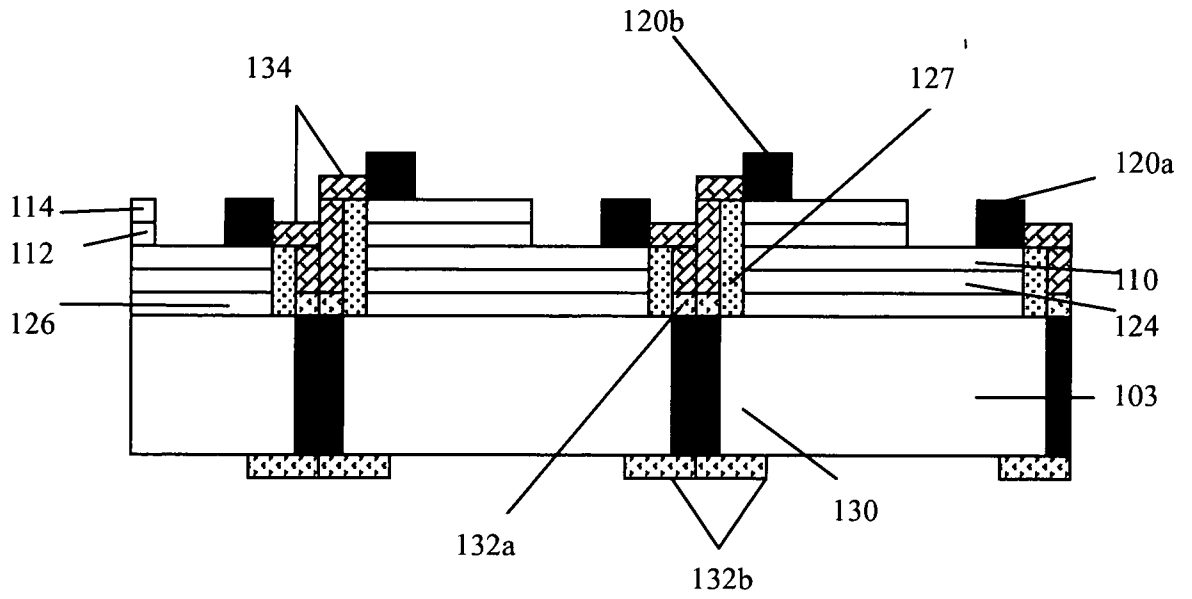
第 5D 圖



第 5E 圖

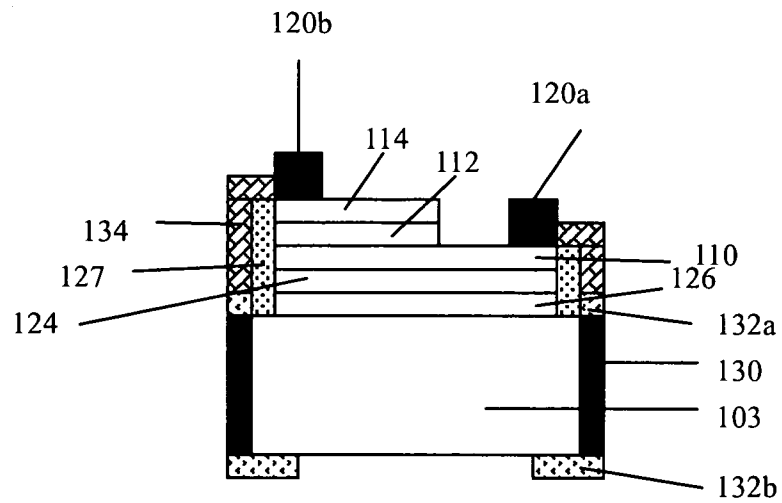


第 5F 圖

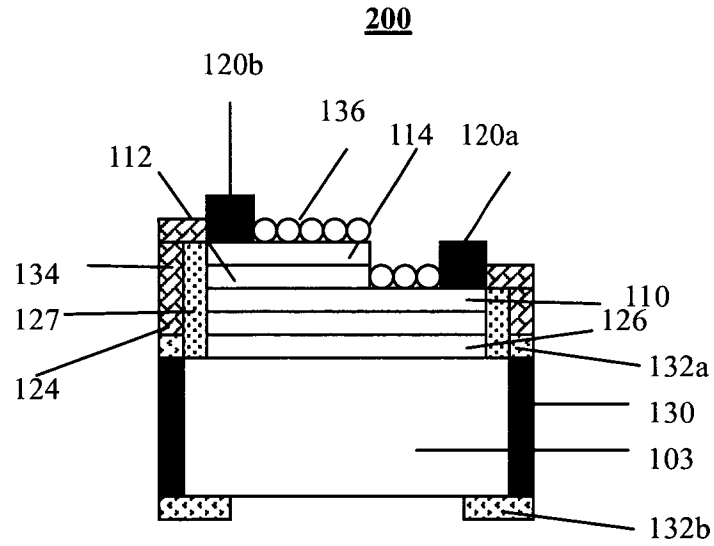


第 5G 圖

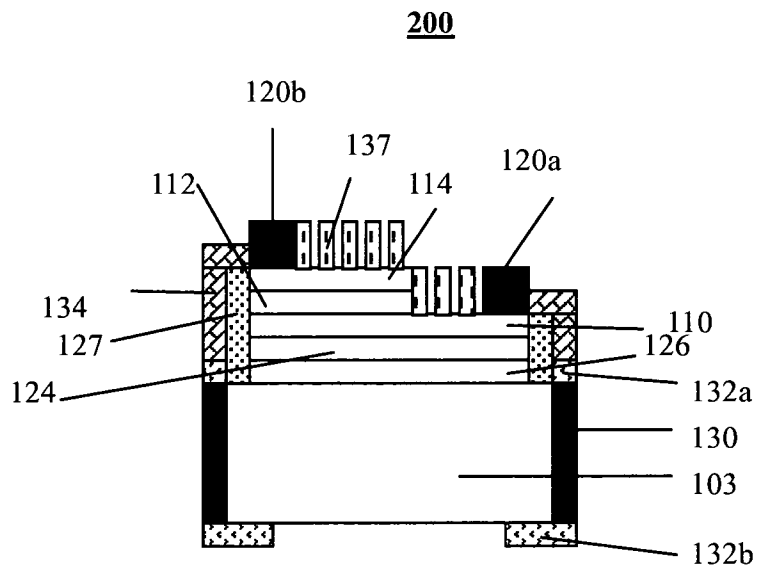
200



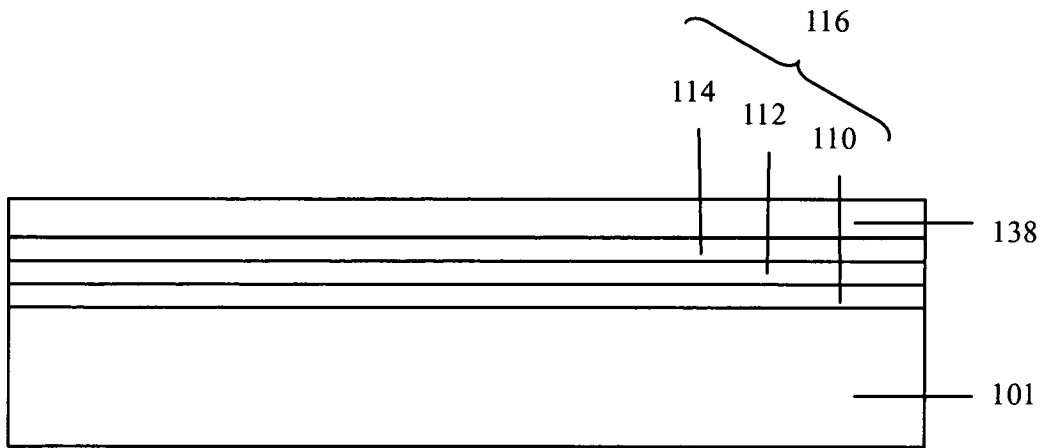
第 5H 圖



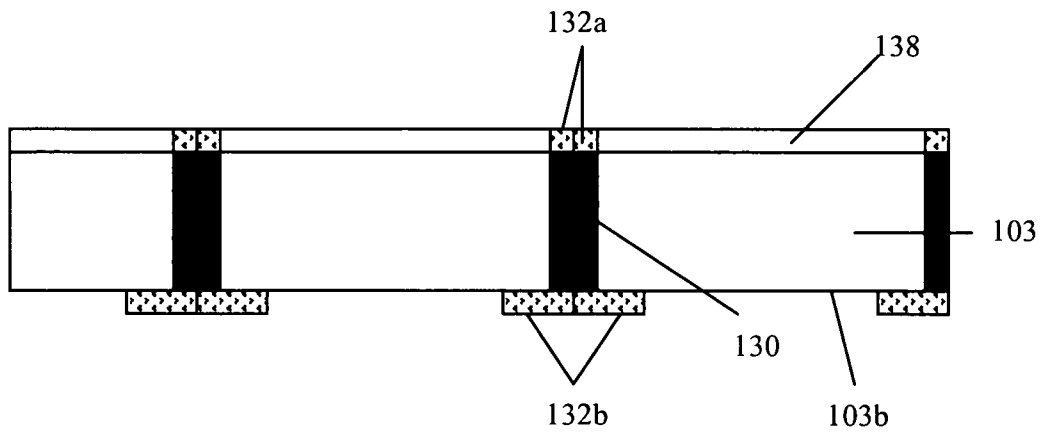
第 6 圖



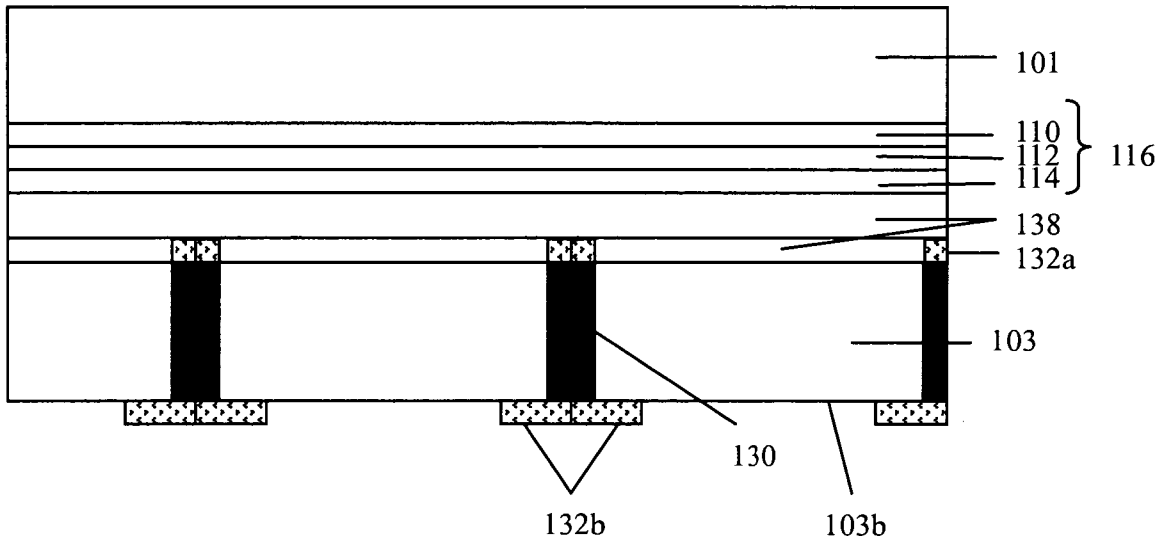
第 7 圖



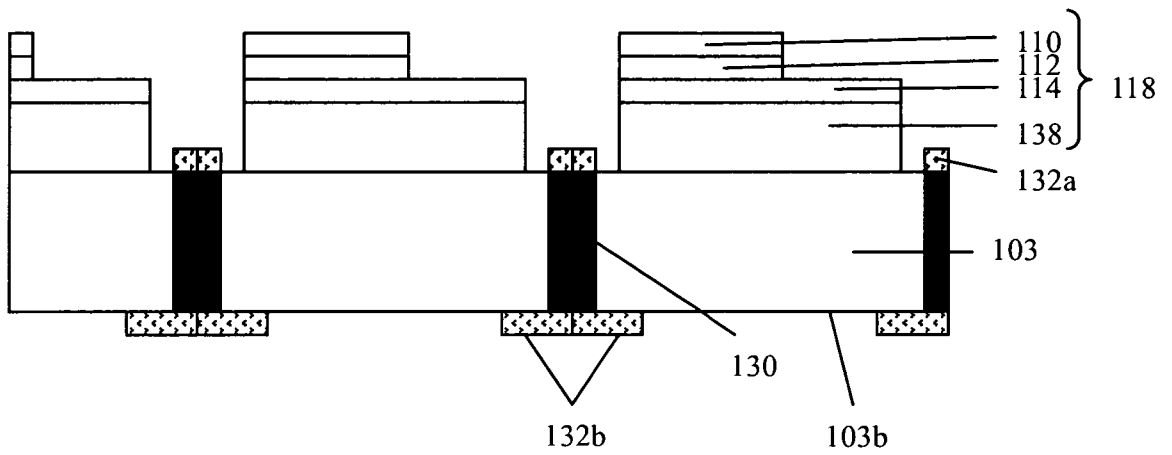
第 8A 圖



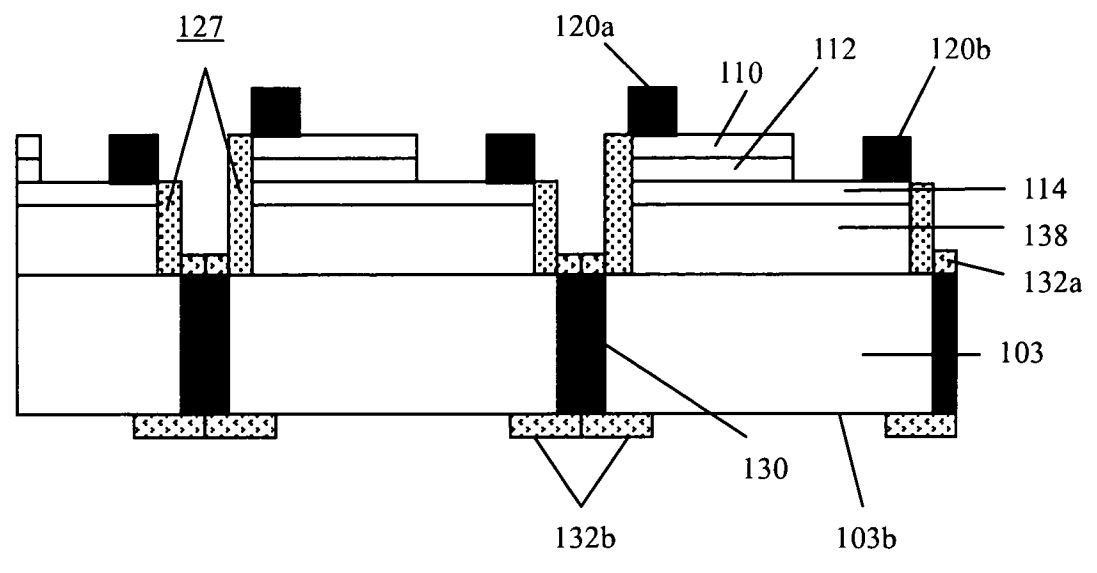
第 8B 圖



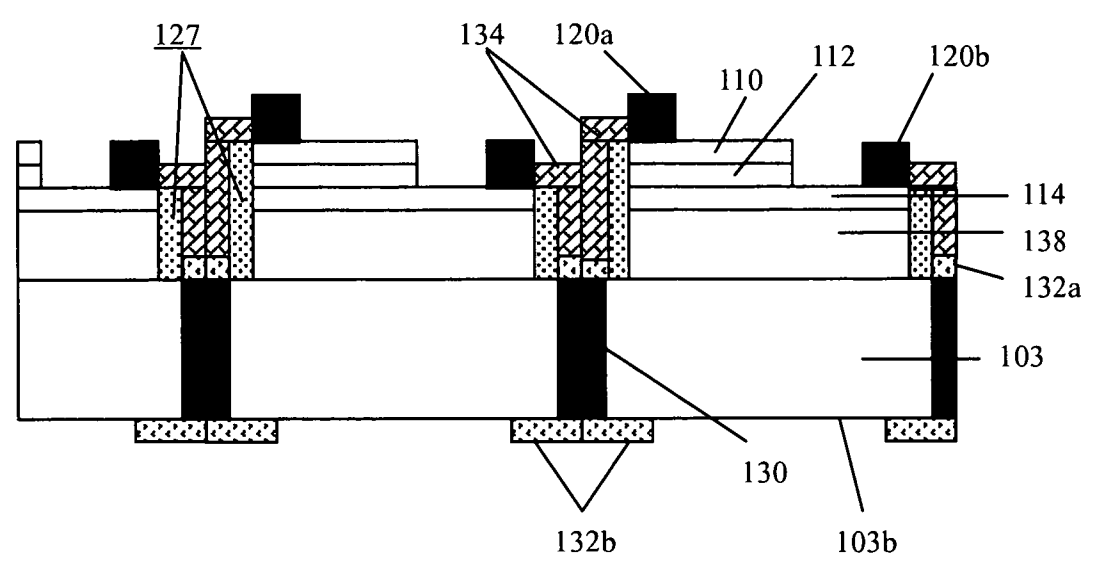
第 8C 圖



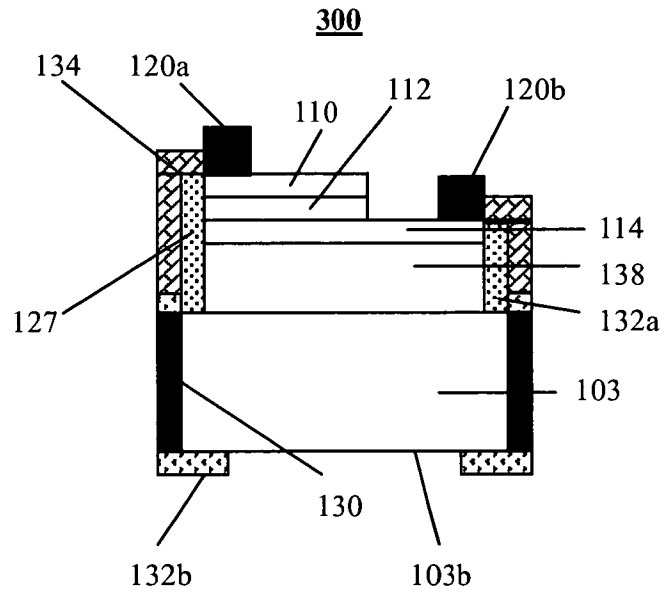
第 8D 圖



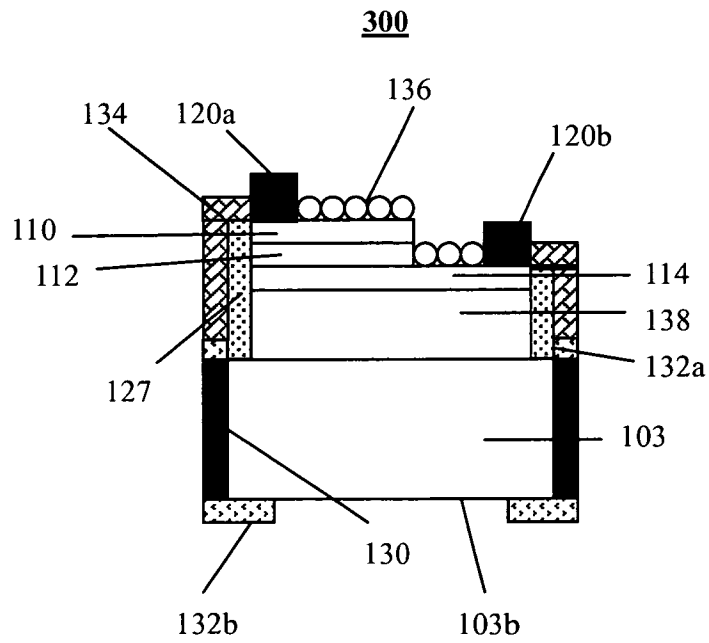
第 8E 圖



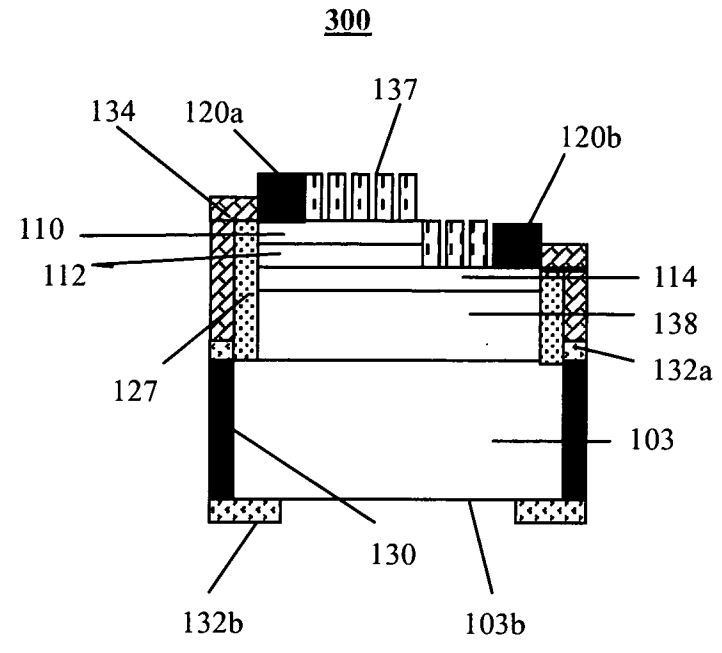
第 8F 圖



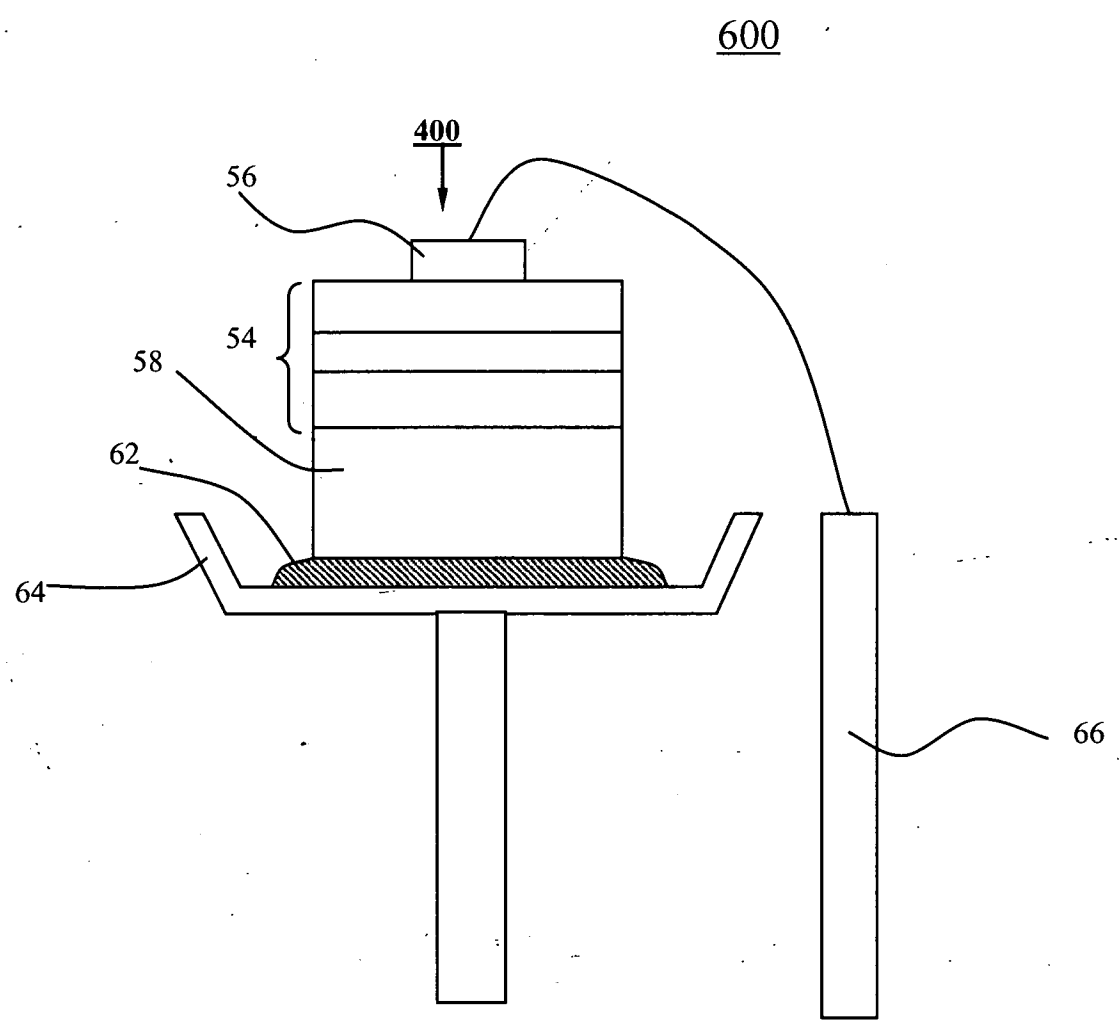
第 8G 圖



第 9 圖



第 10 圖



第 11 圖