(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
12 octobre 2017 (12.10.2017)

WIPO | PCT

(10) Numéro de publication internationale
WO 2017/174456 A1

(51) Classification internationale des brevets :
H01L 27/146 (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2017/057683

(22) Date de dépôt international :
31 mars 2017 (31.03.2017)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
1652960 5 avril 2016 (05.04.2016) FR

(71) Déposant : **E2V SEMICONDUCTORS** [FR/FR]; Avenue de Rochepleine, 38120 SAINT EGREVE (FR).

(72) Inventeurs : **MAYER, Frédéric**; 25 avenue Jean Jaurès, 38500 VOIRON (FR). **FOURNIER, Mathieu**; 24 rue Amédée Morel, 38000 GRENOBLE (FR).

(74) Mandataires : **DESVIGNES, Agnès** et al.; MARKS & CLERK France, Conseils en Propriété Industrielle, Immeuble Visium, 22 avenue Aristide Briand, 94117 ARCUEIL Cedex (FR).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée :

— *avec rapport de recherche internationale (Art. 21(3))*

(54) **Title** : CMOS ACTIVE PIXEL IMAGE SENSOR WITH ELECTRON MULTIPLICATION

(54) **Titre** : CAPTEUR D'IMAGE A PIXELS ACTIFS EN TECHNOLOGIE CMOS A MULTIPLICATION D'ELECTRONS

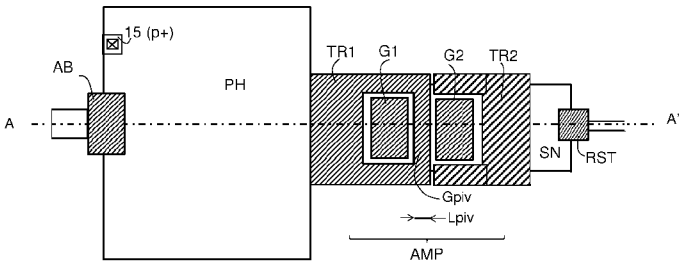


Fig. 3

(57) **Abstract** : In a CMOS active pixel comprising an amplification stage AMP with insulated grid between the photosensitive element PH of the pixel and a reading node SN associated with the charge/voltage conversion circuit, a separator grid Gpiv is provided between the two accumulation grids G1, G2 of the amplification stage, with one of the two transfer grids TR1, TR2 being situated between the photodiode and one accumulation grid G1, and the other being situated between the other accumulation grid G2 and the reading node. The adjacent accumulation grid G1 is entirely included within the transfer grid TR1, defining, on one side of the accumulation grid, a portion of the grid between the two accumulation grids which is narrower than a main portion of the transfer grid on the opposite side, and this narrow portion forms the separator grid Gpiv. In this way it is possible to regulate the barrier height of the region under the separator grid which forms a pivot region for switching charges from one accumulation region to the other.

(57) **Abrégé** : Dans un pixel actif CMOS incluant un étage d'amplification AMP à grilles isolées entre l'élément photosensible PH du pixel et un noeud de lecture SN associé à un circuit de conversion charge/tension, on réalise une grille intercalaire Gpiv entre les deux grilles d'accumulation G1, G2 de l'étage d'amplification avec l'une des deux grilles de transfert

[Suite sur la page suivante]

WO 2017/174456 A1

TR1, TR2 située l'une entre la photodiode et une grille d'accumulation G1 et l'autre entre l'autre grille d'accumulation G2 et le noeud de lecture. La grille d'accumulation adjacente G1 est incluse complètement dans la grille de transfert TR1, définissant d'un côté de la grille d'accumulation, une partie de grille entre les deux grilles d'accumulation qui est plus étroite qu'une partie principale de grille de transfert sur le côté opposé, et cette partie plus étroite forme la grille intercalaire Gpiv. De cette façon on peut régler la hauteur de barrière de la région sous la grille intercalaire qui forme une région pivot pour le basculement des charges d'une région d'accumulation à l'autre.

CAPTEUR D'IMAGE A PIXELS ACTIFS EN TECHNOLOGIE CMOS A MULTIPLICATION D'ELECTRONS

DOMAINE TECHNIQUE

L'invention concerne un capteur d'image à pixels actifs, en technologie CMOS, à amplification de signal par multiplication d'électrons permettant d'améliorer la réponse du capteur en faible ambiance lumineuse. Cette multiplication d'électrons exploite les effets d'ionisation par impact obtenus en accélérant les électrons, sous l'effet de champs électriques intenses. L'invention concerne plus précisément les capteurs à pixels actifs CMOS dans lesquels l'amplification est réalisée après l'intégration de charges, en dehors de l'élément photosensible mais avant la lecture des charges.

ETAT DE L'ART

Les principes généraux de la technique d'amplification de signal par multiplication de charges dans les pixels actifs CMOS sont connus et décrits dans la littérature scientifique et les brevets qui s'y rapportent. On rappellera seulement ici que cette amplification doit être obtenue dans la structure même du pixel avant de réaliser la conversion charge/tension des charges générées sous l'effet de la lumière dans l'élément photosensible du pixel et stockées par celui-ci. Si on prend l'exemple de pixels réalisés dans un substrat semi-conducteur de type P, les charges stockées par l'élément photosensible seront des électrons et l'amplification de signal est obtenue en provoquant des déplacements de ces électrons dans le semi-conducteur, avec des tensions d'accélération telles que des électrons secondaires sont arrachés du semi-conducteur, par effet d'ionisation par impact. Pour un même nombre de photons reçus par la photodiode, le pixel va produire plus d'électrons, qui sont ensuite transférés vers le nœud de lecture.

La publication "Electron Multiplying device Made on a 180 nm standard CMOS Imaging Technology" P. Fereyre *et al.*, *Proc. Int. Image Sens. Workshop*, Vaals, The Netherlands, de Juin 2015, pp. 328–331, présente notamment deux approches qui sont proposées dans l'état de l'art pour réaliser une multiplication d'électrons dans un pixel actif CMOS. La première propose une multiplication dans la photodiode, en même temps que l'intégration ; l'autre propose une multiplication à l'extérieur de la photodiode

et après l'intégration mais avant la conversion charge/tension. C'est cette dernière approche qui nous intéresse dans la présente invention.

La structure de base d'un pixel actif de technologie CMOS comprend un élément photosensible, généralement une photodiode auto-polarisée ("pinned photodiode"), qui génère et accumule des charges sous l'effet de la lumière à laquelle elle est exposée ; un nœud de lecture, généralement une diffusion flottante, dans laquelle les charges accumulées dans la photodiode sont déversées, à la fin de la durée d'intégration ; et quelques transistors pour réaliser des fonctions d'initialisation, transfert et conversion/charges tension. Ces transistors permettent de piloter différentes phases de commande du pixel : intégration, transfert de charges pour la lecture ; et lecture (conversion charges/tension). Notamment le nœud de lecture est relié à un transistor monté en suiveur qui réalise une conversion charges/tension. Le transfert des charges de la photodiode dans le nœud de lecture est réalisé par un transistor de transfert, en réalité une simple grille isolée au-dessus d'une région de couche active entre la région de photodiode et la diffusion flottante du nœud de lecture.

Dans la structure de pixel à étage d'amplification hors de la photodiode qui nous intéresse, la structure de transfert entre la photodiode et le nœud de lecture comprend un étage d'amplification qui est disposé entre deux grilles de transfert, et la phase de transfert s'effectue en réalité en trois temps : un temps de transfert des charges de la photodiode vers la structure de transfert ; un temps d'amplification par multiplication de charges dans l'étage de transfert ; un temps de transfert des charges dans le nœud de lecture. Pendant l'amplification, les deux grilles de transfert permettent d'isoler la région active de l'étage d'amplification de la photodiode d'une part et du nœud de lecture d'autre part.

Dans ce contexte, la demande de brevet US 2009/015260 propose une structure d'étage d'amplification comprenant une succession de trois grilles isolées : deux grilles surmontent chacune une région d'accumulation permettant le stockage des charges et une de ces grilles est prévue pour recevoir en alternance une haute tension permettant aussi une multiplication d'électrons dans la région d'accumulation ; et une grille est intercalée entre les deux grilles d'accumulation et permet de contrôler le potentiel de la région semi-conductrice sous cette grille qui agit comme

région pivot pour le basculement des électrons d'une région d'accumulation à l'autre. Dans cette structure, la multiplication peut se produire dans la région d'accumulation sous la grille qui reçoit la haute tension, lorsque les électrons reviennent de l'autre région d'accumulation. Le gain obtenu dépend de l'amplitude du champ électrique entre la région pivot et la région de multiplication et dépend de la tension de grille intercalaire et de la haute tension de grille d'accumulation/multiplication ; et du nombre de passages dans la région de multiplication.

La structure de transfert et amplification de ce pixel comprend ainsi cinq grilles isolées disposées en succession entre la photodiode et le nœud de lecture et nécessite donc la production et le routage de cinq signaux de commande, un par grille, ce qui occupe de la place en terme de routage et de génération des signaux de commande.

Une autre structure décrite dans les demandes EP2503596 et EP2503776 permet de simplifier le routage et le contrôle des signaux de commande par l'utilisation d'une diode auto-polarisée pour réaliser la région pivot de l'étage de multiplication. Cette région pivot n'étant qu'une zone de transit pour les électrons (pas de stockage de charges), le potentiel de cette région pivot est le potentiel interne de la diode autopolarisée : ce potentiel est fixé et fonction des différentes concentrations de dopants, grâce à la diffusion superficielle qui est portée au potentiel du substrat semi-conducteur dans lequel est réalisée la diode.

Mais le gain de l'étage de multiplication dépend de la différence de potentiel entre la région pivot et une région d'accumulation qui dimensionne le champ électrique qui sert à accélérer les électrons pour obtenir l'effet d'ionisation par impact. Et on n'aime pas tellement agir sur le niveau de la haute tension appliquée en phase d'amplification sur les grilles de l'étage d'amplification, car cela a des conséquences sur les circuits (drivers) qui servent à fournir et appliquer cette haute tension ; et sur les grilles qui reçoivent ces hautes tensions.

RESUME DE L'INVENTION

La présente invention propose une conception de l'étage de transfert et amplification qui nécessite moins de signaux de commande tout en permettant un réglage du gain de l'étage d'amplification par le potentiel de

la région pivot. On améliore ainsi la dynamique du capteur au prix d'une moindre complexité de la réalisation de l'électronique de commande.

L'invention propose une utilisation astucieuse de l'une des grilles de transfert situées de part et d'autre de l'étage d'amplification pour contrôler le potentiel de la région pivot entre deux grilles d'accumulation de l'étage d'amplification.

On rappelle que dans la structure de pixel, les grilles sont des grilles espacées et isolées les unes des autres, formées d'un empilement d'une couche de diélectrique (un oxyde ou nitrure de silicium) et d'une couche conductrice (polysilicium), au-dessus de la surface active de semi-conducteur, et réalisées ensemble, dans les même étapes (dépôt/gravure) au moyen des masques qui représentent le dessin (en positif ou négatif) de ces grilles. Chaque grille est essentiellement un élément plan, de forme généralement rectangulaire, s'étendant dans un plan de surface parallèle au plan du substrat.

Selon l'invention, on utilise une grille de transfert pour réaliser la grille intercalaire avec une partie étroite de grille de transfert, en incluant complètement la grille d'accumulation adjacente dans cette grille de transfert. On permet ainsi un contrôle de la hauteur de barrière de la région pivot de l'étage d'amplification par la tension de barrière appliquée à cette grille de transfert.

Plus précisément le niveau de tension de barrière est choisi sur une plage allant du niveau bas nominal, qui correspond à la hauteur de barrière la plus haute, donc un gain maximal (pour des paramètres de conception donnés), à un niveau de tension de barrière qui définit une hauteur plus basse, correspondant à un gain plus faible. On dispose ainsi d'une plage de réglage du gain d'amplification.

L'invention concerne donc un capteur d'image à pixels actifs en technologie CMOS, dans lequel chaque pixel comprend un élément photosensible pour produire des charges sous l'effet de la lumière, une structure de transfert à grilles isolées alignées pour transférer les charges de l'élément photosensible en amont vers un nœud de lecture en aval, et la structure de transfert comportant un étage d'amplification entre une première grille de transfert adjacente du côté amont à la photodiode et une deuxième

grille de transfert adjacente du côté aval au nœud de lecture, ledit étage comprenant une première grille d'accumulation adjacente du côté amont à la première grille de transfert, une deuxième grille d'accumulation adjacente du côté aval à la deuxième grille de transfert, les deux grilles d'accumulation de l'étage étant séparées par une grille intercalaire définissant une région pivot entre les régions sous les grilles d'accumulation, et la première et la deuxième grille d'accumulation étant prévues pour recevoir dans une phase d'amplification, des alternances de niveaux de tensions entrainant des basculements de charges entre les deux régions d'accumulation via la région pivot, avec multiplication d'électrons dans une région d'accumulation au moins, caractérisé en ce que l'une des deux grilles de transfert comporte une partie étroite qui s'étend entre les deux grilles d'accumulation et qui constitue la grille intercalaire, la longueur de cette partie étroite dans le sens du transfert de charges entre les deux grilles d'accumulation étant telle que le potentiel sous cette partie étroite, influencé du fait de cette étroitesse par le potentiel sous l'une ou l'autre des grilles d'accumulation, établit une barrière de potentiel plus basse que la barrière de potentiel qui est établie sous le reste de la grille de transfert.

La grille de transfert qui forme en même temps grille intercalaire comporte donc une partie principale plus large qui crée une barrière de potentiel (en dehors des phases de transfert bien sûr), et une partie plus étroite qui forme la grille intercalaire et qui établit une barrière de potentiel plus basse pour un potentiel unique appliqué à ces deux parties.

Si la grille de transfert qui forme en même temps la grille intercalaire est la première grille de transfert, alors la partie principale plus large est située entre l'élément photosensible et la première grille d'accumulation. Si au contraire la grille de transfert qui forme en même temps grille intercalaire est la deuxième grille de transfert, alors la partie principale plus large est située entre la deuxième grille d'accumulation et le nœud de lecture.

De préférence, la grille de transfert qui forme aussi grille intercalaire entoure complètement la grille d'accumulation (première ou deuxième grille d'accumulation selon qu'il s'agit de la première ou seconde grille de transfert).

De préférence l'autre grille d'accumulation est incluse dans l'autre grille de transfert, et entourée par celle-ci sauf sur le côté adjacent à la grille intercalaire.

Selon un aspect de l'invention, en phase d'amplification, le niveau de tension appliquée à la grille de transfert dont une partie étroite forme la grille intercalaire est un niveau de tension pour créer une barrière de potentiel dans la région sous la partie principale de grille et qui est réglé ou réglable à un niveau compris entre un niveau nominal et un niveau intermédiaire qui définit une hauteur de barrière plus faible que le niveau nominal.

Dans un perfectionnement, si la couche active dans laquelle circulent les charges issues de l'élément photosensible est une couche semiconductrice d'un premier type de conductivité, la structure de pixel comprend en outre une couche de diffusion d'un deuxième type de conductivité sous au moins chacune des grilles d'accumulation, ou qui s'étend au moins sous les grilles de l'étage d'amplification.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente schématiquement la structure d'un pixel actif comprenant un étage de transfert et amplification entre un élément photosensible et un nœud de lecture ;
- les figures 2 et 3 représentent en vue en coupe verticale et de dessus de cette structure de pixel actif selon un premier mode de réalisation de l'invention
- les figures 4 à 6 représentent les diagrammes des potentiels dans la couche active du pixel dans les phases de transfert, amplification et lecture ;
- la figure 7 est un chronogramme des signaux de commande des différentes grilles du pixel dans ces différentes phases ;
- la figure 8 illustre en vue de dessus un deuxième mode de réalisation d'une structure de pixel à étage d'amplification à grilles selon l'invention ;

- la figure 9 représente un diagramme des potentiels obtenu pour cette structure dans l'une des étapes de la phase d'amplification ;

- les figures 10 et 11 illustrent une variante de réalisation d'une structure de pixel à étage d'amplification à grilles selon l'invention, prévoyant un dopage de la partie supérieure de la couche épitaxiale sous certaines grilles au moins de la structure de pixel selon l'invention.

DESCRIPTION DETAILLEE

L'invention est décrite en prenant l'exemple d'un capteur d'image réalisé dans une technologie CMOS sur substrat semi-conducteur dopé de type P, comprenant des pixels arrangés en lignes et colonnes. Les photodiodes des pixels y sont formées par des régions fortement dopées de type N dans un substrat de type P référencé à la masse Vss. Les charges utiles photogénérées et multipliées dans les pixels y sont des électrons. Mais l'invention s'appliquerait de manière équivalente à des dispositifs similaires dans lesquels les charges utiles seraient des trous. Les types de conductivité des différentes régions dopées indiqués ci-après seront alors en principe inversés et les potentiels appliqués aux différentes grilles pour les transferts de charge pourront être de signe opposé à ceux indiqués ci-après.

Une structure de pixel actif comprenant une structure de transfert à étage d'amplification entre un élément photosensible et un nœud de lecture est illustrée sur la figure 1. L'élément photosensible est dans l'exemple une photodiode PH, de préférence auto-polarisée. La photodiode va générer et accumuler des charges pendant une durée d'intégration en réponse à la lumière reçue. Le nœud de lecture SN, généralement une diffusion flottante, reçoit les charges issues de la photodiode après la fin de la durée d'intégration, en vue de la lecture d'un signal utile correspondant par conversion charges/tension. Un transistor T_{AB} est généralement associé à la photodiode (mais ce n'est pas obligatoire), qui permet de la réinitialiser (en la vidant de ces charges) à un instant déterminé qui fixe ainsi le début d'une durée d'intégration. Au nœud de lecture sont associés plusieurs transistors qui permettent de séquencer et réaliser la lecture du pixel. Selon les architectures, ces transistors peuvent être pour certains communs à plusieurs pixels. Ils comprennent : un transistor de réinitialisation T_{RST} qui

permet d'amener le nœud de lecture à un niveau de potentiel de référence Vref ; un transistor T_{CV} monté en suiveur, qui permet de transformer la quantité de charges contenue dans le nœud de lecture en un niveau de tension électrique (conversion charges tension) ; un transistor de sélection T_{SEL} entre la source du transistor T_{CV} et un conducteur colonne COL qui est connecté en pied de colonne à un circuit de lecture. Lorsque le transistor de sélection est actif, c'est ce circuit de lecture qui échantillonne le niveau de tension qui s'établit sur la colonne, après réinitialisation du nœud de lecture et le niveau de tension qui s'établit sur la colonne après transfert des charges dans le nœud de lecture ; il fournit en sortie un signal qui représente la différence ces deux niveaux. Lorsque l'échantillonnage est réalisé dans cet ordre, on a un double échantillonnage corrélé, qui améliore le rapport signal sur bruit de la réponse du capteur en faible ambiance lumineuse.

Entre la photodiode PH et le nœud de lecture SN, on trouve la structure TF qui assure le transfert des charges générées par la photodiode vers le nœud de lecture et qui comprend un étage d'amplification AMP et c'est cette structure de transfert à laquelle on s'intéresse plus particulièrement. L'étage AMP est intercalé dans cette structure entre un premier transistor de transfert T_{TR1} adjacent d'un côté amont à la photodiode et un deuxième transistor de transfert T_{TR2}, adjacent d'un côté aval au nœud de lecture SN. L'amont et l'aval sont définis par rapport au sens du déplacement directionnel des charges de la photodiode (amont) vers le nœud de lecture (aval). Ces transistors sont en réalité simplement des grilles isolées, surmontant une région de semiconducteur.

L'étage amplificateur situé entre les deux grilles de transfert TR1 et TR2 est lui-même formé de grilles (grilles isolées). Plus précisément il comprend une succession de trois grilles alignées dans le sens du transfert des charges, comprenant une première grille et une deuxième grille surmontant chacune une région d'accumulation, et une grille intercalaire Gpiv entre les deux grilles d'accumulation, définissant une région pivot (sous la grille Gpiv) pour les basculements des électrons entre les deux régions d'accumulation : les électrons passent par cette région pivot sans s'y accumuler.

Une séquence de commande du pixel comprend essentiellement les phases suivantes, pilotées par les transistors ou grilles du pixel : une

phase d'intégration pendant laquelle la photodiode exposée à la lumière génère et accumule des charges pendant une durée d'intégration ; à la fin de la durée d'intégration, une phase de transfert des charges de la photodiode vers l'étage de transfert et amplification, dans la région de semi-conducteur sous la première grille de transfert par exemple, mais de préférence dans la région de semi-conducteur sous la première grille d'accumulation de l'étage d'amplification ; une phase d'amplification pendant laquelle on provoque un certain nombre de basculements allers et retours des électrons entre les deux régions d'accumulation, via la région pivot, avec accélération des électrons propre à provoquer une ionisation par impact dans au moins l'une des deux régions d'accumulation ; à la fin de la phase d'amplification, une phase de transfert des charges accumulées sous la deuxième grille d'accumulation dans le nœud de lecture, en vue de la lecture.

Les figures 2 et 3 sont des vues d'un pixel, dans une technologie en coupe transversale A A' et de dessus qui illustrent plus particulièrement la structure de transfert et amplification entre la photodiode PH d'un côté, et le nœud de lecture SN de l'autre, dans un exemple de pixel formé dans un substrat qui comprend de préférence une couche active épitaxiale 12 de type P, peu dopée (le symbole p- est utilisé pour désigner ce faible dopage), à la surface d'une couche 10 plus dopée (p+). Le pixel est isolé des pixels voisins par une barrière isolante 13 qui l'entoure complètement. Cette barrière peut être une tranchée isolante superficielle au-dessus d'un caisson de type P. Dans les diverses figures, les éléments constitutifs du pixel ne sont pas représentés à l'échelle : en réalité la plus grande partie de la surface du pixel est dévolue à la photodiode.

La photodiode auto-polarisée PH comprend une région semi-conductrice 14 de type n implantée dans une partie de la profondeur de la couche active épitaxiale 12, formée entre la grille AB du transistor de réinitialisation de la photodiode et la première grille de transfert TR1. Cette région 14 est surmontée par une région superficielle 16 de type p+, qui est maintenue à un potentiel de référence. Dans le cas le plus simple, ce potentiel de référence est le potentiel de masse Vss (zéro) du substrat 10 de type p+ situé sous la couche active 12. La région superficielle 16 est maintenue à ce potentiel de masse au moyen d'une diffusion profonde 15 de

type p+ qui touche cette région superficielle 16 et, dans l'exemple illustré, la mise à la masse est réalisée par un contact électrique prévu sur cette diffusion 15 (figure 3).

La grille AB adjacente d'un côté à la région de photodiode, est adjacente sur le côté opposé à une région 22 de type N+ qui quand elle est polarisée à un potentiel de réinitialisation positif Vdd forme un drain d'évacuation des charges.

Le nœud de lecture SN est formé par une diffusion 18 de type n+ dans la couche active 12 adjacente du côté amont, à la deuxième grille de transfert TR2, et du côté aval, à la grille RST. Un contact est formé sur la diffusion 18, qui relie cette diffusion à la grille du transistor T_{CV} qui assure la conversion charge tension (représenté symboliquement). La grille de réinitialisation RST du nœud de lecture surmonte une région de couche active entre la diffusion 18 et une région 20 de type N+ reliée à un potentiel de réinitialisation positif Vref qui forme un drain d'évacuation des charges. Les niveaux Vref et Vdd peuvent être en principe égaux, mais ce n'est pas obligatoire. Dans l'exemple, ils sont égaux et correspondent au niveau haut nominal Vh défini par la technologie (principalement l'épaisseur d'oxyde de grille des transistors). Par exemple, Vh est de l'ordre de 5 volts.

L'étage d'amplification AMP comprend une première grille d'accumulation G1, une grille intercalaire Gpiv et une deuxième grille d'accumulation G2, disposée successivement dans cet ordre entre la première grille de transfert TR1 en amont, et la deuxième grille de transfert TR2 en aval. Les grilles TR1, G1, Gpiv, G2 et T2 sont alignées suivant la direction de transfert des charges, de la photodiode vers le nœud de lecture.

Les grilles de transfert et d'accumulation sont toutes des grilles isolées de la couche active épitaxiale 12. Généralement ce sont des grilles de polysilicium et elles sont isolées de la couche active 12 par une fine couche isolante (oxyde ou nitrure de silicium). Ces grilles sont séparées les unes des autres par des intervalles étroits, de préférence le plus étroit possible compte-tenu de la technologie utilisée, pour permettre un contrôle précis des potentiels dans la couche active de la structure de transfert avec le moins de discontinuité possible. Il s'agit en effet d'assurer les différents déplacements d'électrons dans cette structure avec le moins de pertes possibles.

Selon l'invention, la grille intercalaire Gpiv est constituée par une partie étroite de l'une des deux grilles de transfert. Dans l'exemple de la figure 3, c'est la grille TR1 qui est utilisée. La grille d'accumulation G1 est de préférence incluse complètement dans la grille de transfert TR1, c'est-à-dire qu'elle est entourée de tous les côtés par la grille TR1, et la partie de grille TR1 qui se trouve d'un côté de la grille G1 entre les deux grilles d'accumulation est plus étroite que la partie principale de la grille de transfert, qui se trouve de l'autre côté, entre la photodiode et la grille d'accumulation. C'est cette partie plus étroite qui constitue la grille intercalaire Gpiv, située dans l'espace entre les deux grilles d'accumulation G1 et G2. L'étroitesse est définie dans le sens de la longueur Lpiv mesurée dans le sens de transfert des charges, c'est-à-dire suivant l'axe d'alignement des grilles, comme illustré sur la figure 3.

La région sous la grille intercalaire Gpiv sert de région pivot pour le basculement des électrons d'une région d'accumulation dans l'autre ; il n'y a pas d'accumulation de charges dans cette région pivot : les électrons ne font que passer. La grille Gpiv est suffisamment étroite pour que le potentiel de la région pivot sous cette partie étroite de grille soit influencé par le niveau de tension d'amplification appliqué sur la ou les grilles d'accumulation (qui sont larges). Il en résulte que la barrière de potentiel créée par un potentiel de blocage appliqué à la grille de transfert TR1 est plus haute dans la partie principale plus large, et moins haute dans la partie plus étroite constituant la grille intercalaire Gpiv Cette différence de hauteur assure que les charges transférées d'une région d'accumulation vers l'autre région d'accumulation sous les grilles d'accumulation G1 et G2 restent confinées sous ces grilles et ne fuient pas à travers les grilles de transfert. La longueur Lpiv peut être du même ordre de grandeur que l'espacement entre les différentes grilles de la structure.

La constitution astucieuse de cette grille intercalaire Gpiv par une partie de grille de transfert permet un contrôle du potentiel de la région pivot, permettant un réglage de ce potentiel pendant la phase d'amplification et donc un réglage du gain d'amplification ; et voici comme ce contrôle peut se faire.

Pendant la phase d'amplification :

- les grilles d'accumulation G1 et G2 reçoivent en alternance des potentiels bas et haut et pour au moins l'une des grilles d'accumulation, le potentiel haut est un niveau de tension d'amplification VA défini pour permettre une ionisation par impact, qui est supérieur au niveau haut nominal Vh défini pour la technologie. Dans un exemple, VA est de l'ordre de 7 volts.

- les grilles de transfert TR1 et TR2 sont commandées pour former dans la région sous chacune de ces grilles une barrière infranchissable pour les charges, pour isoler la zone d'amplification des régions de photodiode et nœud de lecture. C'est-à-dire que ces grilles reçoivent un niveau de tension dit "de barrière" pour créer cette barrière infranchissable. qui est le niveau bas nominal, 0 volt, noté Vl, pour la technologie sur substrat p considérée.Dans l'invention, on applique sur la grille de transfert formant la grille intercalaire Gpiv de l'étage d'amplification, un niveau de tension bas, noté Vl', qui peut prendre une valeur égale ou supérieure au niveau bas nominal (mais qui reste évidemment inférieur au niveau haut nominal, sans quoi ce ne serait plus un niveau bas). Si on applique sur la grille de transfert, la valeur basse nominale, zéro volt dans l'exemple, on obtient une certaine hauteur de barrière de la région pivot. Si on applique 0,5 volt, on abaisse de 0,5 volt cette hauteur de barrière, c'est-à-dire qu'elle se rapproche du potentiel de la région d'accumulation : le gain d'amplification va diminuer.

Or le gain d'amplification par multiplication d'électrons par ionisation par impact augmente de façon exponentielle avec la hauteur de potentiel entre la région pivot et la région d'accumulation (pour une longueur Lpiv et une tension d'amplification VA données). Le réglage du potentiel de la région pivot par la constitution de grille intercalaire selon l'invention permet donc un réglage du gain d'amplification par le niveau de tension de barrière Vl' appliqué sur la grille de transfert TR1. Dans l'exemple ci-dessus où Vl, Vh et VA sont respectivement de 0, 5 et 7 volts, une plage de valeurs possibles pour Vl' peut être 0 - 1, 2 volts. Cela permet un réglage du gain mais aussi de l'efficacité du transfert entre les grilles G1 et G2. Il s'agit en fait de réaliser le bon compromis : avoir une barrière la plus haute possible pour avoir du gain, mais qui reste suffisamment "basse" pour assurer un transfert efficace des charges.

Dans les figures on a choisi Vl' égal à 1 volt.

Ce réglage peut être un réglage usine. Dans ce cas on définit un niveau de tension de barrière optimisé pour des conditions de lumière données, correspondant à une application/utilisation donnée du capteur.

Ce réglage peut être un réglage défini par un utilisateur, par configuration (matérielle ou logicielle) du capteur.

Ce réglage peut encore être défini par un circuit de traitement associé, dans le capteur ou dans un circuit de traitement d'image interfacé avec le capteur, en fonction des signaux de mesure (images) fournis par les pixels ou d'une mesure d'ambiance lumineuse.

On bénéficie d'une structure à amplification utilisant un nombre de signaux de commande d'amplification optimal, permettant un réglage du gain d'amplification par un niveau de tension de barrière de grille de transfert.

Le fonctionnement de la structure va maintenant être expliqué en référence aux figures 4 à 6 qui représentent les diagrammes de potentiel dans la couche active 12 semi-conducteur dans les différentes phases de commande de transfert, amplification et lecture et de la figure 7 qui est un chronogramme des signaux de commande appliqués sur les différentes grilles dans les phases de transfert et d'amplification.

Dans l'exemple, les deux grilles d'accumulation G1 et G2 y sont utilisées comme grilles de multiplication : chacune permet une amplification par ionisation par impact dans la région d'accumulation respective 32, 34 sous la grille (une seule grille pourrait être utilisée ainsi pour amplifier le signal, l'autre grille servant seulement pour le stockage temporaire des charges).

Et c'est la grille de transfert TR1 qui réalise la grille intercalaire Gpiv de l'étage d'amplification.

Les différentes grilles reçoivent en alternance un niveau de tension bas et un niveau de tension haut, et ce sont ces alternances qui permettent le déplacement directionnel des charges d'une région à une autre. Un circuit de séquencement élabore et fournit les signaux de commande (commutation) des différentes grilles, à partir des différents niveaux de tension définis plus hauts, Vl, Vl', Vh et VA fournis par des circuits adéquats non représentés.

Dans l'exemple :

- la grille TR1 reçoit le niveau Vl' comme niveau de tension bas, en alternance avec le niveau haut nominal Vh. On pourrait prévoir d'appliquer le niveau bas Vl' uniquement dans la phase d'amplification, et le niveau bas nominal Vl sinon.

- les grilles TR2, G1, G2 reçoivent en alternance le niveau de tension bas nominal Vl et le niveau de tension haut Vh.

- les grilles d'accumulation (et multiplication) G1 et G2 reçoivent en alternance le niveau de tension bas nominal Vl et le niveau de tension d'amplification VA (supérieur au niveau Vh).

- les grilles AB et RST reçoivent en alternance un niveau bas qui est en principe le niveau bas Vl, et un niveau haut qui est en principe le niveau Vh. Mais on rappelle que l'on peut en pratique utiliser des niveaux bas et haut un peu différents pour polariser ces transistors. Par exemple pour réduire le bruit de réinitialisation, on peut polariser le transistor de réinitialisation T_{RST} d'abord en régime de forte inversion pour amener rapidement le nœud de lecture à un niveau de référence (Vref) *("hard reset"),* puis en régime de faible inversion sous le seuil ("soft reset") de manière à réduire le bruit dit kTC. Ceci est obtenu en jouant sur les niveaux appliqués sur la grille et/ou le drain.

INTEGRATION

Pendant une durée d'intégration, au moins la grille de transfert TR1 est maintenue au niveau de tension bas Vl' (mais cela pourrait être Vl) pour créer une barrière en principe infranchissable pour les charges générées et accumulées pendant la durée d'intégration par la photodiode.

En pratique, les autres grilles de transfert TR2 et d'accumulation G1 et G2 (et aussi AB et RST) sont également au niveau de tension bas nominal Vl (étape 100, figure 4).

A la fin de la durée d'intégration, on a une première phase de transfert (figure 4), commandée par la grille TR1 (d'entrée de la structure de transfert) pour déverser toutes les charges accumulées dans la photodiode PH vers une région de semi-conducteur qui pourrait- être la région 31 sous cette grille TR1, mais qui est de préférence (et comme représenté) la région 32 sous la première grille d'accumulation G1. Pour assurer la directionalité

du transfert : on porte la grille G1 à VA pour former un puits de potentiel profond dans la région 32 sous cette grille (étape 101) ; puis la grille TR1 est amenée à Vh, pour abaisser la barrière de potentiel de la région 31 sous cette grille à un potentiel intermédiaire entre le potentiel de référence interne vbi de la région 14 de photodiode et le potentiel de la région d'accumulation 32 (étape 102) : les charges se déversent dans la région 32. La séquence se termine par l'étape 103, pour reformer une barrière en principe infranchissable entre la photodiode et la zone d'amplification, en ramenant la grille TR1 au niveau de tension bas, avant de démarrer la phase d'amplification.

AMPLIFICATION

La phase d'amplification peut commencer (Figure 5). Pendant les étapes 104 à 107 de cette phase, les grilles de transfert TR1 et TR2 sont maintenues à un niveau de tension bas pour créer des barrières infranchissables pour les charges contenues dans la zone d'amplification (sous les grilles G1, Gpiv et G2). Mais, dans l'invention, le niveau de tension bas de la grille Tr1 est le niveau bas Vl' qui peut être supérieur ou égal au niveau bas nominal Vl, et qui est utilisé pour régler la hauteur de barrière de la région pivot 33 sous la grille Gpiv. Cette hauteur de barrière de potentiel de la région 33 dépend de Vl' mais est aussi influencée par la haute tension d'amplification VA appliquée sur l'une et/ou l'autre des deux grilles d'accumulation G1 et G2. Ainsi, comme montré dans les diagrammes de potentiel de la figure 5, la barrière de potentiel dans la région 31 sous la partie principale de grille TR1 qui est adjacente à la photodiode est plus élevée que dans la région 33 sous la partie étroite de grille TR1 qui forme la grille Gpiv.

La phase d'amplification réalise une multiplicité (quelques dizaines à plusieurs centaines) de basculements de charges d'une région d'accumulation à l'autre, par les alternances de potentiels appliquées sur les grilles d'accumulation G1 et G2. Les charges confinées dans la région d'accumulation 32 sous la grille G1 à l'étape 103 sont d'abord basculées vers la région d'accumulation 34 sous la grille G2 (étapes 104 à 105), puis basculées de la région 34 vers la région 32 (étapes 106 à 107). Les

séquences d'étapes 104 et 105, puis 106 et 107 sont répétées jusqu'à obtenir le nombre de basculements souhaités (qui peut être fixe ou réglable).

Dans l'exemple, on termine la phase d'amplification après une dernière séquence d'étapes 104 et 105, à l'issue de laquelle les charges sont toutes accumulées dans la région 34 sous la grille G2 : cela comprend les charges obtenues de la photodiode, plus celles obtenues par multiplication lors de chaque basculement. De là ces charges peuvent être transférées vers la diffusion flottante 18 du nœud de lecture SN à travers la grille de transfert TR2. La phase de lecture du pixel peut commencer.

LECTURE

Comme la structure de transfert et amplification forme une structure de stockage temporaire des charges, on peut réinitialiser le nœud de lecture avant d'y transférer les charges issues de la photodiode et de l'amplification. On peut donc réaliser une séquence de lecture à double échantillonnage corrélé dite CDS, et c'est ce que nous allons décrire.

La séquence est illustrée par les étapes 108 à 112 de la figure 6 : on réinitialise le nœud de lecture SN, en évacuant les charges via la région de drain d'évacuation 20 à la tension de référence Vref, par le transistor RST (étape 108) puis on isole à nouveau le nœud de stockage de cette région de drain 20 (étape 109) ; le pixel étant sélectionné (grille SEL au niveau haut), on peut alors échantillonner (SHR) le niveau de tension de référence qui s'établit par le transistor T_{CV} sur le conducteur colonne ; on transfère ensuite les charges de la région 34 sous la grille G2 dans le nœud de lecture SN, en trois temps : on abaisse la barrière de potentiel de la région 35 sous la grille TR2 (étape 110) ; puis on remonte le niveau de potentiel de la région 35 sous la grille G2 (étape 111) ; puis on rehausse la barrière de potentiel sous la grille TR2 (étape 112). Le potentiel correspondant du nœud de lecture peut alors être échantillonné (SHS) dans le circuit de lecture.

Le chronogramme de la figure 7 montre la forme générale des différents signaux de commande fournis par un circuit (non représenté car hors du pixel) à partir des tensions Vl, Vl', Vh et VA, permettant de réaliser le séquencement des différentes étapes 101 à 112 décrites.

Avec une constitution de grille intermédiaire de l'étage d'amplification avec une partie étroite de la première grille de transfert TR1, et un niveau de tension bas Vl' appliqué sur cette grille qui peut être choisi supérieur au niveau de tension bas nominal Vl, la barrière de potentiel entre la photodiode et la région 31 sous la partie principale de la grille TR1 est abaissée par rapport à ce qu'elle serait avec le niveau bas nominal Vl (étape 103, figs 4 ou 5). On réduit donc la quantité maximale de charges (charge à saturation) que peut contenir la région de photodiode. Or on peut vouloir proposer un capteur adapté à une plus large gamme d'ambiance lumineuse, avec un étage amplificateur qui peut être désactivé par exemple. Dans ce cas on ne voudrait pas limiter la charge à saturation de la photodiode.

Egalement, un niveau de tension bas Vl' supérieur à Vl (zéro volt) appliqué sur la grille de transfert TR1 risque de générer un courant d'obscurité dans la photodiode (création d'un fort champ électrique coté photodiode).

Pour contourner ces difficultés, on peut prévoir (comme suggéré supra) de forcer le niveau Vl' au niveau bas nominal Vl en dehors des phases d'amplification.

Une autre solution illustrée par les figures 8 et 9, consiste à choisir la deuxième grille de transfert TR2 qui est celle adjacente au nœud de lecture SN, pour réaliser la grille intermédiaire Gpiv selon l'invention. C'est donc cette deuxième grille TR2 qui se voit appliquer comme niveau bas, le niveau bas spécifique Vl' ; et la grille TR1 reçoit Vl. C'est la seule chose qui change par rapport à tout ce qui a été décrit précédemment en référence aux figures 2 à 7. En utilisant cette grille TR2 pour réaliser la grille intermédiaire Gpiv, on ne crée pas de courant d'obscurité supplémentaire.

Dans les réalisations décrites, les transferts de charges électriques depuis la région de photodiode vers le nœud de stockage se font en surface de la couche active épitaxiale 12.

Dans une variante illustrée sur les figures 10 et 11, on prévoit de réaliser une région 40 dopée n en partie supérieure de la couche épitaxiale 12, au moins sous les grilles d'accumulation G1 et G2 de l'étage

d'amplification. De cette façon on améliore la qualité du transfert de charges dans l'étage d'amplification au moins, en limitant les possibilités de recombinaison de charges en surface dues aux défauts de surface. De préférence, on prévoit une région dopée n continue sous toute l'étendue des trois grilles G1, Gpiv et G2 de l'étage, voire sous toute l'étendue de la succession des grilles TR1, G1, Gpiv G2 et TR2 de la structure de transfert entre la photodiode et le nœud de lecture.

Selon un autre aspect de l'invention illustré sur la figure 3, qui correspond au cas où c'est la grille TR1 qui forme la grille intercalaire, la grille G2 est avantageusement incluse dans la grille TR2 et entourée par celle-ci sauf sur le côté adjacent à la grille intercalaire Gpiv. Cette configuration des grilles TR1 et TR2 autour des grilles de multiplication G1 et G2 permet avantageusement d'éloigner ces grilles de multiplication de la région d'isolation 13 qui entoure le pixel complètement. En effet cette région d'isolation 13, et plus précisément la tranchée isolante superficielle, présente beaucoup de défauts de surface, qui sont des pièges à électrons. Et c'est pour cela que cette région 13 est passivée par une couche d'oxyde en surface. Mais une haute tension appliquée à proximité de la région d'isolation 13 tendrait à rendre inefficace la passivation par l'oxyde. En entourant les grilles de multiplication par les grilles de transfert, on éloigne la haute tension de cette région 13.

La figure 9 illustre de manière similaire le cas où c'est la grille TR2 qui forme la grille intercalaire : la grille G1 est avantageusement incluse dans la grille TR1 et entourée par celle-ci sauf sur le côté adjacent à la grille intercalaire Gpiv.

L'invention ne se limite pas aux exemples de structures de pixels et de séquencements décrits. Des variantes et modifications sont possibles. En particulier comme rappelé en introduction, on peut réaliser des dispositifs similaires dans lesquels les charges seront non pas des électrons, mais des trous. Egalement, l'invention s'applique aussi bien à des capteurs éclairés par l'avant qu'à des capteurs éclairés par l'arrière (substrat aminci).

La grille de transfert qui sert également de grille intercalaire pourrait ne pas entourer complètement la grille d'accumulation mais

comporter une simple extension étroite séparant les deux grilles d'accumulation. Toutefois la disposition où elle entoure complètement la grille d'accumulation est préférée car elle empêche les grilles d'accumulation d'être en contact avec l'oxyde isolant qui délimite le pixel.

L'invention permet d'éviter les situations d'éblouissement, et donc d'élargir la dynamique du capteur, en abaissant le gain de l'étage, avec un nombre limité de signaux de commande de la structure d'amplification des pixels et sans jouer sur les niveaux de tension d'amplification utilisés.

REVENDICATIONS

1. Capteur d'image à pixels actifs en technologie CMOS, dans lequel chaque pixel comprend un élément photosensible (PHD) pour produire des charges sous l'effet de la lumière, une structure de transfert (TF) à grilles isolées alignées pour transférer les charges de l'élément photosensible en amont vers un nœud de lecture (SN) en aval, et la structure de transfert comportant un étage d'amplification (AMP) entre une première grille de transfert (TR1) adjacente du côté amont à la photodiode et une deuxième grille de transfert (TR2) adjacente du côté aval au nœud de lecture, ledit étage comprenant une première grille d'accumulation (G1) adjacente du côté amont à la première grille de transfert, une deuxième grille d'accumulation (G2) adjacente du côté aval à la deuxième grille de transfert, les deux grilles d'accumulation de l'étage étant séparées par une grille intercalaire (Gpiv) définissant une région pivot (33) entre les régions sous les grilles d'accumulation, et la première et la deuxième grille d'accumulation étant prévues pour recevoir dans une phase d'amplification, des alternances de niveaux de tensions entrainant des basculements de charges entre les deux régions d'accumulation via la région pivot, avec multiplication d'électrons dans une région d'accumulation au moins, caractérisé en ce que l'une des deux grilles de transfert (TR1) comporte une partie étroite qui s'étend entre les deux grilles d'accumulation et qui constitue la grille intercalaire (Gpiv), la longueur (Lpiv) de cette partie étroite mesurée dans le sens du transfert de charges entre les deux grilles d'accumulation étant telle que le potentiel sous cette partie étroite, influencé du fait de cette étroitesse par le potentiel sous l'une ou l'autre des grilles d'accumulation, établit une barrière de potentiel plus basse que la barrière de potentiel qui est établie sous le reste de la grille de transfert.

2. Capteur d'image selon la revendication 1, caractérisé en ce que la grille de transfert qui forme en même temps la grille intercalaire est la première grille de transfert (TR1), et elle comporte une partie principale plus large située entre l'élément photosensible et la première grille d'accumulation.

3. Capteur d'image selon la revendication 1, caractérisé en ce que la grille de transfert qui forme en même temps grille intercalaire est la deuxième grille de transfert (TR2), et elle comporte une partie principale plus large située entre la deuxième grille d'accumulation et le nœud de lecture.

4. Capteur d'image selon l'une des revendications 1 à 3, caractérisé en ce que la grille de transfert qui forme aussi grille intercalaire entoure complètement la grille d'accumulation.

5. Capteur selon la revendication 4, caractérisé en ce que l'autre grille d'accumulation (G2) est incluse dans l'autre grille de transfert (TR2), entourée par celle-ci sauf sur le côté adjacent à la grille intercalaire.

6. Capteur selon l'une des revendications 1 à 5, dans lequel un circuit de séquencement est configuré pour qu'en phase d'amplification, le niveau de tension appliqué à la grille de transfert dont une partie étroite forme la grille intercalaire est un niveau pour créer une barrière de potentiel dans la région sous la partie principale de grille qui est réglé ou réglable à un niveau (VI') compris entre un niveau nominal (VI) et un niveau intermédiaire qui définit une hauteur de barrière plus faible que le niveau nominal.

7. Capteur selon l'une des revendications 1 à 6, formé dans une couche active (12) de semi-conducteur d'un premier type de conductivité (p) et comprenant une région de diffusion d'un second type de conductivité (n) au moins sous les première et deuxième grilles d'accumulation des pixels.

8. Capteur selon l'une des revendications 1 à 6, formé dans une couche active (12) de semi-conducteur d'un premier type de conductivité (p) et comprenant une région de diffusion d'un second type de conductivité (n) s'étendant au moins sous les grilles de l'étage d'amplification.

Fig. 1

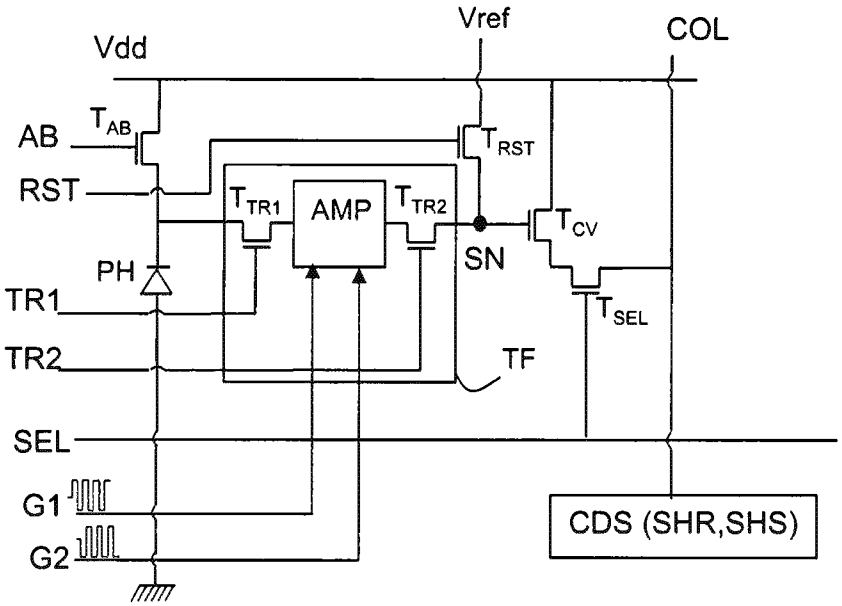

Vdd
Vref
COL
AB
T_{AB}
T_{RST}
RST
T_{TR1}
AMP
T_{TR2}
T_{CV}
SN
PH
TR1
T_{SEL}
TR2
TF
SEL
G1
G2
CDS (SHR,SHS)

Fig. 7

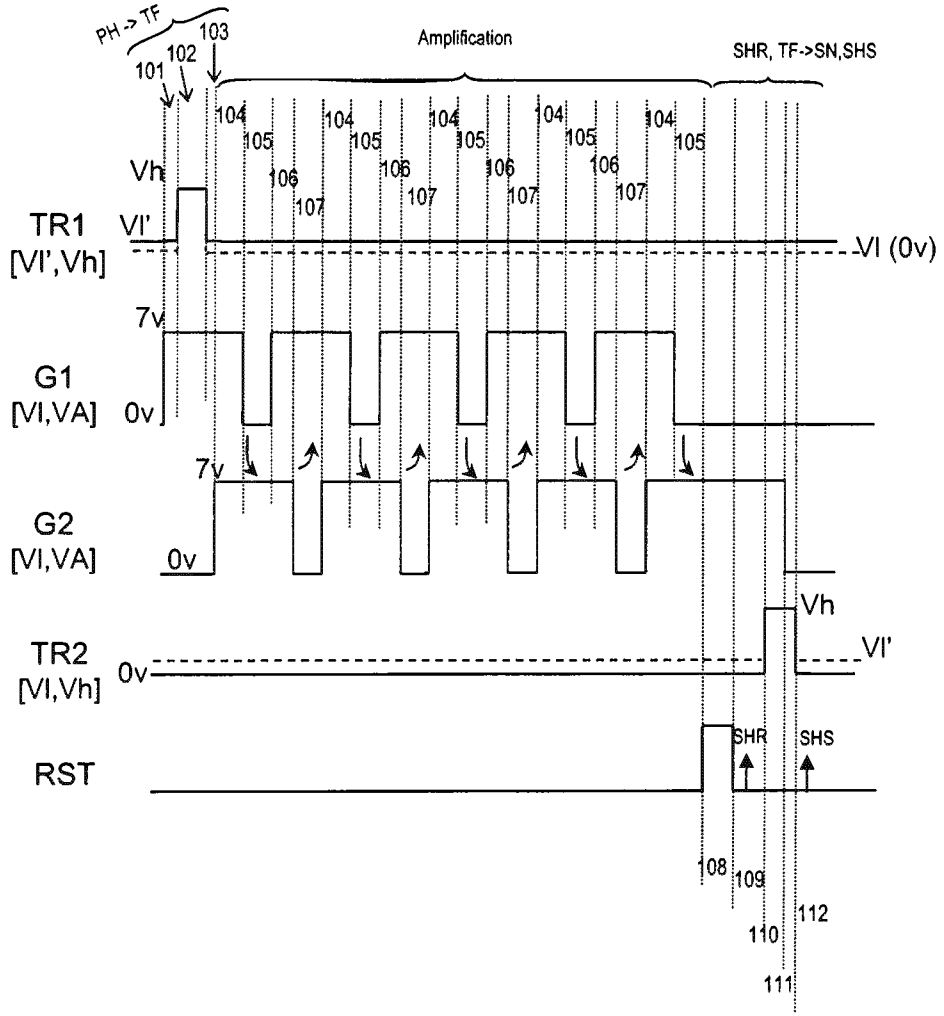

PH -> TF
101
102
103
Amplification
SHR, TF->SN,SHS
104
105
106
107
Vh
TR1
[Vl',Vh]
Vl'
Vl (0v)
7v
G1
[Vl,VA]
0v
7v
G2
[Vl,VA]
0v
Vh
TR2
[Vl,Vh]
0v
Vl'
RST
SHR
SHS
108
109
110
111
112

Fig. 2

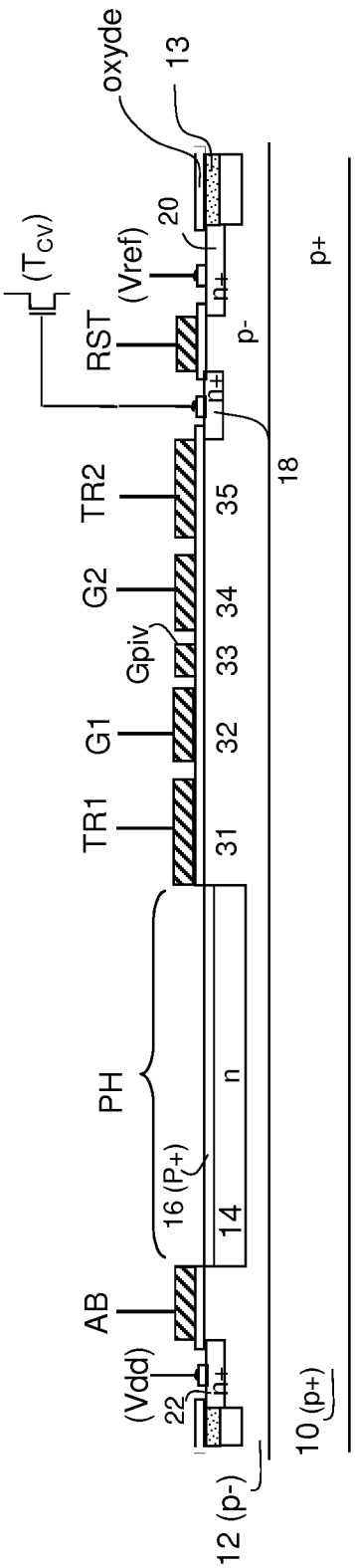

oxyde
13
20
(Vref)
RST
(T_{CV})
n+
p-
p+
18
TR2
G2
Gpiv
G1
TR1
35
34
33
32
31
PH
n
16 (P+)
14
AB
(Vdd)
22
n+
10 (p+)
12 (p-)

Fig. 3

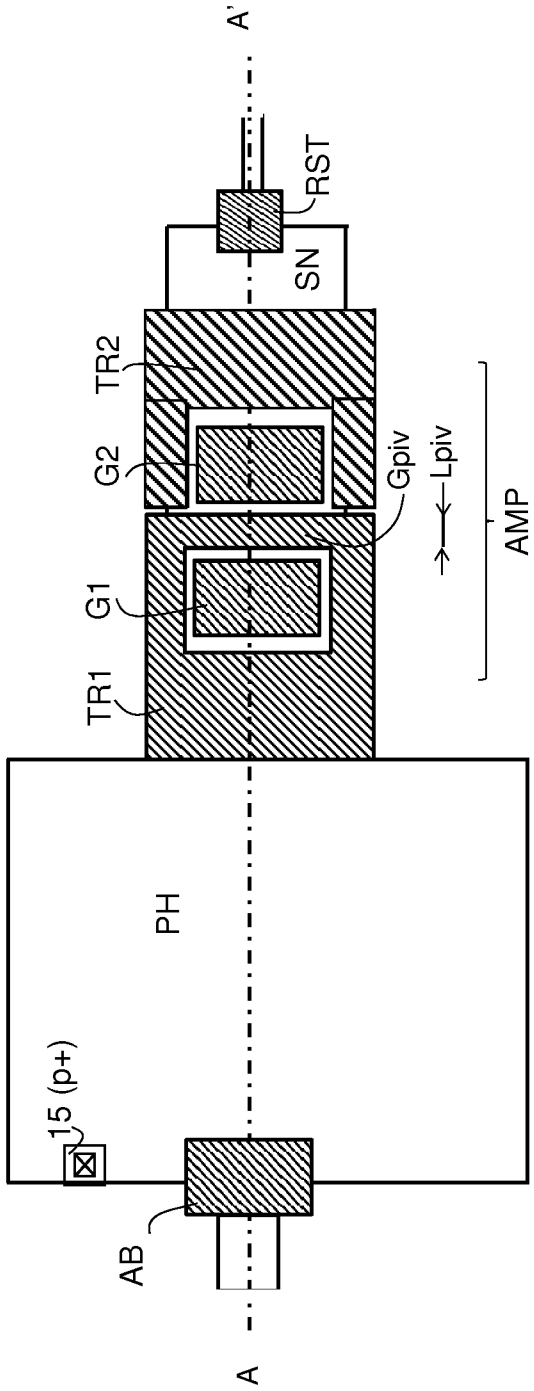

A'
RST
SN
TR2
G2
Gpiv
Lpiv
AMP
G1
TR1
PH
15 (p+)
AB
A

Fig. 4

Transfert PH ->TF

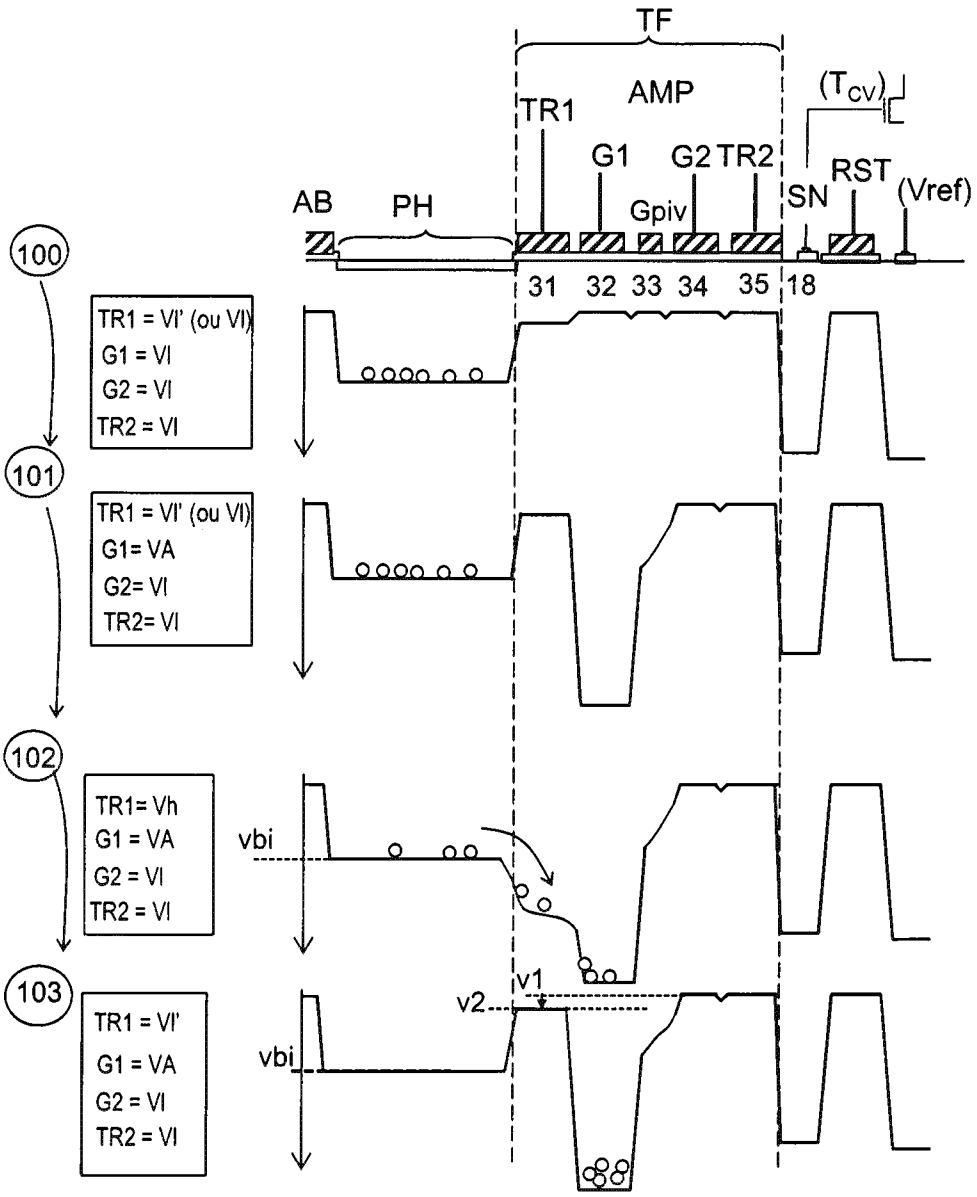


Fig. 5 Amplification (TR1 = VI' , TR2 = VI)

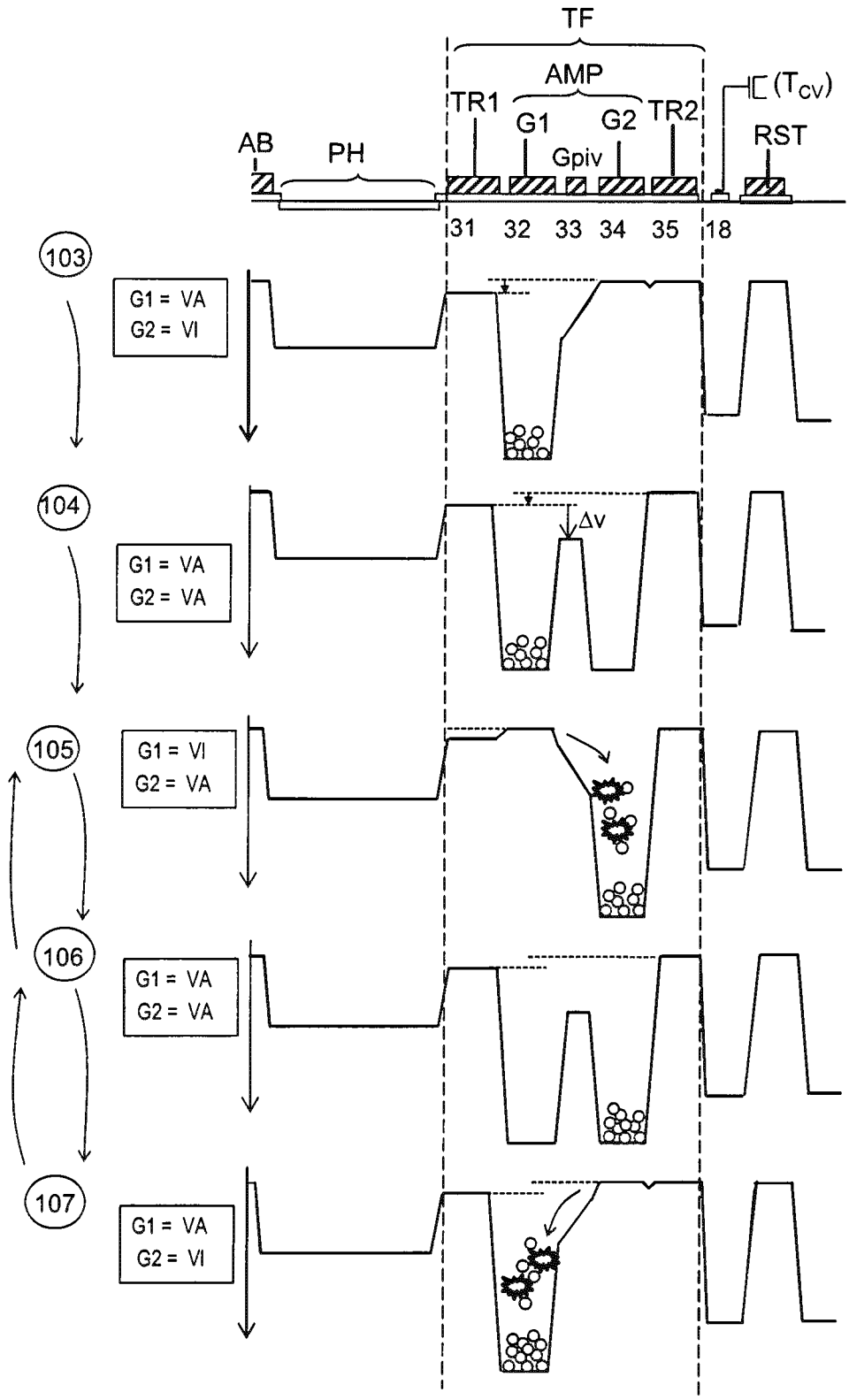


Fig. 6 Transfert TF -> SN et lecture

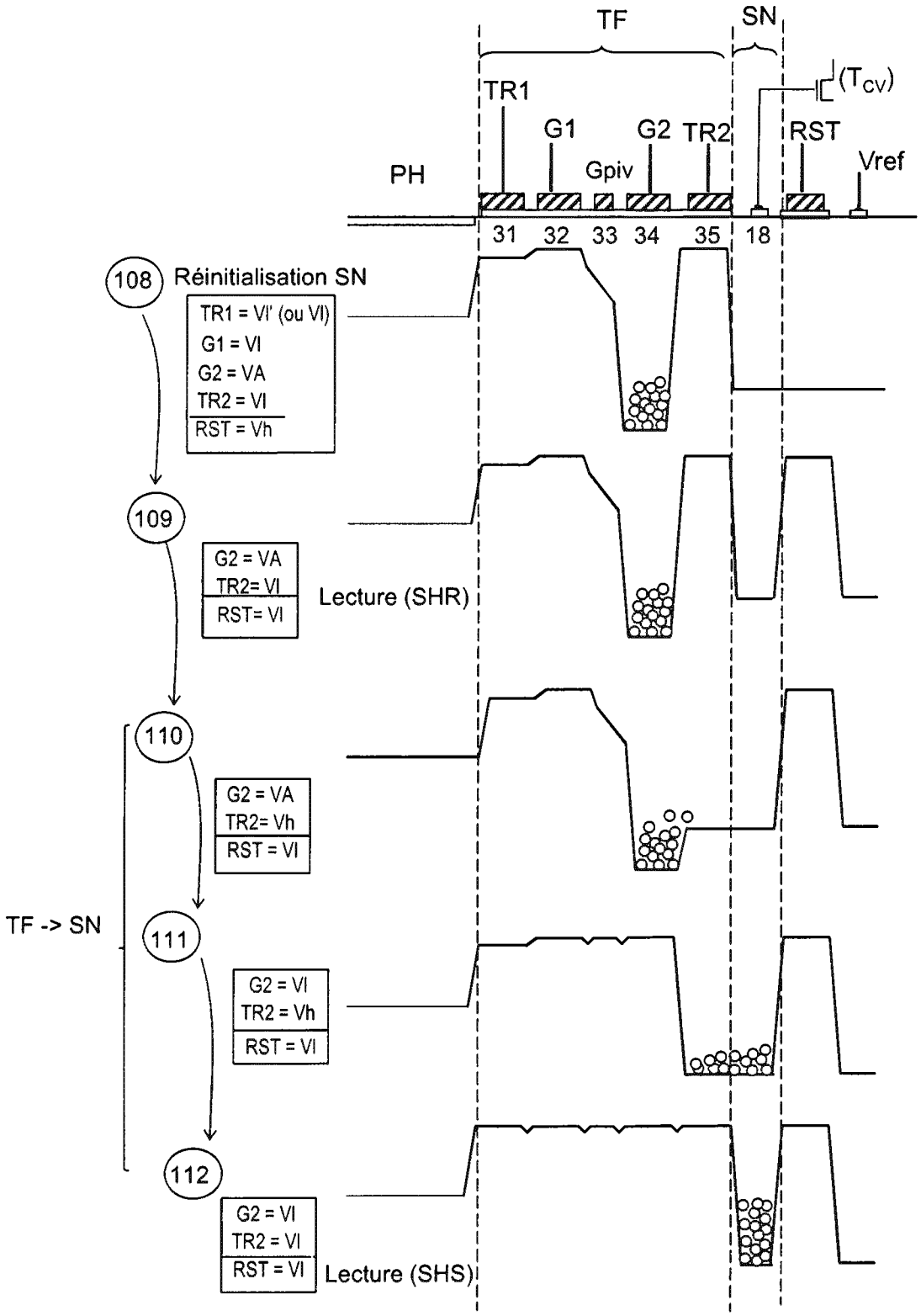


Fig. 8

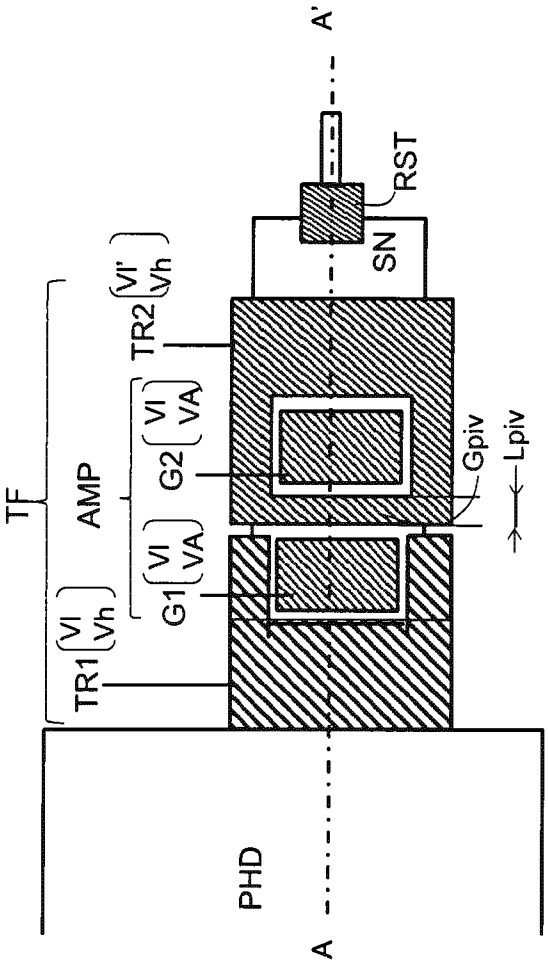

A'
RST
SN
TR2
Vl'
Vh
G2
Vl
VA
Gpiv
Lpiv
TF
AMP
G1
TR1
PHD
A

Fig. 9

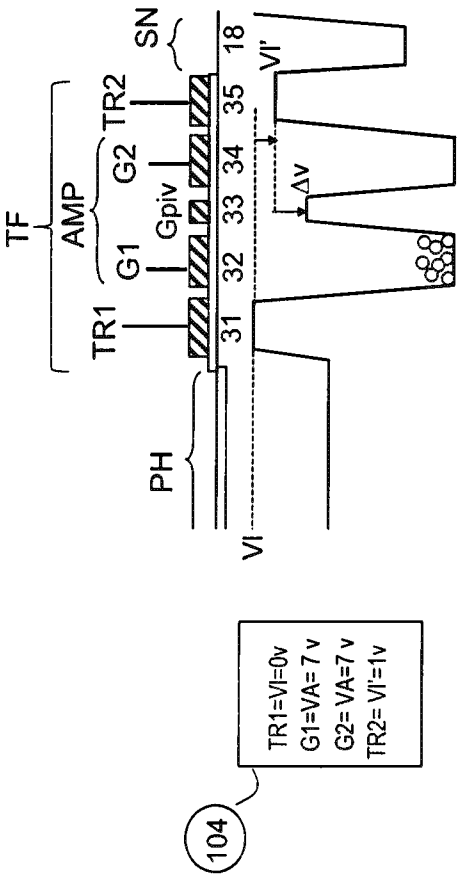

SN
TR2
G2
Gpiv
G1
TR1
PH
TF
AMP
31
32
33
34
35
18
Vl'
Δv
Vl
TR1=Vl=0v
G1=VA= 7 v
G2= VA=7 v
TR2= Vl'=1v
104

Fig.10

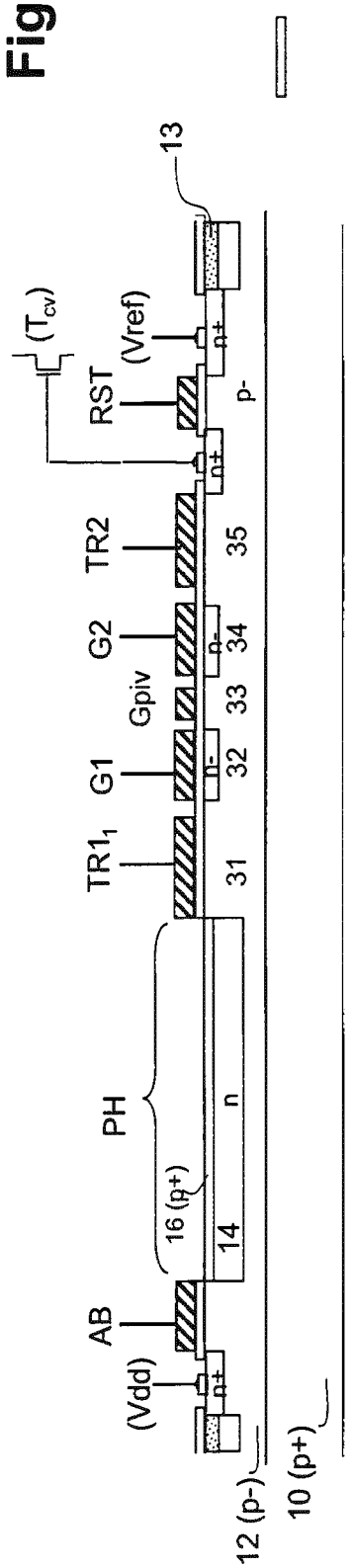
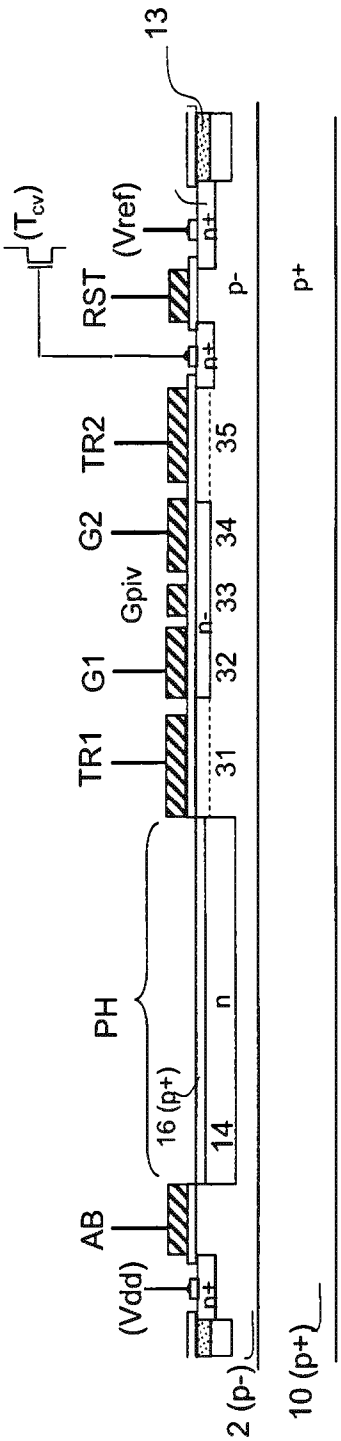

(Tcv)
RST
(Vref)
13
TR2
G2
Gpiv
G1
TR1
PH
AB
(Vdd)
n+
p-
n-
n
16 (p+)
14
31
32
33
34
35
12 (p-)
10 (p+)

Fig.11


(Tcv)
RST
(Vref)
13
TR2
G2
Gpiv
G1
TR1
PH
AB
(Vdd)
n+
p-
p+
n-
n
16 (p+)
14
31
32
33
34
35
12 (p-)
10 (p+)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/057683

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L27/146
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	BRUGIÈRE TIMOTHÉE ET AL: "First measurement of the in-pixel electron multiplying with a standard imaging CMOS technology: Study of the EMCMOS concept", NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH. SECTION A: ACCELERATORS, SPECTROMETERS, DETECTORS, AND ASSOCIATED EQUIPMENT, vol. 787, 2015, pages 336-339, XP029157829, ISSN: 0168-9002, DOI: 10.1016/J.NIMA.2015.01.065 chapitres 2.1 and 2.2 figure 2 ----- -/--	1-8

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 May 2017	20/06/2017

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Markmann, Markus

2

Form PCT/ISA/210 (second sheet) (April 2005)

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2 503 596 A1 (E2V SEMICONDUCTORS [FR]) 26 September 2012 (2012-09-26) paragraphs [0028] - [0034] figures 2, 3 -----	1-8
A	JP 2004 087898 A (FUJITSU LTD) 18 March 2004 (2004-03-18) abstract; figures 1-3 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2017/057683

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 2503596 A1	26-09-2012	CA 2771968 A1	23-09-2012
		CN 102693993 A	26-09-2012
		EP 2503596 A1	26-09-2012
		FR 2973160 A1	28-09-2012
		JP 6057275 B2	11-01-2017
		JP 2012205304 A	22-10-2012
		US 2012292483 A1	22-11-2012
JP 2004087898 A	18-03-2004	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2017/057683

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. H01L27/146
ADD.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	BRUGIÈRE TIMOTHÉE ET AL: "First measurement of the in-pixel electron multiplying with a standard imaging CMOS technology: Study of the EMCMOS concept", NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH. SECTION A: ACCELERATORS, SPECTROMETERS, DETECTORS, AND ASSOCIATED EQUIPMENT, vol. 787, 2015, pages 336-339, XP029157829, ISSN: 0168-9002, DOI: 10.1016/J.NIMA.2015.01.065 chapitres 2.1 and 2.2 figure 2 ----- -/--	1-8

[X] Voir la suite du cadre C pour la fin de la liste des documents

[X] Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
30 mai 2017	20/06/2017

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Markmann, Markus

2

Formulaire PCT/ISA/210 (deuxième feuille) (avril 2005)

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 2 503 596 A1 (E2V SEMICONDUCTORS [FR]) 26 septembre 2012 (2012-09-26) alinéas [0028] - [0034] figures 2, 3	1-8
A	JP 2004 087898 A (FUJITSU LTD) 18 mars 2004 (2004-03-18) abrégé; figures 1-3	1

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°
PCT/EP2017/057683

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 2503596 A1	26-09-2012	CA 2771968 A1	23-09-2012
		CN 102693993 A	26-09-2012
		EP 2503596 A1	26-09-2012
		FR 2973160 A1	28-09-2012
		JP 6057275 B2	11-01-2017
		JP 2012205304 A	22-10-2012
		US 2012292483 A1	22-11-2012
JP 2004087898 A	18-03-2004	AUCUN	