

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-91039

(P2005-91039A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int.Cl.⁷

GO 1 R 31/28
GO 1 R 31/3183
GO 6 F 11/22

F I

GO 1 R 31/28 M
GO 6 F 11/22 3 1 O R
GO 1 R 31/28 Q

テーマコード (参考)

2 G 1 3 2
5 B 0 4 8

審査請求 未請求 請求項の数 9 O L (全 26 頁)

(21) 出願番号 特願2003-322093 (P2003-322093)

(22) 出願日 平成15年9月12日 (2003.9.12)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(74) 代理人 100104156

弁理士 龍華 明裕

(72) 発明者 佐藤 浩

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

Fターム(参考) 2G132 AA00 AD07 AE11 AE18 AE22
AE23 AE24 AG01 AG08 AL00
AL25

5B048 CC07 DD05 DD07 DD08

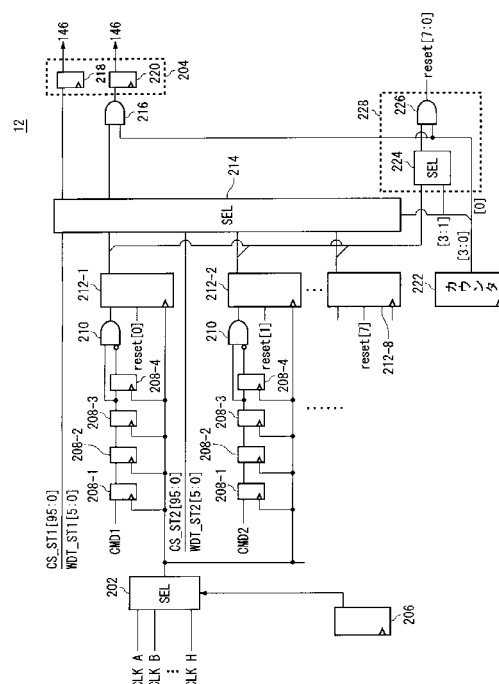
(54) 【発明の名称】 試験装置及び書込制御回路

(57) 【要約】

【課題】複数のホストコンピュータからのコマンドデータを、複数のレジスタ部に効率よく書き込むことができる書込制御回路を提供する。

【解決手段】 複数のホストコンピュータから与えられる複数のコマンドデータを複数のレジスタ部に書き込む書込制御回路であって、複数のホストコンピュータに対応して設けられ、対応するホストコンピュータからの書込要求信号を格納する複数の要求信号格納部と、複数の要求信号格納部を順次選択し、選択した要求信号格納部が格納している格納データを受け取り、出力するホスト選択部と、ホスト選択部が出力した格納データ、レジスタ部へ書き込むべきコマンドデータ、及びコマンドデータを書き込むべきレジスタ部を特定するレジスタ部特定データを受け取り、受け取った格納データが書込要求信号である場合に、レジスタ部特定データで特定されるレジスタ部に、コマンドデータを書き込む書込部とを備える書込制御回路を提供する。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

複数のホストコンピュータから与えられる複数のコマンドデータを複数のレジスタ部に書き込む書込制御回路であって、

前記複数のホストコンピュータに対応して設けられ、対応する前記ホストコンピュータからの書込要求信号を格納する複数の要求信号格納部と、

前記複数の要求信号格納部を順次選択し、選択した前記要求信号格納部が格納している格納データを受け取り、出力するホスト選択部と、

前記ホスト選択部が出力した前記格納データ、前記レジスタ部に書き込むべき前記コマンドデータ、及び前記コマンドデータを書き込むべき前記レジスタ部を特定するレジスタ部特定データを受け取り、受け取った前記格納データが前記書込要求信号である場合に、前記レジスタ部特定データで特定される前記レジスタ部に、前記コマンドデータを書き込む書込部と

を備える書込制御回路。

【請求項 2】

前記ホスト選択部は、それぞれの前記ホストコンピュータから、前記書込要求信号に対応して書き込むべき前記コマンドデータ、及び前記コマンドデータを書き込むべきレジスタ部を特定するレジスタ部特定データを受け取り、選択した前記要求信号格納部に対応する前記ホストコンピュータから受け取った前記コマンドデータ及びレジスタ部特定データを、前記書込部に供給する

請求項 1 に記載の書込制御回路。

【請求項 3】

前記ホスト選択部が受け取った前記格納データが、前記書込要求信号である場合に、前記ホスト選択部が選択した前記要求信号格納部が格納している前記書込要求信号をリセットするリセット部

を更に備える請求項 2 に記載の書込制御回路。

【請求項 4】

前記複数の要求信号格納部を示す複数のホスト特定信号を順次生成し、前記ホスト選択部に供給するカウンタ部を更に備え、

前記ホスト選択部は、順次受け取る前記ホスト特定信号で特定される前記要求信号格納部を順次選択する

請求項 3 に記載の書込制御回路。

【請求項 5】

前記リセット部は、前記複数の要求信号格納部が格納している複数の前記格納データ、及び前記カウンタ部が生成する前記ホスト特定信号を受け取り、前記ホスト特定信号に応じた前記要求信号格納部が格納している前記格納データが、前記書込要求信号である場合に、前記ホスト特定信号で特定される前記要求信号格納部が格納している前記書込要求信号をリセットする

請求項 4 に記載の書込制御回路。

【請求項 6】

前記カウンタ部は、零から、前記複数の要求信号格納部の数の 2 倍の数までの 2 進数を順次生成し、生成した前記 2 進数から最下位ビットを除去したデータを、前記ホスト特定信号として前記ホスト選択部及び前記リセット部に供給し、

前記書込制御回路は、前記カウンタ部が生成した前記 2 進数の最下位ビットが H 論理を示す場合に、前記ホスト選択部が出力した前記格納データを、前記書込部に供給する論理積回路を更に備え、

前記リセット部は、前記ホスト選択部が受け取った前記格納データが前記書込要求信号であり、且つ前記ホスト特定信号の最下位ビットが H 論理を示す場合に、前記ホスト特定信号で特定される前記要求信号格納部が格納している前記書込要求信号をリセットする

請求項 5 に記載の書込制御回路。

10

20

30

40

50

【請求項 7】

電子デバイスを試験する試験装置であって、
基準クロックを生成する基準クロック生成部と、
前記電子デバイスの試験に用いる試験パターンを、与えられるクロックに応じて前記電子デバイスに供給する複数のテストモジュールと、
前記基準クロックに基づいてそれぞれ位相の異なるタイミング信号を生成し、生成した前記タイミング信号を 1 又は複数の前記テストモジュールに分配する複数の分配回路と、
前記複数の分配回路に対応して設けられ、対応する前記分配回路が前記タイミング信号を分配するべき 1 又は複数の前記テストモジュールを示すコマンドデータを格納するレジスタ部と、
複数のホストコンピュータから与えられるそれぞれのコマンドデータを、いずれかの前記レジスタ部に書き込む書込制御回路と
を備え、
前記書込制御回路は、
前記複数のホストコンピュータに対応して設けられ、対応する前記ホストコンピュータからの書込要求信号を格納する複数の要求信号格納部と、
前記複数の要求信号格納部を順次選択し、選択した前記要求信号格納部が格納している格納データを受け取り、出力するホスト選択部と、
前記ホスト選択部が出力した前記格納データ、前記レジスタ部に書き込むべき前記コマンドデータ、及び前記コマンドデータを書き込むべき前記レジスタ部を特定するレジスタ部特定データを受け取り、受け取った前記格納データが前記書込要求信号である場合に、前記レジスタ部特定データで特定される前記レジスタ部に、前記コマンドデータを書き込む書込部と
を有する試験装置。

10

20

【請求項 8】

前記ホスト選択部は、それぞれの前記ホストコンピュータから、前記書込要求信号に対応して書き込むべき前記コマンドデータを受け取り、選択した前記要求信号格納部に対応する前記ホストコンピュータから受け取った前記コマンドデータを、前記書込部に供給する
請求項 7 に記載の試験装置。

30

【請求項 9】

前記書込制御回路は、前記ホスト選択部が受け取った前記格納データが、前記書込要求信号である場合に、前記ホスト選択部が選択した前記要求信号格納部が格納している前記書込要求信号をリセットするリセット部
を更に有する請求項 8 に記載の試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイスを試験する試験装置及び試験装置等に用いる書込制御回路に関する。

40

【背景技術】

【0002】

従来、半導体回路等の電子デバイスを試験する試験装置は、電子デバイスに所定のパターンを印加することにより試験を行っている。試験装置は、予め与えられたパターンや、試験レート等を電子デバイスに印加するテストモジュールと、テストモジュールが電子デバイスにパターン等を印加するタイミングを制御するタイミング制御モジュールとを備えている。

【0003】

テストモジュールは、試験するべき電子デバイスのピン数に応じて複数設けられ、またタイミング制御モジュールは、試験開始のタイミングを発生するためのモジュール、パタ

50

ーン印加のタイミングを発生するためのモジュール等のように複数設けられている。従来、タイミング制御モジュールは、その機能に応じてそれぞれ構成される。

【 0 0 0 4 】

本発明に関連する特許文献等は、現在認識していないため、その記載を省略する。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

前述したように、従来は、タイミング制御モジュールを、その機能に応じて構成しているため、複数種類のタイミング制御モジュールを製造する必要があり、製造コストの上昇を招いてしまう。また、それぞれのタイミング制御モジュールの汎用性が低く、電子デバイスの試験の効率を低下させてしまう。このような問題を解消するために、全ての機能を実現できる構成をそれぞれのモジュールに設け、各モジュールの機能を切り替え可能とすることが考えられる。これにより、同種のモジュールのみで、電子デバイスの試験を行うことができる。

10

【 0 0 0 6 】

しかし、電子デバイスを試験するために必要な機能は多種に渡り、またそれぞれの機能を実現するために多数のピンが必要であり、全ての機能を1モジュールで実現しようとすると、モジュールのピン数が膨大となってしまう、現実的でない。このため、同一の構成を有する複数のモジュールによって、全ての機能を実現することが考えられる。しかし、このような場合には、それぞれのモジュール間の同期を取らなければならないという問題が生じる。

20

【 0 0 0 7 】

また、他の課題として、異なる製造元で製造されたテストモジュール間では、信号の入力から出力までの時間等の特性が異なる場合があるため、これらのテストモジュールは同時に使用することが困難であった。また、タイミング制御モジュールが、複数のテストモジュールから、それぞれフェイルデータ等を受け取り、複数のフェイルデータを論理演算して集約した複数のデータを、複数のテストモジュールに分配する場合がある。このような場合においても、それぞれの集約処理、それぞれの分配処理は、同期して行う必要がある。以上のように、試験装置が複数の信号供給部30、複数のテストモジュール14を用いて電子デバイスの試験を行う場合、これらの間の信号の授受で同期を取る必要がある。

30

【 0 0 0 8 】

また、複数のホストコンピュータから、それぞれの集約処理、分配処理を行うためには、多数のレジスタが必要となってしまう、回路規模やコストの増大を招いてしまう。このため、レジスタ数を低減する必要がある。また、集約処理、分配処理を行うためには、多数の信号線が必要となるが、半導体基板上に多数の信号線を形成する場合には、回路配置を検討する必要がある。

【 課題を解決するための手段 】

【 0 0 0 9 】

上記課題を解決するために、本発明の第1の形態においては、複数のホストコンピュータから与えられる複数のコマンドデータを複数のレジスタ部に書き込む書込制御回路であって、複数のホストコンピュータに対応して設けられ、対応するホストコンピュータからの書込要求信号を格納する複数の要求信号格納部と、複数の要求信号格納部を順次選択し、選択した要求信号格納部が格納している格納データを受け取り、出力するホスト選択部と、ホスト選択部が出力した格納データ、レジスタ部に書き込むべきコマンドデータ、及びコマンドデータを書き込むべきレジスタ部を特定するレジスタ部特定データを受け取り、受け取った格納データが書込要求信号である場合に、レジスタ部特定データで特定されるレジスタ部に、コマンドデータを書き込む書込部とを備える書込制御回路を提供する。

40

【 0 0 1 0 】

ホスト選択部は、それぞれのホストコンピュータから、書込要求信号に対応して書き込むべきコマンドデータ、及びコマンドデータを書き込むべきレジスタ部を特定するレジス

50

タ部特定データを受け取り、選択した要求信号格納部に対応するホストコンピュータから受け取ったコマンドデータ及びレジスタ部特定データを、書込部に供給してよい。

【0011】

書込制御回路は、ホスト選択部が受け取った格納データが、書込要求信号である場合に、ホスト選択部が選択した要求信号格納部が格納している書込要求信号をリセットするリセット部を更に備えてよい。また、複数の要求信号格納部を示す複数のホスト特定信号を順次生成し、ホスト選択部に供給するカウンタ部を更に備え、ホスト選択部は、順次受け取るホスト特定信号で特定される要求信号格納部を順次選択してよい。

【0012】

リセット部は、複数の要求信号格納部が格納している複数の格納データ、及びカウンタ部が生成するホスト特定信号を受け取り、ホスト特定信号に応じた要求信号格納部が格納している格納データが、書込要求信号である場合に、ホスト特定信号で特定される要求信号格納部が格納している書込要求信号をリセットしてよい。

【0013】

カウンタ部は、零から、複数の要求信号格納部の数の2倍の数までの2進数を順次生成し、生成した2進数から最下位ビットを除去したデータを、ホスト特定信号としてホスト選択部及びリセット部に供給し、書込制御回路は、カウンタ部が生成した2進数の最下位ビットがH論理を示す場合に、ホスト選択部が出力した格納データを、書込部に供給する論理積回路を更に備え、リセット部は、ホスト選択部が受け取った格納データが書込要求信号であり、且つホスト特定信号の最下位ビットがH論理を示す場合に、ホスト特定信号で特定される要求信号格納部が格納している書込要求信号をリセットしてよい。

【0014】

本発明の第2の形態においては、電子デバイスを試験する試験装置であって、基準クロックを生成する基準クロック生成部と、電子デバイスの試験に用いる試験パターンを、与えられるクロックに応じて電子デバイスに供給する複数のテストモジュールと、基準クロックに基づいてそれぞれ位相の異なるタイミング信号を生成し、生成したタイミング信号を1又は複数のテストモジュールに分配する複数の分配回路と、複数の分配回路に対応して設けられ、対応する分配回路がタイミング信号を分配するべき1又は複数のテストモジュールを示すコマンドデータを格納するレジスタ部と、複数のホストコンピュータから与えられるそれぞれのコマンドデータを、いずれかのレジスタ部に書き込む書込制御回路とを備え、書込制御回路は、複数のホストコンピュータに対応して設けられ、対応するホストコンピュータからの書込要求信号を格納する複数の要求信号格納部と、複数の要求信号格納部を順次選択し、選択した要求信号格納部が格納している格納データを受け取り、出力するホスト選択部と、ホスト選択部が出力した格納データ、レジスタ部に書き込むべきコマンドデータ、及びコマンドデータを書き込むべきレジスタ部を特定するレジスタ部特定データを受け取り、受け取った格納データが書込要求信号である場合に、レジスタ部特定データで特定されるレジスタ部に、コマンドデータを書き込む書込部とを有する試験装置を提供する。

【0015】

ホスト選択部は、それぞれのホストコンピュータから、書込要求信号に対応して書き込むべきコマンドデータを受け取り、選択した要求信号格納部に対応するホストコンピュータから受け取ったコマンドデータを、書込部に供給してよい。

【0016】

書込制御回路は、ホスト選択部が受け取った格納データが、書込要求信号である場合に、ホスト選択部が選択した要求信号格納部が格納している書込要求信号をリセットするリセット部を更に有してよい。

【0017】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【発明の効果】

10

20

30

40

50

【 0 0 1 8 】

本発明によれば、複数のホストコンピュータ毎にレジスタを持つ必要が無いため、試験装置におけるレジスタ数を低減することができる。また、レジスタに効率よくデータを書き込むことができる。

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【 0 0 2 0 】

図 1 は、本発明の実施形態に係る試験装置 1 0 0 の構成の一例を示す。試験装置 1 0 0 は、複数の電子デバイス (2 0 0 - 1 ~ 2 0 0 - n、以下 2 0 0 と総称する) を試験する。試験装置 1 0 0 は、基準クロック生成部 1 0、制御部 1 2、複数のテストモジュール (1 4 - 1 ~ 1 4 - 4 8、以下 1 4 と総称する)、デバイス接触部 1 6、及びスイッチマトリクス 2 0 を備える。

【 0 0 2 1 】

デバイス接触部 1 6 は、例えば複数の電子デバイス 2 0 0 を載置するテストヘッドであって、複数のテストモジュール 1 4 と複数の電子デバイス 2 0 0 とを電氣的に接続する。それぞれのテストモジュール 1 4 は、1 又は複数の電子デバイス 2 0 0 と電氣的に接続される。また、それぞれの電子デバイス 2 0 0 は、1 又は複数のテストモジュール 1 4 と電氣的に接続される。例えば、テストモジュール 1 4 及び電子デバイス 2 0 0 は、それぞれ定められた数の入出力ピンを有し、それぞれのピン数に応じてテストモジュール 1 4 と電子デバイス 2 0 0 とが接続される。

【 0 0 2 2 】

また、テストモジュール 1 4 は、与えられる試験パターンを、対応する電子デバイス 2 0 0 に供給するモジュールであってよい。本例において、それぞれのテストモジュール 1 4 は、制御部 1 2 から予め試験パターンが与えられ、スイッチマトリクス 2 0 からそれぞれ与えられるタイミング信号に応じたタイミングで、試験パターンを電子デバイス 2 0 0 に供給する。また、テストモジュール 1 4 は、電子デバイス 2 0 0 が出力する信号に基づいて、電子デバイス 2 0 0 の良否を判定してもよい。この場合、テストモジュール 1 4 は、電子デバイス 2 0 0 のフェイルデータを格納するフェイルメモリを有していてもよく、またフェイルデータを制御部 1 2 に供給してもよい。

【 0 0 2 3 】

また、複数のテストモジュール 1 4 のいずれかに電子デバイス 2 0 0 からフェイルデータが戻ってきた場合、当該テストモジュール 1 4 は、当該フェイルデータを他の複数のテストモジュール 1 4 に分配するために、当該フェイルデータをスイッチマトリクス 2 0 に供給してもよい。この場合、スイッチマトリクス 2 0 は、当該フェイルデータを、所望の一つ又は複数のテストモジュール 1 4 に分配する。

【 0 0 2 4 】

基準クロック生成部 1 0 は、予め定められた周波数の基準クロックを生成する。試験装置 1 0 0 の各構成要素は、当該基準クロックに応じて動作する。スイッチマトリクス 2 0 は、基準クロックに基づいて、位相の異なる複数のタイミング信号を生成し、それぞれのテストモジュール 1 4 に供給する。つまり、スイッチマトリクス 2 0 は、タイミング信号をテストモジュール 1 4 に供給することにより、それぞれのテストモジュール 1 4 が動作するタイミングを制御する。

【 0 0 2 5 】

制御部 1 2 は、スイッチマトリクス 2 0 がいずれの位相のタイミング信号を、それぞれのテストモジュール 1 4 に供給するかを制御する。また、制御部 1 2 は、それぞれのテストモジュール 1 4 に、試験パターンを予め供給する。制御部 1 2 は、例えばワークステーション等のホストコンピュータであってよい。また制御部 1 2 は、複数のホストコンピュ

10

20

30

40

50

ータを有していてもよい。この場合、それぞれのホストコンピュータは、それぞれ試験すべき電子デバイス 200 が割り当てられており、割り当てられた電子デバイス 200 に接続されたテストモジュール 14、及び当該テストモジュール 14 に供給されるタイミング信号の位相を制御する。

【0026】

図 2 は、スイッチマトリクス 20 の構成の一例を示す。スイッチマトリクス 20 は、複数のテストボード (22 - 1、22 - 2、以下 22 と総称する) を有する。テストボード 22 には、基準クロック分配回路 80、クロック制御回路 70、複数の信号供給部 (30 - 1 ~ 30 - 16、以下 30 と総称する)、複数の出力部 90、及びループ回路 110 が設けられる。ループ回路 110 及びクロック制御回路 70 の構成及び動作については、図 3 において後述する。

10

【0027】

基準クロック分配回路 80 は、基準クロック生成部 10 が生成した基準クロックを受け取り、スイッチマトリクス 20 の各構成要素に分配する。信号供給部 30 は、入力信号として入力される基準クロックに基づいて、電子デバイス 200 を試験するための出力信号を出力する。例えば、信号供給部 30 は、電子デバイス 200 に試験パターンを印加するタイミングを示すタイミング信号、電子デバイス 200 の試験を開始するタイミングを示すタイミング信号、電子デバイス 200 の試験を停止するタイミングを示すタイミング信号、電子デバイス 200 のフェイルデータを取りこむタイミングを示すタイミング信号等を、出力部 90 を介してテストモジュール 14 に供給する。

20

【0028】

本例においてそれぞれの信号供給部 30 は、入力される基準クロックに基づいて、位相の異なる複数のタイミング信号を、前述した出力信号として生成する。そして、制御部 12 は、信号供給部 30 が生成した複数のタイミング信号のうちいずれのタイミング信号をそれぞれのテストモジュール 14 に供給させるかを、それぞれの信号供給部 30 において切り替える。これにより、例えばそれぞれのテストモジュール 14 が、電子デバイス 200 に試験パターンを供給するタイミングを制御することができる。また、信号供給部 30 は、タイミング信号と同期して、タイミング信号の生成に用いた基準クロックを出力する。

【0029】

また、複数の信号供給部 30 は、電子デバイス 200 に試験パターンを印加するタイミングの制御、電子デバイス 200 の試験を開始するタイミングの制御、電子デバイス 200 の試験を停止するタイミングの制御、電子デバイス 200 のフェイルデータを取りこむタイミングの制御等のように、予め機能が割り当てられる。また、それぞれの信号供給部 30 は、同一の構成を有する集積回路であって、動作モードを切り替えることにより、前述した機能の全てを実行する回路構成を有する。当該動作モードは、テストボード 22 に与える信号レベルにより制御される。このように、それぞれの信号供給部 30 の構成を同一とすることにより、信号供給部 30 の汎用性を向上させることができる。

30

【0030】

また、信号供給部 30 のピン数によっては、ひとつの信号供給部 30 に前述した機能の全てを実行できる回路構成を備えさせた場合、信号供給部 30 の入出力ピン数が不足する場合がある。このような場合、複数の信号供給部 30 を組み合わせることにより、入出力ピン不足を解消する。例えば、試験装置 100 は、図 2 に示すように、信号供給部 30 - 1 と信号供給部 30 - 2 を組み合わせて動作させる。本例における制御部 12 は、信号供給部 30 のそれぞれの組み合わせに、上述した機能のいずれかを割り当てて動作させる。

40

【0031】

複数の出力部 90 は、複数のテストモジュール 14 と対応して設けられ、複数の信号供給部 30 のうち、いずれかからタイミング信号を受け取り、受け取ったタイミング信号を対応するテストモジュール 14 に供給する。それぞれの出力部 90 に、いずれの信号供給部 30 からタイミング信号を供給するかは、それぞれのテストモジュール 14 の機能、及

50

びそれぞれの信号供給部 30 の機能に応じて制御部 12 が制御する。

【0032】

試験装置 100 は、複数の信号供給部 30、複数のテストモジュール 14 を用いて電子デバイス 200 の試験を行っているため、これらの間の信号の授受で同期を取ることが好ましい。本例における試験装置 100 は、以下の調整を行う。

(1) 複数の信号供給部 30 が、タイミング信号を出力するタイミングの調整

(2) テストモジュール 14 の特性に応じた、タイミング信号の位相の調整

(3) 複数の信号供給部 30 を組み合わせた場合における、それぞれの信号供給部 30 に与えられる基準クロックの位相の調整

まず、複数の信号供給部 30 が、タイミング信号を出力するタイミングの調整について 10、図 3 から図 6 を用いて説明する。

【0033】

図 3 は、信号供給部 30 及びクロック制御回路 70 の構成の一例を示す図である。信号供給部 30 は、タイミング信号分配回路 56、集約回路 46、ジェネレート回路 48、複数の戻り系回路 40、複数のタイミング供給部 60、位相調整回路 50、基準クロック用可変遅延回路 36、フリップフロップ 38、カウンタ部 32 及び基準クロック通過経路 234 を有する。また、クロック制御回路 70 は、フリップフロップ 72、選択部 74、カウンタ 76、及び論理回路 78 を有する。

【0034】

基準クロック通過経路 234 は、基準クロック生成部 10 から、基準クロック分配回路 80 を介して基準クロックを受け取り、ループ回路 110 に出力する。基準クロック通過経路 234 は、受け取った基準クロックを信号供給部 30 のそれぞれのブロックに分配するための複数の分配点を有しており、信号供給部 30 に設けられたフリップフロップ等は、当該基準クロックに応じて動作する。 20

【0035】

基準クロック用可変遅延回路 36 は、基準クロック通過経路 234 に設けられ、基準クロックを遅延させる。基準クロック用可変遅延回路 36 は、基準クロック通過経路 234 における複数の分配点より上流に設けられることが好ましい。基準クロック通過経路 234 を通過した基準クロックは、ループ回路 110 に入力される。

【0036】

ループ回路 110 は、それぞれの信号供給部 30 が出力する基準クロックをループさせ、それぞれの基準クロックを出力した信号供給部 30 に入力信号として入力する。ループ回路 110 は、順次選択したそれぞれの基準クロックを、略同一の経路でループさせて信号供給部 30 に入力することが好ましい。試験装置 100 は、当該ループの周期を測定することにより、それぞれの信号供給部 30 がタイミング信号を出力するタイミングのバラツキを検出する。それぞれの信号供給部 30 がタイミング信号を出力するタイミングを調整することにより、複数の信号供給部 30 から複数のテストモジュール 14 にタイミング信号を供給しても、複数のテストモジュール 14 を同期させて動作させることができる。 30

【0037】

図 4 は、ループ回路 110 の構成の一例を示す図である。ループ回路 110 は、複数の基準クロック選択部 (112 - 1 ~ 112 - 4、114 - 1 ~ 114 - 2)、論理和回路 116、論理積回路 117、フリップフロップ 119、及び分配器 118 を有する。ループ回路 110 は、複数の信号供給部 30 が出力する基準クロック受け取り、受け取った基準クロックを順次選択してループさせる。 40

【0038】

本例においては、複数の基準クロック選択部 (112 - 1 ~ 112 - 4、114 - 1 ~ 114 - 2)、及び論理和回路 116 が、複数の基準クロックのうちのひとつの基準クロックを順次選択する。論理積回路 117 は、選択された基準クロックと、フリップフロップ 119 が出力する信号との論理積を分配器 118 に出力する。フリップフロップ 119 は、基準クロックのループを行うか否かを制御する。フリップフロップ 119 には、制御 50

部 1 2 から、基準クロックのループを行うか否かを制御する信号が与えられ、分配器 1 1 8 から与えられる基準クロックの反転信号に応じて、当該信号を出力する。分配器 1 1 8 は、論理積回路 1 1 7 が出力する基準クロックを、基準クロック分配回路 8 0 にループさせる。ループ回路 1 1 0 は、順次選択したそれぞれの基準クロックを、同一の経路で基準クロック分配回路 8 0 にループさせる。これにより、それぞれの信号供給部 3 0 の周期の測定誤差を低減することができる。

【 0 0 3 9 】

図 5 は、基準クロック分配回路 8 0 の構成の一例を示す図である。基準クロック分配回路 8 0 は、分配器 8 2、論理積回路 8 4、論理和回路 8 6、及び分配器 8 8 を有する。分配器 8 2 は、基準クロック生成部 1 0 から基準クロックを受け取り、当該基準クロックに 10
応じて動作すべき構成要素に基準クロックを分配する。論理積回路 8 4 は、分配器 8 2 から基準クロックを受け取り、後述するクロック制御回路 7 0 から与えられる信号と、基準クロックとの論理積を出力する。つまり、論理積回路 8 4 は、クロック制御回路 7 0 から与えられる信号に基づいて、基準クロックを通過させるか否かを選択する。

【 0 0 4 0 】

論理和回路 8 6 は、論理積回路 8 4 から受け取る基準クロックと、ループ回路 1 1 0 からループされた基準クロックとの論理和を出力する。ループの周期を測定する場合、クロック制御回路 7 0 は、論理積回路 8 4 に L 論理を入力し、基準クロック生成部 1 0 から供給される基準クロックを通過させないように制御する。ループの周期を測定しない場合、クロック制御回路 7 0 は、論理積回路 8 4 に H 論理を入力する。分配器 8 8 は、論理和回 20
路 8 6 が出力した基準クロックを、複数の信号供給部 3 0 に供給する。ループの周期を測定する場合、分配器 8 8 は、受け取った基準クロックを、ループの周期の測定を行っている信号供給部 3 0 に供給する。

【 0 0 4 1 】

また、ループ回路 1 1 0 は、ひとつの信号供給部 3 0 から受け取る基準クロックを連続してループさせることが好ましい。つまり、それぞれの基準クロックを所定時間内で複数回ループさせることが好ましい。カウンタ部 3 2 (図 3 参照) は、所定時間内に基準クロックが何回ループしたかを計数し、計数結果に基づいて、ループ回路 1 1 0 が順次ループさせた基準クロックに対応する信号供給部 3 0 における周期を測定する。

【 0 0 4 2 】

例えば、カウンタ部 3 2 は、分配器 8 2 から基準クロックを受け取り、当該基準クロックのパルス在所定回数計数する間に、ループ回路 1 1 0 が基準クロックを何回ループさせたかを計数する。この場合、カウンタ部 3 2 には、ループ回路 1 1 0 によってループされた基準クロックが入力される。

【 0 0 4 3 】

そして、カウンタ部 3 2 は、これらの計数結果に基づいて、それぞれの信号供給部 3 0 において、入力信号 (基準クロック) が入力されてから、ループ信号 (基準クロック) が入力されるまでの周期を測定する。基準クロックを複数回ループさせることにより、それぞれの信号供給部 3 0 における周期をより精度よく測定することができる。例えば、ループ回路 1 1 0 は、それぞれの基準クロックを 4 0 0 0 回程度ループさせることが好ましい 40
。

【 0 0 4 4 】

制御部 1 2 は、カウンタ部 3 2 が測定したそれぞれの信号供給部 3 0 における周期に基づいて、それぞれの信号供給部 3 0 に設けられた基準クロック用可変遅延回路 3 6 の遅延時間を制御し、それぞれの信号供給部 3 0 の周期を略同一にする。このような制御により、複数の信号供給部 3 0 間のバラツキによって生じる、タイミング信号の出力タイミングのずれを低減することができる。

【 0 0 4 5 】

また、信号供給部 3 0 のジェネレート回路 4 8 は、位相調整回路 5 0 が出力するタイミング信号を受け取り、受け取ったタイミング信号に基づいて位相の異なる複数のタイミン 50

グ信号を生成する。本例において、ジェネレート回路 48 は、基準クロックの周期と等しい位相分解能で、位相の異なる複数のタイミング信号を生成する。

【0046】

タイミング信号分配回路 56 は、ジェネレート回路 48 が生成した複数のタイミング信号のうち、いずれかのタイミング信号をタイミング供給部 60 毎に選択し、それぞれのタイミング供給部 60 に供給する。複数のタイミング供給部 60 は、2 つ毎に 1 の出力部 90 に対応して設けられ、対応する出力部 90 にタイミング信号を供給する。それぞれのタイミング供給部 60 は、基準クロック通過経路 234 において最も下流に設けられた第 2 分配点 232 から基準クロックが分配され、分配された基準クロックに同期して、タイミング信号分配回路 56 が選択したタイミング信号をテストモジュールに出力する同期回路 66 を有する。

10

【0047】

ループ回路 110 は、第 2 分配点 232 を通過した基準クロックを受け取り、受け取った基準クロックをループさせる。制御部 12 が基準クロック用可変遅延回路 36 の遅延量を制御することにより、複数の信号供給部 30 の同期回路 66 に基準クロックが分配されるタイミングを略同一にすることができる。このため、複数の信号供給部 30 は、タイミング信号を略同一のタイミングで出力することができる。

【0048】

また、基準クロック通過経路 234 は、第 2 分配点 232 を、複数の分配点のうち最も下流に有することが好ましい。また、それぞれの信号供給部 30 は、信号供給部 30 が形成された半導体基板において、第 2 分配点 232 の近傍から基準クロックをループ回路 110 に出力することが好ましい。第 2 分配点 232 から、ループ回路 110 に出力するまでの経路を短くして基準クロックのループの周期を測定することにより、ループ回路 110 が受け取る基準クロックと、信号供給部 30 が出力するタイミング信号との位相のずれを低減することができる。このため、それぞれの信号供給部 30 がタイミング信号を出力するタイミングのずれをより低減することができる。

20

【0049】

また、試験装置 100 は、複数のテストモジュール 14 から、ひとつの電子デバイス 200 に試験パターンを供給可能であり、制御部 12 は、ひとつの電子デバイス 200 に試験パターンを供給する複数のテストモジュール 14 にタイミング信号を供給する信号供給部 30 における周期を略同一とするように、それぞれの基準クロック用可変遅延回路 36 の遅延量を制御してもよい。

30

【0050】

図 6 は、図 3 から図 5 において説明した、複数の信号供給部 30 がタイミング信号を出力するタイミングの調整方法の一例を示すフローチャートである。まず、S1000 で、ループ回路 110 が、複数の信号供給部 30 が出力する複数の基準クロックのいずれかを選択する。次に、S1002 で、ループ回路 110 が選択した基準クロックをループさせ、当該基準クロックを出力した信号供給部 30 に入力する。

【0051】

そして、S1004 で、カウンタ部 32 が、所定時間経過したかを判定し、所定時間が経過していない場合、基準クロックのループを継続する。所定時間が経過した場合、S1006 で、基準クロックのループ回数に基づいて、当該信号供給部 30 における周期を算出する。次に、S1008 で、複数の信号供給部 30 が出力する全ての基準クロックを選択したか否かを判定し、全ての基準クロックを選択していない場合、次の基準クロックを選択し (S1000)、S1002 ~ S1006 の処理を繰り返す。

40

【0052】

全ての基準クロックを選択し、全ての信号供給部 30 における周期を算出した場合、S1010 で、それぞれの信号供給部 30 の基準クロック用可変遅延回路 36 の遅延量を調整し、それぞれの信号供給部 30 がタイミング信号を出力するタイミングを略同一とし、調整を終了する。

50

【 0 0 5 3 】

次に、テストモジュール 1 4 の特性に応じた、タイミング信号の位相の調整について、図 3 及び図 7 を用いて説明する。上述したように、信号供給部 3 0 の複数のタイミング供給部 6 0 は、複数のテストモジュール 1 4 に対応して設けられる。しかし、それぞれのテストモジュール 1 4 において、タイミング信号を受け取ってから、試験パターンを出力するまでの時間は必ずしも同一とはならない。例えば、それぞれのテストモジュール 1 4 の特性によって、当該時間にはバラツキが生じる。このため、複数のテストモジュール 1 4 に同時にタイミング信号を入力しても、電子デバイス 2 0 0 には同時に試験パターン等が入力されない場合がある。本例における試験装置 1 0 0 は、当該バラツキを補償するために、それぞれの信号供給部 3 0 が出力するタイミング信号の位相を調整する。

10

【 0 0 5 4 】

図 3 に示すように、それぞれのタイミング供給部 6 0 は、縦続接続された複数のフリップフロップ 6 2、タイミング信号選択部 6 4、及び同期回路 6 6 を有する。また、それぞれのタイミング供給部 6 0 は、複数のテストモジュール 1 4 に対応して設けられ、タイミング信号分配回路 5 6 からタイミング信号を受け取り、対応するテストモジュール 1 4 にタイミング信号を供給する。

【 0 0 5 5 】

ジェネレート回路 4 8 は、所定時間において立ち下がり又は立ち上がりのエッジを一つのみ有するタイミング信号を生成し、タイミング信号分配回路 5 6 に供給する。当該所定時間は、基準クロックの周期より十分大きいことが好ましい。複数のフリップフロップ 6 2 は、タイミング信号分配回路 5 6 からタイミング信号を受け取り、基準クロック通過経路 2 3 4 から分配される基準クロックに応じて、タイミング信号を次段のフリップフロップに順次受け渡す。つまり、複数のフリップフロップ 6 2 のそれぞれのフリップフロップは、基準クロックに応じてタイミング信号の値を次段のフリップフロップに順次受け渡す。

20

【 0 0 5 6 】

タイミング信号選択部 6 4 は、複数のフリップフロップ 6 2 の、それぞれのフリップフロップが出力するタイミング信号を受け取り、受け取った複数のタイミング信号のうち、いずれかを選択してテストモジュールに供給することにより、テストモジュールに供給するタイミング信号の位相を調整する。

30

【 0 0 5 7 】

制御部 1 2 は、複数のタイミング供給部 6 0 がそれぞれのテストモジュール 1 4 に供給するタイミング信号の位相を制御する。本例においては、制御部 1 2 は、それぞれのテストモジュール 1 4 がタイミング信号に応じて試験パターンを出力するタイミングが略同一となるように、タイミング信号選択部 6 4 が複数のタイミング信号のうちいずれを選択するかを制御する。試験装置 1 0 0 は、テストモジュール 1 4 が試験パターンを出力するタイミングを検出する手段を備えることが好ましい。

【 0 0 5 8 】

本例においては、複数の戻り系回路 4 0 によって、テストモジュール 1 4 が試験パターンを出力したタイミングを検出する。複数の戻り系回路 4 0 は、複数のタイミング供給部 6 0 と同様に、複数のテストモジュール 1 4 に対応して設けられ、テストモジュール 1 4 は、試験パターンを出力したタイミングで値の変化する信号を、対応する戻り系回路 4 0 に入力する。戻り系回路 4 0 は、縦続接続された複数のフリップフロップ 4 2 を有する。複数のフリップフロップ 4 2 のそれぞれのフリップフロップは、テストモジュール 1 4 から入力された信号を、基準クロックに応じて次段のフリップフロップに順次受け渡す。

40

【 0 0 5 9 】

制御部 1 2 は、複数のフリップフロップ 4 2 が格納した値を読み出し、いずれの段のフリップフロップで値が変化するかに基づいて、テストモジュール 1 4 が試験パターンを出力するタイミングを検出する。また、制御部 1 2 には、それぞれのテストモジュール 1 4 の仕様に基づいて、それぞれのテストモジュール 1 4 に供給するべきタイミング信号の位

50

相が予め与えられていてもよい。

【 0 0 6 0 】

図 7 は、タイミング信号と基準クロックとの関係を示す図である。図 7 (a) は、基準クロック用可変遅延回路 3 6 の遅延量を調整しない場合の一例を示し、図 7 (b) は、基準クロック用可変遅延回路 3 6 の遅延量を調整した場合の一例を示す。

【 0 0 6 1 】

基準クロック用可変遅延回路 3 6 の遅延量を調整しない場合、複数のフリップフロップ 6 2 のいずれかのフリップフロップが、基準クロックに応じてタイミング信号の値を取り込んだ場合に、図 7 (a) に示すように、タイミング信号の値が変化するタイミングでタイミング信号の値を取り込んでしまう場合がある。このような場合、当該フリップフロップは、タイミング信号の値を安定して取り込むことができない。

10

【 0 0 6 2 】

このため、本例における制御部 1 2 は、上述したように基準クロック用可変遅延回路 3 6 の遅延量を調整し、図 7 (b) に示すように、フリップフロップがタイミング信号の値を取り込むタイミングと、タイミング信号の値が変化するタイミングをずらしている。

【 0 0 6 3 】

また、それぞれの戻り系回路 4 0 は、対応する複数のテストモジュール 1 4 から、電子デバイス 2 0 0 が出力する出力パターンにフェイルが生じたタイミングを示すフェイルタイミング信号等のような、テストモジュール 1 4 からの信号を受け取り、フェイルタイミング信号を、集約回路 4 6 及びタイミング信号分配回路 5 6 を介してタイミング供給部 6 0 に供給する。このとき、それぞれのテストモジュール 1 4 の特性により、それぞれの戻り系回路 4 0 におけるフェイルタイミング信号の位相にずれが生じる場合がある。つまり、それぞれのテストモジュール 1 4 が、フェイルタイミング信号を生成してから、それぞれの戻り系回路 4 0 に供給するまでの時間が、テストモジュール 1 4 によって異なる場合がある。

20

【 0 0 6 4 】

試験装置 1 0 0 は、例えばいずれかのテストモジュール 1 4 でフェイルを検出した場合に、複数のテストモジュール 1 4 における試験パターンの印加を停止するというように、テストモジュール 1 4 から信号供給部 3 0 に供給される信号に基づいて、複数のテストモジュール 1 4 の動作を制御する場合がある。このような動作を行う場合に、それぞれのテストモジュール 1 4 が、例えばフェイルタイミング信号を生成してから、それぞれの戻り系回路 4 0 に供給するまでの時間が、テストモジュール 1 4 によって異なると、複数のテストモジュール 1 4 を同期して制御できない。制御部 1 2 は、それぞれの戻り系回路 4 0 がフェイルタイミング信号を出力するタイミングが略同一となるように複数の戻り系回路 4 0 を制御し、前述したずれを補償する。

30

【 0 0 6 5 】

本例においては、それぞれの戻り系回路 4 0 は、縦続接続された複数のフリップフロップ 4 2、戻り系用可変遅延回路 3 4、及び戻り信号選択部 4 4 を有する。複数のフリップフロップ 4 2 のそれぞれのフリップフロップは、フェイルタイミング信号を受け取り、基準クロック通過経路 2 3 4 から分配される基準クロックに応じて、フェイルタイミング信号を次段のフリップフロップに順次受け渡す。

40

【 0 0 6 6 】

戻り信号選択部 4 4 は、複数のフリップフロップ 4 2 のそれぞれのフリップフロップが出力するフェイルタイミング信号を受け取り、受け取った複数のフェイルタイミング信号のうち、いずれかを選択する。そして、選択したフェイルタイミング信号を、集約回路 4 6 及びタイミング信号分配回路 5 6 を介してタイミング供給部 6 0 に供給することにより、タイミング供給部 6 0 にフェイルタイミング信号を供給するタイミングを調整する。

【 0 0 6 7 】

制御部 1 2 は、複数の戻り系回路 4 0 がそれぞれのタイミング供給部 6 0 に供給するフェイルタイミング信号の位相を制御する。本例においては、制御部 1 2 は、戻り信号選択

50

部 4 4 が複数のフェイルタイミング信号のうちいずれを選択するかを制御する。本例において、制御部 1 2 は、複数のフリップフロップ 4 2 が格納した値を読み出し、いずれの段のフリップフロップで値が変化するかを検出する。そして、検出したフリップフロップの段数の、それぞれの戻り系回路 4 0 における差異に応じて、戻り信号選択部 4 4 にいずれのフェイルタイミング信号を選択させるかを制御する。

【 0 0 6 8 】

また、戻り系用可変遅延回路 3 4 は、テストモジュール 1 4 と、複数のフリップフロップ 4 2 との間に設けられ、フェイルタイミング信号を遅延させて複数のフリップフロップ 4 2 に供給する。制御部 1 2 は、戻り系用可変遅延回路 3 4 の遅延量を順次変化させ、フェイルタイミング信号の値が変化するタイミングが、複数のフリップフロップ 4 2 のい

10

【 0 0 6 9 】

また、複数のフリップフロップ (4 2 、 5 2 、 6 2) のそれぞれのフリップフロップが格納した値を検出する場合、基準クロック分配回路 8 0 から供給される基準クロックを停止し、複数のフリップフロップ (4 2 、 5 2 、 6 2) の動作を停止することが好ましい。本例においては、クロック制御回路 7 0 が、基準クロック分配回路 8 0 に、基準クロックを停止するための信号を供給する。

【 0 0 7 0 】

20

クロック制御回路 7 0 は、フリップフロップ 7 2 、選択部 7 4 、カウンタ 7 6 、及び論理回路 7 8 を有する。フリップフロップ 7 2 は、複数の信号供給部 3 0 が出力するタイミング信号を受け取り、選択部 7 4 に供給する。選択部 7 4 は、フリップフロップ 7 2 から受け取った複数のタイミング信号のうち、タイミング又は位相の調整を行う信号供給部 3 0 が出力したタイミング信号を選択し、カウンタ 7 6 に供給する。カウンタ 7 6 は、受け取ったタイミング信号の値が変化した場合に基準クロックの計数を開始し、所定の数となった場合に、論理回路 7 8 に基準クロックを停止する旨の信号を出力する。論理回路 7 8 は、カウンタ 7 6 から受け取った信号を基準クロック分配回路 8 0 の論理積回路 8 4 に供給し、信号供給部 3 0 に供給される基準クロックを停止する。

【 0 0 7 1 】

30

制御部 1 2 は、カウンタ 7 6 に所定の数を設定し、基準クロックを停止するタイミングを制御する。例えば、制御部 1 2 は、複数のフリップフロップ 4 2 のうち、略中央に設けられたフリップフロップが、フェイルタイミング信号の値の変化を検出するように、カウンタ 7 6 を制御する。

【 0 0 7 2 】

また、複数の戻り系回路 4 0 は、集約回路 4 6 、タイミング信号分配回路 5 6 、及びタイミング供給部 6 0 を介してフェイルタイミング信号をそれぞれのテストモジュール 1 4 に供給する。集約回路 4 6 は、複数の戻り系回路 4 0 が出力するフェイルタイミング信号を受け取り、複数のフェイルタイミング信号に基づいて複数種類の論理演算を行い、それぞれの演算結果をタイミング信号分配回路 5 6 に供給する。タイミング信号分配回路 5 6

40

【 0 0 7 3 】

次に、複数の信号供給部 3 0 を組み合わせた場合における、それぞれの信号供給部 3 0 に与えられる基準クロックの位相の調整について、図 3 及び図 8 を用いて説明する。複数の信号供給部 3 0 を組み合わせた場合、組み合わされた信号供給部 3 0 のいずれかが、テストモジュール 1 4 が試験パターンを電子デバイス 2 0 0 に供給するタイミングを制御するための第 1 タイミング信号を、与えられるタイミング信号に応じて生成し、テストモジュール 1 4 の予め定められた 1 又は複数のピンに供給する、主信号供給部として機能する

50

。また、他の信号供給部 30 は、主信号供給部からタイミング信号を受け取り、テストモジュール 14 が試験パターンを電子デバイス 200 に供給するタイミングを制御するための第 2 タイミング信号を、受け取った基準クロックの位相に応じて生成し、テストモジュール 14 のピンのうち、主信号供給部とは異なる 1 又は複数のピンに供給する、従信号供給部として機能する。本例においては、信号供給部 30 - 1 が主信号供給部として機能し、信号供給部 30 - 2 が従信号供給部として機能する場合について説明する。

【0074】

それぞれの信号供給部 30 には、当該信号供給部 30 が従信号供給部 30 として機能する場合に、主信号供給部 30 から受け取ったタイミング信号を遅延させる位相調整回路 50 を有する。位相調整回路 50 は、制御部 12 が生成したタイミング信号が、主信号供給部 30 を介して供給され、基準クロック通過経路 234 から基準クロックが分配される。

10

【0075】

また、位相調整回路 50 は、信号供給部 30 が主信号供給部として機能する場合には、制御部 12 から受け取ったタイミング信号を、従信号供給部の位相調整回路 50 に供給する。それぞれの信号供給部 30 は、主信号供給部として機能する場合に、従信号供給部にタイミング信号を供給するためのフリップフロップ 38 を有する。フリップフロップ 38 は、受け取ったタイミング信号を従信号供給部に供給する。

【0076】

また、信号供給部 30 が従信号供給部として機能する場合、位相調整回路 50 は、主信号供給部のフリップフロップ 38 から、タイミング信号を受け取る。位相調整回路 50 は、受け取ったタイミング信号の位相を調整して、ジェネレート回路 48 に供給する。ジェネレート回路 48、タイミング信号分配回路 56、及びタイミング供給部 60 は、受け取ったタイミング信号の位相に基づいてタイミング信号を生成し、テストモジュール 14 に供給する。ここで、従信号供給部の位相調整回路 50 は、主信号供給部から受け取ったタイミング信号を遅延させることにより、主信号供給部が第 1 タイミング信号を出力するタイミングと、従信号供給部が第 2 タイミング信号を出力するタイミングとを略同一とする。

20

【0077】

図 8 は、位相調整回路 50 の構成の一例を示す図である。位相調整回路 50 は、位相調整用可変遅延回路 236、縦続接続された複数のフリップフロップ 52、主従選択部 258、及びタイミング選択部 54 を有する。位相調整用可変遅延回路 236 は、当該信号供給部 30 が従信号供給部として機能する場合に、主信号供給部からタイミング信号を受け取り、当該タイミング信号を所定の遅延量遅延させて主従選択部 258 に供給する。主従選択部 258 は、位相調整用可変遅延回路 236 が遅延させたタイミング信号、又は制御部 12 から受け取ったタイミング信号のいずれを複数のフリップフロップ 52 に供給するかを選択する。

30

【0078】

制御部 12 は、信号供給部 30 が、主信号供給部又は従信号供給部のいずれとして機能するかに基づいて、主従選択部 258 にいずれのタイミング信号を選択させるかを制御する。つまり、信号供給部 30 が主信号供給部として機能する場合、主従選択部 258 は、制御部 12 から受け取ったタイミング信号を選択し、従信号供給部として機能する場合、主従選択部 258 は、位相調整用可変遅延回路 236 が遅延させたタイミング信号を選択する。

40

【0079】

複数のフリップフロップ 52 は、主従選択部 258 が選択したタイミング信号を受け取り、基準クロック生成部 10 が生成し、基準クロック通過経路 234 から分配される基準クロックに応じて、受け取ったタイミング信号を順次受け渡す。タイミング選択部 54 は、複数のフリップフロップ 52 のそれぞれのフリップフロップが出力するタイミング信号を受け取り、受け取った複数の前記タイミング信号のうち、いずれかを選択して、ジェネレート回路 48、タイミング信号分配回路 56、及びタイミング供給部 60 を介して第 2

50

タイミング信号として出力する。

【 0 0 8 0 】

制御部 1 2 は、タイミング選択部 5 4 がいずれのタイミング信号を選択するかを制御して、主信号供給部が第 1 タイミング信号を出力するタイミングと、従信号供給部が第 2 タイミング信号を出力するタイミングとを略同一とする。例えば、制御部 1 2 は、主信号供給部のタイミング選択部 5 4 に、予め定められたフリップフロップが出力するタイミング信号を選択させ、従信号供給部のタイミング選択部 5 4 がいずれのタイミング信号を選択するかを制御して、主信号供給部が第 1 タイミング信号を出力するタイミングと、従信号供給部が第 2 タイミング信号を出力するタイミングとを略同一とする。この場合、制御部 1 2 は、主信号供給部のタイミング選択部 5 4 に、縦続接続された複数のフリップフロップ 5 2 のうち、略中央に設けられたフリップフロップが出力するタイミング信号を選択させることが好ましい。

10

【 0 0 8 1 】

このような構成により、複数の信号供給部 3 0 を組み合わせた場合における、それぞれの信号供給部 3 0 に与えられるタイミング信号の位相のバラツキを調整することができる。

【 0 0 8 2 】

次に、主信号供給部と従信号供給部におけるタイミング信号の位相の調整方法について説明する。(1) まず、クロック制御回路 7 0 は、主信号供給部及び従信号供給部において、制御部 1 2 から受け取ったタイミング信号を複数のフリップフロップ 5 2 で保持できるように、基準クロック分配回路 8 0 が主信号供給部及び従信号供給部に供給する基準クロックを所定のタイミングで停止する。

20

【 0 0 8 3 】

(2) このとき、制御部 1 2 は、主信号供給部にタイミング信号を供給し、主信号供給部の複数のフリップフロップ 5 2 のいずれでタイミング信号の値の変化を検出したか、及び従信号供給部の複数のフリップフロップ 5 2 のいずれで位相調整用可変遅延回路 2 3 6 を介して受け取ったタイミング信号の値の変化点を検出したかを得る。制御部 1 2 は、複数のフリップフロップ 5 2 のそれぞれのフリップフロップが格納するタイミング信号の値を検出する手段を有することが好ましい。

【 0 0 8 4 】

(3) そして、従信号供給部の位相調整用可変遅延回路 2 3 6 の遅延量を順次変化させ、タイミング信号の値が変化するタイミングが、複数のフリップフロップ 5 2 のいずれかのフリップフロップがタイミング信号の値を取り込むタイミングと略同一となる遅延量を検出する。つまり、位相調整用可変遅延回路 2 3 6 の遅延量を変化させる毎に、上述した (2) の動作を繰り返し、複数のフリップフロップ 5 2 の保持する値がシフトする遅延量を検出する。そして、制御部 1 2 は、従信号供給部の位相調整用可変遅延回路 2 3 6 の遅延量を、検出した遅延量から基準クロックの半周期ずれた遅延量に設定する。このような制御により、基準クロックの 1 周期以下のタイミング調整を行うことができる。

30

【 0 0 8 5 】

(4) 次に、位相調整用可変遅延回路 2 3 6 の遅延量を設定した後、(2) において説明したように、主信号供給部の複数のフリップフロップ 5 2 のいずれでタイミング信号の値の変化を検出したか、及び従信号供給部の複数のフリップフロップ 5 2 のいずれで位相調整用可変遅延回路 2 3 6 を介して受け取ったタイミング信号の値の変化点を検出したかを得る。そして、主信号供給部と従信号供給部とで、複数のフリップフロップ 5 2 のいずれでタイミング信号の値の変化を検出したかに差が生じている場合、それぞれのタイミング選択部 5 4 が選択するフリップフロップを調整することにより、当該差を吸収する。このような制御により、基準クロックの周期の整数倍のタイミング調整を行うことができる。

40

【 0 0 8 6 】

以上、図 3 ~ 図 8 において説明したように、本例における試験装置 1 0 0 によれば、複

50

数の信号供給部 30 がタイミング信号を出力するタイミングの調整、テストモジュール 14 の特性に応じたタイミング信号の位相の調整、複数の信号供給部 30 を組み合わせた場合におけるそれぞれの信号供給部 30 に与えられる基準クロックの位相の調整を行うことができ、複数のテストモジュール 14 を同期して動作させ、電子デバイス 200 の試験を精度よく行うことができる。

【0087】

図 9 は、ジェネレート回路 48 及びタイミング信号分配回路 56 の構成の一例を示す図である。ジェネレート回路 48 は、複数のバス (120 - 1 ~ 120 - 8、以下 120 と総称する)、及び演算回路 130 を有する。

【0088】

複数のバス 120 は、制御部 12 の複数のホストコンピュータと対応して設けられており、それぞれ対応するホストコンピュータによって制御される。バス 120 は、フリップフロップ 122、分配回路 124、及び複数のフリップフロップ (126 - 1 ~ 126 - 64、以下 126 と総称する) を有する。

【0089】

分配回路 124 は、64 個の出力ポートを有しており、フリップフロップ 122 を介して制御部 12 から与えられるレート信号を、位相調整回路 50 から与えられる基準クロックに応じて、64 個の出力ポートのうち 1 又は複数の出力ポートから出力する。また、分配回路 124 には、フリップフロップ 122 を介して制御部 12 から、いずれの出力ポートからレート信号を出力するかを制御する制御信号が与えられる。レート信号は、例えば H 論理を示す信号であって、分配回路 124 がレート信号を出力する出力ポートを、基準クロックに応じて順次変化させることにより、位相の異なる複数のタイミング信号を生成して出力することができる。例えば、基準クロックに応じて、分配回路 124 がレート信号を出力する出力ポートを、1 から 64 まで順次切り替えることにより、位相分解能が基準クロックの周期と等しい、位相の異なる 64 種類のタイミング信号を生成することができる。また、それぞれの出力ポートを所望の周期で選択することにより、任意の周期のタイミング信号を生成することができる。例えば、複数のバス 120 毎に、出力ポートを選択する周期を変化させることにより、複数のバス 120 毎に、周期の異なる複数のタイミング信号を生成することができる。出力ポートを選択する周期は、制御部 12 から与えられる制御信号の周期を変更することによって容易に変更することができる。

【0090】

演算回路 130 は、複数のフリップフロップ (132 - 1 ~ 132 - 64、以下 132 と総称する)、複数の論理和回路 (134 - 1 ~ 134 - 64、以下 134 と総称する)、及び複数のフリップフロップ (136 - 1 ~ 136 - 64、以下 136 と総称する) を有する。

【0091】

複数のフリップフロップ 132、複数の論理和回路 134、及び複数のフリップフロップ 136 は、分配回路 124 の出力ポートと対応して設けられ、対応する出力ポートが出力するタイミング信号を受け取る。論理和回路 134 は、複数のバス 120 のそれぞれの分配回路 124 の対応する出力ポートが出力するタイミング信号を受け取り、受け取ったそれぞれのタイミング信号の論理和を出力する。制御部 12 は、複数の分配回路 124 が、同時に同一の出力ポートからタイミング信号を出力しないように、それぞれの分配回路 124 を排他的に制御する。例えば、複数のホストコンピュータは、分配回路 124 の 1 ~ 64 の出力ポートのうち、いずれの出力ポートの制御を行うかが予め割り当てられる。そして、それぞれのホストコンピュータは、対応するバス 120 の分配回路 124 において、割り当てられた出力ポートから、タイミング信号を出力する出力ポートを順次選択する。また、複数のフリップフロップ 136 は、それぞれのタイミング信号を同期して、タイミング信号分配回路 56 に供給する。

【0092】

タイミング信号分配回路 56 は、複数の分配部 (140 - 1 ~ 140 - 64、以下 14

10

20

30

40

50

0 と総称する)、複数の論理和回路(150-1~150-96、以下150と総称する)、及び複数のフリップフロップ(152-1~152-96、以下152と総称する)を有する。

【0093】

複数の分配部140は、分配回路124の複数の出力ポートに対応して設けられ、対応する出力ポートが出力するタイミング信号を受け取る。それぞれの分配部140は、フリップフロップ142、分配器144、レジスタ部146、及び複数の論理積回路(148-1~148-96、以下148と総称する)を有する。

【0094】

分配器144は、フリップフロップ142を介してタイミング信号を受け取り、複数の論理積回路148のそれぞれにタイミング信号を分配する。複数の論理積回路148は、複数のタイミング供給部60に対応して設けられ、受け取ったタイミング信号と、レジスタ部146から与えられる信号との論理積を出力する。 10

【0095】

レジスタ部146には、当該タイミング信号を、いずれのタイミング供給部60に供給するかを示すコマンドデータを格納する。本例において、レジスタ部146は、それぞれのビットが、複数のタイミング供給部60のいずれかと対応する、複数ビットのコマンドデータを格納する。レジスタ部146には、制御部12から当該コマンドデータが与えられる。制御部12は、当該タイミング信号を供給するべきタイミング供給部60に対応するビットをH論理としたコマンドデータをレジスタ部146に格納する。 20

【0096】

また、複数の論理和回路150は、複数の論理積回路148と対応して設けられ、複数の分配部140において、それぞれ対応する論理積回路148が出力するタイミング信号の論理和を出力する。制御部12は、それぞれの分配部140において、同一のタイミング供給部60に対応する論理積回路148が同時にタイミング信号を出力しないように、それぞれのレジスタ部146にコマンドデータを格納する。つまり、それぞれのレジスタ部146が格納するコマンドデータにおいて、同一のビットが同時にH論理を示さないように、それぞれのレジスタ部146にコマンドデータを供給する。

【0097】

複数のフリップフロップ152は、複数の論理和回路150と対応して設けられ、複数の論理和回路150が出力するタイミング信号を同期させ、対応するタイミング供給部60に供給する。 30

【0098】

上述したように本例におけるジェネレート回路48によれば、基準クロックの周期と等しい分解能で、位相及び周波数が任意に設定可能な複数のタイミング信号を生成することができる。また、タイミング信号分配回路56によれば、それぞれのタイミング供給部60に、ジェネレート回路48が生成した複数のタイミング信号のうちのいずれかを任意に選択して供給することができる。

【0099】

図10は、集約回路46及びタイミング信号分配回路56の構成の一例を示す図である。本例において、タイミング信号分配回路56は、図9において説明したタイミング信号分配回路56と同一の構成を有する。 40

【0100】

集約回路46は、複数の集約部(160-1~160-64、以下160と総称する)を有する。複数の集約部160は、複数の分配部140と対応して設けられる。それぞれの集約部160は、レジスタ部162、複数の論理積回路(164-1~164-96、以下164と総称する)、論理和回路166、及びシフトレジスタ部168を有し、複数の戻り系回路40が出力するフェイルタイミング信号を受け取り、複数のフェイルタイミング信号のうちの2以上のフェイルタイミング信号の論理和を出力する。また、複数の分配部140は、複数の集約部160に対応して設けられ、対応する集約部160の演算結 50

果を複数のテストモジュール 1 4 に分配する。

【 0 1 0 1 】

複数の論理積回路 1 6 4 は、複数の戻り系回路 4 0 と対応して設けられ、対応する戻り系回路 4 0 が出力するフェイルタイミング信号等を受け取る。そして、受け取ったフェイルタイミング信号と、レジスタ部 1 6 2 から与えられる信号との論理積を出力する。そして、論理和回路 1 6 6 は、複数の論理積回路 1 6 4 が出力するフェイルタイミング信号の論理和を出力する。

【 0 1 0 2 】

レジスタ部 1 6 2 には、複数のフェイルタイミング信号のうち、いずれのフェイルタイミング信号の論理和を論理和回路 1 6 6 に出力させるかを示すコマンドデータを格納する。本例において、レジスタ部 1 6 2 は、それぞれのビットが、複数の戻り系回路 4 0 のいずれかと対応する、複数ビットのコマンドデータを格納する。レジスタ部 1 6 2 には、制御部 1 2 から当該コマンドデータが与えられる。制御部 1 2 は、論理和回路 1 6 6 に供給すべきフェイルタイミング信号に対応するビットを H 論理としたコマンドデータをレジスタ部 1 6 2 に格納する。

10

【 0 1 0 3 】

本例においては、制御部 1 2 は、それぞれの分配部 1 4 0 のレジスタ部 1 4 6 に格納したコマンドデータと同一のコマンドデータを、それぞれの分配部 1 4 0 に対応する集約部 1 6 0 のレジスタ部 1 6 2 に格納する。つまり、制御部 1 2 は、レジスタ部 1 4 6 が格納したコマンドデータによってグループ化される複数のテストモジュール 1 4 のいずれかがフェイルタイミング信号を生成した場合に、当該フェイルタイミング信号に基づくタイミング信号を当該複数のテストモジュール 1 4 の全てに供給させる。

20

【 0 1 0 4 】

また、対応する分配部 1 4 0 と集約部 1 6 0 とは、共通のレジスタ部を有していてもよい。例えば、集約部 1 6 0 は、対応する分配部 1 4 0 のレジスタ部 1 4 6 からコマンドデータを受け取ってもよい。これにより、試験装置 1 0 0 のレジスタ素子の数を低減することができる。

【 0 1 0 5 】

図 1 1 は、複数の集約部 1 6 0 及び複数の分配部 1 4 0 の、半導体基板（図示しない）上における配置例を示す図である。図 1 1（a）～図 1 1（c）は、それぞれ、複数の集約部 1 6 0 及び複数の分配部 1 4 0 の、半導体基板上における配置の一例を示す図である。

30

【 0 1 0 6 】

図 1 1（a）に示すように、集約部 1 6 0 及び対応する分配部 1 4 0 の複数の組み合わせは、半導体基板上において並列に設けられる。また、集約回路 4 6 は、複数の集約部 1 6 0 に対応して設けられた複数のフリップフロップ（1 7 2 - 1 ～ 1 7 2 - 6 4、以下 1 7 2 と総称する）を更に有する。複数のフリップフロップ 1 7 2 は、戻り系回路 4 0 から受け取った複数のフェイルタイミング信号を、複数の集約回路 4 6 に同期させて供給する。

【 0 1 0 7 】

また、タイミング信号分配回路 5 6 は、複数の分配部 1 4 0 に対応して設けられた複数のフリップフロップ（1 7 4 - 1 ～ 1 7 4 - 6 4、以下 1 7 4 と総称する）を更に有する。複数のフリップフロップ 1 7 4 は、対応する分配部 1 4 0 から受け取った複数のフェイルタイミング信号を、論理和回路 1 5 0 に同期させて供給する。このような構成により、それぞれの集約部 1 6 0 及び分配部 1 4 0 の処理を、同期してパイプライン処理することができる。

40

【 0 1 0 8 】

また、図 1 1（b）に示すように、集約回路 4 6 は、複数の集約部 1 6 0 に対応して設けられた複数のフリップフロップ（1 8 0 - 1 ～ 1 8 0 - 6 4、以下 1 8 0 と総称する）を有していてもよい。複数のフリップフロップ 1 8 0 は縦続接続され、それぞれ対応する

50

集約回路 46 に順次フェイルタイミング信号を供給する。すなわち、それぞれの集約回路 46 に異なるタイミングでフェイルタイミング信号を供給する。

【0109】

また、図 11 (b) に示すように、論理和回路 150 に代えて、複数の論理和回路 (250 - 2 ~ 250 - 64、以下 250 と総称する) を備えてもよい。複数の論理和回路 250 は、複数の分配部 (140 - 2 ~ 140 - 64) に対応して設けられる。それぞれの論理和回路 250 は縦続接続され、論理和回路 250 - 2 は、分配部 140 - 1 及び分配部 140 - 2 が出力するフェイルタイミング信号の論理和を出力する。また、他の論理和回路 250 は、前段の論理和回路 250 が出力した論理和と、対応する分配部 140 が出力するフェイルタイミング信号との論理和を出力する。このような構成により、複数の集約回路 46 及び複数のタイミング信号分配回路 56 の動作の遅延を低減することができる。

10

【0110】

また、集約部 160 及び対応する分配部 140 は、半導体基板上における第 1 の方向で直列に接続される。また、図 10 においては、レジスタ部 162 及びレジスタ部 146 はそれぞれ集約部 160 及び分配部 140 に設けられているが、本例においては、共通のレジスタ部 146 が外部に設けられる。

【0111】

複数のレジスタ部 146 は、複数の集約部 160 及び複数の分配部 140 に対応して設けられ、集約部 160 において複数のフェイルタイミング信号のうちいずれのフェイルタイミング信号を用いて論理演算を行うか、及び分配部 140 において複数のテストモジュール 14 のうちいずれのテストモジュール 14 に論理演算結果を分配するかを制御する複数ビットの制御信号を、対応する集約部 160 及び分配部 140 に供給する。図 11 (b) に示すように、それぞれのレジスタ部 146 と、対応する集約部 160 及び分配部 140 とは、第 1 の方向で接続されることが好ましい。

20

【0112】

また、図 11 (c) に示すように、半導体基板上において、集約部 160 とテストモジュール 14 とを接続する配線、即ち集約部 160 と戻り系回路 40 とを接続する配線のうちの少なくとも一部は、第 1 の方向と垂直な第 2 の方向に沿って設けられることが好ましい。また、半導体基板上において、分配部 140 と、テストモジュール 14 とを接続する配線、即ち分配部 140 とタイミング供給部 60 とを接続する配線のうちの少なくとも一部は、第 1 の方向と垂直な第 2 の方向に沿って設けられることが好ましい。

30

【0113】

このような構成により、信号線が多数必要な配線が、半導体基板上における横方向又は縦方向に偏ることを防ぐことができる。半導体基板上において、同一方向の信号線数は一定数以上作成することができないが、本例における構成によれば、横方向及び縦方向に効率よく信号線を配分することができる。

【0114】

図 12 は、複数のフリップフロップ部 (186 - 1 ~ 186 - 7、以下 186 と総称する) 及び複数の選択部 (188 - 1 ~ 188 - 7、以下 188 と総称する) の構成の一例を示す。図 3 に関連して説明した複数のフリップフロップ (42、52、62) のそれぞれは、図 12 において説明する複数のフリップフロップ部 186 と同一の構成を有してよく、図 3 に関連して説明したタイミング選択部 54、戻り信号選択部 44、及びタイミング信号選択部 64 のそれぞれは、図 12 において説明する複数の選択部 188 と同一の構成を有してよい。

40

【0115】

複数のフリップフロップ部 186 は縦続接続されており、それぞれのフリップフロップ部 186 は、縦続接続されたフリップフロップを有する。フリップフロップ部 186 は、入力される基準クロック、タイミング信号、フェイルタイミング信号等を受け取り、縦続接続されたフリップフロップは、基準クロックに応じて、受け取った信号を順次次段のフ

50

リップフロップに受け渡す。

【0116】

また、それぞれのフリップフロップ部186におけるフリップフロップの縦続数は異なることが好ましい。例えば、それぞれのフリップフロップ部186-mは、 $2^m - 1$ 段縦続接続されたフリップフロップを有する。そして、複数の選択部188は、複数のフリップフロップ部186と対応して設けられ、対応するフリップフロップ部186に入力される信号、又は対応するフリップフロップ部186が出力する信号のいずれかを選択して、次段のフリップフロップ部186に供給する。それぞれの選択部188がいずれの信号を選択するかは、制御部12により制御される。このような構成により、基準クロック、タイミング信号、フェイルタイミング信号等が、所望の数のフリップフロップを通過するように、容易に制御することができる。

10

【0117】

また、戻り系回路40、位相調整回路50、及びタイミング供給部60は、複数のフリップフロップ(42、52、62)のそれぞれのフリップフロップが格納した値を読み出す手段を更に有することが好ましい。例えば、図12に示すように、複数の論理積回路190を更に有してよい。複数の論理積回路190は、それぞれのフリップフロップが格納した値を受け取り、制御部12から与えられる制御信号に応じて、それぞれのフリップフロップが格納した値を制御部12に供給する。

【0118】

図13は、制御部12に設けられる、複数のレジスタ部146を制御する書込制御回路の構成の一例を示す。書込制御回路は、複数の要求信号格納部(212-1~212-8、以下212と総称する)、セクタ202、フリップフロップ206、複数のフリップフロップ(208-1~208-4、以下208と総称する)、複数の論理積回路210、カウンタ222、リセット部228、論理積回路216、及び書込部204を備える。

20

【0119】

セクタ202は、制御部12に設けられた複数のホストコンピュータの内部クロック(CLKA~CLKH)の選択用に設けられ、いずれかの内部クロックを選択し、書込制御回路用クロックとして用いる。セクタ202には、フリップフロップ206から選択制御信号が与えられ、選択制御信号に応じていずれかのクロックを選択する。

【0120】

フリップフロップ206は、フリップフロップ206は、選択制御信号を保持している。当該選択制御信号は、ホストコンピュータからセクタ202に与えられる内部クロックのうちから、いずれかを選択させる信号である。

30

【0121】

複数の要求信号格納部212は、複数のホストコンピュータに対応して設けられ、対応するホストコンピュータからの書込要求信号を格納する。本例において、書込要求信号とは、いずれかのレジスタ部146のコマンドデータを書き換える旨を示すH論理の信号である。それぞれの要求信号格納部212は、複数のフリップフロップ208及び論理積回路210を介して書込要求信号を受け取る。複数のフリップフロップ(208-1~208-3)は、書込要求信号に同期しているクロックと、書込制御回路用クロックとが一致していないために生じるメタステーブルを除去する。従って、入力される書込要求信号の周期は、内部クロック(CLKA~CLKH)の周期よりも長くする必要がある。

40

【0122】

また、フリップフロップ208-4及び論理積回路210は、与えられる書込制御信号の立ち上がりエッジから、選択された内部クロックの1サイクルの間だけ、書込制御信号に対応する要求信号格納部212に供給するために設けられる。

【0123】

ホスト選択部214は、複数の要求信号格納部212を順次選択し、選択した要求信号格納部212が格納している格納データを受け取り、出力する。カウンタ222は、複数の要求信号格納部212を示す複数のホスト特定信号を順次生成し、ホスト選択部214

50

に供給し、ホスト選択部 214 は、順次受け取るホスト特定信号で特定される要求信号格納部 212 を順次選択する。カウンタ 222 は、例えば零から、複数の要求信号格納部 212 の数の 2 倍の数までの 2 進数を順次生成し、生成した 2 進数から最下位ビットを除去したデータを、ホスト特定信号として出力する。本例においては、書込制御回路は 8 個の要求信号格納部 212 を備えており、カウンタ 222 は、0000 ~ 1111 までの 2 進数を昇順に順次生成する。

【0124】

また、ホスト選択部 214 は、それぞれのホストコンピュータから、書込要求信号に対応して書き込むべきコマンドデータ (CS__ST1 ~ CS__ST8)、及びコマンドデータを書き込むべきレジスタ部 146 を特定するレジスタ部特定データ (WDT__ST1 ~ WDT__ST8) を受け取り、選択した要求信号格納部 212 に対応するホストコンピュータから受け取ったコマンドデータ及びレジスタ部特定データを、書込部 204 に供給する。

10

【0125】

書込部 204 は、ホスト選択部 214 が出力した格納データ、レジスタ部 146 に書き込むべきコマンドデータ、及びコマンドデータを書き込むべきレジスタ部 146 を特定するレジスタ部特定データを受け取り、受け取った格納データが書込要求信号である場合に、レジスタ部特定データで特定されるレジスタ部 146 に、コマンドデータを書き込む。書込部 204 は、フリップフロップ 218 及びフリップフロップ 220 を有する。フリップフロップ 218 は、レジスタ部特定データで特定されるレジスタ部 146 にコマンドデータを供給し、フリップフロップ 220 は、レジスタ部 146 への書込を許可するライトイネーブル信号を出力する。

20

【0126】

リセット部 228 は、ホスト選択部 214 が受け取った格納データが、書込要求信号である場合に、ホスト選択部 214 が選択した要求信号格納部 212 が格納している書込要求信号をリセットする。例えば、リセット部 228 は、複数の要求信号格納部 212 が格納している複数の格納データ、及びカウンタ部が生成するホスト特定信号を受け取り、ホスト特定信号に応じた要求信号格納部 212 が格納している格納データが、書込要求信号である場合に、ホスト特定信号で特定される要求信号格納部 212 が格納している書込要求信号をリセットする。

30

【0127】

リセット部 228 は、セクタ 224 及び論理積回路 226 を有する。セクタ 224 は、複数の要求信号格納部 212 が格納している格納データをそれぞれのビットとした 8 ビットの信号を受け取り、受け取った信号において、ホスト特定信号で特定されるビットが H 論理である場合に、当該ビットのみを H 論理としたリセット信号を論理積回路 226 に供給する。論理積回路 226 は、カウンタ 222 が生成した 2 進数の最下位ビットを受け取り、カウンタ 222 が生成した 2 進数の最下位ビットが H 論理である場合に、リセット信号を要求信号格納部 212 に供給し、H 論理を示すリセット信号のビットの位置に応じた要求信号格納部 212 をリセットする。

40

【0128】

また、論理積回路 216 は、カウンタ 222 が生成した 2 進数の最下位ビットが H 論理を示す場合に、ホスト選択部 214 が出力した格納データを、書込部 204 のフリップフロップ 220 に供給する。

【0129】

本例における書込制御回路によれば、それぞれのレジスタ部 146 のコマンドデータを効率よく書き換えることができる。また、複数のホストコンピュータのいずれからレジスタ部 146 のコマンドデータを書き換えることができるため、複数のホストコンピュータでレジスタ部 146 を共有して使用することができる。例えば、試験毎に、それぞれのレジスタ部 146 をいずれのホストコンピュータが使用するかを割り当てることができる。試験装置 100 のレジスタ素子の数を低減することができる。

50

【 0 1 3 0 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【図面の簡単な説明】

【 0 1 3 1 】

【図 1】本発明の実施形態に係る試験装置 100 の構成の一例を示す図である。

【図 2】スイッチマトリクス 20 の構成の一例を示す図である。

【図 3】信号供給部 30 及びクロック制御回路 70 の構成の一例を示す図である。

10

【図 4】ループ回路 110 の構成の一例を示す図である。

【図 5】基準クロック分配回路 80 の構成の一例を示す図である。

【図 6】図 3 から図 5 において説明した、複数の信号供給部 30 がタイミング信号を出力するタイミングの調整方法の一例を示すフローチャートである。

【図 7】タイミング信号と基準クロックとの関係を示す図である。図 7 (a) は、基準クロック用可変遅延回路 36 の遅延量を調整しない場合の一例を示し、図 7 (b) は、基準クロック用可変遅延回路 36 の遅延量を調整した場合の一例を示す。

【図 8】位相調整回路 50 の構成の一例を示す図である。

【図 9】ジェネレート回路 48 及びタイミング信号分配回路 56 の構成の一例を示す図である。

20

【図 10】集約回路 46 及びタイミング信号分配回路 56 の構成の一例を示す図である。

【図 11】複数の集約部 160 及び複数の分配部 140 の、半導体基板（図示しない）上における配置例を示す図である。図 11 (a) ~ 図 11 (c) は、それぞれ、複数の集約部 160 及び複数の分配部 140 の、半導体基板上における配置の一例を示す図である。

【図 12】複数のフリップフロップ部 186 及び複数の選択部 188 の構成の一例を示す図である。

【図 13】制御部 12 に設けられる、複数のレジスタ部 146 を制御する書込制御回路の構成の一例を示す図である。

【符号の説明】

【 0 1 3 2 】

30

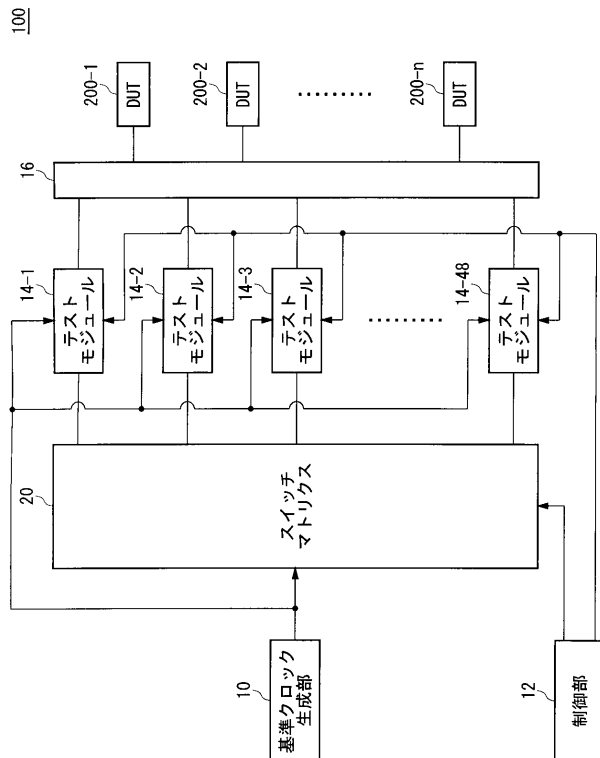
10・・・基準クロック生成部、12・・・制御部、14・・・テストモジュール、16・・・デバイス接触部、20・・・スイッチマトリクス、30・・・信号供給部、32・・・カウンタ部、34・・・戻り系用可変遅延回路、36・・・基準クロック用可変遅延回路、38・・・フリップフロップ、40・・・戻り系回路、42・・・複数のフリップフロップ、44・・・戻り信号選択部、46・・・集約回路、48・・・ジェネレート回路、50・・・位相調整回路、52・・・複数のフリップフロップ、54・・・タイミング選択部、56・・・タイミング信号分配回路、60・・・タイミング供給部、62・・・複数のフリップフロップ、64・・・タイミング信号選択部、66・・・同期回路、70・・・クロック制御回路、72・・・フリップフロップ、74・・・選択部、76・・・カウンタ、78・・・論理回路、80・・・クロック分配回路、82・・・分配器、84・・・論理積回路、86・・・論理和回路、88・・・分配器、90・・・出力部、100・・・試験装置、110・・・ループ回路、112・・・基準クロック選択部、114・・・基準クロック選択部、116・・・論理和回路、117・・・論理積回路、118・・・分配器、119・・・フリップフロップ、120・・・バス、122・・・フリップフロップ、124・・・分配回路、126・・・フリップフロップ、130・・・演算回路、132・・・フリップフロップ、134・・・論理和回路、136・・・フリップフロップ、140・・・分配部、142・・・フリップフロップ、144・・・分配器、146・・・レジスタ部、148・・・論理積回路、150・・・論理和回路、152・・・フリップフロップ、160・・・集約部、162・・・レジスタ部、164・・・論理積回路、166・・・論理和回路、168・・・シフトレジスタ部、172・・・フリ

40

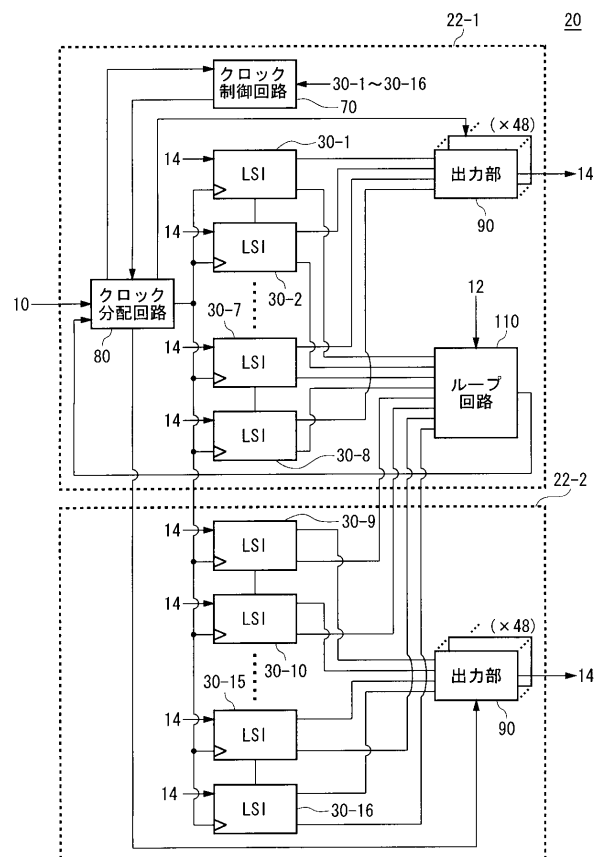
50

ップフロップ、174・・・フリップフロップ、178・・・フリップフロップ、180
 ・・・フリップフロップ、186・・・フロップフロップ部、188・・・選択部、19
 0・・・論理積回路、200・・・電子デバイス、202・・・セクタ、204・・・
 書込部、206・・・フリップフロップ、208・・・フリップフロップ、210・・・
 論理積回路、212・・・要求信号格納部、214・・・ホスト選択部、216・・・論
 理積回路、218・・・フリップフロップ、220・・・フリップフロップ、222・・・
 カウンタ、224・・・セクタ、226・・・論理積回路、232・・・第2分配点
 、234・・・基準クロック通過経路、236・・・位相調整用可変遅延回路、250・
 ・論理和回路、258・・・主従選択部

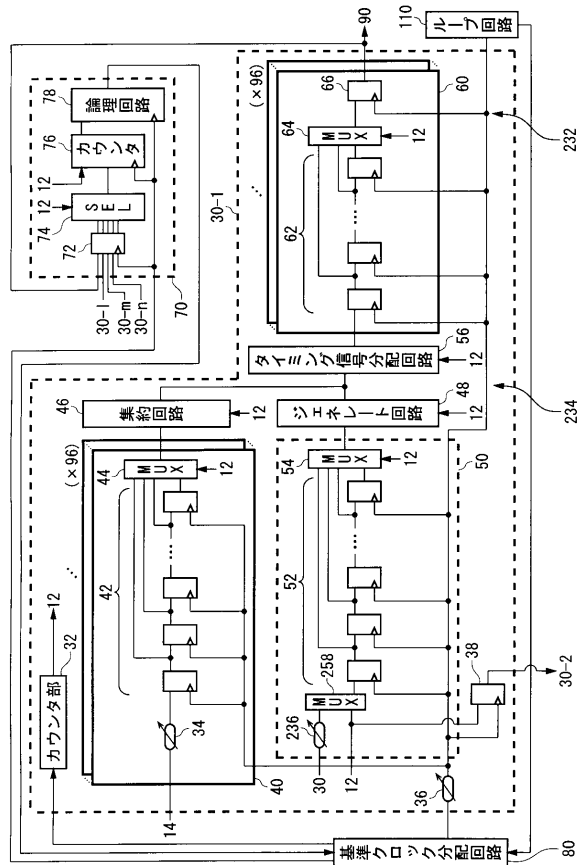
【図1】



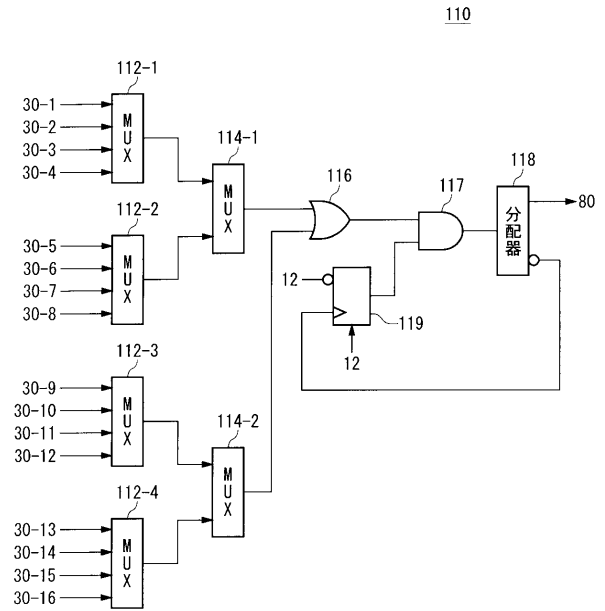
【図2】



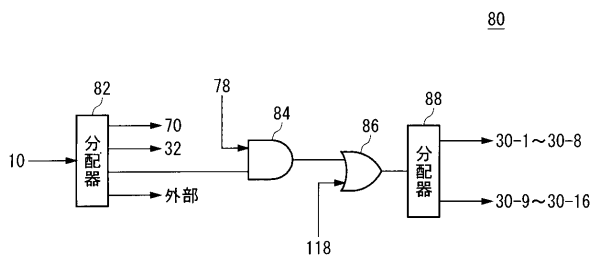
【図 3】



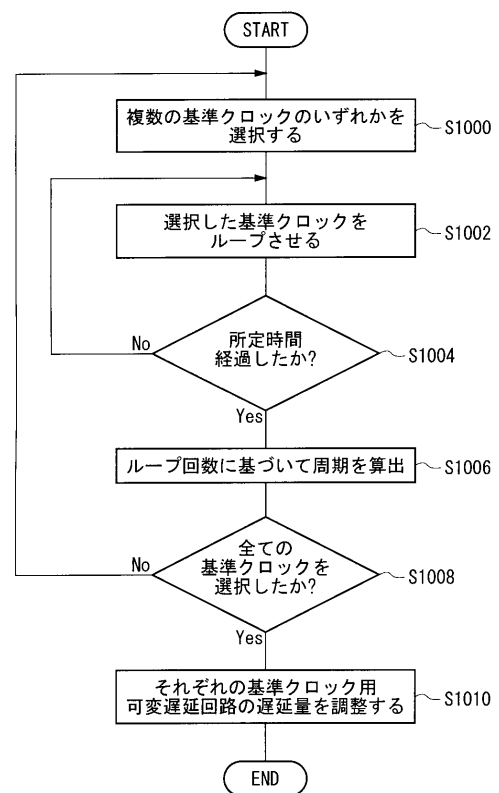
【図 4】



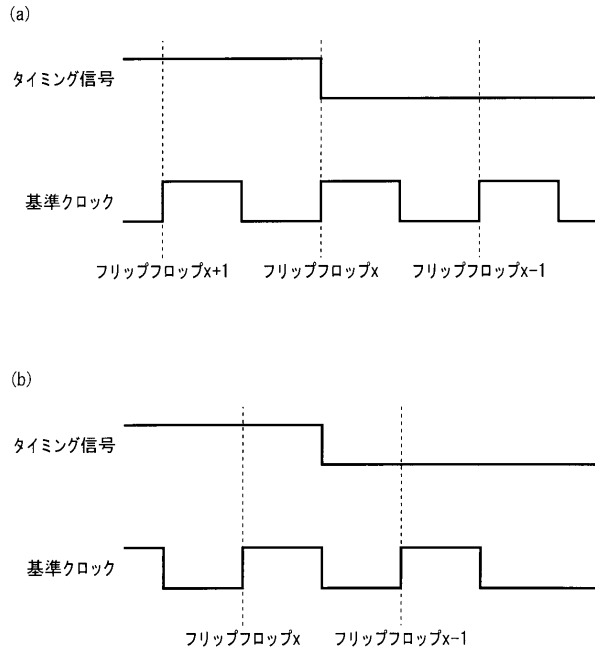
【図 5】



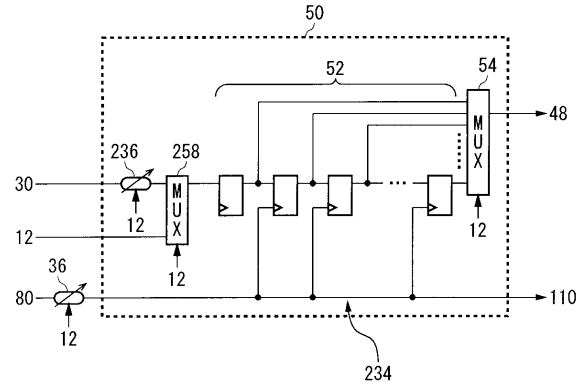
【図 6】



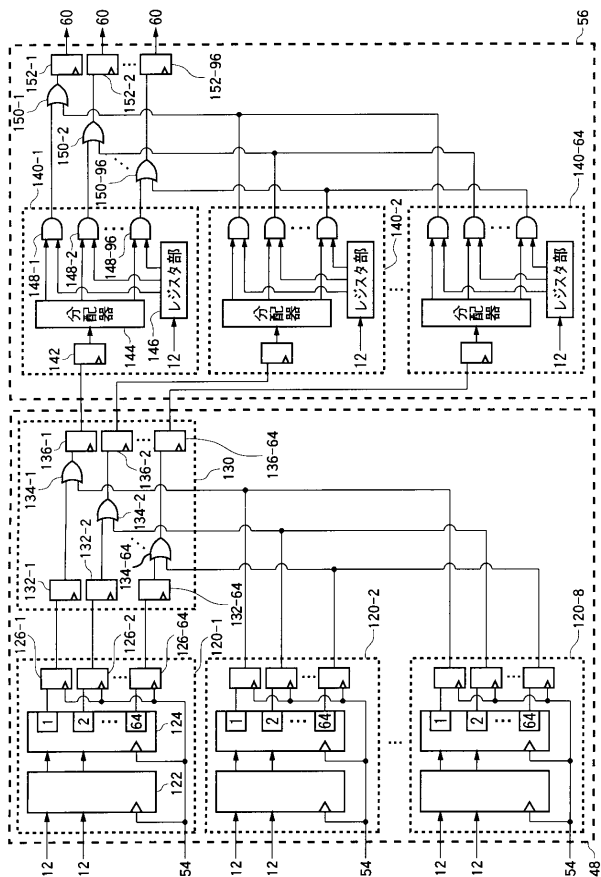
【図 7】



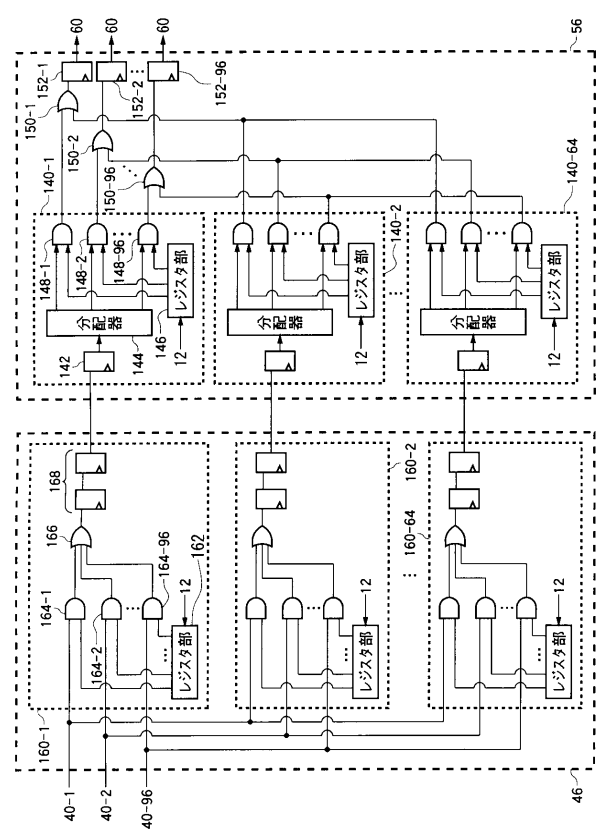
【図 8】



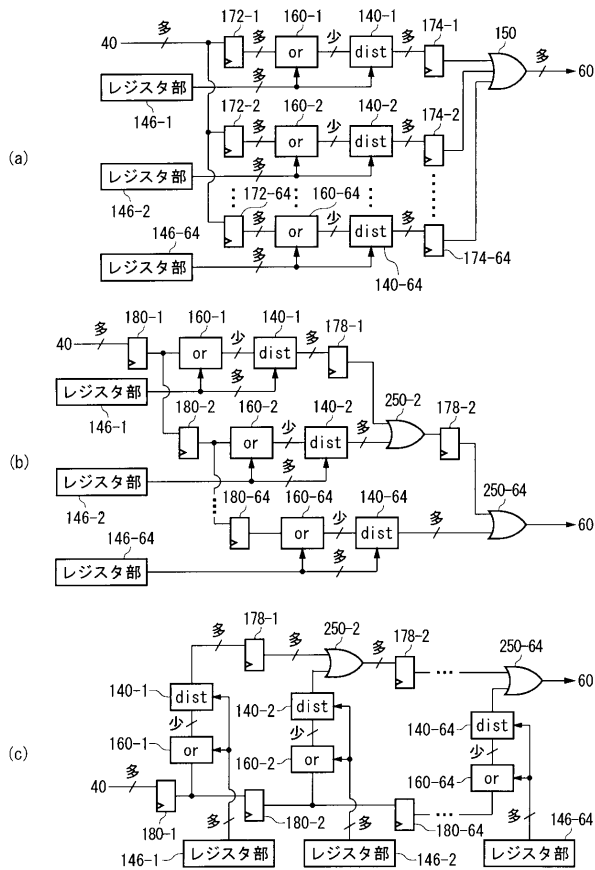
【図 9】



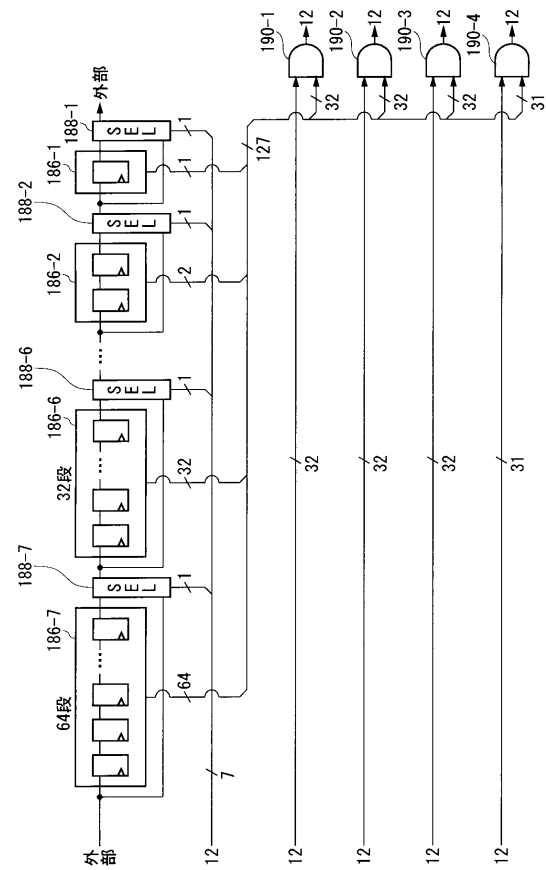
【図 10】



【図 1 1】



【図 1 2】



【図 1 3】

