

(12) 发明专利

(10) 授权公告号 CN 101686049 B

(45) 授权公告日 2012.05.23

(21) 申请号 200910176066.5

(51) Int. Cl.

(22) 申请日 2009.09.25

H03K 19/0185(2006.01)

H01L 27/092(2006.01)

(30) 优先权数据

12/237,463 2008.09.25 US

12/237,483 2008.09.25 US

(56) 对比文件

CN 101034884 A, 2007.09.12, 说明书第 8-9、11-20 页, 附图 2-3、5-8.

US 2004/0016977 A1, 2004.01.29, 说明书第 53-54、58-60 段, 附图 2、7-8.

(73) 专利权人 威盛电子股份有限公司

地址 中国台湾台北县

CN 1267406 A, 2000.09.20, 全文.

US 6232793 B1, 2001.05.15, 全文.

US 2003/0085751 A1, 2003.05.08, 全文.

CN 101034884 A, 2007.09.12, 说明书第 8-9、11-20 页, 附图 2-3、5-8.

(72) 发明人 雷蒙·A·贝特伦 马克·J·伯兹

凡妮莎·S·坎尼克

达鲁斯·D·嘉斯金斯

詹姆斯·R·隆柏格

马修·罗素·尼克森

审查员 孙艳兵

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇 王璐

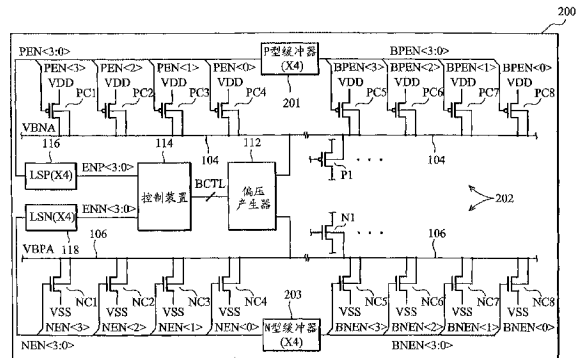
权利要求书 6 页 说明书 14 页 附图 6 页

(54) 发明名称

微处理器装置、集成电路以及晶片噪声减少方法

(57) 摘要

一种微处理器装置、集成电路以及晶片噪声减少方法,该装置包括第一基底偏压导线于第一操作模式期间提供第一基底偏压,第一电源供应节点提供核心电压,钳位装置耦接于第一基底偏压导线与第一电源供应节点之间及控制装置。控制装置于第二操作模式导通钳位装置以钳制第一基底偏压导线至第一电源供应节点,于第一操作模式不导通钳位装置。钳位装置可为 P 与 N 型沟道装置。微处理器可包括电平移位电路与缓冲电路根据基底偏压电平控制钳位装置。微处理器可包括具有第一与第二区域的基底。区域分别包括第一与第二基底偏压导线。控制装置分别导通或不导通钳位装置,并根据不同电力模式选择钳制第一与第二区域的基底偏压导线。本发明减低了次临界漏电流。



CN 101686049 B

1. 一种微处理器装置,其特征在于,包括:

一第一基底偏压导线,于一第一操作模式期间,提供一第一基底偏压;

一第一电源供应节点,提供一核心电压;

至少一钳位装置,耦接于上述第一基底偏压导线与上述第一电源供应节点之间;以及

一控制装置,耦接于上述至少一钳位装置,于一第二操作模式期间,导通上述至少一钳位装置以钳制上述第一基底偏压导线至上述第一电源供应节点,于上述第一操作模式期间,不导通上述至少一钳位装置;

其中,该第一操作模式为一低电力模式,该第二操作模式为一正常操作模式,上述至少一钳位装置包括沿着上述第一基底偏压导线分布的多个钳位装置。

2. 根据权利要求1所述的微处理器装置,其特征在于,

上述至少一钳位装置包括一半导体装置,该半导体装置具有一栅极、耦接于上述第一电源供应节点的一源极与耦接于上述第一基底偏压导线的一漏极;以及

其中上述控制装置提供一第一钳位致能信号,以控制上述半导体装置的上述栅极。

3. 根据权利要求2所述的微处理器装置,其特征在于,还包括:

一电平移位电路,具有接收上述第一钳位致能信号的一输入端,以及提供一钳制移位致能信号至上述半导体装置的一输出端;以及

其中于上述第一操作模式期间,上述控制装置设置上述第一钳位致能信号至上述核心电压,并导致上述电平移位电路设置上述钳制移位致能信号至上述第一基底偏压以不导通上述半导体装置。

4. 根据权利要求2所述的微处理器装置,其特征在于,上述半导体装置包括一P型沟道装置与一N型沟道装置中的一个。

5. 根据权利要求1所述的微处理器装置,其特征在于,还包括:

一第二基底偏压导线,于上述第一操作模式期间提供一第二基底偏压;

一第二电源供应节点,提供一参考电压;

其中于上述第一操作模式时,上述第一基底偏压相对于上述核心电压具有一正电压偏移,上述第二基底偏压相对于上述参考电压具有一负电压偏移;

其中上述至少一钳位装置包括耦接于上述第一基底偏压导线与上述第一电源供应节点之间的多个P型沟道装置,以及耦接于上述第二基底偏压导线与上述第二电源供应节点之间的多个N型沟道装置;以及

其中上述控制装置包括一第一输出端以及一第二输出端,上述第一输出端用以提供一第一钳位致能信号以控制上述P型沟道装置,上述第二输出端用以提供一第二钳位致能信号以控制上述N型沟道装置。

6. 根据权利要求5所述的微处理器装置,其特征在于,还包括:

一P型电平移位电路,具有耦接于上述控制装置的上述第一输出端的一输入端与耦接于至少一上述P型沟道装置的栅极的一输出端;以及

一N型电平移位电路,具有耦接于上述控制装置的上述第二输出端的一输入端与耦接于至少一上述N型沟道装置的栅极的一输出端;

其中上述控制装置切换上述第一钳位致能信号与上述第二钳位致能信号于上述参考电压与上述核心电压之间,其中上述P型电平移位电路根据上述第一钳位致能信号切换上

述 P 型电平移位电路的上述输出端于上述参考电压与上述第一基底偏压之间,以及上述 N 型电平移位电路根据上述第二钳位致能信号切换上述 N 型电平移位电路的上述输出端于上述核心电压与上述第二基底偏压之间。

7. 根据权利要求 6 所述的微处理器装置,其特征在于,还包括:

一 P 型缓冲器,具有耦接于上述 P 型电平移位电路的上述输出端的一输入端,以及耦接于至少一上述 P 型沟道装置的一输出端;

一 N 型缓冲器,具有耦接于上述 N 型电平移位电路的上述输出端的一输入端,以及耦接于至少一上述 N 型沟道装置的一输出端;以及

其中上述 P 型缓冲器切换上述 P 型缓冲器的上述输出端于上述参考电压与上述第一基底偏压之间,上述 N 型缓冲器切换上述 N 型缓冲器的上述输出端于上述核心电压与上述第二基底偏压之间。

8. 根据权利要求 1 所述的微处理器装置,其特征在于,还包括:

一基底,具有一第一区域与一第二区域;

多个第一半导体装置,位于上述第一区域;

多个第二半导体装置,位于上述第二区域;以及

其中上述第一基底偏压导线绕线于位于上述基底的上述第一区域的上述第一半导体装置以于上述第一操作模式偏压上述第一半导体装置,而上述第二半导体装置保持电力开启。

9. 根据权利要求 8 所述的微处理器装置,其特征在于,上述至少一钳位装置沿着位于上述基底的上述第一区域的上述第一基底偏压导线分布。

10. 根据权利要求 1 所述的微处理器装置,其特征在于,还包括:

一基底,具有一第一区域与一第二区域;

其中上述第一基底偏压导线位于上述第一区域;

一第二基底偏压导线位于上述第二区域,并且于一第三操作模式提供一第二基底偏压;

上述至少一钳位装置包括位于上述第一区域并耦接于上述第一基底偏压导线与上述第一电源供应节点之间的多个第一钳位装置,以及位于上述第二区域并耦接于上述第二基底偏压导线与上述第一电源供应节点之间的多个第二钳位装置;以及

其中上述控制装置于上述第二操作模式期间,导通上述第一钳位装置与上述第二钳位装置以钳制上述第一基底偏压导线与上述第二基底偏压导线至上述第一电源供应节点,于上述第一操作模式期间不导通上述第一钳位装置且导通上述第二钳位装置,并于上述第三操作模式期间不导通上述第二钳位装置。

11. 根据权利要求 1 所述的微处理器装置,其特征在于,还包括:

一基底,具有一第一区域与一第二区域;

其中上述第一基底偏压导线位于上述第一区域;

一第二基底偏压导线位于上述第二区域,并且于上述第二操作模式提供一第二基底偏压;

上述至少一钳位装置包括位于上述第一区域并耦接于上述第一基底偏压导线与上述第一电源供应节点之间的多个第一钳位装置,以及位于上述第二区域并耦接于上述第二基

底偏压导线与上述第一电源供应节点之间的多个第二钳位装置；以及

其中上述控制装置于上述第二操作模式期间，导通上述第一钳位装置且不导通上述第二钳位装置以钳制上述第一基底偏压导线至上述第一电源供应节点，于上述第一操作模式期间不导通上述第一钳位装置且导通上述第二钳位装置以钳制上述第二基底偏压导线至上述第一电源供应节点。

12. 一种集成电路，其特征在于，包括：

一基底；

一第一基底偏压导线与一第二基底偏压导线，位于上述基底；

一第一电源供应导体，位于上述基底，用以提供一核心电压，上述核心电压相对于位于上述基底的一第二电源供应导体所提供的一参考电压；

其中于上述集成电路的一第一操作模式期间，提供一第一基底偏压于上述第一基底偏压导线，且提供一第二基底偏压于上述第二基底偏压导线，其中上述第一基底偏压高于上述核心电压而上述第二基底偏压低于上述参考电压；

至少一第一钳位装置，位于上述基底，上述至少一第一钳位装置分别耦接于上述第一电源供应导体与上述第一基底偏压导线之间；

至少一第二钳位装置，位于上述基底，上述至少一第二钳位装置分别耦接于上述第二电源供应导体与上述第二基底偏压导线之间；以及

一控制装置，具有用以控制上述至少一第一钳位装置的一第一输出端，以及用以控制上述至少一第二钳位装置的一第二输出端；

其中上述控制装置于上述第一操作模式不导通上述至少一第一钳位装置与上述至少一第二钳位装置，于一第二操作模式导通上述至少一第一钳位装置与上述至少一第二钳位装置，以钳制上述第一基底偏压导线至上述第一电源供应导体以及钳制上述第二基底偏压导线至上述第二电源供应导体；

其中，该第一操作模式为一低电力模式，该第二操作模式为一正常操作模式，上述至少一第一钳位装置包括沿着上述第一基底偏压导线分布的多个第一钳位装置，上述至少一第二钳位装置包括沿着上述第二基底偏压导线分布的多个第二钳位装置。

13. 根据权利要求 12 所述的集成电路，其特征在于，上述至少一第一钳位装置包括一第一 P 型沟道装置，该第一 P 型沟道装置具有耦接于上述第一电源供应导体的一源极、耦接于上述第一基底偏压导线的一漏极及由上述控制装置的上述第一输出端所控制的一栅极，以及其中上述至少一第二钳位装置包括一第一 N 型沟道装置，该第一 N 型沟道装置具有耦接于上述第二电源供应导体的一源极、耦接于上述第二基底偏压导线的一漏极及由上述控制装置的上述第二输出端所控制的一栅极。

14. 根据权利要求 13 所述的集成电路，其特征在于，上述第一 P 型沟道装置包括耦接于上述第一基底偏压导线的一基底接点以及其中上述第一 N 型沟道装置包括耦接于上述第二基底偏压导线的一基底接点。

15. 根据权利要求 13 所述的集成电路，其特征在于，还包括：

一第一电平移位电路，具有耦接于上述控制装置的上述第一输出端的一输入端以及耦接于上述第一 P 型沟道装置的上述栅极的一输出端，其中上述控制装置切换上述控制装置的上述第一输出端至上述参考电压以导通上述第一 P 型沟道装置及切换上述控制装置的

上述第一输出端至上述核心电压以不导通上述第一 P 型沟道装置,以及其中上述第一电平移位电路切换上述第一 P 型沟道装置的上述栅极至上述参考电压以导通上述第一 P 型沟道装置及切换上述第一 P 型沟道装置的上述栅极至上述第一基底偏压以不导通上述第一 P 型沟道装置;以及

一第二电平移位电路,具有耦接于上述控制装置的上述第二输出端的一输入端以及耦接于上述第一 N 型沟道装置的上述栅极的一输出端,其中上述控制装置切换上述控制装置的上述第二输出端至上述核心电压以导通上述第一 N 型沟道装置及切换上述控制装置的上述第二输出端至上述参考电压以不导通上述第一 N 型沟道装置,以及其中上述第二电平移位电路切换上述第一 N 型沟道装置的上述栅极至上述核心电压以导通上述第一 N 型沟道装置及切换上述第一 N 型沟道装置的上述栅极至上述第二基底偏压以不导通上述第一 N 型沟道装置。

16. 根据权利要求 15 所述的集成电路,其特征在于,还包括:

上述至少一第一钳位装置,包括一第二 P 型沟道装置,该第二 P 型沟道装置具有一栅极、耦接于上述第一电源供应导体的一源极与耦接于上述第一基底偏压导线的一漏极;

一第一缓冲器,具有耦接于上述第一电平移位电路的上述输出端的一输入端以及耦接上述第二 P 型沟道装置的上述栅极的一输出端,其中上述第一缓冲器切换上述第一缓冲器的上述输出端随着上述第一电平移位电路的上述输出端于上述参考电压与上述第一基底偏压之间;

上述至少一第二钳位装置,包括一第二 N 型沟道装置,该第二 N 型沟道装置具有一栅极、耦接于上述第二电源供应导体的一源极与耦接于上述第二基底偏压导线的一漏极;以及

一第二缓冲器,具有耦接于上述第二电平移位电路的上述输出端的一输入端以及耦接上述第二 N 型沟道装置的上述栅极的一输出端,其中上述第二缓冲器切换上述第二缓冲器的上述输出端随着上述第二电平移位电路的上述输出端于上述核心电压与上述第二基底偏压之间。

17. 根据权利要求 12 所述的集成电路,其特征在于,于上述第二操作模式导通上述第一钳位装置以维持上述第一基底偏压导线的电压于相对于上述核心电压的变动在一第一既定最小电压电平内,于上述第二操作模式导通上述第二钳位装置以维持上述第二基底偏压导线的电压于相对于上述参考电压的变动在一第二既定最小电压电平内。

18. 根据权利要求 12 所述的集成电路,其特征在于,上述基底分为第一区域与第二区域,该第一区域与该第二区域分别具有多个半导体装置,以及其中上述第一基底偏压导线、上述第二基底偏压导线与上述至少一第一钳位装置位于上述基底的上述第一区域。

19. 一种晶片噪声减少方法,其特征在于,适用于一微处理器晶片,上述微处理器晶片包括用以减少次临界漏电流的一第一基底偏压导线,上述晶片噪声减少方法包括:

当上述微处理器晶片于一第一电力状态,钳制上述第一基底偏压导线至一核心电压或参考电压;以及

当上述微处理器晶片于一第二电力状态,不钳制上述第一基底偏压导线,并且提供一第一基底偏压至上述第一基底偏压导线,其中上述第一基底偏压高于上述核心电压或低于上述参考电压;

其中,该第一电力状态为一正常操作状态,该第二电力状态为一低电力状态,钳制上述第一基底偏压导线至上述核心电压或上述参考电压的步骤包括导通所选取的多个第一钳位装置,上述多个第一钳位装置沿着上述第一基底偏压导线分布。

20. 根据权利要求 19 所述的晶片噪声减少方法,其特征在于,上述多个第一钳位装置用来维持上述基底偏压导线的电压于相对于上述核心电压或上述参考电压的变动在第一既定最小电压电平。

21. 根据权利要求 19 所述的晶片噪声减少方法,其特征在于,还包括:

耦接一第一半导体装置的一漏极与一源极于上述第一基底偏压导线与上述核心电压之间或上述第一基底偏压导线与上述参考电压之间;

当微处理器晶片于上述第一电力状态,导通上述第一半导体装置;

当微处理器晶片于上述第二电力状态,不导通上述第一半导体装置。

22. 根据权利要求 21 所述的晶片噪声减少方法,其特征在于,

上述提供一第一基底偏压至上述第一基底偏压导线的步骤还包括提供一偏移电压以驱动上述第一基底偏压导线的电压高于上述核心电压;以及

其中不导通上述第一半导体装置的步骤包括提供一第一钳位致能信号,上述第一钳位致能信号设置上述第一半导体装置的一栅极至比上述核心电压高出上述偏移电压的电压电平。

23. 根据权利要求 21 所述的晶片噪声减少方法,其特征在于,

上述提供一第一基底偏压至上述第一基底偏压导线的步骤还包括提供一偏移电压以驱动上述第一基底偏压导线的电压低于上述参考电压;以及

其中不导通上述第一半导体装置的步骤包括提供一第一钳位致能信号,上述第一钳位致能信号设置上述第一半导体装置的一栅极至比上述参考电压低出上述偏移电压的电压电平。

24. 根据权利要求 22 所述的晶片噪声减少方法,其特征在于,还包括:

耦接一第二半导体装置的一漏极与一源极于上述第一基底偏压导线与上述核心电压之间;以及

于上述微处理器晶片提供一缓冲器,上述缓冲器用以缓冲上述第一钳位致能信号以提供一缓冲钳位致能信号至上述第二半导体装置的一栅极,其中上述缓冲钳位致能信号与上述第一钳位致能信号的电压电平相同。

25. 根据权利要求 23 所述的晶片噪声减少方法,其特征在于,还包括:

耦接一第二半导体装置的一漏极与一源极于上述第一基底偏压导线与上述参考电压之间;以及

于上述微处理器晶片提供一缓冲器,上述缓冲器用以缓冲上述第一钳位致能信号以提供一缓冲钳位致能信号至上述第二半导体装置的一栅极,其中上述缓冲钳位致能信号与上述第一钳位致能信号的电压电平相同。

26. 根据权利要求 19 所述的晶片噪声减少方法,其特征在于,上述微处理器晶片分为一第一区域与一第二区域,并且包括一第二基底偏压导线,其中上述第一基底偏压导线位于上述第一区域,上述第二基底偏压导线位于上述第二区域,上述晶片噪声减少方法还包括:

当上述微处理器晶片于上述第一电力状态与上述第二电力状态时,钳制上述第二基底偏压导线至上述核心电压或上述参考电压;以及

当上述微处理器晶片于一第三电力状态,不钳制上述第二基底偏压导线并提供一第二基底偏压至上述第二基底偏压导线。

27. 根据权利要求 19 所述的晶片噪声减少方法,其特征在于,上述微处理器晶片分为一第一区域与一第二区域,并且包括一第二基底偏压导线,其中上述第一基底偏压导线位于上述第一区域,上述第二基底偏压导线位于上述第二区域,上述晶片噪声减少方法还包括:

当上述微处理器晶片于上述第二电力状态时,钳制上述第二基底偏压导线至上述核心电压或上述参考电压;以及

当上述微处理器晶片于上述第一电力状态,不钳制上述第二基底偏压导线并提供一第二基底偏压至上述第二基底偏压导线。

微处理器装置、集成电路以及晶片噪声减少方法

技术领域

[0001] 本发明主要关于一种于微处理器晶粒 (die) 提供基底偏压 (substrate biasing) 以减低次临界漏电流 (sub-threshold leakage), 特别有关于一种分别钳制基底偏压导线至核心电压与参考电压以最小化装置基底的噪声的装置与方法, 进而改善装置执行性能。

背景技术

[0002] 因互补式金属氧化物半导体 (Complementary Metal-Oxide Semiconductor, 以下简称 CMOS) 电路比其他类型的集成电路 (integrated circuit, 以下简称 IC) 较为密集 (dense) 且其消耗的电力较少, 所以 CMOS 技术已成为于集成电路中的数字电路设计的主流 (dominant style)。CMOS 电路由 N 沟道金属氧化物半导体 (n-channel metal-oxide-semiconductor, 以下简称 NMOS) 与 P 沟道金属氧化物半导体 (p-channel metal-oxide-semiconductor, 以下简称 PMOS) 共同组成, 根据设计、比例 (scale)、材质 (material) 及制程 (process) 的不同, NMOS 与 PMOS 分别具有一临界电压 (此指栅极对源极的电压)。由于集成电路设计及制造技术不断发展, 操作电压及装置尺寸也随之降低。65 纳米 (nanometer, nm) 制程应用于大量 CMOS 半导体制程的先进光蚀刻技术 (lithographic process) 且更有益于超大型集成电路 (very large scale integrated circuit, 以下简称 VLSI) 的制造, 如微处理器等。随着装置尺寸与电压电平的减少, 每个装置的沟道长度与氧化层厚度 (oxide thickness) 也跟着减少。制造业者已改用具有较低临界电压的栅极材质以增加次临界漏电流 (sub-threshold leakage current)。当栅极对源极的电压低于 CMOS 装置的临界电压时, 次临界漏电流流经漏极 (drain) 与源极 (source) 之间。多个传统电路的每个 CMOS 的基底介面 (或为阱区或基底接点 (bulk tie/connection)) 耦接于对应的一电力线 (例如 PMOS 基底接点耦接于核心电压 VDD, NMOS 基底接点耦接于参考电压 VSS)。在此类传统结构中, 次临界漏电流在动态环境 (如正常操作期间) 下可占总耗电力的约 30% 或是以上的比例。

[0003] 通常需要集成电路操作于低电力模式 (low power mode) (如睡眠模式或冬眠 (hibernation) 模式) 以尽可能地减少电力消耗。于低电力模式期间, 偏压产生器 (bias generator) 或充电泵 (charge pump) 以与供应电力不同的电压电平来偏压装置的基底。偏压产生器可提供于晶片上或晶片外 (off chip)。另一种情况, 偏压产生器将 PMOS 的基底接点的电压提升至高于核心电压 VDD 的电压并将 NMOS 的基底接点的电压降低至低于参考电压 VSS 的电压。这样的基底偏压明显减少于低电力模式下的次临界电压漏电流, 借以保存电力总量。然而, 在大型集成装置 (如微处理器), 需要传送基底偏压至分布于晶粒上的多个装置。虽然有可能于晶粒上提供多个偏压产生器, 但上述多个偏压产生器消耗了有价值 (valuable) 的晶粒范围, 所以需要最小化偏压产生器的数量。基底偏压导线尽可能距晶粒较远处来绕线, 以传送基底偏压。于低电力模式, 偏压产生器驱动基底偏压, 以最小化次临界漏电流与降低电力。于正常操作模式, 偏压产生器驱动偏压导线的电压至对应的供应电压, 以尝试改进装置的执行性能。偏压导线分布的相关的阻抗的电平将导致于遍布

(across) 集成电路的基底的电压变动 (voltage variation)。基底偏压导线也会由于电容耦合 (capacitive coupling) 导致引入噪声, 影响装置的执行性能。

[0004] 在最小化电压变动与噪声以及维持装置执行性能的同时, 要求将基底偏压导线遍布于大型集成装置 (如微处理器) 的晶粒, 这是现有技术亟须解决的问题。

发明内容

[0005] 有鉴于此, 根据一实施例所述的一种微处理器装置, 包括: 第一基底偏压导线, 于第一操作模式提供一第一基底偏压。第一电源供应点提供核心电压。至少一钳位装置耦接于第一基底偏压导线与第一供应节点之间以及一控制装置耦接于上述至少一钳位装置。于第二操作模式期间, 控制装置将钳位装置导通, 以钳制第一基底偏压导线至第一电源供应节点, 并于第一操作模式期间, 不导通钳位装置。

[0006] 钳位装置可为半导体装置, 例如 N 型沟道装置或 P 型沟道装置等。将第一基底偏压导线驱动至相对于核心电压具有一偏移电压的第一基底偏压。微处理器装置可包括电平移位电路用以偏压钳位装置, 以确保于第一操作模式期间不导通钳位装置。微处理器装置可包括缓冲器用以控制多个钳位装置。

[0007] 微处理器装置可包括第一基底偏压导线与第二基底偏压导线, 其中第二基底偏压导线于第一操作模式期间提供第二基底偏压。根据一实施例, 于第一操作模式期间, 第一基底偏压相对于核心电压具有一正电压偏移, 而第二基底偏压相对于参考电压具有一负电压偏移。

[0008] 微处理器装置可包括一基底, 具有第一区域与第二区域。于一实施例中, 在第一操作模式期间, 位于第一区域的第一基底偏压导线偏压位于第一区域的半导体装置, 而位于第二区域的半导体装置保持电力开启。第二区域可包括第二基底偏压导线与钳位装置。控制装置可选择导通或不导通耦接于第一基底偏压导线与第二基底偏压导线的钳位装置。

[0009] 根据一实施例所述的一种集成电路包括一基底、位于基底的第一基底偏压导线与第二基底偏压导线、位于基底的第一电源供应导体提供相对于参考电压的核心电压, 上述参考电压由位于基底的第二电源供应导体所提供、位于基底且耦接于第一电源供应导体与第一基底偏压导线之间的至少一第一钳位装置、位于基底且耦接于第二电源供应导体与第二基底偏压导线之间的至少一第二钳位装置以及一控制装置。于集成电路的第一操作模式期间, 提供第一基底偏压于第一基底偏压导线, 提供第二基底偏压于第二基底偏压导线, 其中第一基底偏压高于核心电压, 而第二基底偏压低于参考电压。控制装置具有用以控制上述第一钳位装置的第一输出端, 并且具有用以控制第二钳位装置的第二输出端。于第一操作模式时, 控制装置将第一钳位装置与第二钳位装置不导通, 并于第二操作模式将上述第一钳位装置与上述第二钳位装置导通以钳制第一基底偏压导线至第一电源供应导体以及钳制第二基底偏压导线至第二电源供应导体。

[0010] 集成电路可包括电平移位电路以根据基底偏压电平将钳位装置导通与不导通。集成电路可包括耦接于钳位装置的缓冲器。基底可分为第一区域与第二区域, 上述区域分别具有多个半导体装置, 其中第一基底偏压导线与第二基底偏压导线与至少一第一钳位装置位于基底的第一区域。

[0011] 根据一实施例所述的一种晶片噪声减少方法, 上述微处理晶片包括第一基底偏压

导线,用以减少次临界漏电流。根据一实施例,当微处理器晶片于第一电力状态时,第一基底偏压导线钳制第一基底偏压导线至核心电压,微处理器晶片于第二电力状态时,不钳制第一基底偏压导线,并提供第一基底偏压至第一基底偏压导线。

[0012] 上述晶片噪声减少方法包括导通所选取的多个第一钳位装置,上述多个第一钳位装置用来维持第一基底偏压导线的电压于相对于上述核心电压的变动在第一既定最小电压电平且多个第一钳位装置沿着上述第一基底偏压导线分布。上述晶片噪声减少方法的步骤可包括将第一半导体装置的漏极与源极耦接于第一基底偏压导线与核心电压之间,当微处理器于第一电力状态,导通第一半导体装置,当微处理器于第二电力状态,不导通第一半导体装置。上述晶片噪声减少方法可包括提供一偏移电压以驱动第一基底偏压导线的电压高于核心电压或是低于核心电压,以及提供第一钳位致能信号以设置第一半导体装置的栅极至高于或是低于核心电压上述偏移电压的电压电平。上述晶片噪声减少方法可包括将第二半导体装置的漏极与源极分别耦接于第一基底偏压导线与核心电压,以及于微处理器晶片提供一缓冲器,用以缓冲第一钳位致能信号以提供缓冲钳位致能信号至第二半导体装置的一栅极。于一实施例,缓冲钳位致能信号与第一钳位致能信号的电压电平相同。

[0013] 微处理器晶片可分为第一与第二区域以及可包括第二基底偏压导线。于一实施例,第一基底偏压导线位于第一区域,第二基底偏压导线位于第二区域。在本案中,上述晶片噪声减少方法还包括选择钳制第一基底偏压导线与第二基底偏压导线至核心电压或者是选择不钳制基底偏压导线以及在微处理器的多种电力状态下于基底偏压导线接收对应的偏压。

[0014] 本发明可以减少电压变动与噪声耦合以及次临界漏电流。

附图说明

[0015] 图 1 是显示根据本发明一实施例的一基底偏压电路,上述基底偏压电路包括整合于 P 型基底上的传统 CMOS 装置以及更显示根据一实施例的整合于集成电路的基底偏压电路的示意图。

[0016] 图 2 是显示根据本发明一实施例的整合于微处理器晶片的基底偏压电路的区块图,上述微处理器包括分布的钳位装置。

[0017] 图 3 是显示根据本发明一实施例所述的 P 型电平移位电路的示意图,上述 P 型电平移位电路可作为图 1 及图 2 的 P 型电平移位电路。

[0018] 图 4 是显示根据本发明一实施例所述的 N 型电平移位电路的示意图,上述 N 型电平移位电路可作为图 1 及图 2 的 N 型电平移位电路。

[0019] 图 5 及图 6 是显示根据本发明一实施例所述的 P 型与 N 型缓冲器的示意图。

[0020] 图 7 是显示根据本发明一实施例所述的整合于微处理器晶片的选择区域的基底偏压电路的示意图,上述微处理器包括分布的钳位装置。

[0021] 图 8 是显示根据本发明一实施例所述的微处理器分为多个区域的区块图,上述区域分别包括基底偏压电路与分布的钳位装置。

具体实施方式

[0022] 为使本发明的上述目的、特征和优点能更明显易懂,下文特举一较佳实施例,并配

合所附图式,作详细说明如下。

[0023] 实施例:

[0024] 本领域技术人员皆可由以下描述,视其实际应用与需要,创造及使用本发明。然而,本领域技术人员皆可变动为较佳的实施例,以应用于其他实施例。因此,本发明的目的不只限于所显示的实施例,也应揭露于包括与其原则一致的广泛范围及新的特点。

[0025] 发明人考量传统基底偏压于低电力模式时将装置基底偏压至不同于供应电压的电压电平会具有明显的阻抗与电容噪声耦合 (capacitive noise coupling)。例如,其缺点包括因沿着基底偏压导线长度而增加的电压降 (voltage drop) 将导致基底偏压明显的变动,而于正常操作模式时,耦接于装置的噪声使得执行性能下降。因此,发明人提供具有基底偏压钳制的微处理器,以减少电压变动与噪声耦合,并于以下说明及结合图 1 至图 8 描述。

[0026] 图 1 显示包括整合于 P 型基底 101 上的 CMOS 装置的一集成电路 100 的一实施例以及根据一实施例所述的整合于集成电路 100 上的基底偏压电路 102 的区块图。虽然所显示的特定结构为双层阱 (twin well) 制程,但依然可考虑使用其他类型的制程 (如 N 型阱 (N-well)、P 型阱 (P-well) 及三层阱 (triple well) 等)。N 型阱区 103、105 与 107 形成于 P 型基底 101 内,并且第二 N 型阱区 105 为深 N 型阱区 (deep N-well region)。隔离的 P 型阱区 (isolated P-well) 109 形成于深 N 型阱区 105 内。第一 N 型阱区 103 用以制造 P 型沟道装置 111,而隔离的 P 型阱区 109 用以制造 N 型沟道装置 113。本领域技术人员皆了解第三 N 型阱区 107 可应用于其他装置。虽然图 1 仅显示二个沟道装置 111 与 113,本领域技术人员皆了解任何数量的额外装置皆可应用于 P 型基底 101 上。

[0027] 成对的 P 型扩散区 (diffusion region) (P+) 115 与 117 以及 N 型扩散区 (N+) 119 形成 P 型沟道装置 111 于 N 型阱区 103 内。P 型沟道装置 111 还包括将栅极绝缘层 (gate insulator layer) 121 覆盖在 P 型扩散区 115 及 117 的 N 型阱区 103 上。P 型扩散区 (P+) 115 形成为漏极端,标注为“D”;P 型扩散区 (P+) 117 形成为源极端,标注为“S”;以及栅极绝缘层 121 形成为栅极端,标注为“G”。根据装置的特别功能,P 型沟道装置 111 的栅极端 G 与漏极端 D 耦接于集成电路 100 的对应信号 (未绘示)。P 型沟道装置 111 的源极端 S 耦接于一核心电压 (core voltage) VDD。在一实施例中,上述核心电压 VDD 由一第一电源供应节点提供。N 型扩散区 119 形成为一阱区或基底接点 (bulk connection),标注为“B”,耦接于提供 P 型沟道装置 111 的基底偏压 VBNA 的基底偏压导线 (substrate bias rail) 104。对于 N 型沟道装置 113,成对的 N 型扩散区 (N+) 123 及 125 以及 P 型扩散区 (P+) 127 形成于隔离的 P 型阱区 109 内,而栅极绝缘层 129 形成在覆盖于 N 型扩散区 123 及 125 的 P 型阱区 109 上。N 型扩散区 125 形成为漏极端 D;N 型扩散区 123 形成为源极端 S;以及栅极绝缘层 129 形成为栅极端 G。N 型沟道装置 113 的栅极端 G 与漏极端 D,根据装置的特别功能耦接于集成电路 100 上的对应信号 (未绘示)。N 型沟道装置 113 的源极端 S 耦接另一核心电压 VSS,为了与上述核心电压 VDD 区别,因此称为参考电压 (core reference voltage) VSS,上述参考电压 VSS 于实施例中为一接地信号。在一实施例中,上述参考电压 VSS 由一第二电源供应节点提供。P 型扩散区 127 形成为一阱区或基底接点 B,耦接于用以提供基底偏压 VBPA 于 N 型沟道装置 113 的基底偏压导线 106。

[0028] 核心电压 VDD 与参考电压 VSS 可通过导体或是导电路等 (例如本领域技术人员

皆了解的导电穿孔、导电节点、导电导线、导电总线与总线信号等) 提供于整个集成电路或晶片。基底偏压导线 104 与 106 也可通过导体或导电路等实施。

[0029] 基底偏压电路 102 包括偏压产生器 112, 上述偏压产生器 112 具有输出端以分别于基底偏压导线 104 与 106 上提供基底偏压 VBNA 与 VBPA。虽然于实施例中偏压产生器 112 以位于集成电路 100 的电荷泵实施, 但依然可考虑以其他类型的电压产生器实施。偏压产生器 112 由控制装置 114 所提供的偏压控制信号 BCTL 控制。控制装置 114 有一输出端, 提供钳位致能信号 ENP 至 P 型电平移位电路 (P-type level shifter, LSP) 116 的输入端, 而上述 P 型电平移位电路 116 有一输出端, 提供对应的钳制移位致能信号 PEN 至 P 型沟道钳位装置 PC1 的栅极。P 型沟道钳位装置 PC1 具有耦接于核心电压 VDD 的源极, 其漏极与基底耦接至基底偏压导线 104。控制装置 114 有另一输出端, 提供另一钳位致能信号 ENN 至 N 型电平移位 (N-type level shifter, LSN) 电路 118 的输入端, 上述 N 型电平移位电路 118 有一输出端, 提供对应的钳制移位致能信号 NEN 至 N 型沟道钳位装置 NC1 的栅极。N 型沟道钳位装置 NC1 的源极耦接至参考电压 VSS, 其漏极与基底耦接至基底偏压导线 106。控制装置 114 切换钳位致能信号 ENP 与 ENN 于集成电路 100 的参考电压 VSS 与核心电压 VDD 之间。P 型电平移位电路 116 移动钳制移位致能信号 PEN 的电压范围于参考电压 VSS 与基底偏压 VBNA 之间, N 型电平移位电路 118 移动钳制移位致能信号 NEN 的电压范围于基底偏压 VBPA 与核心电压 VDD 之间。通常当控制装置 114 设置 (assert) 钳位致能信号 ENP 为低电平时, 钳制移位致能信号 PEN 设置为低电平以导通 P 型沟道钳位装置 PC1 以钳制基底偏压导线 104 至核心电压 VDD。当控制装置 114 设置钳位致能信号 ENP 为高电平时, 则 P 型沟道钳位装置 PC1 将不导通。当控制装置 114 设置钳位致能信号 ENN 为高电平时, 则设置钳制移位致能信号 NEN 为高电平以导通 N 型沟道钳位装置 NC1 而钳制基底偏压导线 106 至参考电压 VSS。当控制装置 114 设置钳位致能信号 ENN 为低电平时, 则 N 型沟道钳位装置 NC1 将不导通。

[0030] 当要求集成电路 100 操作于低电力模式时, 控制装置 114 将设置钳位致能信号 ENP 为高电平, 并设置钳位致能信号 ENN 为低电平, 以不导通钳位装置 PC1 与 NC1。需注意的是集成电路 100 可能具有多个操作状态或操作模式, 上述多个操作状态或模式包括一或多个低电力模式或低电力状态。上述低电力模式是集成电路 100 的至少一部分区域操作于低电力状态 (condition) 或者是关闭。于低电力模式, 控制装置 114 也控制偏压产生器 112, 并以一第一基底偏移电压 (substrate bias offset voltage) 驱动基底偏压 VBNA 以高于核心电压 VDD 的电压, 并以一第二基底偏移电压驱动基底偏压 VBPA 以低于参考电压 VSS。根据实际的结构, 第一基底偏移电压与第二基底偏移电压可为等效或者是不同的电压。亦即, 于低电力模式时, 基底偏压 VBNA 相对于核心电压 VDD 具有一正电压偏移, 基底偏压 VBPA 相对于参考电压 VSS 具有一负电压偏移。因此, 于低电力模式, 将 P 型沟道装置 111 的基底电压驱动为高于核心电压 VDD 的电压, 并将 N 型沟道装置 113 的基底电压驱动为低于参考电压 VSS 的电压, 以使上述二者的装置的次临界漏电流最小化。当需要将集成电路 100 切换至正常操作模式以正常运作时, 控制装置 114 将控制偏压产生器 112 以驱动基底偏压 VBNA 至核心电压 VDD 的电压电平, 以及驱动基底偏压 VBPA 至参考电压 VSS 的电压电平。因此, 于正常操作模式期间, P 型沟道装置 111 的基底 B 驱动至核心电压 VDD, 而 N 型沟道装置 113 的基底 B 驱动至参考电压 VSS。

[0031] 基底偏压导线 104 与 106 绕线 (routed) 至整合于 P 型基底 101 的每个装置 (包括 N 型沟道装置 113 与 P 型沟道装置 111)。基底偏压 VBNA 与 VBPA 需要分别与基底偏压导线 104 及基底偏压导线 106 保持一致。通常较大尺寸的 P 型基底 101 与 / 或较大的集成电路 (integrated devices) 具有较长的基底偏压导线 104 与 106。基底偏压导线 104 与 106 可为实体导体 (physical conductor), 其阻抗导致沿着远离偏压产生器 112 的导线长度而渐增的电压降。若 N 型沟道装置 113 与 P 型沟道装置 111 中的一个距离偏压产生器 112 相对较远, 基底偏压 VBNA 与 VBPA 的电压电平将分别与核心电压 VDD 与参考电压 VSS 有明显的差异, 并导致对操作机制的执行有负面的影响。再者, 基底偏压导线 104 与 106 容易传送由电容耦合 (capacitive coupling) 或类似的效应所产生的噪声, 更影响操作并降低效能。

[0032] 利用控制偏压产生器 112 分别驱动基底偏压 VBNA 与 VBPA 的电压电平至核心电压 VDD 与参考电压 VSS, 并设置钳位致能信号 ENP 为低电平 (所以钳制移位致能信号 PEN 为低电平) 与钳位致能信号 ENN 为高电平 (所以钳制移位致能信号 NEN 为高电平) 以将集成电路 100 切换回正常操作模式。以此方式, 钳位装置 PC1 与 NC1 分别钳制基底偏压导线 104 与 106 至核心电压 VDD 与参考电压 VSS。虽然仅显示用于基底偏压导线 104 的一 P 型沟道钳位装置 PC1 以及用于基底偏压导线 106 的一 N 型沟道钳位装置 NC1, 但可使用任何数量的钳位装置分别沿着偏压导线 104 与 106 的长度而分布。在一实施例中, 钳位装置的数量与位置根据钳制各基底偏压导线相对于对应的核心电压 VDD 与参考电压 VSS 的既定最小电压电平而定。在此方式下, 当钳位装置致能时, 基底偏压导线 104 的电压钳制为具有既定最小电压电平的核心电压 VDD, 而基底偏压导线 106 的电压钳制为具有既定最小电压电平的参考电压 VSS。上述的钳制机制可减少电容耦合效应所产生的噪声, 并最小化沿着基底偏压导线 104 与 106 的电压变动。在一实施例, 当基底偏压导线 104 与 106 钳制为核心电压 VDD 与参考电压 VSS 之后, 若要求噪声更少与维持电力, 可将偏压产生器 112 停止运作 (shut down) 或是切换为低电力模式。

[0033] 图 2 显示根据一实施例所述的基底偏压电路 202 整合于具有分布的钳位装置的微处理器 200 的晶粒的区块图。基底偏压电路 202 大体与图 1 的基底偏压电路 102 相同, 类似的装置与元件以相同标号表示。如图所示, 偏压产生器 112 具有一输出端, 分别于基底偏压导线 104 与 106 提供基底偏压 VBNA 与 VBPA。基底偏压导线 104 与 106 绕线于微处理器的晶粒, 以传送出基底偏压 VBNA 与 VBPA 至选取的整合于微处理器 200 的 P 型与 N 型沟道装置。一实施例所示的 P 型沟道装置 P1 具有一基底接点至基底偏压导线 104, 其作法近似于图 1 的 P 型沟道装置 111, N 型沟道装置 N1 具有一基底接点至基底偏压导线 106, 其作法近似于图 1 的 N 型沟道装置 113。虽然仅显示一个 P 型沟道装置与一个 N 型沟道装置, 但本领域技术人员皆了解可于前述的近似方法, 可将多个装置提供于微处理器 200, 并以基底接点耦接至适合的基底偏压导线 104 与 106 的一者 (以圆点标示)。耦接于基底偏压导线 104 的 P 型沟道钳位装置 PC1、PC2...PC8 沿着基底偏压导线 104 分布, 耦接于基底偏压导线 106 的 N 型沟道钳位装置 NC1、NC2...NC8 沿着基底偏压导线 106 分布。各 P 型沟道装置 PC1-PC8 的漏极与基底耦接至基底偏压导线 104, 其源极耦接至电压 VDD。各 N 型沟道钳位装置 NC1-NC8 的漏极与基底分别耦接至基底偏压导线 106, 其源极耦接至参考电压 VSS。控制装置 114 提供控制信号 BCTL 以控制偏压产生器 112, 其操作方法近似于图 1 应用于集成电路 100 的操作方法。如图 2 所示, 控制装置 114 分别提供四个 P 型钳位致能信号 ENP<3:0>

至四个 P 型电平移位电路 LSP 116 的输入端,上述 P 型电平移位电路 116 输出对应的四个钳制移位致能信号 (level-shifted clamp enablesignal)PEN<3:0>。同样地,控制装置 114 分别提供四个 N 型钳位致能信号 ENN<3:0> 至四个 N 型电平移位电路 LSN 118 的输入端,上述 N 型电平移位电路输出对应的四个钳制移位致能信号 NEN<3:0>。

[0034] 钳制移位致能信号 PEN<3:0> 分别提供至对应的 P 型沟道钳位装置 PC1-PC4 的栅极。具体地说,钳制移位致能信号 PEN<3> 提供至 P 型沟道钳位装置 PC1 的栅极;钳制移位致能信号 PEN<2> 提供至 P 型沟道钳位装置 PC2 的栅极;钳制移位致能信号 PEN<1> 提供至 P 型沟道钳位装置 PC3 的栅极以及钳制移位致能信号 PEN<0> 提供至 P 型沟道钳位装置 PC4 的栅极。各钳制移位致能信号 PEN<3:0> 分别提供于对应的四个 P 型缓冲器 201 的一个的输入端,P 型缓冲器 201 并提供对应的四个缓冲钳制移位致能信号 BPEN<3:0>。具体地说,缓冲钳制移位致能信号 BPEN<3> 为钳制移位致能信号 PEN<3> 的缓冲形式 (version);缓冲钳制移位致能信号 BPEN<2> 为钳制移位致能信号 PEN<2> 的缓冲形式;缓冲钳制移位致能信号 BPEN<1> 为钳制移位致能信号 PEN<1> 的缓冲形式以及缓冲钳制移位致能信号 BPEN<0> 为钳制移位致能信号 PEN<0> 的缓冲形式。缓冲钳制移位致能信号 BPEN<3> 提供至 P 型沟道钳位装置 PC5 的栅极;缓冲钳制移位致能信号 BPEN<2> 提供至 P 型沟道钳位装置 PC6 的栅极;缓冲钳制移位致能信号 BPEN<1> 提供至 P 型沟道钳位装置 PC7 的栅极以及缓冲钳制移位致能信号 BPEN<0> 提供至 P 型沟道钳位装置 PC8 的栅极。于此方式,不论何时钳位致能信号 ENP<3:0> 的任一个设置为低电平,其所对应的钳制移位致能信号 PEN<3:0> 的一个将设置为低电平,并导通对应的 P 型沟道钳位装置 PC1-PC4 的一个,而对应的缓冲钳制移位致能信号 BPEN<3:0> 也设置为低电平以将对应的 P 型沟道钳位装置 PC5-PC8 的一个导通。例如,当钳位致能信号 ENP<1> 设置为低电平,则钳制移位致能信号 PEN<1> 与缓冲钳制移位致能信号 BPEN<1> 也设置为低电平,因此 P 型沟道钳位装置 PC3 与 PC7 导通。以此方式,控制装置 114 可选择性致能任一对 P 型沟道钳位装置 PC1-PC8。

[0035] 与前述近似的方法,钳制移位致能信号 NEN<3:0> 分别提供至对应的 N 型沟道钳位装置 NC1-NC4 的栅极。具体地说,钳制移位致能信号 NEN<3> 提供至 N 型沟道钳位装置 NC1 的栅极;钳制移位致能信号 NEN<2> 提供至 N 型沟道钳位装置 NC2 的栅极;钳制移位致能信号 NEN<1> 提供至 N 型沟道钳位装置 NC3 的栅极以及钳制移位致能信号 NEN<0> 提供至 N 型沟道钳位装置 NC4 的栅极。钳制移位致能信号 NEN<3:0> 分别提供于对应的四个 N 型缓冲器 203 的一个的输入端,N 型缓冲器 203 提供对应的四个缓冲钳制移位致能信号 BNEN<3:0>。具体地说,缓冲钳制移位致能信号 BNEN<3> 为钳制移位致能信号 NEN<3> 的缓冲形式;缓冲钳制移位致能信号 BNEN<2> 为钳制移位致能信号 NEN<2> 的缓冲形式;缓冲钳制移位致能信号 BNEN<1> 为钳制移位致能信号 NEN<1> 的缓冲形式以及缓冲钳制移位致能信号 BNEN<0> 为钳制移位致能信号 NEN<0> 的缓冲形式。缓冲钳制移位致能信号 BNEN<3> 提供至 N 型沟道钳位装置 NC5 的栅极;缓冲钳制移位致能信号 BNEN<2> 提供至 N 型沟道钳位装置 NC6 的栅极;缓冲钳制移位致能信号 BNEN<1> 提供至 N 型沟道钳位装置 NC7 的栅极以及缓冲钳制移位致能信号 BNEN<0> 提供至 N 型沟道钳位装置 NC8 的栅极。以此方式,不论何时将钳位致能信号 ENN<3:0> 的任一个设置为高电平,其所对应的钳制移位致能信号 NEN<3:0> 的一个将设置为高电平,以将其所对应的 N 型沟道钳位装置 NC1-NC4 的一个导通,而对应的缓冲钳制移位致能信号 BNEN<3:0> 的一个也设置为高电平,以将对应的 N 型沟道钳位装置 NC5-NC8

的一个导通。例如,当控制装置 114 设置钳位致能信号 ENN<2> 为高电平,则钳制移位致能信号 NEN<2> 与缓冲钳制移位致能信号 BNEN<2> 也设置为高电平,以将 N 型沟道钳位装置 NC2 与 NC6 导通。以此方式,控制装置 114 可选择性致能任一对 N 型沟道钳位装置 NC1-NC8。

[0036] 虽然图 2 只显示八个 P 型沟道钳位装置 PC1-PC8 与八个 N 型沟道钳位装置 NC1-NC8。但本领域技术人员可根据实际集成电路 100 的尺寸与架构来使用任何数量的沟道钳位装置与对应的钳位致能信号。同时,所显示有关 P 型沟道装置 P1 的信号与 P 型沟道钳位装置以及有关 N 型沟道装置 N1 的信号与 N 型沟道钳位装置的群组 (grouping) 可为任意的,虽然仅显示上述装置,本领域技术人员亦可考量多个可能的变动。例如,由控制装置 114 提供单一钳位控制信号,于移动电平之后,可根据钳位装置的数量要求,以提供所要求的缓冲次数。同时,虽然图 2 显示钳位装置 PC1-PC4 为共同群组,但是上述装置可分别位于实际要求的位置 (如相近于对应的装置)。例如,钳位装置 PC1 与 PC2 虽然彼此互相相近,但是实际上却是分离 (separated) 的,同时于微处理器 200 的晶粒上,钳位装置 PC1 与 PC5 可实际邻近 (closed)。利用多个钳位控制信号于微处理器 200 的部分选择区域,可以选择性致能钳制的操作。于一实施例,沿着基底偏压导线 104 与 106 的钳位装置的数量与实际位置由动态模拟或类似的方式决定以维持噪声电平于一最小电平,借以取得微处理器 200 的最佳化执行性能。

[0037] 如前述的集成电路 100 的近似方法,微处理器 200 有多个操作状态或操作模式。上述多个操作状态或模式包括一或多个低电力模式或低电力状态,而上述低电力模式指选择性使微处理器 200 的至少一部分于低电力状态或是不工作。多个钳位装置,包括钳位装置 PC1-PC8 与 NC1-NC8,上述钳位装置沿着基底偏压导线 104 与 106 分布及横跨遍布于微处理器 200 的基底。于微处理器 200 的正常操作模式期间,控制装置 114 将导通或致能全部的钳位装置,或是被选择的钳位装置,以分别钳制基底偏压导线 104 与 106 至核心电压 VDD 与参考电压 VSS。于正常操作模式,控制装置 114 关闭将偏压产生器 112 关闭或者是设定偏压产生器 112 为低电力状态,或者是控制偏压产生器 112 以分别驱动基底偏压 VBNA 与 VBPA 至核心电压 VDD 与参考电压 VSS 的电压电平。控制装置 114 先将所有钳位装置不导通或者是选择其中的至少一个为不导通,则可设置微处理器于低电力模式或低电力状态。接下来,控制装置 114 致能或者是控制偏压产生器 112 以一第一基底偏移电压驱动基底偏压 VBNA 至高于核心电压 VDD 的电压,以及以一第二基底偏移电压驱动基底偏压 VBPA 至低于参考电压 VSS 的电压。第一与第二基底偏移电压可为相同或不同的电压电平。为将微处理器由低电力模式拉回正常操作模式,控制装置 114 需先控制偏压产生器 112,以分别将基底偏压导线 104 与 106 的基底偏压 VBNA 与 VBPA 驱动回核心电压 VDD 与参考电压 VSS。接下来,控制装置 114 导通所有钳位装置导通或至少一钳位装置。如的前所述,控制装置 114 设置所有钳位致能信号 ENP<3:0> 与 ENN<3:0>,或者是选择钳位致能信号 ENP<3:0> 与 ENN<3:0> 的至少一个来设置,以导通或是不导通钳位装置 PC1-PC8 与 NC1-NC8 的至少一对。

[0038] 图 3 显示根据本发明一实施例所述的一 P 型电平移位电路 LSP 116。P 型电平移位电路 LSP 116 包括反相器 301、四个 P 型沟道装置 P1、P2、P3 与 P4、以及 N 型沟道装置 N1、N2、N3 与 N4。P 型沟道装置 P1、P2、P3 与 P4 分别具有耦接至用以提供基底偏压 VBNA 的基底偏压导线 104 的源极与内部 (internal) 基底,N 型沟道装置 N1、N2、N3 与 N4 分别具有耦接至参考电压 VSS 的源极与内部基底。钳位致能信号 ENP 可提供给 P 型沟道装置 P1 的栅

极与反相器 301 的输入端。P 型沟道装置 P1 的漏极耦接 N 型沟道装置 N1 的漏极与栅极与 N 型沟道装置 N2 的栅极。反相器 301 的输出端耦接 P 型沟道装置 P2 的栅极, 上述 P 型沟道装置 P2 的漏极耦接 N 型沟道装置 N2 的漏极以及 P 型沟道装置 P3 与 N 型沟道装置 N3 的栅极。P 型沟道装置 P3 的漏极耦接 N 型沟道装置 N3 的漏极以及 P 型沟道装置 P4 与 N 型沟道装置 N4 的栅极。P 型沟道装置 P4 与 N 型沟道装置 N4 的漏极耦接在一起, 并输出钳制移位致能信号 PEN。在操作时, 输入的钳位致能信号 ENP 将设置于参考电压 VSS 与核心电压 VDD 之间。而输出的钳制移位致能信号 PEN 的信号将设置于参考电压 VSS 与基底偏压 VBNA 之间。当钳位致能信号 ENP 信号设置为参考电压 VSS, P 型沟道装置 P1 导通且 P 型沟道装置 P2 不导通 (反相器 301 的输出为核心电压 VDD)。P 型沟道装置 P1 推动 N 型沟道装置 N2 的栅极的电平上升至基底偏压 VBNA, 因此 N 型沟道装置 N2 将导通。N 型沟道装置 N2 推动 P 型沟道装置 P3 及 N 型沟道装置 N3 的栅极至参考电压 VSS, 因此将导通 P 型沟道装置 P3 而不导通 N 型沟道装置 N3。P 型沟道装置 P3 推动 P 型沟道装置 P4 与 N 型沟道装置 N4 的栅极至基底偏压 VBNA, 将导通 N 型沟道装置 N4 与不导通 P 型沟道装置 P4。因此, 当钳位致能信号 ENP 设置为参考电压 VSS, 通过 N 型沟道装置 N4 将使钳制移位致能信号 PEN 的信号为参考电压 VSS。当钳位致能信号 ENP 设置为核心电压 VDD, P 型沟道装置 P1 不导通而 P 型沟道装置 P2 导通。由于 P 型沟道装置 P1 为不导通, N 型沟道装置 N1 将推动 N 型沟道装置 N2 的栅极为低电平, 所以 N 型沟道装置 N2 将不导通。P 型沟道装置 P2 推动 P 型沟道装置 P3 与 N 型沟道装置 N3 的栅极至基底偏压 VBNA, 则 P 型沟道装置 P3 不导通而 N 型沟道装置 N3 导通。N 型沟道装置 N3 推动 P 型沟道装置 P4 与 N 型沟道装置 N4 的栅极至参考电压 VSS, 将导通 P 型沟道装置 P4 而不导通 N 型沟道装置 N4。因此, 当钳位致能信号 ENP 信号设置为核心电压 VDD, P 型沟道装置 P4 推动钳制移位致能信号 PEN 的信号至基底偏压 VBNA。在这种方式下, 钳位致能信号 ENP 切换于参考电压 VSS 与核心电压 VDD 之间, 则输出钳制移位致能信号 PEN 切换于参考电压 VSS 与基底偏压 VBNA 之间。

[0039] 图 4 显示根据本发明的一实施例所述的一 N 型电平移位电路 LSN 118。N 型电平移位电路 LSN 118 包括一反相器 401, 四个 P 型沟道装置 P1、P2、P3 与 P4 以及四个 N 型沟道装置 N1、N2、N3 与 N4。P 型沟道装置 P1、P2、P3 与 P4 分别具有耦接至核心电压 VDD 的源极与内部基底。N 型沟道装置 N1、N2、N3 与 N4 分别具有耦接至提供基底偏压 VBPA 的基底偏压导线 106 的源极与内部基底。钳位致能信号 ENN 可提供给 N 型沟道装置 N1 的栅极与反相器 401 的输入端。P 型沟道装置 P1 的漏极与栅极耦接 N 型沟道装置 N1 的漏极与 P 型沟道装置 P2 的栅极。反相器 401 的输出端耦接至 N 型沟道装置 N2 的栅极, 上述 N 型沟道装置 N2 的漏极耦接至 P 型沟道装置 P2 的漏极与 P 型沟道装置 P3 与 N 型沟道装置 N3 的栅极。P 型沟道装置 P3 的漏极耦接至 N 型沟道装置 N3 的漏极以及 P 型沟道装置 P4 与 N 型沟道装置 N4 的栅极。P 型沟道装置 P4 与 N 型沟道装置 N4 的漏极耦接在一起, 并且输出钳制移位致能信号 NEN 信号。在操作中, 输入的钳位致能信号 ENN 信号设置为参考电压 VSS 与核心电压 VDD 之间。而输出的钳制移位致能信号 NEN 的信号设置于基底偏压 VBPA 与核心电压 VDD 的间。当钳位致能信号 ENN 设置为核心电压 VDD, N 型沟道装置 N1 导通且 N 型沟道装置 N2 不导通 (反相器 401 的输出为参考电压 VSS)。N 型沟道装置 N1 推动 P 型沟道装置 P2 的栅极至基底偏压 VBPA, 因此 P 型沟道装置 P2 导通。P 型沟道装置 P2 推动 P 型沟道装置 P3 及 N 型沟道装置 N3 的栅极至核心电压 VDD, 因此 P 型沟道装置 P3 不导通而 N 型沟道

装置 N3 导通。N 型沟道装置 N3 推动 P 型沟道装置 P4 与 N 型沟道装置 N4 的栅极至基底偏压 VBPA, 因此 N 型沟道装置 N4 不导通且 P 型沟道装置 P4 导通。因此, 当钳位致能信号 ENN 信号设置为核心电压 VDD, 通过 P 型沟道装置 P4 推动的钳制移位致能信号 NEN 的信号为核心电压 VDD。当钳位致能信号 ENN 设置为参考电压 VSS, 将不导通 N 型沟道装置 N1 而导通 N 型沟道装置 N2。由于 N 型沟道装置 N1 为不导通, P 型沟道装置 P1 推动 P 型沟道装置 P2 的栅极为高电平, 所以 P 型沟道装置 P2 不导通。N 型沟道装置 N2 推动 P 型沟道装置 P3 与 N 型沟道装置 N3 的栅极至基底偏压 VBPA, 将导通 P 型沟道装置 P3 而不导通 N 型沟道装置 N3。P 型沟道装置 P3 推动 P 型沟道装置 P4 与 N 型沟道装置 N4 的栅极至核心电压 VDD, 将不导通 P 型沟道装置 P4 而导通 N 型沟道装置 N4。因此, 当钳位致能信号 ENN 设置为参考电压 VSS, N 型沟道装置 N4 推动钳制移位致能信号 NEN 信号为基底偏压 VBPA。在这种方式下, 钳位致能信号 ENN 切换于参考电压 VSS 与核心电压 VDD 之间, 且钳制移位致能信号 NEN 切换于基底偏压 VBPA 与核心电压 VDD 之间。

[0040] 请参考回图 1, 当偏压产生器 112 驱动基底偏压 VBNA 为高于核心电压 VDD 的电压, P 型电平移位电路 116 将确保 P 型沟道钳位装置 PC1 于低电力模式下完全不导通。更具体地说, 当偏压产生器 112 驱动基底偏压 VBNA 高于核心电压 VDD 时, 控制装置 114 将设置钳位致能信号 ENP 的电平至核心电压 VDD, 并使 P 型沟道钳位装置 PC1 不导通。若钳位致能信号 ENP 直接提供给 P 型沟道钳位装置 PC1 的栅极, 则上述 P 型沟道钳位装置 PC1 的栅极电位将仅位于核心电压 VDD 而其漏极的电位将高于核心电压 VDD, 可能使得 P 型沟道钳位装置 PC1 部分导通。但是, 经 P 型电平移位电路 116 驱动钳制移位致能信号 PEN 至基底偏压 VBNA 的电压电平, 所以 P 型沟道钳位装置 PC1 的栅极与漏极都位于高于核心电压 VDD 的基底偏压 VBNA 的电压电平, 确保 P 型沟道钳位装置 PC1 完全不导通。当偏压产生器 112 驱动基底偏压 VBPA 为低于参考电压 VSS 的电压, N 型电平移位电路 118 将确保 N 型沟道钳位装置 NC1 于低电力模式下, 完全不导通。更具体地说, 当偏压产生器 112 驱动基底偏压 VBPA 低于参考电压 VSS 时, 控制装置 114 将设置钳位致能信号 ENN 的电平至参考电压 VSS 以不导通 N 型沟道钳位装置 NC1。若钳位致能信号 ENN 直接提供给 N 型沟道钳位装置 NC1 的栅极, 上述 N 型沟道钳位装置 NC1 的栅极的电位将仅位于参考电压 VSS 且其漏极的电位将低于参考电压 VSS, 可能使得 N 型沟道钳位装置 NC1 部分导通。但是, 经 N 型电平移位电路 118 驱动钳制移位致能信号 NEN 至基底偏压 VBPA 的电压电平, 所以 N 型沟道钳位装置 NC1 的栅极与漏极的电位都位于低于参考电压 VSS 的基底偏压 VBPA 的电压电平, 确保 N 型沟道钳位装置 NC1 不导通。

[0041] 接下来, 参考图 2, 当基底偏压导线 104 的基底偏压 VBNA 被驱动至高于核心电压 VDD 的电压电平, 而对应的至少一钳位致能信号 ENP<3:0> 设置为高电平, P 型电平移位电路 116 分别移动对应的钳制移位致能信号 PEN<3:0> 以确保一或多个 P 型沟道钳位装置 PC1-PC4 完全不导通。P 型缓冲器电路 201 驱动缓冲钳制移位致能信号 BPEN<3:0> 至参考电压 VSS 与基底偏压 VBNA 间的电平移位电压区, 以确保当缓冲钳制移位致能信号 BPEN<3:0> 设置为高电平时, 钳位装置 PC5-PC8 也完全不导通。同样的, 当基底偏压导线 106 的基底偏压 VBPA 驱动至低于参考电压 VSS 的电压电平, 而对应的至少一钳位致能信号 ENN<3:0> 设置为低电平, N 型电平移位电路 118 分别移动对应的钳制移位致能信号 NEN<3:0> 以确保一或多个 N 型沟道钳位装置 NC1-NC4 完全不导通。N 型缓冲器 203 驱动缓

冲钳制移位致能信号 $\text{BNEN}\langle 3:0 \rangle$ 至核心电压 VDD 与基底偏压 VBPA 之间的电平移位电压区, 以确保当缓冲钳制移位致能信号 $\text{BNEN}\langle 3:0 \rangle$ 设置为低电平时, 钳位装置 $\text{NC5}\text{--}\text{NC8}$ 也完全不导通。

[0042] 图 5 显示根据本发明的一实施例所述的一 P 型缓冲器 201。钳制移位致能信号 PEN 信号提供至 P 型沟道装置 P1 与 N 型沟道装置 N1 的栅极。P 型沟道装置 P1 的源极与基底耦接至基底偏压导线 104 (提供基底偏压 VBNA), P 型沟道装置 P1 的漏极耦接至 N 型沟道装置 N1 的漏极。P 型沟道装置 P1 与 N 型沟道装置 N1 的漏极耦接至 P 型沟道装置 P2 与 N 型沟道装置 N2 的栅极。P 型沟道装置 P2 的源极与基底耦接至基底偏压导线 104, P 型沟道装置 P2 的漏极耦接至 N 型沟道装置 N2 的漏极。N 型沟道装置 N1 与 N2 的源极耦接至参考电压 VSS , P 型沟道装置 P2 与 N 型沟道装置 N2 的漏极形成缓冲钳制移位致能信号 BPEN 。在操作机制下, 当驱动钳制移位致能信号 PEN 的信号为参考电压 VSS 时, P 型沟道装置 P1 与 N 型沟道装置 N2 都将导通, 同时 P 型沟道装置 P2 与 N 型沟道装置 N1 不导通, 所以缓冲钳制移位致能信号 BPEN 将驱动至参考电压 VSS 。当钳制移位致能信号 PEN 信号为基底偏压 VBNA 时, P 型沟道装置 P1 与 N 型沟道装置 N2 都不导通, 同时 P 型沟道装置 P2 与 N 型沟道装置 N1 都为导通, 以推动缓冲钳制移位致能信号 BPEN 至基底偏压 VBNA 。在此方式下, 缓冲钳制移位致能信号 BPEN 与钳制移位致能信号 PEN 具有相同逻辑状态, 并切换于参考电压 VSS 与基底偏压 VBNA 的电平移位电压区之间。

[0043] 图 6 显示根据本发明的一实施例所述的一 N 型缓冲器 203。钳制移位致能信号 NEN 的信号提供给 P 型沟道装置 P1 与 N 型沟道装置 N1 的栅极。P 型沟道装置 P1 的源极耦接至核心电压 VDD 与 P 型沟道装置 P1 的漏极耦接至 N 型沟道装置 N1 的漏极。N 型沟道装置 N1 的源极与基底耦接于基底偏压导线 106 (提供给基底偏压 VBPA)。P 型沟道装置 P1 与 N 型沟道装置 N1 的漏极耦接至 P 型沟道装置 P2 与 N 型沟道装置 N2 的栅极。P 型沟道装置 P2 的源极耦接至核心电压 VDD 与 P 型沟道装置 P2 的漏极耦接至 N 型沟道装置 N2 的漏极。N 型沟道装置 N2 的源极与基底耦接至基底偏压导线 106 以及 P 型沟道装置 P2 的漏极与 N 型沟道装置 N2 的漏极形成缓冲钳制移位致能信号 BNEN 信号。在操作机制下, 当推动钳制移位致能信号 NEN 的信号至基底偏压 VBPA 时, P 型沟道装置 P1 与 N 型沟道装置 N2 都将导通, 同时 P 型沟道装置 P2 与 N 型沟道装置 N1 不导通, 所以驱动缓冲钳制移位致能信号 BNEN 至基底偏压 VBPA 。当推动钳制移位致能信号 NEN 至核心电压 VDD 时, P 型沟道装置 P1 与 N 型沟道装置 N2 都不导通, 同时 P 型沟道装置 P2 与 N 型沟道装置 N1 都为导通, 以推动缓冲钳制移位致能信号 BNEN 至核心电压 VDD 。在此方式下, 缓冲钳制移位致能信号 BNEN 与钳制移位致能信号 NEN 具有相同逻辑状态以及缓冲钳制移位致能信号 BNEN 切换于核心电压 VDD 与基底偏压 VBPA 的电平移位电压区之间。

[0044] 图 7 显示根据一实施例所述的整合于微处理器 700 的晶粒的选择区域的基底偏压电路 706, 上述微处理器包括分布的多个钳位装置。在一实施例中, 把微处理器 700 分成四个区域或是象限 (quadrants) 701, 702, 703 与 704。于此实施例, 于微处理器 700 的象限 704 的偏压装置为基底偏压电路 706。于实施例所示, 于低电力模式时, 基底偏压电路 706 用以偏压位于微处理器 700 的象限 704 的装置。基底偏压电路 706 近似于图 2 的基底偏压电路 202, 以及完全位于或大体上位于微处理器 700 的象限 704 中。基底偏压电路 706 包括用以偏压位于象限 704 的多个 P 型沟道装置 726 的第一基底偏压导线 708 以及用以偏压位

于象限 704 的多个 N 型沟道装置 728 的第二基底偏压导线 710。上述沟道装置 726 与 728 的架构相似于图 1 的 P 型沟道装置 111 与 N 型沟道装置 113。上述多个 P 型沟道装置 726 与 N 型沟道装置 728 分别具有多个基底接点耦接于基底偏压导线 708 与 710。用简单的形式（如方块）显示装置 726 与 728 与其基底接点至基底偏压导线 708 与 710。虽然本领域技术人员皆知上述多个 P 型沟道装置 726 与 N 型沟道装置 728 分布遍及象限 704 的区域，但是于图中依然显示于象限 704 的一边缘。

[0045] 于此所显示的实施例，其他装置 705（如多个 P 型沟道装置与 N 型沟道装置）分布于微处理器 700 的象限 701-703。于一低电力模式时，当象限 704 的装置 726 与 728 停止运作，其他装置 705 仍电力开启与被致能（active）。象限 704 的外部（outside）的任一或多个其他装置 705，可根据微处理器 700 的实际架构，具有分离的基底偏压电路或者是不具有分离的基底偏压电路。于一实施例中，若为停止运作模式时，将分别提供分离的基底偏压电路给其他象限 701-703，以偏压上述象限的基底。于另一实施例中，微处理器 700 的其他装置 705 的任一个，可形成或为必要电路（critical path）的一部分，并且无须提供基底偏压电路给这些装置或者使得基底偏压电路失能（disable）。

[0046] 多个 P 型沟道钳位装置 712 耦接于基底偏压导线 708 与核心电压 VDD 之间，多个 N 型沟道钳位装置 714 耦接于基底偏压导线 710 与参考电压 VSS 之间。于一实施例中，P 型沟道钳位装置 712 的架构与操作方法分别等同于图 2 中微处理器 200 的 P 型沟道钳位装置 PC1-PC8，N 型沟道钳位装置 714 的架构与操作方法分别等同于微处理器 200 的 N 型沟道钳位装置 NC1-NC8，其中用简单的形式（如圆圈符号）显示钳位装置 712 与 714。微处理器 700 包括中央控制装置 707，上述中央控制装置通过对应控制信号 CCTL 控制象限控制装置（QC）716。虽然所显示的中央控制装置 707 位于象限 702，但是于微处理器 700 的任何位置皆可放置中央控制装置 707。象限控制装置 716 提供控制信号 QCTL，以控制偏压产生器（BG）718，上述偏压产生器 718 操作方法近似于前述的偏压产生器 112，并具有输出端，分别于基底偏压导线 708 与 710 形成基底偏压 VBPA 与 VBNA。象限控制装置 716 提供钳位致能信号 ENN 与 ENP 至电平移位电路 720。电平移位电路 720 包括 P 型电平移位电路（未绘示）与 N 型电平移位电路（未绘示），上述 P 型与 N 型电平移位电路分别近似于前述的电平移位电路 116 与 118，用以分别转换由象限控制装置 716 输出的钳位致能信号 ENN 与 ENP 为钳制移位致能信号 NEN 与 PEN。于所显示的实施例，钳制移位致能信号 NEN 最后控制所有 P 型沟道钳位装置 712，而钳制移位致能信号 PEN 最后控制所有 N 型沟道钳位装置 714。P 型缓冲器（PB）722 沿着钳制移位致能信号 PEN 的信号线分布，以满足多个位置所要求缓冲钳制移位致能信号 PEN。同样地，N 型缓冲器（NB）724 沿着钳制移位致能信号 NEN 的信号线分布，以满足多个位置所要求的缓冲钳制移位致能信号 NEN。

[0047] 基底偏压电路 706 操作方法近似于前述的基底偏压电路 202。于正常操作模式，当于象限 704 的装置 726 与 728 电力开启（power up），象限控制装置 716 指示偏压产生器 718 驱动基底偏压导线 708 与 710 分别至核心电压 VDD 与参考电压 VSS 的电压电平。象限控制装置 716 设置钳位致能信号 ENN 与 ENP，以将钳位装置 712 与 714 导通，并分别钳制基底偏压导线 708 与 710 至核心电压 VDD 与参考电压 VSS。根据上述，电平移位电路 720 设置钳制移位致能信号 NEN 与 PEN 至电平移位（shift）的电压电平。若有需求，则基底偏压产生器 718 可为不导通或位于低电力模式。于低电力模式，当于象限 704 的装置 726 与 728

电力关闭 (powerdown), 象限控制装置 716 设置钳位致能信号 ENN 与 ENP, 以将钳位装置 712 与 714 不导通以及电平移位电路 720 设置钳制移位致能信号 NEN 与 PEN 信号至电平移位的电压电平。于前述的近似方式, 象限控制装置 716 指示偏压产生器 718 驱动基底偏压导线 708 至高于核心电压 VDD 的一基底偏压以及驱动基底偏压导线 710 至低于参考电压 VSS 的一基底偏压。因此, 于低电力模式, 可减少次临界漏电流并将钳位装置 722 与 724 完全关闭。以此方式, 当微处理器 700 的象限 704 有效的停止运作, 于象限 701-703 的部份装置或全部装置仍保持电力开启或致能。

[0048] 本领域技术人员皆知可能会有多个的变动。中央控制装置 707 可位于微处理器 700 的任何位置, 且可控制其他基底偏压电路 (未绘示), 上述其他基底偏压电路近似于基底偏压电路 706 且位于微处理器 700 上。例如, 其他象限 701-703 分别可包括一近似的基底偏压电路, 并利用中央控制装置 707 控制上述基底偏压电路, 用以偏压一或多个其他装置 705。虽然显示的基底偏压电路 706 用以偏压位于微处理器 700 的实际象限区 704 的装置, 但基底偏压电路 706 可调整偏压的对应范围及位置二者之一, 以偏压微处理器 700 的任何选择的范围或者是区域 (如 1/8、1/4、1/2 及 3/4 等) 的装置。同时, 任何数量的基底偏压电路皆可用以偏压位于微处理器 700 的选择区域的装置。在一实施例中, 多个基底偏压电路可共用一个偏压产生器。

[0049] 图 8 显示根据一实施例所述的分为多个区域的微处理器的区块图, 上述区域分别包括分布的钳位装置与基底偏压电路。中央控制装置 802 提供控制信号 CTL1、CTL2 与 CTL3 以控制基底偏压, 分别用于区域 804、806 与 808 的装置。控制信号 CTL1 控制区域 804 的基底偏压电路 810; 控制信号 CTL2 控制区域 806 的基底偏压电路 816 以及控制信号 CTL3 控制区域 808 的基底偏压电路 822。基底偏压电路 810、816 与 822 分别近似于图 7 的基底偏压电路 706, 用以提供基底偏压至对应的每个区域的成对的基底偏压导线。以此方式, 基底偏压电路 810 提供基底偏压, 用于区域 804 的 P 型沟道装置 812 与 N 型沟道装置 814; 基底偏压电路 816 提供基底偏压, 用于区域 806 的 P 型沟道装置 818 与 N 型沟道装置 820 以及基底偏压电路 822 提供基底偏压, 用于区域 808 的 P 型沟道装置 824 与 N 型沟道装置 826。P 型沟道钳位装置与 N 型沟道钳位装置分别用以耦接于每个区域 804、806 与 808 的基底偏压导线, 以及分别利用基底偏压电路 810、816 与 822 控制上述钳位装置的操作方法 (未显示于图 8 中), 近似于前述的偏压电路 706 的操作方法。以此方式, 中央控制装置 802 能选择性停止运作于任一或多个区域 804、806 与 808 的装置, 其中于被停止运作的区域中, 对应基底偏压电路提供基底偏压至对应装置, 以停止运作上述区域, 并且最小化次临界漏电流。同时, 当区域 804、806 与 808 的任一个停止运作, 具有电平移位电路的基底偏压电路将使钳位装置完全不导通。然而, 当区域 804、806 与 808 的任一个致能, 将导通对应钳位装置, 以分别钳制基底偏压导线至核心电压 VDD 与参考电压 VSS 以最小化噪声。

[0050] 前述的任一实施例皆可应用于更多类型的架构, 参考电压 (如 VSS) 可近似于 0 伏特 (Volts, V) 与核心电压 (如 VDD) 可近似于 1V。在一实施例中, 偏压产生器驱动一 800 毫伏 (millivolts, mV) 的偏移电压 (offset voltage) 分别至对应的核心电压电平以及参考电压电平。于一实施例中, 于低电力模式期间, 当核心电压 VDD 为 1V, 基底偏压 VBNA 则近似于 1.8V 以及当参考电压 VSS 为 0V, 基底偏压 VBPA 则近似于 -800 毫伏。根据装置的操作模式, 可变化实际的核心电压。例如, 于实际架构模式或实际状态之下, 核心电压 VDD 可

变动在近似于 500mV 至 1.4V 之间。在一实施例中,基底偏压 VBNA 的偏移电压可不同于基底偏压 VBPA 的偏移电压,例如,偏移电压分别为 300mV 与 500mV。于任何事件中,偏压产生器 112 分别驱动基底偏压 VBNA 与 VBPA 的基底偏压导线 104 与 106 至对应的电压,该电压相对于核心电压与参考电压具有偏移值。

[0051] 于一实施例的正常操作模式期间,钳位装置沿着基底偏压导线放置以确保当钳位装置致能时,每一基底偏压导线的电压由核心电压以及参考电压变动的范围不会超过一既定最小电压电平。于一实施例中,该既定最小电压电平近似于 10mV。于一实施例中,由核心电压以及参考电压变动的既定最小电压电平不相同。根据实际应用装置(如集成电路 100 或者是微处理器 200、700 与 800)的架构与参数以决定该既定最小电压电平。可使用任何方法(如数学模型分析或动态模拟等)决定钳位装置的位置,以确保基底偏压导线的偏压分别相对于核心电压 VDD 与参考电压 VSS 的变动维持在该既定最小电压电平的范围内。

[0052] 在其他实施例,基底偏压可由晶片外提供,所以集成电路或晶片基底可以包括偏压产生器或者是不包括偏压产生器。例如,集成电路 100 或微处理器 200 可不包括偏压产生器 112,因此基底偏压 VBNA 与 VBPA 由外部提供。同样地,微处理器 700 不包括偏压产生器 718,以及微处理器 800 不包括基底偏压电路 810、816 与 822 的任一或多个电路。当微处理器 700 未包括偏压产生器时,由于控制装置依然控制钳位装置以及对应的电路,因此会有大体相同的动作。

[0053] 以上所述仅为本发明较佳实施例,然其并非用以限定本发明的范围,任何熟悉本项技术的人员,在不脱离本发明的精神和范围内,可在此基础上做进一步的改进和变化,因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

[0054] 附图中符号的简单说明如下:

[0055] 100:集成电路;101:P型基底;102、202、706、810、816、822:基底偏压电路;103、105、107:N型阱区;104、106、708、710:基底偏压导线;109:P型阱区;111、726、824、P1、P2、P3、P4:P型沟道装置;112、718:偏压产生器;113、728、826、N1、N2、N3、N4:N型沟道装置;114:控制装置;115、117、127:P型扩散区;116:P型电平移位电路、LSP;118:N型电平移位电路、LSN;119、123、125:N型扩散区;121、129:栅极绝缘层;200、700、800:微处理器;201、722:P型缓冲器;203:N型缓冲器;301、401:反相器;701、702、703、704:象限;705:其他装置;712:多个P型沟道钳位装置;714:多个N型沟道钳位装置;707、802:中央控制装置;716:象限控制装置;720:电平移位电路;804、806、808:区域;BCTL:偏压控制信号;CCTL、QCTL、CTL 1、CTL2、CTL3:控制信号;ENP、ENN:钳位致能信号;NC1~NC8:N型沟道钳位装置;PEN、NEN:钳制移位致能信号;PC1~PC8:P型沟道钳位装置;VBPA、VBNA:基底偏压;VDD:核心电压;VSS:参考电压。

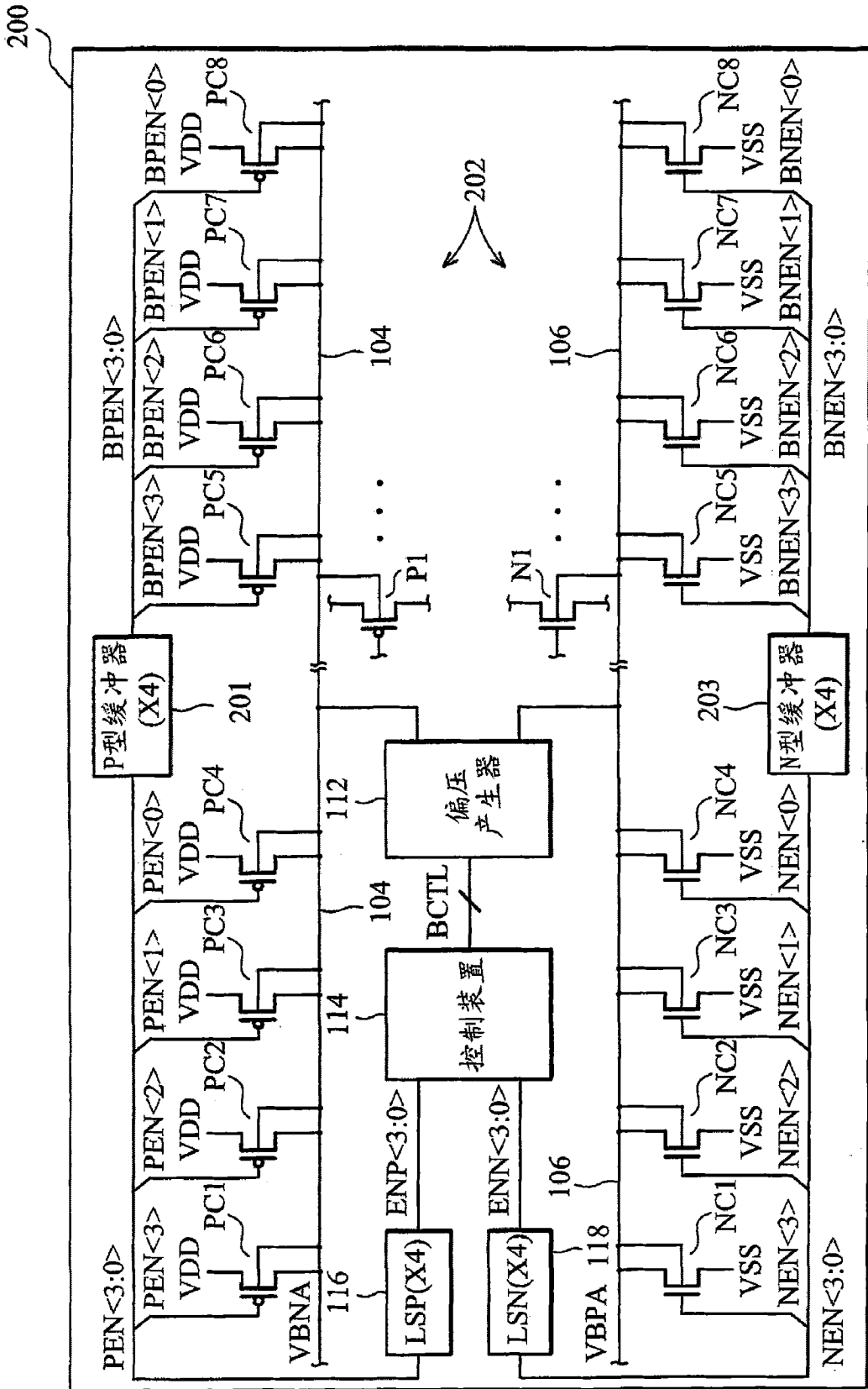


图 2

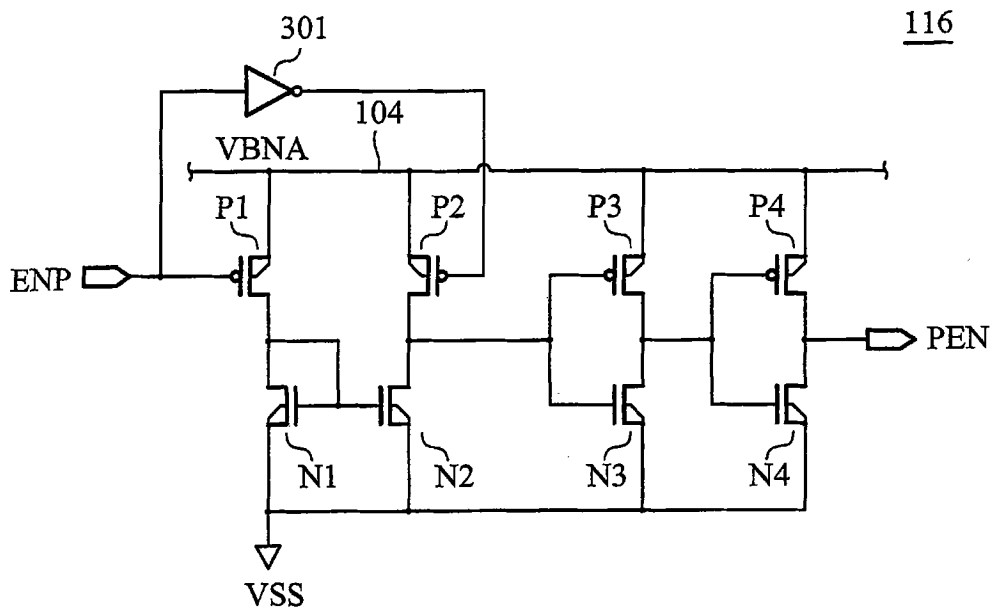


图 3

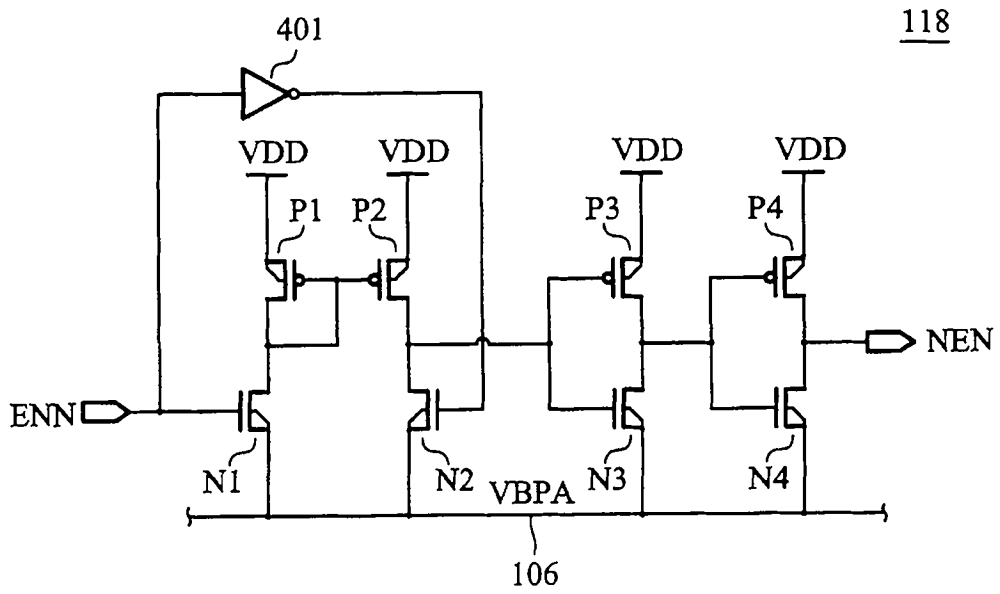


图 4

201

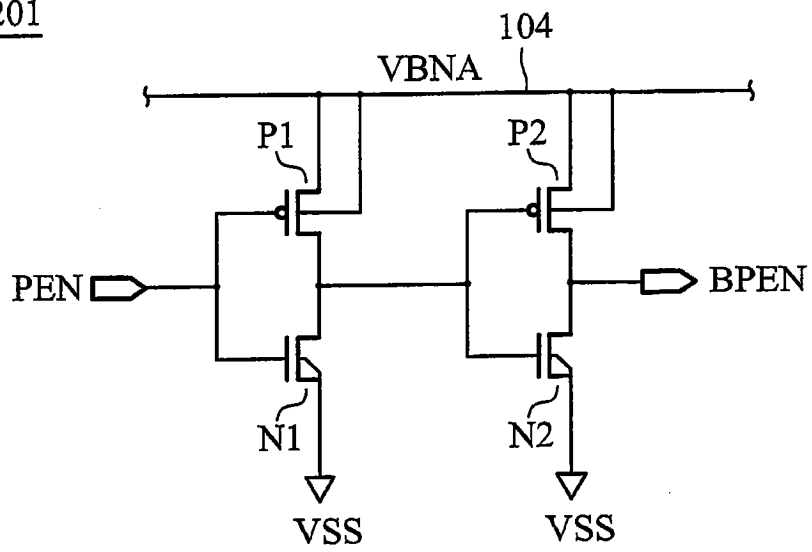


图 5

203

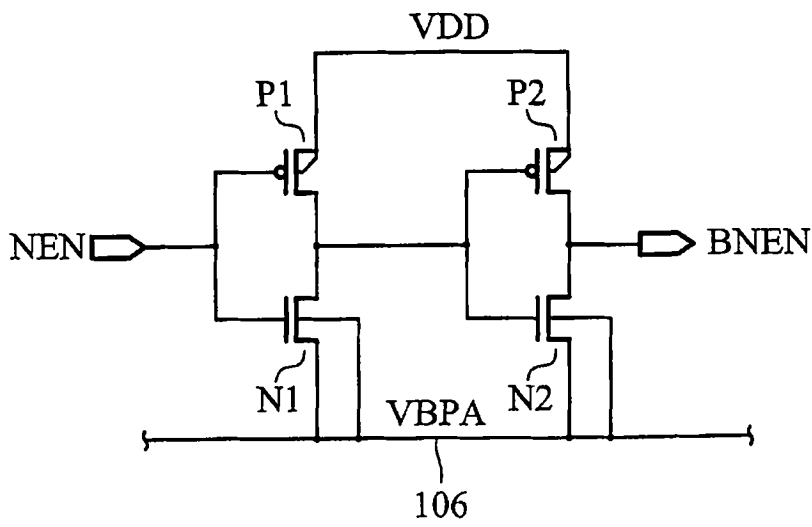


图 6

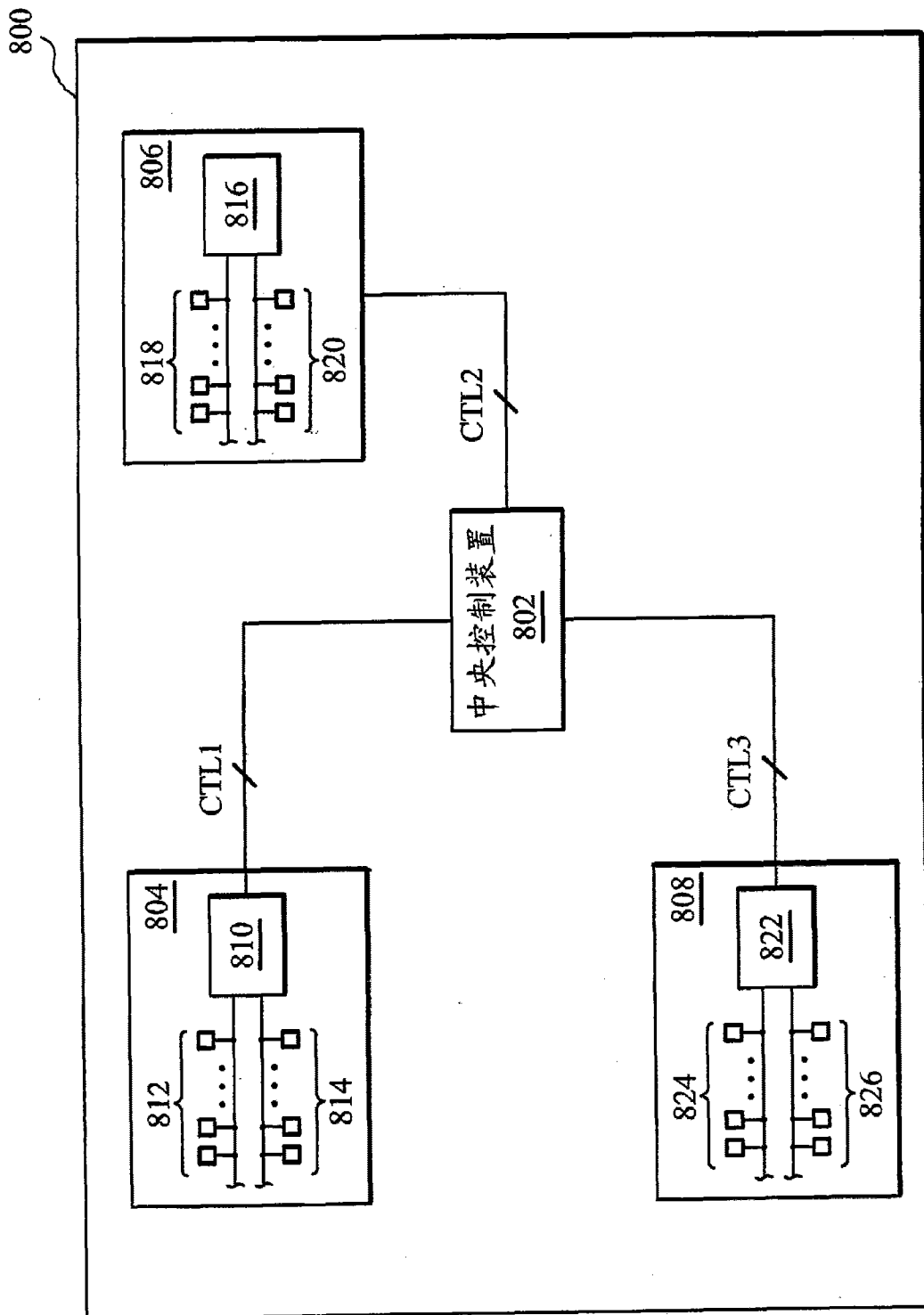


图 8