

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-122116

(P2005-122116A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl.⁷

G09G 3/28
G09G 3/20
H01J 11/00
H01J 11/02

F I

G09G 3/28 H
G09G 3/20 611A
G09G 3/20 622M
G09G 3/20 623B
G09G 3/20 624P

テーマコード(参考)

5C040
5C080
5C580

審査請求 未請求 請求項の数 11 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2004-220222 (P2004-220222)
(22) 出願日 平成16年7月28日(2004.7.28)
(31) 優先権主張番号 特願2003-333080 (P2003-333080)
(32) 優先日 平成15年9月25日(2003.9.25)
(33) 優先権主張国 日本国(JP)

(71) 出願人 000005016
パイオニア株式会社
東京都目黒区目黒1丁目4番1号
(74) 代理人 100079119
弁理士 藤村 元彦
(72) 発明者 矢作 和男
山梨県中巨摩郡田富町西花輪2680番地
パイオニア株式会社内
Fターム(参考) 5C040 FA01 FA04 GB03 GB14 GB16
GC06 GC11 GF11 GF16
5C080 AA05 BB05 DD26 EE29 FF12
HH04 HH05 JJ02 JJ04 JJ06
5C580 AA01 AA02 BA02 BA03 BA10
BB05 BC11

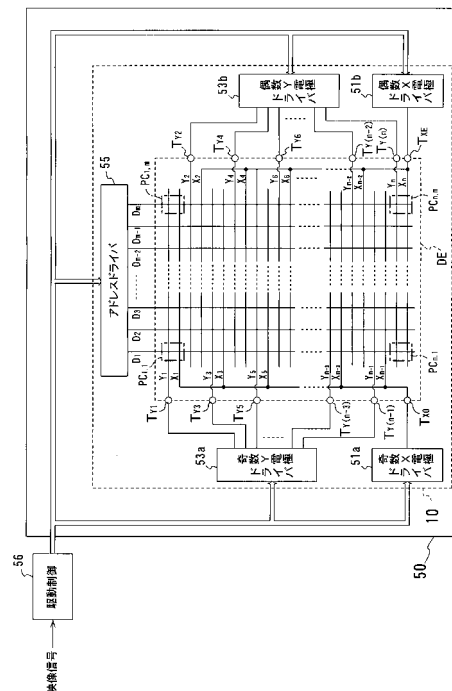
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示パネル及びこの表示パネルを駆動するドライバ間の配線を簡素化することができる表示装置を提供することを目的とする。

【解決手段】表示パネルの奇数番目に配列されている表示電極各々に接続する為の接続端子を表示パネルの前面基板上の行方向における一端に設け、偶数番目に配列されている表示電極各々に接続する為の接続端子を前面基板上の行方向における他端に設ける。そして、前面基板上の行方向における一端に設けられた接続端子を介して奇数番目に配列されている表示電極に駆動パルスを印加するドライバを前面基板上に実装し、前面基板上の行方向における他端に設けられた接続端子を介して偶数番目に配列されている表示電極に駆動パルスを印加するドライバを前面基板上に実装する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板上において配列された行方向に伸長する複数の電極 X 及び電極 Y と、前記電極 Y 及び前記電極 X 各々に交叉して配列された複数のアドレス電極とを有し、対をなす前記電極 Y 及び X と前記アドレス電極との各交叉部に単位発光領域が形成されている表示パネルを備えた表示装置であって、

前記前面基板上の行方向における一端には、奇数番目に配列されている前記電極 Y 各々に接続された奇数 Y 電極接続端子と、奇数番目に配列されている前記電極 X 各々に接続された奇数 X 電極接続端子とが形成されており、

10

前記前面基板上の行方向における他端には、偶数番目に配列されている前記電極 Y 各々に接続された偶数 Y 電極接続端子と、偶数番目に配列されている前記電極 X 各々に接続された偶数 X 電極接続端子とが形成されており、

前記奇数 Y 電極接続端子を介して奇数番目に配列されている前記電極 Y の各々に順次走査パルスを印加する奇数 Y 電極ドライバと、

前記偶数 Y 電極接続端子を介して偶数番目に配列されている前記電極 Y の各々に順次走査パルスを印加する偶数 Y 電極ドライバと、

前記奇数 X 電極接続端子を介して奇数番目に配列されている前記電極 X の各々にサステインパルスを繰り返し印加する奇数 X 電極ドライバと、

前記偶数 X 電極接続端子を介して偶数番目に配列されている前記電極 X の各々にサステインパルスを繰り返し印加する偶数 X 電極ドライバと、を備えたことを特徴とする表示装置。

20

【請求項 2】

前記単位発光領域は、第 1 放電セルと、前記前面基板側に光吸収層が設けられた第 2 放電セルとからなることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

入力映像信号に基づく画素データに対応した画素データパルスを前記走査パルスと同時に前記アドレス電極に 1 表示ラインずつ印加して前記第 2 放電セル内に選択的にアドレス放電を生起させるアドレスドライバを更に備えることを特徴とする請求項 1 記載の表示装置。

30

【請求項 4】

前記第 2 放電セルの背面基板側に 2 次電子放出材料層を設け、

前記アドレスドライバ、前記奇数 Y 電極ドライバ及び前記偶数 Y 電極ドライバは、前記アドレス電極側が相対的に負極性となるような極性を有する前記画素データパルス及び前記走査パルスを印加し、

前記奇数 X 電極ドライバ及び前記偶数 X 電極ドライバは、負極性の前記サステインパルスを印加することを特徴とする請求項 3 記載の表示装置。

【請求項 5】

前記 2 放電セル内において生起される前記アドレス放電を前記第 1 放電セル内に拡張して前記第 1 放電セルを点灯セル状態又は消灯セル状態のいずれか一方に設定することを特徴とする請求項 3 記載の表示装置。

40

【請求項 6】

前記第 1 放電セルは、前記電極 Y と前記電極 X とが前記放電空間内において第 1 の放電間隙を介して対向する部分を含み、

前記第 2 放電セルは、前記アドレス電極と前記電極 Y とが前記放電空間内において第 2 の放電間隙を介して対向する部分を含むことを特徴とする請求項 2 記載の表示装置。

【請求項 7】

前記電極 Y と前記電極 X とは、それぞれ表示面における行方向に伸長する本体部と前記単位発光領域毎に第 1 放電間隙を介して対向して前記本体部から表示面における列方向に突出する突出部とを備え、

50

前記第 1 放電セルは、前記突出部が放電空間内で前記第 1 放電間隙を介して対向する部分を含み、前記第 2 放電セルは、前記アドレス電極と前記電極 Y における前記本体部とが前記放電空間内で第 2 の放電間隙を介して対向する部分を含むことを特徴とする請求項 2 記載の表示装置。

【請求項 8】

前記表示パネルは、互いに隣接する前記単位発光領域の前記放電空間を表示面における行方向において区画する縦壁部と列方向に区画する横壁とからなる隔壁と、前記単位発光領域内の前記第 1 放電セルの放電区間と前記第 2 放電セルの放電区間を区画する仕切り壁とを備え、

前記単位発光領域各々の前記第 2 放電セルの放電区間は、隣接する前記単位発光領域の放電空間と前記隔壁とによって閉じられており、行方向に隣接する前記単位発光領域各々の前記第 1 放電セルの放電区間は互いに連通しかつ前記単位発光領域内の前記第 1 放電セルの放電区間が互いに連通していることを特徴とする請求項 2 記載の表示装置。

【請求項 9】

前記第 1 放電セル内にのみ放電によって発光する蛍光体層が形成されていることを特徴とする請求項 2 記載の表示装置。

【請求項 10】

放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板上において配列された行方向に伸長する複数の電極 X 及び電極 Y と、前記電極 Y 及び前記電極 X 各々に交叉して配列された複数のアドレス電極とを有し、対をなす前記電極 Y 及び X と前記アドレス電極との各交叉部に単位発光領域が形成されている表示パネルを備えた表示装置であつて、

前記前面基板上の行方向における一端には、奇数番目に配列されている前記電極 Y 各々に個別に接続された複数の奇数 Y 電極接続端子と、偶数番目に配列されている前記電極 X 各々に共通接続された単一の偶数 X 電極接続端子とが形成されており、

前記前面基板上の行方向における他端には、偶数番目に配列されている前記電極 Y 各々に個別に接続された複数の偶数 Y 電極接続端子と、奇数番目に配列されている前記電極 X 各々に共通接続された単一の奇数 X 電極接続端子とが形成されており、

第 1 リセットパルスが発生して前記偶数 X 電極接続端子及び前記奇数 Y 電極接続端子の各々に印加する第 1 リセットドライバと、

第 1 サスティンパルスが発生して前記偶数 X 電極接続端子及び前記奇数 Y 電極接続端子の各々に印加する第 1 サスティンドライバと、

走査パルスが発生して前記奇数 Y 電極接続端子の各々に順次印加する第 1 スキャンドライバと、

第 2 リセットパルスが発生して前記奇数 X 電極接続端子及び前記偶数 Y 電極接続端子の各々に印加する第 2 リセットドライバと、

第 2 サスティンパルスが発生して前記奇数 X 電極接続端子及び前記偶数 Y 電極接続端子の各々に印加する第 2 サスティンドライバと、

走査パルスが発生して前記偶数 Y 電極接続端子の各々に順次印加する第 2 スキャンドライバと、を備えたことを特徴とする表示装置。

【請求項 11】

前記表示パネル上において複数の前記行電極 X 及び Y の各々が、X, Y, X, Y 又は Y, X, Y, X なる形態にて配列されていることを特徴とする請求項 10 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルを搭載した表示装置に関する。

【背景技術】

【0002】

現在、大型で薄型のカラー表示パネルとしてプラズマディスプレイパネル（以下、PD 50

Pと称する)を搭載したプラズマディスプレイ装置が製品化されている。

【0003】

PDPには、表示面を担う前面ガラス基板と、背面基板とが、放電ガスの封入された放電空間を介して対向配置されている。前面ガラス基板の内面(背面基板と対向する面)には表示面における行方向に伸長する帯状の行電極が複数個形成されている。一方、背面基板には表示面における列方向に伸長する帯状の列電極が複数個形成されている。この際、互いに隣接する一対の行電極(以下、行電極対と称する)が1表示ラインを担う。各行電極対と列電極との交叉部に画素を担う放電セルが形成される構造となっている。

【0004】

更に、かかるPDPには、上記行電極に各種駆動パルス(後述する)を印加する行電極ドライバと、上記列電極に入力映像信号に対応した画素データパルスを印加するアドレスドライバと、が設けられている。

【0005】

行電極ドライバは、先ず、リセットパルスを全ての行電極対に一斉に印加することにより全放電セルをリセット放電せしめる。かかるリセット放電により、全放電セル内に壁電荷が形成される。次に、アドレスドライバは、各表示ラインに対応した複数の画素データパルスを1表示ライン分ずつ列電極の各々に印加する。この間、行電極ドライバは、各表示ラインに属する放電セルを1表示ラインずつ、上記画素データパルスに基づく放電対象とすべき走査パルスを、行電極対の一方の行電極に順次印加して行く。この際、高電圧の画素データパルスと走査パルスとが同時に印加された放電セルにおいて選択的にアドレス放電が生起され、放電セル内に残留する壁電荷が消去される。次に、行電極ドライバは、全ての行電極対における行電極の各々に対して交互に、かつ繰り返しサスティンパルスを印加する。この際、壁電荷の残留する放電セルのみが上記サスティンパルスが印加される度に維持放電し、この維持放電に伴う発光により前面ガラス基板の表示面には入力映像信号に対応した画像が現れる。

【0006】

ところが、上記の如き駆動によると、上記リセット放電及びアドレス放電の如き表示画像には関与しない発光を伴う放電が生起されるので、表示画像のコントラストが低下するという問題があった。

【0007】

そこで、上記リセット放電及びアドレス放電に伴う発光を抑制して表示画像のコントラスト向上を図るようにしたPDPが提案された(例えば、特許文献1参照)。

【0008】

図1は、かかるPDPの一部を表示面側から眺めた図であり(特許文献1の図1参照)、図2は、図1に示される表示パネルにおけるV1-V1での断面を示す図である(特許文献1の図2参照)。

【0009】

図1に示すPDPにおいては、各放電セルを、維持放電のみを生起させる表示放電セルC1と、表示画像に関与しない発光を伴うリセット放電及びアドレス放電を生起させるリセット・アンド・アドレス放電セルC2とで構築している。リセット・アンド・アドレス放電セルC2には、このリセット・アンド・アドレス放電セルC2内で生起された放電に伴う発光が表示面側に放射されるのを防止すべく、黒または暗褐色の光吸収層18が形成されている。

【0010】

従って、図1及び図2に示す如き構造を有するPDPによれば、リセット放電及びアドレス放電に伴う発光が表示面側に漏れ込む量が大幅に削減されるので、表示画像のコントラストを向上させることができる。

【0011】

ところで、かかるPDPにおいては、各放電セル内の表示放電セルC1に属する行電極Xを、この放電セルの上方向に隣接する放電セル内のリセット・アンド・アドレス放電セ

10

20

30

40

50

ルC2に属する行電極Xとして共有している。よって、奇数表示ラインに属する放電セルと、偶数表示ラインに属する放電セルとを別のタイミングで駆動する必要がある。

【0012】

そこで、かかるPDPを駆動する為に、列電極を駆動するアドレスドライバの他に、図3に示す如き4つの行電極ドライバが用いられる。

【0013】

図3において、奇数X電極ドライバXDoは、図1及び図2に示す如き構造を有するPDPの奇数表示ラインに属する行電極 $X_1, X_3, X_5, \dots, X_{n-1}$ の各々にリセットパルス又はサステインパルスを印加する。偶数X電極ドライバXDeは、かかるPDPの偶数表示ラインに属する行電極 $X_0, X_2, X_4, \dots, X_n$ の各々にリセットパルス又はサステインパルスを印加する。奇数Y電極ドライバYDoは、PDPの奇数表示ラインに属する行電極 $Y_1, Y_3, Y_5, \dots, Y_{n-1}$ の各々にリセットパルス、走査パルス又はサステインパルスを印加する。偶数Y電極ドライバYDeは、かかるPDPの偶数表示ラインに属する行電極 Y_2, Y_4, \dots, Y_n の各々にリセットパルス、走査パルス又はサステインパルスを印加する。

10

【0014】

従って、図3に示す如き形態にて、奇数X電極ドライバXDo、偶数X電極ドライバXDe、及び奇数Y電極ドライバYDo各々をPDP近傍に配置し、各ドライバと行電極とを接続すると配線が煩雑になるという問題が生じる。

【0015】

又、奇数表示ラインに属する行電極 Y_1, Y_3, \dots, Y_{n-1} 各々の引出電極と、これに隣接する偶数表示ラインに属する行電極 Y_2, Y_4, \dots, Y_n 各々の引出電極との間には高電圧のリセットパルス又はサステインパルスが印加される為、引出電極間においてマイグレーション又は耐圧不良等の問題が生じるおそれがあった。更に、引出電極端子部から夫々のドライバへ接続する配線に浮遊容量が存在するため、この浮遊容量に対する無効な充放電が生じて無効電力が増大するという問題もあった。

20

【特許文献1】特開2003-86108号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

30

本発明は、かかる問題の少なくとも一部を解決すべく為されたものであり、駆動条件を向上することができる表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0017】

請求項1記載による表示装置は、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板上において配列された行方向に伸長する複数の電極X及び電極Yと、前記電極Y及び前記電極X各々に交叉して配列された複数のアドレス電極とを有し、対をなす前記電極Y及びXと前記アドレス電極との各交叉部に単位発光領域が形成されている表示パネルを備えた表示装置であって、前記前面基板上の行方向における一端には、奇数番目に配列されている前記電極Y各々に接続された奇数Y電極接続端子と、奇数番目に配列されている前記電極X各々に接続された奇数X電極接続端子とが形成されており、前記前面基板上の行方向における他端には、偶数番目に配列されている前記電極Y各々に接続された偶数Y電極接続端子と、偶数番目に配列されている前記電極X各々に接続された偶数X電極接続端子とが形成されており、前記奇数Y電極接続端子を介して奇数番目に配列されている前記電極Yの各々に順次走査パルスを印加する奇数Y電極ドライバと、前記偶数Y電極接続端子を介して偶数番目に配列されている前記電極Yの各々に順次走査パルスを印加する偶数Y電極ドライバと、前記奇数X電極接続端子を介して奇数番目に配列されている前記電極Xの各々にサステインパルスを繰り返し印加する奇数X電極ドライバと、前記偶数X電極接続端子を介して偶数番目に配列されている前記電極Xの各々にサステイ

40

50

ンパルスを繰り返し印加する偶数 X 電極ドライバと、を備える。

【0018】

又、請求項 10 記載による表示装置は、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板上において配列された行方向に伸長する複数の電極 X 及び電極 Y と、前記電極 Y 及び前記電極 X 各々に交叉して配列された複数のアドレス電極とを有し、対をなす前記電極 Y 及び X と前記アドレス電極との各交叉部に単位発光領域が形成されている表示パネルを備えた表示装置であって、前記前面基板上の行方向における一端には、奇数番目に配列されている前記電極 Y 各々に個別に接続された複数の奇数 Y 電極接続端子と、偶数番目に配列されている前記電極 X 各々に共通接続された単一の偶数 X 電極接続端子とが形成されており、前記前面基板上の行方向における他端には、偶数番目に配列されている前記電極 Y 各々に個別に接続された複数の偶数 Y 電極接続端子と、奇数番目に配列されている前記電極 X 各々に共通接続された単一の奇数 X 電極接続端子とが形成されており、第 1 リセットパルスが発生して前記偶数 X 電極接続端子及び前記奇数 Y 電極接続端子の各々に印加する第 1 リセットドライバと、第 1 サスティンパルスが発生して前記偶数 X 電極接続端子及び前記奇数 Y 電極接続端子の各々に印加する第 1 サスティンドライバと、走査パルスが発生して前記奇数 Y 電極接続端子の各々に順次印加する第 1 スキャンドライバと、第 2 リセットパルスが発生して前記奇数 X 電極接続端子及び前記偶数 Y 電極接続端子の各々に印加する第 2 リセットドライバと、第 2 サスティンパルスが発生して前記奇数 X 電極接続端子及び前記偶数 Y 電極接続端子の各々に印加する第 2 サスティンドライバと、走査パルスが発生して前記偶数 Y 電極接続端子の各々に順次印加する第 2 スキャンドライバと、を備える。

【発明を実施するための最良の形態】

【0019】

表示パネルの奇数番目に配列されている表示電極各々に接続する為の接続端子を表示パネルの前面基板の右端及び左端の内の一端に設け、偶数番目に配列されている表示電極各々に接続する為の接続端子を前面基板の他端に設ける。

【実施例】

【0020】

図 4 は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

【0021】

図 4 に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしての PDP50 と、かかる PDP50 に対して入力映像信号に応じた駆動制御を行う駆動制御回路 56 とから構成される。

【0022】

PDP50 における表示電極形成部 DE には、表示画面の列方向（上下方向）に夫々伸長している帯状の列電極（アドレス電極） $D_1 \sim D_m$ が形成されている。更に、表示電極形成部 DE には、表示画面の行方向（左右方向）に夫々伸長している帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ 各々が、図 4 に示す如く、XY 交互に且つ番号順に配列されている。この際、互いに隣接するもの同士で対となる行電極対の各々、つまり行電極対 (X_1 、 Y_1) ~ 行電極対 (X_n 、 Y_n) の各々が PDP50 における第 1 表示ライン ~ 第 n 表示ラインに対応している。各表示ラインと列電極 $D_1 \sim D_m$ との各交叉部（図 4 中の一点鎖線にて囲まれた領域）に、画素を担う画素セル PC が形成されている。

【0023】

尚、行電極 $X_1 \sim X_n$ 各々の内の奇数番目の行電極 X_1 、 X_3 、 X_5 、 \dots 、 X_{n-3} 、及び X_{n-1} 各々は、表示電極形成部 DE の左端に設けられている接続端子 T_{X0} に共通に接続されている。一方、偶数番目の行電極 X_2 、 X_4 、 X_6 、 \dots 、 X_{n-2} 、及び X_n 各々は、表示電極形成部 DE の右端に設けられている接続端子 T_{XE} に共通に接続されている。又、行電極 $Y_1 \sim Y_n$ 各々の内の奇数番目の行電極 Y_1 、 Y_3 、 Y_5 、 \dots 、 Y_{n-3} 及び Y_{n-1} 各々は、表示電極形成部 DE の左端に設けられている接続端子 T_{Y1}

、 T_{Y3} 、 T_{Y5} 、 \dots 、 $T_{Y(n-3)}$ 及び $T_{Y(n-1)}$ に夫々個別に接続されている。一方、偶数番目の行電極 Y_2 、 Y_4 、 \dots 、 Y_{n-2} 、及び Y_n 各々は、表示電極形成部DEの右端に設けられている接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n-2)}$ 、及び $T_{Y(n)}$ に夫々個別に接続されている。

【0024】

図5～図8は、上記表示電極形成部DE内での内部構造の一部を抜粋して示す図である。

【0025】

尚、図5は、表示面側から眺めた平面図である。又、図6は、図5に示されるV1-V1線から眺めた断面図である。又、図7は、図5に示されるV2-V2線から眺めた断面図である。又、図8は、図5に示されるW1-W1線から眺めた断面図である。

【0026】

図5に示すように、行電極Yは、表示画面の行方向（左右方向）に伸長する帯状のバス電極Yb（行電極Yの本体部）と、バス電極Ybに接続された複数の透明電極Yaとから構成される。バス電極Ybは例えば黒色の金属膜からなる。透明電極YaはITO等の透明導電膜からなり、バス電極Yb上における各列電極Dに対応した位置に夫々配置されている。透明電極Yaは、バス電極Ybとは直交する方向に伸長しており、その一端及び他端が夫々図5に示す如く幅広な形状になっている。すなわち、透明電極Yaは、行電極Yの本体部から突起した突起電極と捉えることができる。又、行電極Xは、表示画面の行方向（左右方向）に伸長する帯状のバス電極Xb（行電極Xの本体部）と、バス電極Xbに接続された複数の透明電極Xaとから構成される。バス電極Xbは例えば黒色の金属膜からなる。透明電極XaはITO等の透明導電膜からなり、バス電極Xb上における各列電極Dに対応した位置に夫々配置されている。透明電極Xaは、バス電極Xbとは直交する方向に伸長しており、その一端が図5に示す如く幅広な形状になっている。すなわち、透明電極Xaは、行電極Xの本体部から突起した突起電極と捉えることができる。上記透明電極Xa及びYa各々の幅広部が、図5に示す如く互いに所定幅の放電ギャップgを介して対向して配置されている。つまり、対を為す行電極X及びY各々の本体部から突起した突起電極としての透明電極Xa及びYaが互いに放電ギャップgを介して対向して配置されているのである。

【0027】

上記透明電極Ya及びバス電極Ybからなる行電極Yと、透明電極Xa及びバス電極Xbからなる行電極Xは、図6に示す如く、PDP50の表示面を担う前面透明基板10の内側の面に形成されている。更に、これら行電極X及びYを被覆すべく、前面透明基板10の裏面には誘電体層11が形成されている。誘電体層11の表面における選択セルC2（後述する）各々に対応した位置には、誘電体層11から背面側に向かって突出した嵩上げ誘電体層12が形成されている。嵩上げ誘電体層12は、黒色または暗色の顔料を含んだ帯状の光吸収層からなり、図5に示す如く表示面の行方向（左右方向）に伸長して形成されている。嵩上げ誘電体層12の表面及び嵩上げ誘電体層12が形成されていない誘電体層11の表面は、MgO（酸化マグネシウム）からなる保護層（図示せず）によって被覆されている。前面透明基板10に対して平行配置された背面基板13上には、夫々バス電極Xb及びYbと直交する方向に伸長している複数の列電極Dが互いに所定の間隙を開けて平行に配列されている。背面基板13には、列電極Dを被覆する白色の列電極保護層（誘電体層）14が形成されている。列電極保護層14上には、第1横壁15A、第2横壁15B及び縦壁15Cからなる隔壁15が形成されている。第1横壁15Aは、バス電極Ybと対向した列電極保護層14上の位置において表示面の行方向（左右方向）に伸長して形成されている。第2横壁15Bは、バス電極Xbと対向した列電極保護層14上の位置において表示面の行方向（左右方向）に伸長して形成されている。縦壁15Cは、バス電極Xb（Yb）上において等間隙に配置された透明電極Xa（Ya）各々の間の位置において夫々、バス電極Xb（Yb）とは直交する方向に伸長して形成されている。

【0028】

10

20

30

40

50

又、図6に示すように、列電極保護層14上における嵩上げ誘電体層12に対向した領域(縦壁15C、第1横壁15A及び第2横壁15B各々の側面を含む)には2次電子放出材料層30が形成されている。2次電子放出材料層30は、仕事関数が低い(例えば4.2 eV以下)、いわゆる2次電子放出係数の高い高材料からなる層である。2次電子放出材料層30として用いる材料としては、例えばMgO、CaO、SrO、BaO等のアルカリ土類金属酸化物、Cs₂O等のアルカリ金属酸化物、CaF₂、MgF₂等のフッ化物、TiO₂、Y₂O₃、あるいは、結晶欠陥や不純物ドーブにより2次電子放出係数を高めた材料、ダイヤモンド状薄膜、カーボンナノチューブ等がある。一方、列電極保護層14上における嵩上げ誘電体層12に対向した領域以外の領域(縦壁15C、第1横壁15A及び第2横壁15B各々の側面を含む)には、図6に示す如く蛍光体層16が形成されている。蛍光体層16としては、赤色で発光する赤色蛍光層、緑色で発光する緑色蛍光層、及び青色で発光する青色蛍光層の3系統があり、各画素セルPC毎にその割り当てが決まっている。上記2次電子放出材料層30及び蛍光体層16と、誘電体層11との間には放電ガスが封入された放電空間が存在する。第1横壁15A、第2横壁15B及び縦壁15C各々の高さは図6及び図8に示すように、嵩上げ誘電体層12又は誘電体層11の表面に到達するほど高くはない。従って、図6に示す如く第2横壁15Bと嵩上げ誘電体層12との間には、放電ガスの流通が可能な隙間rが存在する。第1横壁15A及び嵩上げ誘電体層12間には、放電の干渉を防ぐべくこの第1横壁15Aに沿った方向に伸長した誘電体層17が形成されている。又、縦壁15C及び嵩上げ誘電体層12間には、図7に示すように縦壁15Cに沿った方向に断続的に誘電体層18が形成されている。

10

20

【0029】

ここで、第1横壁15A及び縦壁15Cによって囲まれた領域(図5中の一点鎖線にて囲まれた領域)が画素を担う画素セルPCとなる。更に、図5及び図6に示す如く画素セルPCは、第2横壁15Bによって表示セルC1及び選択セルC2に区分けされている。表示セルC1は、図5及び図6に示されるように、表示ラインを担う一対の行電極X及びYと、蛍光体層16とを含む。一方、選択セルC2は、上記表示ラインを担う一対の行電極の内の行電極Yと、この表示ラインの表示面上方に隣接する表示ラインを担う一対の行電極の内の行電極Xと、嵩上げ誘電体層12と、2次電子放出材料層30とを含む。尚、表示セルC1内では、図5に示すように、行電極Xの透明電極Xaの一端に形成されている幅広部と、行電極Yの透明電極Yaの一端に形成されている幅広部とが放電ギャップgを介して互いに対向して配置されている。一方、選択セルC2内においては、この透明電極Yaの他端に形成されている幅広部が含まれるが、透明電極Xは含まれていない。

30

【0030】

又、図6に示す如く、表示面の上下方向(図6では左右方向)において互いに隣接する画素セルPC各々の放電空間は、第1横壁15A及び誘電体層17によって遮断されている。一方、同一の画素セルPCに属する表示セルC1及び選択セルC2各々の放電空間は、図6に示す如き隙間rにて連通している。又、表示面の左右方向において互いに隣接する選択セルC2各々の放電空間は、図7に示す如き嵩上げ誘電体層12及び誘電体層18によって遮断されているが、表示面の左右方向において互いに隣接する表示セルC1各々の放電空間は互いに連通している。このように、PDP50に形成されている画素セルPCの各々は、互いにその放電空間が連通している表示セルC1及び選択セルC2から構成されている。

40

【0031】

更に、図4に示す如く、PDP50の前面透明基板10上には、上記列電極D₁～D_m、行電極X₁～X_n及び行電極Y₁～Y_n各々に各種駆動パルスを印加する奇数X電極ドライバ51a、偶数X電極ドライバ51b、奇数Y電極ドライバ53a、偶数Y電極ドライバ53b、及びアドレスドライバ55が実装されている。この際、図4に示す如く、偶数X電極ドライバ51b及び偶数Y電極ドライバ53b各々は、前面透明基板10上における右端に実装されている。また、奇数X電極ドライバ51a及び奇数Y電極ドライバ53a各々は、前面透明基板10上における左端に実装されている。奇数X電極ドライバ5

50

1 a は、表示電極形成部 D E の左端に設けられている接続端子 T_{X0} と電氣的に接続されており、偶数 X 電極ドライバ 5 1 b は、表示電極形成部 D E の右端に設けられている接続端子 T_{XE} と電氣的に接続されている。又、奇数 Y 電極ドライバ 5 3 a は、表示電極形成部 D E の左端に設けられている接続端子 T_{Y1} 、 T_{Y3} 、 T_{Y5} 、 \dots 、 $T_{Y(n-3)}$ 及び $T_{Y(n-1)}$ 各々と電氣的に接続されている。更に、偶数 Y 電極ドライバ 5 3 b は、表示電極形成部 D E の右端に設けられている接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n-2)}$ 、及び T_{Yn} 各々と電氣的に接続されている。

【0032】

奇数 X 電極ドライバ 5 1 a は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、上記接続端子 T_{X0} を介して PDP 5 0 の奇数番目の行電極 X_1 、 X_3 、 X_5 、 \dots 、 X_{n-3} 、及び X_{n-1} 各々に対して同時に各種駆動パルス(後述する)を印加する。偶数 X 電極ドライバ 5 1 b は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、上記接続端子 T_{XE} を介して偶数番目の行電極 X_2 、 X_4 、 \dots 、 X_{n-2} 、及び X_n 各々に対して同時に各種駆動パルス(後述する)を印加する。奇数 Y 電極ドライバ 5 3 a は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、上記接続端子 T_{Y1} 、 T_{Y3} 、 T_{Y5} 、 \dots 、 $T_{Y(n-3)}$ 及び $T_{Y(n-1)}$ 各々を介して奇数番目の行電極 Y_1 、 Y_3 、 Y_5 、 \dots 、 Y_{n-3} 及び Y_{n-1} に対して夫々個別に各種駆動パルス(後述する)を印加する。偶数 Y 電極ドライバ 5 3 b は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、上記接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n-2)}$ 、及び T_{Yn} 各々を介して偶数番目の行電極 Y_2 、 Y_4 、 \dots 、 Y_{n-2} 、及び Y_n に対して夫々個別に各種駆動パルス(後述する)を印加する。アドレスドライバ 5 5 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 5 0 の列電極 $D_1 \sim D_m$ に画素データパルス(後述する)を印加する。

【0033】

駆動制御回路 5 6 は、先ず、入力映像信号を各画素毎に輝度レベルを表す例えば 8 ビットの画素データに変換し、この画素データに対して誤差拡散処理及びディザ処理を施す。例えば、当該誤差拡散処理では、先ず、画素データの上位 6 ビット分を表示データ、残りの下位 2 ビット分を誤差データとする。そして、周辺画素各々に対応した当該画素データの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位 2 ビット分の輝度が上記周辺画素によって擬似的に表現され、それ故に 8 ビットよりも少ない 6 ビット分の表示データにて、上記 8 ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた 6 ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を 1 画素単位とし、この 1 画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、上記 1 画素単位で眺めた場合には、上記ディザ加算画素データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが可能となる。そこで、駆動制御回路 5 6 は、当該ディザ加算画素データの上位 4 ビット分を多階調化画素データ PD_s とし、これを図 9 に示す如きデータ変換テーブルに従って第 1 ~ 第 15 ビットからなる 15 ビットの画素駆動データ GD に変換する。従って、8 ビットで 256 階調を表現し得る画素データは、図 9 に示すように、全部で 16 パターンからなる 15 ビットの画素駆動データ GD に変換される。次に、駆動制御回路 5 6 は、1 画面分の画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 毎に、これら画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々を同一ビット桁同士にて分離することにより、

DB 1 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 1 ビット目

DB 2 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 2 ビット目

DB 3 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 3 ビット目

DB 4 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 4 ビット目

DB 5 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 5 ビット目

DB 6 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 6 ビット目

10

20

30

40

50

DB7 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第7ビット目
 DB8 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第8ビット目
 DB9 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第9ビット目
 DB10 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第10ビット目
 DB11 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第11ビット目
 DB12 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第12ビット目
 DB13 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第13ビット目
 DB14 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第14ビット目
 DB15 : 画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第15ビット目

の如き画素駆動データビット群 DB1 ~ DB15 を得る。

10

【0034】

尚、画素駆動データビット群 DB1 ~ DB15 各々は、後述するサブフィールド SF1 ~ SF15 各々に対応したものである。駆動制御回路 56 は、サブフィールド SF1 ~ SF15 毎に、そのサブフィールドに対応した画素駆動データビット群 DB を 1 表示ライン分 (m 個) ずつアドレスドライバ 55 に供給する。

【0035】

更に、駆動制御回路 56 は、図 10 に示す如き選択消去アドレス法に基づく発光駆動シーケンスに従って PDP50 を駆動制御すべき各種タイミング信号を発生して、奇数 X 電極ドライバ 51a、偶数 X 電極ドライバ 51b、奇数 Y 電極ドライバ 53a 及び偶数 Y 電極ドライバ 53b に供給する。

20

【0036】

図 10 に示す発光駆動シーケンスでは、映像信号における各フィールドが、15 個のサブフィールド SF1 ~ SF15 に分割されている。サブフィールド SF1 では、リセット行程 R、選択書込アドレス行程 W、及びサステイン行程 I がその順に実行される。第 2 サブフィールド SF2 ~ 第 15 サブフィールド SF15 各々では、リセット行程 Ro、選択消去アドレス行程 Wo、リセット行程 Re、選択消去アドレス行程 We、及びサステイン行程 I がその順に実行される。第 15 サブフィールド SF15 においては、サステイン行程 I の直後に消去行程 E が実行される。

【0037】

図 11 は、図 10 に示す発光駆動シーケンスに従って、アドレスドライバ 55、奇数 X 電極ドライバ 51a、偶数 X 電極ドライバ 51b、奇数 Y 電極ドライバ 53a 及び偶数 Y 電極ドライバ 53b 各々が PDP50 の列電極 D、行電極 X 及び Y に印加する各種駆動パルスを示す図である。尚、図 11 においては、図 10 に示すサブフィールド SF1 ~ SF15 の内の、先頭のサブフィールド SF1 及び SF2 での動作のみを抜粋して示す。

30

【0038】

先ず、サブフィールド SF1 のリセット行程 R 直前における壁電荷分布状態としては、選択セル C2 内の列電極 D ($D_1 \sim D_n$) 上が負電荷 -、行電極 Y ($Y_1 \sim Y_n$) 上が正電荷 +、表示セル C1 内の行電極 Y 上が負電荷 -、行電極 X ($X_1 \sim X_n$) 上が正電荷 ++ である。ここで、+、-、++、-- は壁電荷の正負だけでなく壁電荷量を示している。すなわち、++、-- は +、- よりも壁電荷の量としては大であることを示している。

40

【0039】

第 1 サブフィールド SF1 のリセット行程 R では、奇数 Y 電極ドライバ 53a 及び偶数 Y 電極ドライバ 53b 各々が、立ち上がり変化の緩やかな正極性のリセットパルス RP_Y を発生して行電極 $Y_1 \sim Y_n$ 各々に同時に印加する。又、上記リセットパルス RP_Y と同一タイミングにて、奇数 X 電極ドライバ 51a 及び偶数 X 電極ドライバ 51b 各々が、立ち上がり変化の緩やかな正極性のリセットパルス RP_X を発生して行電極 $X_1 \sim X_n$ 各々に同時に印加する。

【0040】

リセットパルス RP_Y 及び RP_X の印加に応じて、PDP50 の全ての画素セル PC 各々の選択セル C2 内の列電極 D と行電極 Y との間においてリセット放電が生起される。か

50

かるリセット放電の終了後、選択セル C 2 内の列電極 D 上には正極性の壁電荷 + が形成され、行電極 Y 上には負極性の壁電荷 - が形成される。また、表示セル C 1 内の行電極 Y 上には負極性の壁電荷 - が形成され、行電極 X 上にも負極性の壁電荷 - が形成される。

【 0 0 4 1 】

上記した如く、選択消去アドレス法に基づくリセット行程 R では、全ての画素セル P C の選択セル C 2 内における列電極 D 及び行電極 Y 間においてリセット放電を生起させ、表示セル C 1 及び選択セル C 2 各々内に上述した如き形態で壁電荷を形成させる。

【 0 0 4 2 】

次に、サブフィールド S F 1 の選択書込アドレス行程 W では、奇数 Y 電極ドライバ 5 3 a 及び偶数 Y 電極ドライバ 5 3 b が正極性の電圧 V 1 を有する走査ベースパルス S B P を行電極 Y₁ ~ Y_n に同時に印加しつつ、走査ベースパルス S B P から突出した波形の正極性の電圧 V 2 (V 2 > V 1) を有する走査パルス S P を行電極 Y₁ ~ Y_n 各々に順次印加して行く。この間、奇数 X 電極ドライバ 5 1 a 及び偶数 X 電極ドライバ 5 1 b は、行電極 X₁ ~ X_n 各々に電圧 V 1 を印加する。アドレスドライバ 5 5 は、このサブフィールド S F 1 に対応した画素駆動データビット群 D B 1 における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス D P に変換する。例えば、アドレスドライバ 5 5 は、論理レベル 0 の画素駆動データビットを正極性の高電圧の画素データパルス D P に変換する一方、論理レベル 1 の画素駆動データビットを低電圧 (0 ボルト) の画素データパルス D P に変換する。そして、かかる画素データパルス D P を走査パルス S P の印加タイミングに同期して 1 表示ライン分 (m 個) ずつ列電極 D₁ ~ D_m に印加して行く。つまり、アドレスドライバ 5 5 は、先ず、第 1 表示ラインに対応した m 個の画素データパルス D P からなる画素データパルス群 D P₁ を列電極 D₁ ~ D_m に印加し、次に、第 2 表示ラインに対応した m 個の画素データパルス D P からなる画素データパルス群 D P₂ を列電極 D₁ ~ D_m に印加して行くのである。

【 0 0 4 3 】

ここで、上記走査パルス S P と低電圧 (0 ボルト) の画素データパルス D P とが同時に印加された画素セル P C の選択セル C 2 内の列電極 D 及び行電極 Y 間において選択書込アドレス放電が生起される。かかる選択書込アドレス放電に応じて、この画素セル P C の選択セル C 2 内の列電極 D 上には正極性の壁電荷 + が形成され、行電極 Y 上には負極性の壁電荷 - が形成される。また、表示セル C 1 内の行電極 Y 上には負極性の壁電荷 - が形成され、行電極 X 上にも負極性の壁電荷 - が形成される。一方、消灯となるべき画素セル P C には低電圧 (0 ボルト) の画素データパルス D P が印加されないため、上記の如き選択書込アドレス放電は生じない。よって、その画素セル P C における壁電荷分布状態はリセット放電終了直後の状態を維持する。

【 0 0 4 4 】

次に、各サブフィールドのサスティン行程 I では、奇数 Y 電極ドライバ 5 3 a が負極性のサスティンパルス I P_Y を奇数番目の行電極 Y₁、Y₃、Y₅、・・・、Y_{n-3} 及び Y_{n-1} 各々に繰り返し印加する。又、サスティン行程 I では、偶数 Y 電極ドライバ 5 3 b が、上述した如き奇数番目の行電極 Y 各々に印加したタイミングとは異なるタイミングで負極性のサスティンパルス I P_Y を偶数番目の行電極 Y₂、Y₄、・・・、Y_{n-2}、及び Y_n 各々に印加する。又、サスティン行程 I では、奇数 X 電極ドライバ 5 1 a が、上述した如く偶数番目の行電極 Y に印加されたサスティンパルス I P_Y と同一タイミングで、負極性のサスティンパルス I P_X を奇数番目の行電極 X₁、X₃、X₅、・・・、X_{n-3}、及び X_{n-1} 各々に繰り返し印加する。又、サスティン行程 I では、偶数 X 電極ドライバ 5 1 b が、上述した如く奇数番目の行電極 Y に印加されたサスティンパルス I P_Y と同一タイミングにて、負極性のサスティンパルス I P_X を偶数番目の行電極 Y₂、Y₄、・・・、Y_{n-2}、及び Y_n 各々に印加する。尚、各サスティン行程 I において、サスティンパルス I P_Y 及び I P_X が印加される回数は、このサスティン行程 I の属するサブフィールドに割り当てられている回数だけである。アドレスドライバ 5 5 は、各サスティン行程内において最初に印加される第 1 のサスティンパルス I P_Y の印加に同期して列電極 D₁ ~

D_m に正極性のアドレスパルス AP を印加する。これら第 1 のサスティンパルス IP_Y 及びアドレスパルスの印加に応じて、点灯となるべき画素セル PC (点灯セル) における選択セル C_2 内の列電極 D 及び行電極 Y 間において放電が生起される。

【0045】

かかる放電により、選択セル C_2 内の列電極 D 上には負極性の壁電荷 $-$ が形成され、選択セル C_2 内の行電極 Y 上には正極性の壁電荷 $+$ が形成される。つまり、選択セル C_2 内における行電極 Y 上の壁電荷の極性が反転する。更に、この放電が画素セル PC 内の間隙 r を介して表示セル C_1 内に拡張し、この表示セル C_1 内の行電極 Y 上には正極性の壁電荷 $+$ が形成される。この際、表示セル C_1 内の行電極 X 上には負極性の壁電荷 $-$ がそのまま残留する。よって、かかる放電により、この表示セル C_1 を含む画素セル PC は点灯セルに設定される。従って、それ以降、各サブフィールドに対応した回数分だけサスティンパルス IP_X 及び IP_Y が交互に繰り返し印加される度に、表示セル C_1 内の行電極 Y 及び X 間において維持放電 (表示放電) が生起され、その放電に伴う発光状態を維持する。

10

【0046】

一方、消灯となるべき画素セル PC (消灯セル) では、選択セル C_2 内の行電極 Y 上には負極性の壁電荷 $-$ が形成され、列電極 D 上には正極性の壁電荷 $+$ が形成されている。従って、第 1 サスティンパルス IP_Y とそれに同期したアドレスパルスとが印加されても、選択セル C_2 内の列電極 D 及び行電極 Y 間では放電が生起されず、壁電荷の極性も反転しない。よって、この画素セル PC は消灯セルに設定されることになる。従って、それ以降、サスティンパルス IP_X 及び IP_Y が印加されても、表示セル C_1 内の行電極 Y と行電極 X との間において維持放電は生起されず、消灯状態を維持する。

20

【0047】

ここで、各サスティン行程 I 内において奇数の行電極 Y に最後に印加されるサスティンパルス IP_Y と同一タイミングにて、アドレスドライバ 55 は、再び、列電極 $D_1 \sim D_m$ 各々に正極性のアドレスパルス AP を印加することにより、選択セル C_2 内における列電極 D 及び行電極 Y 間において放電が生起される。かかる放電により、選択セル C_2 内の列電極 D 上に負電極の壁電荷 $-$ が形成され、選択セル C_2 内の行電極 Y 上には正電極の壁電荷 $+$ が形成される。この際、表示セル C_1 内では、行電極 X 及び Y 間において生起された維持放電により、行電極 Y 上に正電極の壁電荷 $+$ が形成され、行電極 X 上に負電極の壁電荷 $-$ が形成される。

30

【0048】

次に、各サブフィールドのリセット行程 R_0 では、奇数 Y 電極ドライバ 53a が、立ち上がり変化の緩やかな正極性のリセットパルス RP_Y を発生して $PDP50$ の奇数番の行電極 $Y_1, Y_3 \sim Y_{n-1}$ の各々に同時に印加する。また、かかるリセットパルス RP_Y と同一タイミングにて、偶数 X 電極ドライバ 51b が、上記リセットパルス RP_Y と同一波形を有する正極性のリセットパルス RP_X を発生して $PDP50$ の偶数番の行電極 $X_2, X_4 \sim X_n$ の各々に同時に印加する。

【0049】

$PDP50$ における画素セル PC 各々の内、その直前のサスティン行程 I において維持放電の生起された奇数行に属する画素セル PC では、選択セル C_2 内の列電極 D 及び行電極 Y 間においてリセット放電が生起される。かかるリセット放電の終了後、このリセット放電の生起された選択セル C_2 内の列電極 D 上に正極性の壁電荷 $+$ が形成され、行電極 Y 上には負極性の壁電荷 $-$ が形成される。また、その奇数行に属する画素セル PC の表示セル C_1 内の行電極 Y 上では正極性の壁電荷 $+$ が維持され、行電極 X 上では負極性の壁電荷 $-$ が維持される。

40

【0050】

次に、選択消去アドレス行程 W_0 では、奇数 Y 電極ドライバ 53a が正極性の電圧 V_1 を有する走査ベースパルス SBP を奇数番の行電極 $Y_1, Y_3 \sim Y_{n-1}$ に印加しつつ、走査ベースパルス SBP から突出した波形の正極性の電圧 V_2 を有する走査パルス SP を

50

奇数番の行電極 $Y_1, Y_3 \sim Y_{n-1}$ 各々に順次印加して行く。この間、偶数 X 電極ドライバ 5 1 b は、偶数番の行電極 $X_2, X_4 \sim X_n$ 各々に正極性の電圧 V_1 を有する走査ベースパルス SBP を同時に印加する。奇数 Y 電極ドライバ 5 3 a による走査ベースパルス SBP の印加と偶数 X 電極ドライバ 5 1 b による走査ベースパルス SBP の印加とは同時に行われる。更に、この間、アドレスドライバ 5 5 は、このサブフィールドに対応した画素駆動データビット群 DB における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス DP に変換する。例えば、アドレスドライバ 5 5 は、論理レベル 0 の画素駆動データビットを低電圧 (0 ボルト) の画素データパルス DP に変換する一方、論理レベル 1 の画素駆動データビットを正極性の高電圧の画素データパルス DP に変換する。この変換については第 1 サブフィールドとは論理が逆である。そして、かかる画素データパルス DP を走査パルス SP の印加タイミングに同期して 1 表示ライン分 (m 個) ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ 5 5 は、先ず、第 1 表示ラインに対応した m 個の画素データパルス DP からなる画素データパルス群 DP_1 を列電極 $D_1 \sim D_m$ に印加し、次に、第 2 表示ラインに対応した m 個の画素データパルス DP からなる画素データパルス群 DP_2 を列電極 $D_1 \sim D_m$ に印加して行くのである。

10

【0051】

ここで、走査パルス SP と低電圧 (0 ボルト) の画素データパルス DP とが同時に印加された画素セル PC の選択セル C_2 内の列電極 D 及び行電極 Y 間において選択消去アドレス放電が生起される。選択消去アドレス放電後、消灯となるべき奇数行上の画素セル PC の選択セル C_2 内の列電極 D 上には正極性の壁電荷 $+$ が形成され、行電極 Y 上には負極性の壁電荷 $-$ が形成される。また、その奇数行上の画素セル PC の表示セル C_1 内の行電極 Y 上には負極性の壁電荷 $-$ が形成され、行電極 X 上にも負極性の壁電荷 $-$ が形成されている。これによって画素セル PC は消灯セルに設定される。一方、点灯となるべき奇数行上の画素セル PC には画素データパルス DP が印加されないので、選択消去アドレス放電が生じない。よって、その画素セル PC における壁電荷分布状態はリセット行程 R_0 のリセット放電終了直後の状態のままである。すなわち、表示セル C_1 内の行電極 Y 上には正極性の壁電荷 $++$ が維持され、行電極 X 上には負極性の壁電荷 $--$ が維持される。これにより、画素セル PC は点灯セルに設定される。

20

【0052】

このように、上記選択消去アドレス行程 W_0 の実行により、 PD_50 における全ての画素セル PC 各々の内の奇数行に属する画素セル PC の各々が、画素データに応じて点灯セル又は消灯セルのいずれか一方の状態に設定される。

30

【0053】

次に、各サブフィールドのリセット行程 R_e では、偶数 Y 電極ドライバ 5 3 b が、 PD_50 の偶数番目の行電極 $Y_2, Y_4 \sim Y_n$ の各々に負極性のサスティンパルス IP_Y を同時に印加する。これと同時に、奇数 X 電極ドライバ 5 1 a が、奇数番目の行電極 $X_1, X_3, X_5, \dots, X_{n-3}$ 、及び X_{n-1} 各々に負極性のサスティンパルス IP_X を同時に印加する。これらサスティンパルス IP_Y 及び IP_X に同期して、アドレスドライバ 5 5 は、正極性のアドレスパルス AP を列電極 $D_1 \sim D_m$ に印加する。その結果、消灯セルに設定されている画素セル PC では放電が生起されず、その消灯セルの状態が維持される。一方、点灯セルに設定されている画素セル PC では、偶数行に属する画素セル PC の表示セル C_1 及び選択セル C_2 各々内で放電が生起される。かかる放電により、選択セル C_2 内の行電極 Y 上に正極性の壁電荷 $+$ が形成され、選択セル C_2 内の列電極 D 上には負極性の壁電荷 $-$ が形成される。更に、表示セル C_1 内の行電極 Y 上には正極性の壁電荷 $+$ が形成され、表示セル C_1 内の行電極 X 上には負極性の壁電荷 $-$ が形成される。その後、偶数 Y 電極ドライバ 5 3 b が、立ち上がり変化の緩やかな正極性のリセットパルス RP_Y を発生して PD_50 の偶数番目の行電極 $Y_2, Y_4 \sim Y_n$ の各々に同時に印加する。また、かかるリセットパルス RP_Y と同一タイミングにて、奇数 X 電極ドライバ 5 1 a が、正極性のリセットパルス RP_X を発生して PD_50 の奇数番目の行電極 $X_1, X_3 \sim X_{n-1}$ の各々に同時に印加する。これらリセットパルス RP_Y 及び RP_X の印加に応じて、直

40

50

前のサスティン行程 I において維持放電の生起された偶数行に属する画素セル P C における選択セル C 2 内の列電極 D 及び行電極 Y 間で微弱なりセット放電が生起される。かかるリセット放電の終了後、このリセット放電の生起された選択セル C 2 内の列電極 D 上には正極性の壁電荷 + が形成され、行電極 Y 上には負極性の壁電荷 - が形成されている。また、その偶数行に属する画素セル P C における表示セル C 1 内の行電極 Y 上には正極性の壁電荷 + +、行電極 X 上には負極性の壁電荷 - - が維持されている。

【 0 0 5 4 】

次に、選択消去アドレス行程 W e では、偶数 Y 電極ドライバ 5 3 b が正極性の電圧 V 1 を有する走査ベースパルス S B P を偶数番の行電極 Y₂, Y₄ ~ Y_n に印加しつつ、走査ベースパルス S B P から突出した波形の正極性の電圧 V 2 を有する走査パルス S P を偶数番の行電極 Y₂, Y₄ ~ Y_n 各々に順次印加して行く。奇数 X 電極ドライバ 5 1 a は、奇数番の行電極 X₁, X₃ ~ X_{n-1} 各々に正極性の電圧 V 1 を有する走査ベースパルス S B P を同時に印加する。アドレスドライバ 5 5 は、選択消去アドレス行程 W o の場合と同様に、各サブフィールドに対応した画素駆動データビット群 D B における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス D P に変換する。そして、かかる画素データパルス D P を走査パルス S P の印加タイミングに同期して 1 表示ライン分 (m 個) ずつ列電極 D₁ ~ D_m に印加して行く。つまり、アドレスドライバ 5 5 は、先ず、第 1 表示ラインに対応した m 個の画素データパルス D P からなる画素データパルス群 D P₁ を列電極 D₁ ~ D_m に印加し、次に、第 2 表示ラインに対応した m 個の画素データパルス D P からなる画素データパルス群 D P₂ を列電極 D₁ ~ D_m に印加して行くのである。この際、走査パルス S P と低電圧 (0 ボルト) の画素データパルス D P とが同時に印加された画素セル P C の選択セル C 2 内の列電極 D 及び行電極 Y 間において選択消去アドレス放電が生起される。かかる選択消去アドレス放電後、消灯となるべき偶数行上の画素セル P C の選択セル C 2 内の列電極 D 上には正極性の壁電荷 + が形成され、行電極 Y 上には負極性の壁電荷 - が形成される。また、その偶数行に属する画素セル P C における表示セル C 1 内の行電極 Y 上には負極性の壁電荷 - - が形成され、行電極 X 上にも負極性の壁電荷 - - が形成される。これにより、画素セル P C は消灯セルに設定される。一方、点灯となるべき偶数行に属する画素セル P C には低電圧 (0 ボルト) の画素データパルス D P が印加されないので、選択消去アドレス放電が生じない。よって、その画素セル P C における壁電荷分布状態はリセット行程 R e でのリセット放電終了直後の状態のままである。すなわち、表示セル C 1 内の行電極 Y 上には正極性の壁電荷 + + が維持され、行電極 X 上には負極性の壁電荷 - - が維持される。これにより、画素セル P C は点灯セルに設定されることになる。

【 0 0 5 5 】

このように、上記選択消去アドレス行程 W e の実行により、P D P 5 0 における全ての画素セル P C 各々の内、偶数行に属する画素セル P C 各々が、画素データに応じて点灯セル又は消灯セルのいずれか一方の状態に設定される。

【 0 0 5 6 】

かかる選択消去アドレス行程 W e の実行後、前述した如きサスティン行程 I が実施され、点灯セルに設定された画素セル P C のみが各サブフィールドに割り当てられている回数分だけ繰り返し維持放電し、その放電に伴う発光状態が維持される。

【 0 0 5 7 】

そして、上述した如き図 1 0 及び図 1 1 に示す駆動を、図 9 に示す如き 1 6 通りの画素駆動データ G D に基づいて実行する。かかる駆動によると、図 9 に示すように、輝度レベル 0 を表現する場合 (第 1 階調) を除き、最初のサブフィールド S F 1 の選択書込アドレス行程 W において各画素セル P C 内で書込アドレス放電が生起され (二重丸にて示す)、画素セル P C は点灯セルに設定される。その後、サブフィールド S F 2 ~ S F 1 5 各々の内の 1 のサブフィールドの選択消去アドレス行程 W o 及び W e のみで選択消去アドレス放電が生起され (黒丸にて示す)、画素セル P C は消灯セルに設定される。つまり、各画素セル P C は、表現すべき中間輝度に対応した分だけ連続したサブフィールド各々で点灯セ

ルに設定され、これらサブフィールドの各々に割り当てられている回数分だけ維持放電に伴う発光を繰り返し生起する（白丸にて示す）のである。この際、1フィールド内において生起された維持放電に伴う発光の総数に対応した輝度が視覚される。よって、図9に示す如き第1～第16階調駆動による16種類の発光パターンによれば、白丸にて示すサブフィールド各々で生起された維持放電の合計回数に対応した16階調分の中間輝度が表現されるのである。

【0058】

ここで、図4に示すプラズマディスプレイ装置においては、PDP50の各画素を担う画素セルPCを図5及び図6に示す如き表示セルC1及び選択セルC2にて構築するようにしている。そして、表示画像に關与する維持放電を表示セルC1内にて生起させる一方、表示画像には關与しない発光を伴うリセット放電及びアドレス放電を、主に選択セルC2内にて生起させるようにしている。選択セルC2内には、上記リセット放電及びアドレス放電に伴う光が前面透明基板10を通過して外部に漏れるのを防ぐべく、黒色または暗色の顔料を含んだ光吸収層からなる嵩上げ誘電体層12が形成されている。よって、リセット放電及びアドレス放電に伴う放電光は嵩上げ誘電体層12によって遮断されるので、表示画像のコントラスト、特に、暗コントラストを高めることが可能になる。又、選択セルC2内には、その背面基板13側に図6に示す如く2次電子放出材料層30を設けている。2次電子放出材料層30は、その形成面が陰極となる放電時に2次電子を放出する特性が良好となるものである。この際、図11に示す各アドレス行程(W、Wo、We)では、正極性の電圧V2を有する走査パルスSPを行電極Yに印加すると共に低電圧(0ボルト)の画素データパルスDPを列電極Dに印加することにより、アドレス放電を生起させている。すなわち、列電極Dを陰極側にしてアドレス放電を生起させているのである。従って、選択セルC2内に形成されている2次電子放出材料層30も陰極となり、この2次電子放出材料層30から良好に2次電子が放出されるようになり、選択セルC2内においてアドレス放電が確実に生起されるようになる。

【0059】

更に、図4に示すPDP50においては、奇数番目の行電極 X_1 、 X_3 、 \dots 、 X_{n-1} 各々が共通接続されている接続端子 T_{X0} を表示電極形成部DEの左端に設け、偶数番目の行電極 X_2 、 X_4 、 \dots 、 X_n 各々が共通接続されている接続端子 T_{X0} を表示電極形成部DEの右端に設ける構造としている。又、PDP50では、奇数番目の行電極 Y_1 、 Y_3 、 \dots 、 Y_{n-1} 各々が夫々個別に接続されている接続端子 T_{Y1} 、 T_{Y3} 、 \dots 、 $T_{Y(n-1)}$ を表示電極形成部DEの左端に設け、偶数番目の行電極 Y_2 、 Y_4 、 \dots 、 Y_{n-2} 、及び Y_n 各々が夫々個別に接続されている接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n)}$ を表示電極形成部DEの右端に設ける構造としている。

そして、PDP50における前面透明基板10上の左端に奇数X電極ドライバ51a及び奇数Y電極ドライバ53a各々を実装する。この際、表示電極形成部DEの接続端子 T_{Y1} 、 T_{Y3} 、 \dots 、 $T_{Y(n-1)}$ 各々を介して奇数Y電極ドライバ53aと、奇数番目の行電極 Y_1 、 Y_3 、 \dots 、 Y_{n-1} 各々とを電氣的に接続している。更に、表示電極形成部DEの接続端子 T_{X0} を介して奇数X電極ドライバ51aと、奇数番目の行電極 X_1 、 X_3 、 \dots 、 X_{n-1} 各々とを電氣的に接続している。又、PDP50における前面透明基板10上の右端に偶数X電極ドライバ51b及び偶数Y電極ドライバ53b各々を実装する。この際、表示電極形成部DEの接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n)}$ 各々を介して偶数Y電極ドライバ53bと、偶数番目の行電極 Y_2 、 Y_4 、 \dots 、 Y_n 各々とを電氣的に接続している。更に、表示電極形成部DEの接続端子 T_{X0} を介して偶数X電極ドライバ51bと、偶数番目の行電極 X_2 、 X_4 、 \dots 、 X_{n-2} 、及び X_n 各々とを電氣的に接続している。

【0060】

上述した如きPDP50の構造によれば、奇数X電極ドライバ51a、奇数Y電極ドライバ53a、偶数X電極ドライバ51b及び偶数Y電極ドライバ53b各々と、表示電極形成部DEとを電氣的に接続する配線が交叉する箇所が図3に示す如き構造を採用した場

10

20

30

40

50

合に比して少なくなる。

【0061】

よって、かかる配線形態によれば、配線間に存在する浮遊容量が低減されるので、この浮遊容量に対する無効な充放電に伴う無効電力の消費が低下する。更に、奇数表示ラインに属する行電極の接続端子と偶数表示ラインに属する行電極の接続端子との間に、マイグレーション又は耐圧不良等の不具合が発生する確率が低下する。

【0062】

このように、本発明によれば、良好な駆動条件で表示パネルを駆動することが可能になるのである。

【0063】

尚、図4に示す実施例においては、奇数番目の行電極Y及びXに接続する為の接続端子 T_{Y1} 、 T_{Y3} 、 \dots 、 $T_{Y(n-1)}$ 及び T_{X0} を表示電極形成部DEの左端、偶数番目の行電極Y及びXに接続する為の接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n)}$ 及び T_{XE} を表示電極形成部DEの右端に設けているが、これに限定されるものではない。例えば、接続端子 T_{Y1} 、 T_{Y3} 、 \dots 、 $T_{Y(n-1)}$ 及び T_{X0} 各々を表示電極形成部DEの右端、接続端子 T_{Y2} 、 T_{Y4} 、 \dots 、 $T_{Y(n)}$ 及び T_{XE} 各々を表示電極形成部DEの左端に設けるようにしても良い。この際、偶数X電極ドライバ51b及び偶数Y電極ドライバ53bを前面透明基板10上の右端に実装し、奇数X電極ドライバ51a及び奇数Y電極ドライバ53a各々を前面透明基板10上の左端に実装する。

【0064】

要するに、前面透明基板上において行方向に伸長して形成されている行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ の内、奇数番目の行電極Y及びXに接続する為の接続端子を前面透明基板上の行方向における一端に設け、偶数番目の行電極X及びYに接続する為の接続端子を他端に設けるようにすれば良いのである。そして、奇数番目の行電極X及びYに駆動パルス印加するドライバを前面基板上の一端に実装し、偶数番目の行電極X及びYに駆動パルス印加するドライバを前面基板上の他端に実装すれば良いのである。

【0065】

又、上記実施例では、PDP50の各画素セルPC内において、図11に示す如く列電極Dを相対的に負極側にしてリセット放電及びアドレス放電を生起させ、負極性のサステインパルスIPを交互に印加することによりサステイン放電を生起させる駆動を実施しているが、各極性を反転して駆動させても良い。つまり、列電極Dを相対的に正極側にしてリセット放電及びアドレス放電を生起させ、正極性のサステインパルスIPを交互に印加することによりサステイン放電を生起させるようにするのである。

【0066】

又、図4においては、PDP50の第1表示ライン～第n表示ライン各々に対応した行電極対の配列として、X-Y、X-Y、X-Y、X-Yの如き配列を採用した場合の一例を示したが、X-Y、Y-X、X-Y、Y-Xの如き配列を採用しても良い。この際、奇数ラインに属する画素セルPC内の選択セルC2と偶数ラインに属する画素セルPC内の選択セルC2とが隣接することになる。かかる配列構造によれば、行電極Yに印加する各駆動パルスを同一位相にすることができると共に、行電極Xに印加する各駆動パルスを同一位相にすることができる。よって、図10に示す如きサブフィールドSF2～SF15各々において、奇数表示ラインに属する画素セルPCに対するリセット動作及び選択消去アドレス動作と、偶数表示ラインに属する画素セルPCに対するリセット動作及び選択消去アドレス動作とを時間的に分離する必要がなくなる。

【0067】

又、上記実施例においては、画素セルPCとして図5～図8に示す如き構造を採用したが、例えば図12～図16に示す如き構造を採用しても良い。

【0068】

図12は、PDP50の表示電極形成部DEを表示面側から眺めた平面図である。又、図13は、図12に示されるV1-V1線から眺めた断面図である。又、図14は、図1

10

20

30

40

50

2 に示される V 2 - V 2 線から眺めた断面図である。又、図 1 5 は、図 1 2 に示され W 1 - W 1 線から眺めた断面図である。又、図 1 6 は、図 1 2 に示され W 2 - W 2 線から眺めた断面図である。

【 0 0 6 9 】

尚、図 1 2 ~ 図 1 6 においては、図 5 ~ 図 8 に記載されている構造体と同一の構造体には同一の符号が付されている。

【 0 0 7 0 】

図 1 2 ~ 図 1 6 に示される構造では、列電極 D が行電極 X 及び Y と共に前面透明基板 1 0 側に設けられている。列電極 D は、図 1 2 に示すように、表示面における列方向（上下方向）に伸長する帯状の本体電極部 D 1 a と、各選択セル C 2 内において上記本体電極部 D 1 a から表示面の行方向（左右方向）に突出する突出電極部 D 1 b とから構成される。本体電極部 D 1 a の各々は、図 1 5 に示すように縦壁 1 5 c と重なるように配置され、この本体電極部 D 1 a と選択セル C 2 内のバス電極 Y b との間でリセット放電及びアドレス放電が生起される。

10

【 0 0 7 1 】

又、上記実施例においては、単位発光領域を第 1 放電セルとしての表示セル C 1 と、第 2 放電セルとしての表示セル C 2 とで構成したセル構造を有する P D P に適用した例を示したが、P D P の構造はかかる構造に限定されるものではない。例えば、表示ラインを構成する行電極 X、Y が放電の極性と方向性を有し且つその極性及び方向性が偶数表示ライン、奇数表示ラインの全ての表示ラインで同一方向を向く構造（例えば、サスティンパルスが印加される行電極 X と、サスティンパルス及び走査パルスが印加される行電極 Y とが交互に配列された構造）を有する P D P にも適用可能である。

20

【 0 0 7 2 】

又、図 4 に示される実施例では、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々の奇数番目に配列された電極の接続端子を表示電極形成部 D E の一端に設け、その他端に偶数番目に配列された電極の接続端子を設けるようにしている。しかしながら、奇数番目の行電極 X の接続端子と偶数番目の行電極 Y の接続端子とを表示電極形成部 D E の一端に設け、偶数番目の行電極 X の接続端子と奇数番目の行電極 Y の接続端子とを表示電極形成部 D E の他端に設けるようにしても良い。

【 0 0 7 3 】

図 1 7 は、かかる点に鑑みて為された本発明による表示装置としてのプラズマディスプレイ装置の他の構成を示す図である。

30

【 0 0 7 4 】

図 1 7 において、駆動制御回路 5 6 及びアドレスドライバ 5 5 は、図 4 に示されるものと同一機能であるので、その動作説明は省略する。

【 0 0 7 5 】

又、図 1 7 に示される表示電極形成部 D P E に形成されているライン状の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 、並びに、一对の行電極 X 及び Y と列電極 D との交叉部に形成されている画素セル P C の構造は、図 4 に示されるものと同一である。更に、表示電極形成部 D P E 内では、図 4 に示される表示電極形成部 D E と同様に、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ が、Y - X、Y - X（又は X - Y、X - Y）の如き形態で配列されている。

40

【 0 0 7 6 】

ただし、表示電極形成部 D P E では、奇数番目の行電極 $X_1, X_3, X_5, \dots, X_{n-1}$ 各々に共通接続されている単一の接続端子 T_{X0} と、偶数番目の行電極 Y_2, Y_4, \dots, Y_n に夫々接続されている接続端子 $T_{Y2}, T_{Y4}, \dots, T_{Y(n)}$ 各々々が表示電極形成部 D P E の右端に設けられている。更に、偶数番目の行電極 X_2, X_4, \dots, X_n 各々に共通接続されている単一の接続端子 T_{XE} と、奇数番目の行電極 Y_1, Y_3, \dots, Y_{n-1} に夫々接続されている接続端子 $T_{Y1}, T_{Y3}, \dots, T_{Y(n-1)}$ 各々々が表示電極形成部 D P E の左端に設けられている。

50

【0077】

表示電極形成部 D P E は、P D P 5 0 のシャーシ（図示せぬ）上に固定されている。かかるシャーシ上における表示電極形成部 D P E の上端近傍にアドレスドライバ 5 5 が実装されている。又、かかるシャーシ上における表示電極形成部 D P E の左端近傍には偶数 X 電極ドライバ 5 1 0 び奇数 Y 電極ドライバ 5 3 0 が夫々実装されている。更に、このシャーシ上における表示電極形成部 D P E の右端近傍には奇数 X 電極ドライバ 5 2 0 び偶数 Y 電極ドライバ 5 4 0 が夫々実装されている。偶数 X 電極ドライバ 5 1 0 の出力端子 A 1 は、奇数 Y 電極ドライバ 5 3 0 と、表示電極形成部 D P E の接続端子 $T_{X E}$ とに夫々電氣的に接続されている。奇数 Y 電極ドライバ 5 3 0 の出力端子 B 1 ~ B ($n / 2$) は、夫々単一の接続ラインを介して表示電極形成部 D P E の接続端子 $T_{Y 1}$, $T_{Y 3}$, \dots , T_{Y ($n - 1$) 各々と電氣的に接続されている。奇数 X 電極ドライバ 5 2 0 の出力端子 A 1 は、偶数 Y 電極ドライバ 5 4 0 と、表示電極形成部 D P E の接続端子 $T_{X O}$ とに夫々電氣的に接続されている。偶数 Y 電極ドライバ 5 4 0 の出力端子 B 1 ~ B ($n / 2$) 各々は、夫々単一の接続ラインを介して表示電極形成部 D P E の接続端子 $T_{Y 2}$, $T_{Y 4}$, \dots , T_{Y (n) 各々と電氣的に接続されている。

10

【0078】

偶数 X 電極ドライバ 5 1 0 は、上記リセット行程 R 又は R_0 において、図 1 1 に示す如きリセットパルス $R P_X$ を発生し、これを表示電極形成部 D P E の偶数番目の行電極 X_2 , X_4 , \dots , X_n に夫々印加する。又、偶数 X 電極ドライバ 5 1 0 は、上記サスティン行程 I において、図 1 1 に示す如きサスティンパルス $I P_X$ を発生し、これを偶数番目の行電極 X_2 , X_4 , \dots , X_n に夫々印加する。更に、偶数 X 電極ドライバ 5 1 0 は、かかるリセットパルス $R P_X$ 又はサスティンパルス $I P_X$ を奇数 Y 電極ドライバ 5 3 0 に供給する。奇数 Y 電極ドライバ 5 3 0 は、上記リセット行程 R 又は R_0 において、偶数 X 電極ドライバ 5 1 0 からリセットパルス $R P_X$ が供給された場合には、これをそのままリセットパルス $R P_Y$ として、図 1 1 に示す如く表示電極形成部 D P E の奇数番目の行電極 Y_1 , Y_3 , Y_5 , \dots , Y_{n-1} に夫々印加する。又、奇数 Y 電極ドライバ 5 3 0 は、上記サスティン行程 I において、偶数 X 電極ドライバ 5 1 0 から上記サスティンパルス $I P_X$ が供給された場合には、これをそのままサスティンパルス $I P_Y$ として、図 1 1 に示す如く表示電極形成部 D P E の奇数番目の行電極 Y_1 , Y_3 , Y_5 , \dots , Y_{n-1} に夫々印加する。更に、奇数 Y 電極ドライバ 5 3 0 は、上記選択書込アドレス行程 W 又は選択消去アドレス行程 W_0 において、図 1 1 に示す如き走査パルス S P を発生し、これを表示電極形成部 D P E の奇数番目の行電極 Y_1 , Y_3 , Y_5 , \dots , Y_{n-1} に順次印加する。

20

30

【0079】

奇数 X 電極ドライバ 5 2 0 は、上記リセット行程 R 又は R_0 において、図 1 1 に示す如きリセットパルス $R P_X$ を発生し、これを表示電極形成部 D P E の奇数番目の行電極 X_1 , X_3 , X_5 , \dots , X_{n-1} に夫々印加する。又、奇数 X 電極ドライバ 5 2 0 は、上記サスティン行程 I において、図 1 1 に示す如きサスティンパルス $I P_X$ を発生し、これを奇数番目の行電極 X_1 , X_3 , X_5 , \dots , X_{n-1} に夫々印加する。更に、奇数 X 電極ドライバ 5 2 0 は、かかるリセットパルス $R P_X$ 又はサスティンパルス $I P_X$ を偶数 Y 電極ドライバ 5 4 0 に供給する。偶数 Y 電極ドライバ 5 4 0 は、上記リセット行程 R 又は R_0 において、奇数 X 電極ドライバ 5 2 0 からリセットパルス $R P_X$ が供給された場合には、これをそのままリセットパルス $R P_Y$ として、図 1 1 に示す如く表示電極形成部 D P E の偶数番目の行電極 Y_2 , Y_4 , \dots , Y_n に夫々印加する。又、偶数 Y 電極ドライバ 5 4 0 は、上記サスティン行程 I において奇数 X 電極ドライバ 5 2 0 からサスティンパルス $I P_X$ が供給された場合には、これをそのままサスティンパルス $I P_Y$ として、図 1 1 に示す如く表示電極形成部 D P E の偶数番目の行電極 Y_2 , Y_4 , \dots , Y_n に夫々印加する。更に、偶数 Y 電極ドライバ 5 4 0 は、上記選択書込アドレス行程 W 又は選択消去アドレス行程 W_0 において、図 1 1 に示す如き走査パルス S P を発生し、これを表示電極形成部 D P E の偶数番目の行電極 Y_2 , Y_4 , \dots , Y_n に順次印加する。

40

50

【0080】

すなわち、偶数X電極ドライバ510は、偶数番目の行電極X及び奇数番目の行電極Yに夫々印加すべきリセットパルスが発生するドライバ（第1リセットドライバ）と、偶数番目の行電極X及び奇数番目の行電極Yに夫々印加すべきサスティンパルスが発生するドライバ（第1サスティンドライバ）と、からなるものである。又、奇数Y電極ドライバ530は、奇数番目の行電極Yの各々に順次走査パルスを印加するドライバ（第1スキヤンドライバ）である。又、奇数X電極ドライバ520は、奇数番目の行電極X及び偶数番目の行電極Yに夫々印加すべきリセットパルスが発生するドライバ（第2リセットドライバ）と、奇数番目の行電極X及び偶数番目の行電極Yに夫々印加すべきサスティンパルスを発生するドライバ（第2サスティンドライバ）と、からなるものである。一方、偶数Y電極ドライバ540は、偶数番目の行電極Yの各々に順次走査パルスを印加するドライバ（第1スキヤンドライバ）である。

10

【0081】

図17に示す構成によれば、図4に示す場合と同様に各ドライバ（510, 520, 530, 540）と、表示電極形成部DPEとを電氣的に接続する配線が交叉する箇所が図3に示す如き構造を採用した場合に比して少なくなる。よって、かかる配線形態によれば、配線間に存在する浮遊容量が低減されるので、この浮遊容量に対する無効な充放電に伴う無効電力の消費が低下する。又、図11に示す如き駆動によれば、奇数番目の行電極Yの各々と偶数番目の行電極Xの各々には常に（走査パルスSPの印加時点を除く）同一極性のリセットパルス及びサスティンパルスが印加される。よって、リセットパルス及びサスティンパルスの印加時に、表示電極形成部DPEに設けられている接続端子 T_{Y1} , T_{Y3} , \dots , $T_{Y(n-1)}$ 及び T_{XE} （又は接続端子 T_{Y2} , T_{Y4} , \dots , $T_{Y(n)}$ ）及び T_{X0} ）の内互いに隣接する接続端子間に掛かる電圧は略0ボルトになる。これにより、互いに隣接する接続端子間でのマイグレーション又は耐圧不良等の不具合が抑制される。

20

【図面の簡単な説明】

【0082】

【図1】従来のPDPの構造の一部を表示面側から眺めた平面図である。

【図2】図1に示されるV-V線上でのPDPの断面を示す図である。

【図3】従来のプラズマディスプレイ装置の概略構成を示す図である。

30

【図4】本発明によるプラズマディスプレイ装置の概略構成を示す図である。

【図5】図4に示されるPDP50の表示電極形成部DEの構造の一部を表示面側から眺めた平面図である。

【図6】図5に示されるV1-V1線上での断面を示す図である。

【図7】図5に示されるV2-V2線上での断面を示す図である。

【図8】図5に示されるW1-W1線上での断面を示す図である。

【図9】画素データの変換テーブルと、この画素データ変換テーブルによって得られた画素駆動データGDに基づく発光駆動パターンを示す図である。

【図10】図4に示されるプラズマディスプレイ装置における発光駆動シーケンスの一例を示す図である。

40

【図11】図10に示す発光駆動シーケンスに従ってPDP50に印加される各種駆動パルスとその印加タイミングを示す図である。

【図12】表示電極形成部DEの他の構造を示す平面図である。

【図13】図12に示されるV1-V1線上での断面を示す図である。

【図14】図12に示されるV2-V2線上での断面を示す図である。

【図15】図12に示されるW1-W1線上での断面を示す図である。

【図16】図12に示されるW2-W2線上での断面を示す図である。

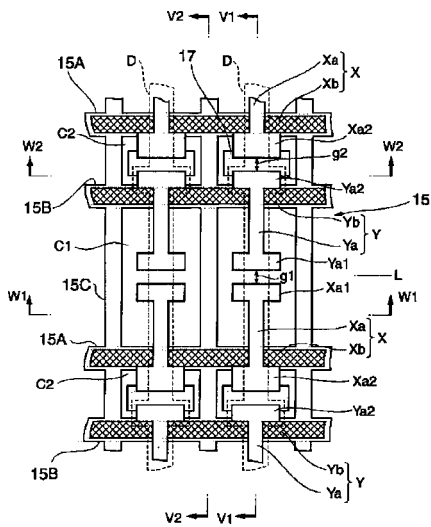
【図17】本発明によるプラズマディスプレイ装置の概略構成の他の一例を示す図である。

【符号の説明】

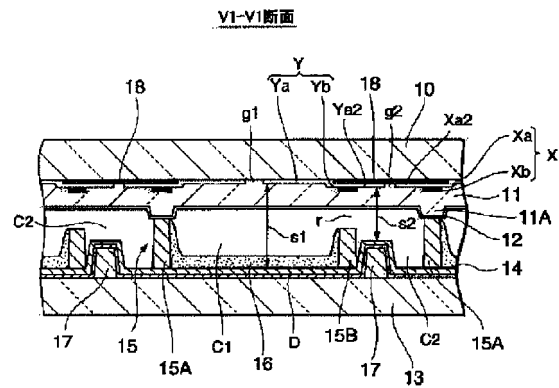
50

- 【 0 0 8 3 】
- 5 0 P D P
- 51a,520 奇数 X 電極ドライバ
- 51b,510 偶数 X 電極ドライバ
- 53a,530 奇数 Y 電極ドライバ
- 53b,540 偶数 Y 電極ドライバ
- 5 5 アドレスドライバ
- 5 6 駆動制御回路
- C 1 表示セル
- C 2 選択セル
- DP,DPE 表示電極形成部
- P C 画素セル

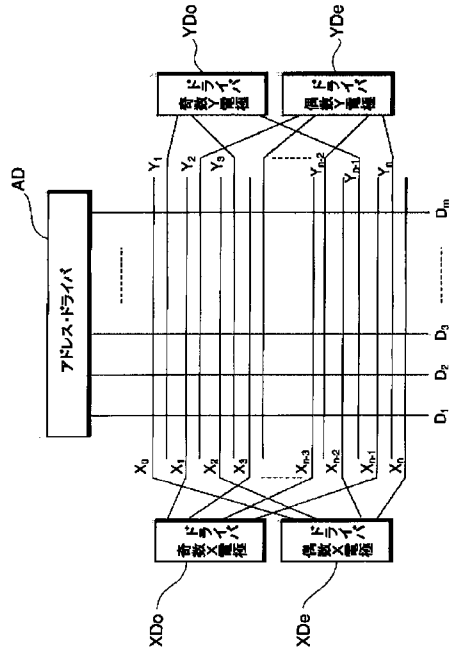
【 図 1 】



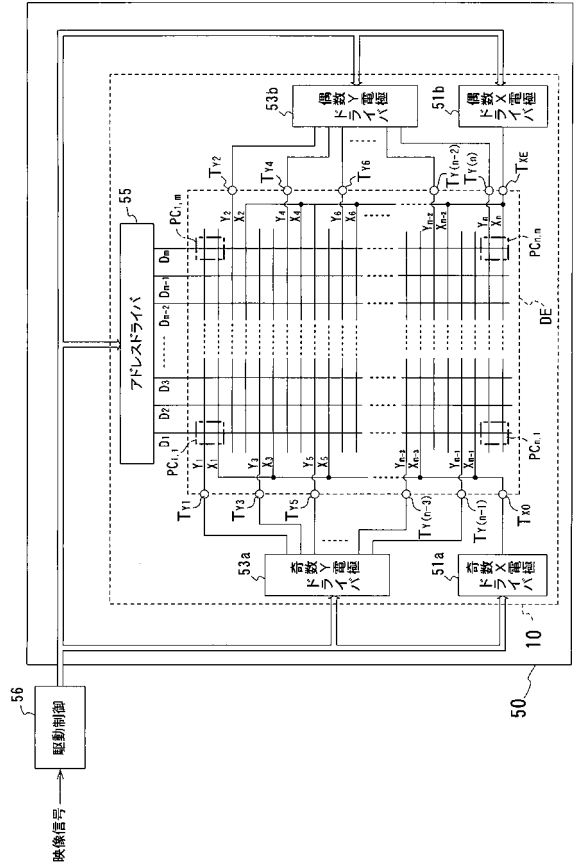
【 図 2 】



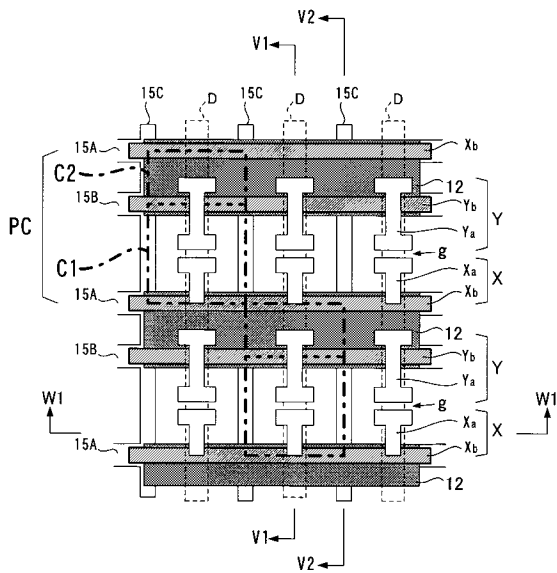
【 図 3 】



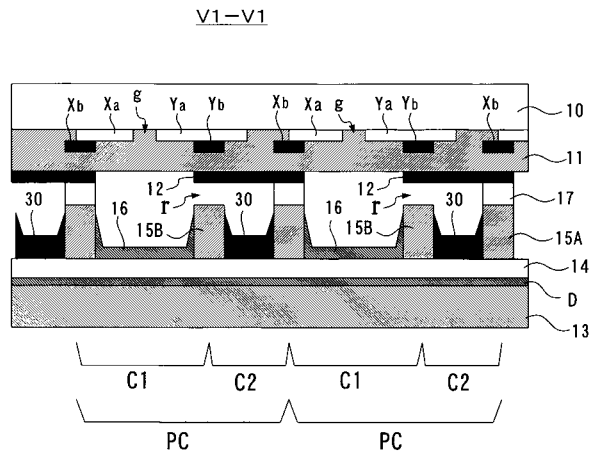
【 図 4 】



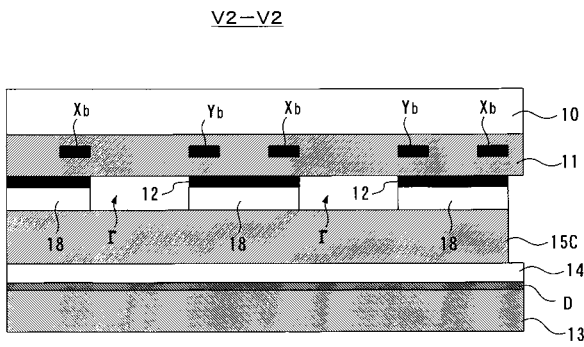
【 図 5 】



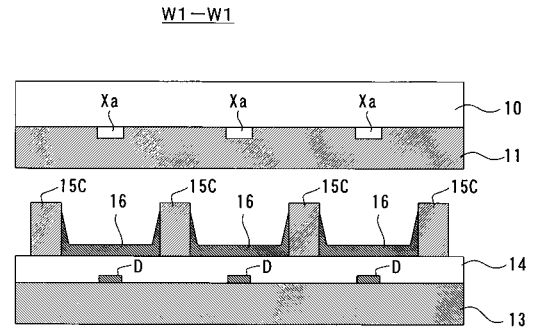
【 図 6 】



【 図 7 】



【 図 8 】

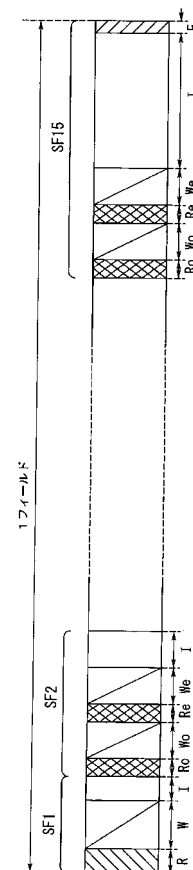


【 図 9 】

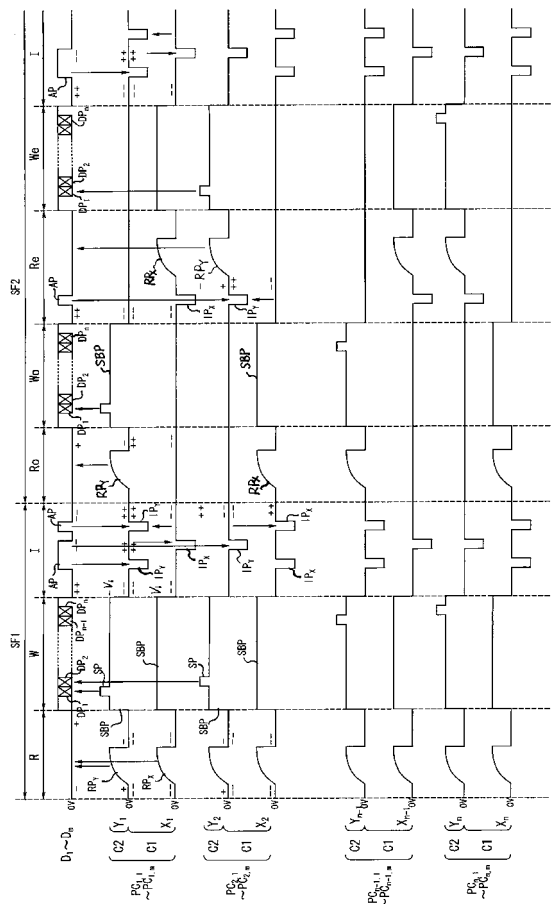
階層 順動	PDS	発光パターン														
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
第1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
第2	0001	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
第3	0010	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
第4	0011	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
第5	0100	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0
第6	0101	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
第7	0110	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0
第8	0111	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0
第9	1000	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0
第10	1001	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
第11	1010	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0
第12	1011	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0
第13	1100	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0
第14	1101	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0
第15	1110	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0
第16	1111	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1

◎ 書きアドレス放電 ● 消去アドレス放電
○ 維持放電発光

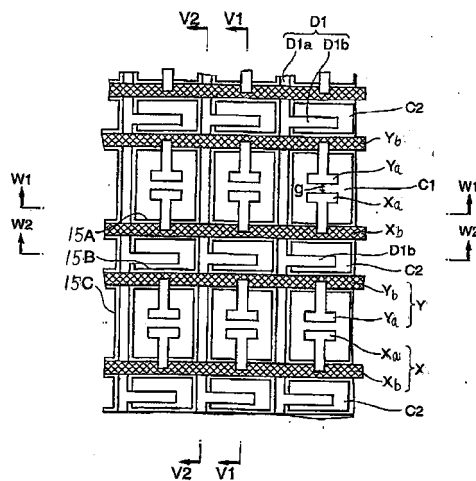
【 図 10 】



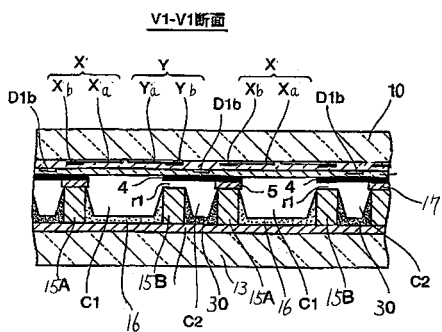
【 図 1 1 】



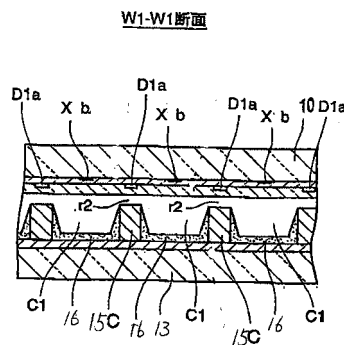
【 図 1 2 】



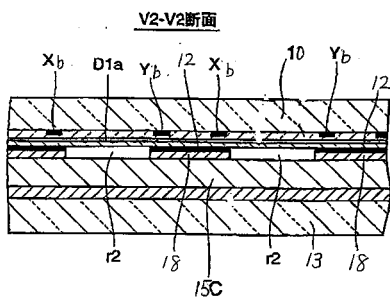
【 図 1 3 】



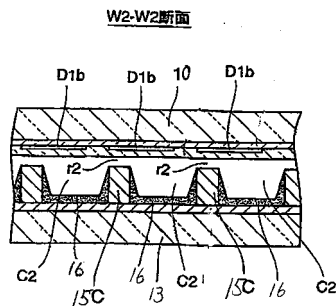
【 図 1 5 】



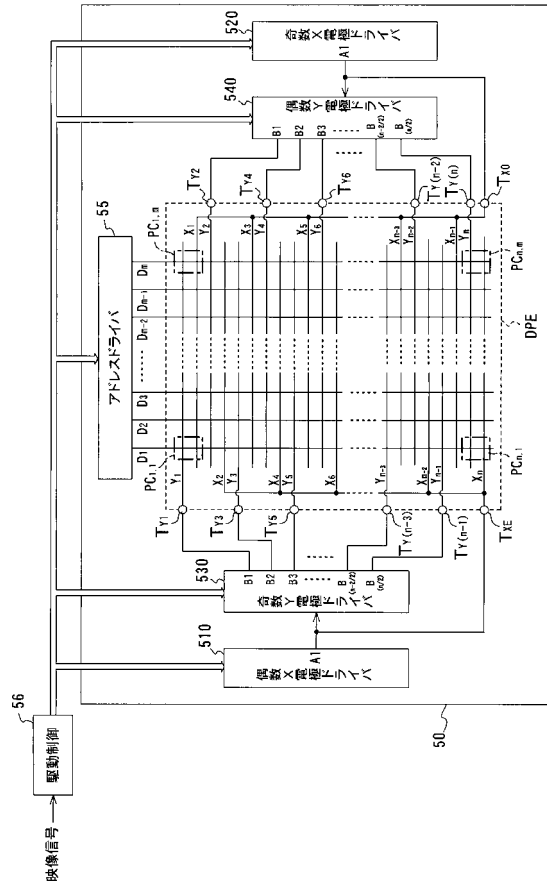
【 図 1 4 】



【 図 1 6 】



【図 17】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 J	11/00	K
H 0 1 J	11/02	B
G 0 9 G	3/28	K
G 0 9 G	3/28	E