

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 2월 5일 (05.02.2015)

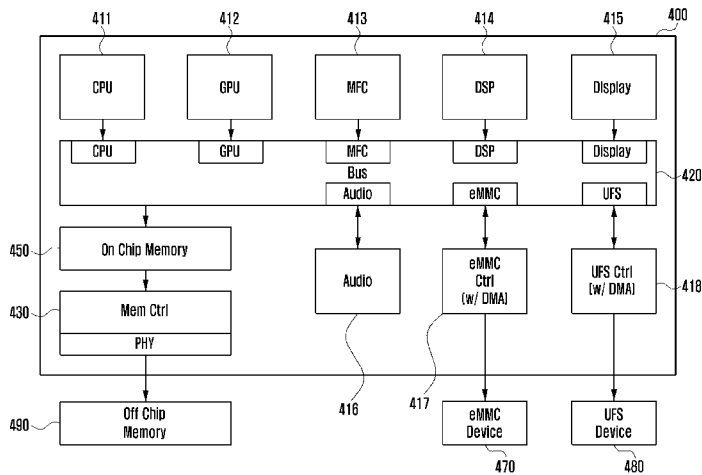


(10) 국제공개번호
WO 2015/016615 A1

- (51) 국제특허분류: *G06F 13/16* (2006.01) *G06F 12/00* (2006.01)
 - (21) 국제출원번호: PCT/KR2014/007009
 - (22) 국제출원일: 2014년 7월 30일 (30.07.2014)
 - (25) 출원언어: 한국어
 - (26) 공개언어: 한국어
 - (30) 우선권정보: 10-2013-0090273 2013년 7월 30일 (30.07.2013) KR
 - (71) 출원인: 삼성전자 주식회사 (SAMSUNG ELECTRONICS CO., LTD.) [KR/KR]; 443-742 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).
 - (72) 발명자: 강병익 (KANG, Byoungik); 121-780 서울시 마포구 마포대로 7길 22 306동 1701호, Seoul (KR). 박진영 (PARK, Jinyoung); 445-160 경기도 화성시 동탄중앙로 200 C-5203호, Gyeonggi-do (KR). 이승욱 (LEE, Seungwook); 121-892 서울시 마포구 창전로 45 103동 1503호, Seoul (KR). 홍은석 (HONG, Eunseok); 443-751 경기도 수원시 영통구 효원로 363 912동 1904호, Gyeonggi-do (KR).
 - (74) 대리인: 윤동열 (YOON, Dong Yol); 153-803 서울시 금천구 가산디지털1로 226 에이스하이엔드타워 5차 3층 윤앤리 특허 법률 사무소, Seoul (KR).
 - (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 공개:
- 국제조사보고서와 함께 (조약 제 21 조(3))
 - 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: PROCESSOR AND MEMORY CONTROL METHOD

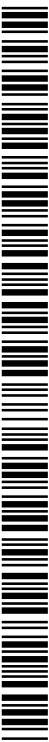
(54) 발명의 명칭 : 프로세서 및 메모리 제어 방법



(57) Abstract: The present invention relates to a processor and a memory. More specifically, the present invention relates to a switchable on chip memory accessible by various master intellectual properties (IPs) and a method for controlling the same, and the method for controlling the on chip memory, according to one embodiment of the present invention, can comprise the steps of: setting memory allocation information including at least one among modes of respective master IPs, priority, space size of a required memory, and correlation with other master IPs; and allocating memories for the respective master IPs by using the memory allocation information. According to the one embodiment of the present invention, various master IPs within an embedded SoC are capable of utilizing all of the advantages of an on chip buffer and an on chip cache.

(57) 요약서:

[다음 쪽 계속]



WO 2015/016615 A1



본 발명은 프로세서 및 메모리에 관한 것이다. 더욱 상세하게는 여러 마스터 IP 들(master IPs)이 접근 가능한 스위칭 가능한 온 칩 메모리(switchable on chip memory) 및 그 제어 방법에 관한 것으로, 본 발명의 일 실시예에 따른 온 칩 메모리의 메모리 제어 방법은, 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한 메모리의 공간 크기 및 다른 마스터 IP 와의 상관관계 중 적어도 하나를 포함하는 메모리 할당 정보를 설정하는 단계; 및 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하는 단계;를 포함할 수 있다. 본 발명의 일 실시예에 따르면, 내장된(embedded) SoC 내의 다양한 마스터(master) IP 들이 온 칩 버퍼와 온 칩 캐시의 장점을 모두 활용할 수 있다.

명세서

발명의 명칭: 프로세서 및 메모리 제어 방법

기술분야

- [1] 본 발명은 프로세서 및 메모리에 관한 것이다. 더욱 상세하게는 여러 마스터 IP들(master IPs)이 접근 가능한 스위칭 가능한 온 칩 메모리(switchable on chip memory) 및 그 제어 방법에 관한 것이다.

배경기술

- [2] 최근 휴대폰, 태블릿(tablet) PC 등과 같은 모바일 제품에서 애플리케이션 프로세서(AP: Application Processor)가 널리 사용되고 있으며, 그 중 메모리 서브시스템(memory subsystem)의 중요성은 계속해서 증가하고 있다.
- [3] 이와 같은 AP는 기존의 여러 가지 기능을 가진 복잡한 시스템을 하나의 시스템으로 구현하여 하나의 칩으로 구현한 시스템 온 칩(SoC: System on Chip)일 수 있다.
- [4] SoC의 현실화를 위해 많은 기술이 연구되고 있으며 특히 칩 내에 내재되어 있는 여러 지능 소자(IP: Intellectual Properties)들을 연결하는 방안이 매우 중요한 사항으로 대두되고 있다.
- [5] 일반적으로 SoC는 시스템 전체를 제어하는 프로세서와 그 프로세서에 의해서 제어되는 다양한 IP로 구성된다. 여기서, IP라 함은 SoC에 집적될 수 있는 회로(circuit), 로직(logic), 또는 이들의 조합을 의미한다. 또한, 상기 회로 또는 상기 로직에는 코드(code)가 저장될 수 있다. 또한 상기 IP는 프로세서의 제어를 받기만 하는 슬레이브(slave) IP와 스스로 다른 슬레이브 IP에 데이터 통신을 요구할 수 있는 마스터(master) IP로 구분된다. 경우에 따라서는 하나의 IP가 슬레이브와 마스터 기능을 겸할 수도 있다.
- [6] 예를 들면, IP는 CPU(Central Processing Unit), 상기 CPU에 포함된 복수의 코어들(cores) 각각, MFC(Multi-Format Codec), 비디오 모듈, 예컨대 카메라 인터페이스(camera interface), JPEG(Joint Photographic Experts Group) 프로세서, 비디오 프로세서(video processor), 또는 믹서(mixer), GPU 그래픽 처리 장치(GPU: Graphic(s) Processing Unit), 3D 그래픽 코어(graphic core), 오디오 시스템(audio system), 드라이버(driver), 디스플레이 드라이버 (display driver), DSP(Digital Signal Processor), 휘발성 메모리(volatile memory device), 비휘발성 메모리(non-volatile memory), 메모리 제어부(memory controller), 또는 캐시 메모리(cache memory) 등을 포함할 수 있다.
- [7] 도 1은 SoC 설계에서 로직과 메모리의 면적 비중을 나타낸 그래프이다.
- [8] 도 1을 참고하면, 로직과 메모리의 면적의 비중이 점차 증가하고 있는 것을 알 수 있다. 특히 내장된(embedded) SoC에서 메모리 서브시스템(subsystem)이 차지하는 면적은 2012년 최대 약 70%, 2014년 최대 약 94%까지 증가할 것으로

예상된다. 이러한 메모리 서브시스템은 SoC의 가격, 성능, 전력 소비에 많은 영향을 주는 요인으로, 내장된 SoC의 설계에서 이를 고려한 메모리 서브시스템의 설계 및 온 칩 메모리(on chip memory)의 설계가 요구된다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명은 전술한 필요성을 충족하기 위해 제안되는 것으로서, 내장된(embedded) SoC 내의 다양한 마스터(master) IP들이 온 칩 버퍼와 온 칩 캐시의 장점을 모두 활용할 수 있는 방법을 제공하는 것을 목적으로 한다.
- [10] 또한, 여러 마스터 IP가 접근 가능한 스위칭 가능한 온 칩 메모리(Switchable On Chip Memory)를 제공하는 것을 목적으로 한다.
- [11] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [12] 상기 목적을 달성하기 위해 본 발명의 일 실시예에 따른 온 칩 메모리의 메모리 제어 방법은, 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도 하나를 포함하는 메모리 할당 정보를 설정하는 단계; 및 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하는 단계;를 포함할 수 있다.
- [13] 또한, 상기 메모리 할당 정보를 설정하는 단계는, 마스터 IP의 집약성이 존재하는지 여부를 판단하는 단계; 마스터 IP의 집약성이 존재하는 경우, 액세스 영역의 크기가 상기 온 칩 메모리의 메모리 영역의 크기보다 작은지 여부를 판단하는 단계; 상기 액세스 영역의 크기가 상기 온 칩 메모리의 상기 메모리 영역의 크기보다 작은 경우, 마스터 IP 모드를 버퍼로 설정하는 단계; 및 상기 액세스 영역의 크기가 상기 온 칩 메모리의 상기 메모리 영역의 크기보다 큰 경우, 마스터 IP 모드를 캐시로 설정하는 단계;를 포함할 수 있다.
- [14] 또한, 상기 메모리 할당 정보를 설정하는 단계는, 마스터 IP가 실시간 IP인 경우 높은 우선 순위를 설정하는 단계;를 포함할 수 있다.
- [15] 또한, 상기 메모리 할당 정보를 설정하는 단계는, 상기 마스터 IP의 모드가 버퍼인 경우, 액세스 영역의 크기에 따라 상기 필요한 메모리의 공간 크기를 설정하는 단계; 및 상기 마스터 IP의 모드가 캐시인 경우, 적중률이 미리 설정된 임계값과 동일하게 되는 지점을 상기 필요한 메모리 공간 크기로 설정하는 단계;를 포함할 수 있다.
- [16] 또한, 상기 메모리 할당 정보를 설정하는 단계는, 상기 마스터 IP의 동작 시간 중 다른 마스터 IP가 동시에 동작하는 시간의 비율이 미리 설정된 임계값 이상인 경우 상기 상관관계가 높다고 설정하는 단계;를 포함할 수 있다.

- [17] 또한, 상기 메모리를 할당하는 단계는, 우선순위가 가장 높은 마스터 IP를 선택하는 단계; 상기 선택된 마스터 IP와 이전에 선택된 마스터 IP들과의 상기 상관관계가 높은지 여부를 판단하는 단계; 및 상기 상관관계가 높지 않다고 판단된 경우, 상기 필요한 메모리 공간 크기에 따라 메모리를 할당하는 단계;를 포함할 수 있다.
- [18] 또한, 상기 메모리를 할당하는 단계는, 상기 상관관계가 높다고 판단된 경우, 상기 이전에 선택된 마스터 IP들에 할당된 메모리의 크기 및 상기 선택된 마스터 IP의 필요한 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의 크기보다 큰지 여부를 판단하는 단계; 상기 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의 크기보다 작은 경우, 상기 필요한 메모리 공간 크기에 따라 메모리를 할당하는 단계; 및 상기 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의 크기보다 큰 경우, 상기 온 칩 메모리의 메모리 영역의 크기에서 상기 메모리 공간 크기의 합을 뺀 크기에 따라 메모리를 할당하는 단계;를 더 포함할 수 있다.
- [19] 또한, 상기 상기 메모리 할당은 청크(chunk) 단위로 이루어질 수 있다.
- [20] 또한, 상기 목적을 달성하기 위해 본 발명의 일 실시예에 따른 프로세서의 온 칩 메모리의 메모리 제어방법은, 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도 하나를 포함하는 메모리 할당 정보를 설정하는 단계; 및 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하는 단계;를 포함할 수 있다.
- [21] 또한, 상기 목적을 달성하기 위해 본 발명의 일 실시예에 따른 온 칩 메모리는, 메모리 공간; 및 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도 하나를 포함하는 메모리 할당 정보를 설정하고, 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하도록 제어하는 제어부;를 포함할 수 있다.
- [22] 또한, 상기 목적을 달성하기 위해 본 발명의 일 실시예에 따른 프로세서는, 적어도 하나의 마스터 IP(Intellectual Properties); 및 온 칩 메모리를 포함하고, 상기 온 칩 메모리는 메모리 공간; 및 상기 적어도 하나의 마스터 IP 별 모드, 우선순위, 필요한 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도 하나를 포함하는 메모리 할당 정보를 설정하고, 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하도록 제어하는 제어부;를 포함할 수 있다.
- 발명의 효과**
- [23] 본 발명의 일 실시예에 따른 온 칩 메모리 및 이를 포함한 프로세서는, 내장된(embedded) SoC 내의 다양한 마스터(master) IP들이 온 칩 버퍼와 온 칩 캐시의 장점을 모두 활용할 수 있다.

- [24] 또한, 여러 마스터 IP가 접근 가능한 스위칭 가능한 온 칩 메모리(Switchable On Chip Memory)를 제공할 수 있다.
- [25] 또한, 마스터 IP의 사용 시나리오에 따라 메모리 영역을 버퍼 혹은 캐시로 설정 가능하고, 메모리 영역을 부분적으로 동적으로 할당 가능하며, 메모리를 청크 단위로 나누어 사용함으로써, 메모리의 일부는 버퍼로, 일부는 캐시로 나누어 동적으로 사용할 수 있다.
- [26] 이에 따라 각 마스터 IP들이 사용하는 메모리 영역을 하나의 메모리로 설계 가능하여 실리콘 영역이 감소 가능해 SoC의 가격 경쟁력 확보가 가능할 수 있다.
- [27] 또한 오프 칩 메모리(off chip memory) 대비 메모리 액세스 레이턴시(memory access latency)가 작고, 오프 칩 메모리로 접근하는 트래픽(traffic) 양이 감소될 수 있다.
- [28] 또한, 온 칩 메모리의 청크별 파워 게이트 적용 가능하고, 오프 칩 메모리 접근 감소로 인한 동적 전력 소비 절감도 가능할 수 있다.
- [29] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [30] 도 1은 SoC 설계에서 로직과 메모리의 면적 비중을 나타낸 그래프이다.
- [31] 도 2는 일반적인 SoC의 구성의 개략적인 블록 구성도이다.
- [32] 도 3은 메모리 어드레스 공간 상에서 버퍼와 캐시 메모리의 차이를 나타낸 도면이다.
- [33] 도 4는 본 발명의 일 실시예에 따른 프로세서의 블록 구성도의 일 예를 도시한 도면이다.
- [34] 도 5는 본 발명의 일 실시예에 따른 프로세서의 블록 구성도의 다른 예를 도시한 도면이다.
- [35] 도 6은 본 발명의 일 실시예에 따른 마스터 IP 별 모드 설정 과정의 흐름도를 도시한 도면이다.
- [36] 도 7은 액세스 영역 별 트랜잭션(transaction) 양을 도시한 도면이다.
- [37] 도 8은 본 발명의 일 실시예에 따른 두 마스터 IP들의 동작 시점 및 상관관계를 도시한 도면이다.
- [38] 도 9는 본 발명의 일 실시예에 따른 마스터 IP들에 따른 메모리 할당 과정의 흐름도를 도시한 도면이다.
- [39] 도 10은 본 발명의 일 실시예에 따른 온 칩 메모리의 블록 구성도의 일 예를 도시한 도면이다.
- [40] 도 11은 본 발명의 일 실시예에 따른 마스터 IP 별 트랜잭션 정보와 온 칩 메모리의 SFR 정보를 도시한 도면이다.
- [41] 도 12는 본 발명의 일 실시예에 따른 온 칩 메모리의 SFR 할당 비트의 일 예를

- 도시한 도면이다.
- [42] 도 13은 본 발명의 일 실시예에 따른 온 칩 메모리의 초기 설정 과정의 흐름도를 도시한 도면이다.
- [43] 도 14는 본 발명의 일 실시예에 따른 마스터 IP의 트랜잭션 분석 흐름도를 도시한 도면이다.
- [44] 도 15는 본 발명의 일 실시예에 따른 캐시 메모리의 동적 할당 과정의 흐름도를 도시한 도면이다.
- [45] 도 16은 본 발명의 일 실시예에 따른 캐시 메모리 동적 할당 정보의 일 예를 도시한 도면이다.
- [46] 도 17 및 도 18은 본 발명의 일 실시예에 따른 캐시 메모리의 청크 별 전력 제어 방법의 흐름도를 도시한 도면이다.
- [47] 도 19는 본 발명의 일 실시예에 따른 캐시 메모리의 전력 제어 정보의 일 예를 도시한 도면이다.

발명의 실시를 위한 형태

- [48] 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 이하 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하기로 한다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [49] 도 2는 일반적인 SoC의 구성의 개략적인 블록 구성도이고, 도 3은 메모리 어드레스 공간 상에서 버퍼와 캐시 메모리의 차이를 나타낸 도면이다.
- [50] 도 2를 참고하면, 일반적인 내장된 SoC(200)는 CPU 코어(210), 온 칩 메모리(on chip memory)(220: 223, 225)와 외부 메모리 인터페이스부(230)를 포함할 수 있다. 이때, 온 칩 메모리(220)는 프로세서 코어(210)와 외부 메모리(또는 오프 칩 메모리(off chip memory))(240) 사이에 위치해, 외부 메모리(240)보다 빠르게 동작할 수 있는 대신 크기가 외부 메모리(240)보다 작은 메모리이다. 이러한 온 칩 메모리(220)는 도 2에 도시된 바와 같이 버퍼(buffer)(223) 혹은 캐시(cache)(225)로 사용될 수 있다.
- [51] 도 3을 참고하여 버퍼와 캐시의 메모리 어드레스 공간(memory address space) 상에서 차이점을 설명하면, 버퍼는 고정된 범위의 메모리 공간을 사용하여 고정된 메모리 액세스 타임(memory access time)을 갖는다. 반면에 캐시는 캐시 메모리 크기(Cache Memory Size)보다 큰 메모리 공간을 커버할 수 있으며, 캐시 적중/부적중(Cache Hit/Miss)에 따라 메모리 액세스 타임이 변할 수 있다.
- [52] 온 칩 버퍼(On Chip Buffer)(또는 메모리)와 온 칩 캐시(On Chip Cache)는 하기 [표 1]과 같이 각각의 장단점이 존재한다. 즉, 온 칩 버퍼의 경우 SoC의 면적과

소비 전력이 적고, 메모리 액세스 타임이 고정된 특징이 있다. 그러나, 온 칩 버퍼는 커버할 수 있는 어드레스 영역이 버퍼의 크기로 고정되어 온 칩 캐시에 비해 작고, 사용을 위해 소프트웨어의 지원이 필요해 사용의 편의성이 온 칩 캐시에 비해 떨어지는 편이다.

[53] 때문에, SoC 면적과 소비전력, 그리고 메모리 액세스 타임 관점에서는 온 칩 버퍼를 사용하는 것이 바람직할 수 있다. 반면 커버할 수 있는 어드레스 영역과 동적 어드레스 범위 결정 그리고 사용의 편의성 면에서는 온 칩 캐시를 사용하는 것이 유리할 수 있다.

[54] 표 1

[Table 1]

	On Chip Buffer	On Chip Cache
Silicon area	Small	Large
Power consumption	Small	Large
Access time	Fixed	Subject to compulsory, capacity, and conflict misses
Coverage (address region)	Small (equal to the size of buffer)	Large (larger than the size of cache)
Decision (address region)	Static	Dynamic (retrieving the missed data from main memory)
Usage	Hard to use (S/W support is necessary for memory alloc)	Easy to use

[55] 또한 내장된(Embedded) SoC 내의 마스터(master) IP별 요구사항(Buffer 혹은 Cache)이 다를 수 있다. 이를 모두 만족시키기 위해 각각의 Master IP마다 SoC 내에 버퍼 또는 캐시를 모두 구현하면 실리콘(Silicon) 면적 증가로 인한 SoC 가격이 상승하는 문제가 발생할 수 있다.

[56] 한편, 내장된 SoC 내의 다양한 마스터 IP들 이러한 온 칩 버퍼와 온 칩 캐시의 장점을 모두 활용할 수 있는 방법이 필요하다. 이 경우, 모든 마스터 IP들이 동시에 동작하는 빈도가 낮다는 점을 고려하면 하나의 온 칩 메모리(on chip memory) 공간을 버퍼와 캐시로 변경해 가면 사용할 수 있다. 그러므로, 본 발명에서는 여러 마스터 IP가 접근 가능한 스위칭 가능한 온 칩 메모리(Switchable on chip memory)를 제안한다.

[57] 도 4는 본 발명의 일 실시예에 따른 프로세서의 블록 구성도의 일 예를 도시한

도면이고, 도 5는 본 발명의 일 실시예에 따른 프로세서의 블록 구성도의 다른 예를 도시한 도면이다.

- [58] 도 4를 참고하면, 본 발명의 일 실시예에 따른 프로세서(400)는 온 칩 메모리(450), 메모리 제어부(430), 마스터 IP들(411, 412, 413, 414, 415, 416, 417, 418), 버스(Bus)(420) 등을 포함할 수 있다. 이 경우, 상기 프로세서(400)는 애플리케이션 프로세서(AP: Application Processor)일 수 있다.
- [59] 상기 프로세서(400)는 도시된 바와 같이, 시스템 온 칩(SoC: System on Chip)으로 다양한 마스터 IP들을 포함할 수 있다. 예를 들면, 상기 마스터 IP들은 중앙 처리 장치(CPU: Central Processing Unit)(411), 그래픽 처리 장치(GPU: Graphic(s) processing Unit)(412), MFC(Multi Format Codec)(413), DSP(Digital Signal Processor)(414), Display(415), Audio(416), eMMC(embedded Multi Media Card) 제어부(417), UFS(Universal Flash Storage) 제어부(418) 등을 포함할 수 있으며, 이에 한정되는 것은 아니다. 마스터 IP들 각각의 동작에 관한 구체적인 설명은 본 발명과 직접적인 연관이 없으므로 그 상세한 설명은 생략하기로 한다.
- [60] 이때, 상기 온 칩 메모리(450)는 상기 여러 개의 마스터 IP들(411, 412, 413, 414, 415, 416, 417, 418)이 접근 가능하다. 또한, 상기 온 칩 메모리(450)는 마스터 IP들(411, 412, 413, 414, 415, 416, 417, 418)에 따라 버퍼와 캐시로 변경되어 사용될 수 있는 스위칭 가능한 온 칩 메모리일 수 있다. 이에 관한 구체적인 설명은 후술하기로 한다.
- [61] 한편, 도 4에서는 하나의 온 칩 메모리(450)만이 도시되어 있으나, 실시예에 따라 다양한 형태의 프로세서의 구성이 가능하다. 예를 들면, 도 5의 (a)에 도시된 바와 같이, 복수 개의 온 칩 메모리(550, 555)들이 프로세서(500)에 포함될 수 있다. 또는 도 5의 (b)에 도시된 바와 같이, 하나의 온 칩 메모리(550)가 복수 개의 메모리 제어부(530, 535)들에 연결될 수도 있으며, 이에 한정되는 것은 아니다.
- [62] 또한, 도 4에서는 온 칩 메모리(450)가 프로세서(400)에서 별도의 공간에 위치하는 것으로 도시되어 있으나, 이에 한정되는 것은 아니다. 예를 들면, 도시되지 않았지만, 온 칩 메모리(450)는 버스(420) 내 또는 메모리 제어부(430) 내 등 다양한 위치에 구현될 수 있다.
- [63] 이상에서는 본 발명의 일 실시예에 따른 프로세서의 개략적인 구성에 대해서 살펴보았다.
- [64] 이하에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 동작에 대해서 살펴보도록 한다.
- [65] 도 6은 본 발명의 일 실시예에 따른 마스터 IP 별 모드 설정 과정의 흐름도를 도시한 도면이고, 도 7은 액세스 영역 별 트랜잭션(transaction) 양을 도시한 도면이다.
- [66] 도 6을 참고하면, 610 단계에서 마스터 IP의 집약성(locality)이 존재하는지 여부를 판단한다. 이 경우, 집약성(locality)이란, 프로그램이 실행 도중 기억 장치를 참조하는 패턴이 기억 장치의 전 부분에 걸쳐 고루 나타나는 것이 아니라

어느 순간에는 일정한 한두 곳의 기억 장치 부분에 집중적으로 접근하는 성질을 의미한다. 즉, 기억 장소를 어느 한 순간에 특정 부분을 집중적으로 참고하는 것을 의미한다.

- [67] 도 7을 참고하면, 특정 마스터 IP의 액세스 영역 별 트랜잭션(transaction) 양을 나타낸 일 예이며, 트랜잭션 양이 미리 설정된 값보다 큰 경우 집약성이 존재하는 것으로 판단될 수 있다. 예를 들면, 트랜잭션 양이 600,000 바이트(byte)를 넘는 경우에 집약성이 존재하는 것으로 미리 설정될 수 있다.
- [68] 610 단계에서 판단 결과 마스터 IP의 집약성이 존재하는 것으로 판단된 경우, 620 단계에서 마스터 IP의 메모리 액세스 영역(access region)의 패턴을 분석하여 온 칩 메모리의 모드를 설정할 수 있다. 이때, 온 칩 메모리의 모드란, 온 칩 메모리를 버퍼로 할 것인지, 캐시로 할당할 것인지를 의미하는 것이다.
- [69] 이 경우, 마스터 IP의 메모리 액세스 영역의 크기가 메모리의 크기보다 큰 경우에는 630 단계에서 온 칩 메모리의 모드를 캐시로 설정할 수 있다. 액세스 영역의 크기가 메모리의 크기보다 크다면, 메모리의 크기보다 큰 영역을 커버할 필요가 존재하는 IP이므로, 온 칩 메모리를 캐시로 사용하는 것이 유리하기 때문이다. 반면에, 마스터 IP의 메모리 액세스 영역의 크기가 메모리의 크기보다 작은 경우에는 640 단계에서 온 칩 메모리의 모드를 버퍼로 설정할 수 있다.
- [70] 한편, 하기 [표 2]는 마스터 IP 별 집약성과 액세스 영역을 기준으로 온 칩 메모리의 모드를 설정한 일 예를 나타낸 것으로, 시스템 운영에 따라 이 값은 달라질 수 있음은 물론이다.

[71] 표 2

[Table 2]

Master IP	Locality	Region	Buffer or Cache
GPU	Texture	Region > Size	Cache
MFC	Line Buffer	Region > Size	Cache
DMA	Page Cache	Region > Size	Cache
DSP		Region < Size	Buffer
Audio		Region < Size	Buffer

- [72] 이상에서는 마스터 IP에 따른 온 칩 메모리의 모드를 설정하는 방법에 대해서 살펴보았다.
- [73] 이하에서는 마스터 IP에 따른 우선순위 설정 과정에 대해서 살펴보도록 한다.
- [74] 실시예에 따라, 마스터 IP 별로 온 칩 메모리의 할당 및 할당된 공간의 사용을 위해서 마스터 IP의 우선순위를 설정할 수 있다. 마스터 IP의 우선 순위를 설정함으로써, 우선순위가 높은 마스터 IP부터 메모리의 할당을 할 수 있다.
- [75] 이때, 상기 마스터 IP의 우선순위 설정은 예를 들면, 실시간(real time) IP의 경우에 우선순위를 높게 설정할 수 있다. 가령, 그래픽 연산 처리의 경우

늦어지게 되면 디스플레이부에 디스플레이되는 화면의 깜빡임 또는 화면 전환의 지연 등이 발생하여 사용자에게 직접적인 불편을 일으킬 수 있으므로, GPU의 경우 실시간으로 처리되어야 할 실시간 IP일 수 있다. 그러나, 시스템의 운영에 따라서는 그래픽의 연산 처리가 중요하지 않은 경우에는 GPU는 비실시간 IP로 설정될 수도 있다.

- [76] 또는 실시예에 따라 마스터 IP의 처리량(throughput)이 높을수록 우선순위를 높게 설정할 수 있다. 즉, 처리량이 높은 마스터 IP일수록 빠른 처리를 위하여 온 칩 메모리 영역을 사용하는 것이 전체 시스템의 처리 속도 측면에서 유리하므로, 처리량이 높은 마스터 IP의 우선순위를 높게 설정할 수 있다.
- [77] 이와 같은 마스터 IP 별 우선순위 값은 시스템 운영에 따라 변경 가능하며, 우선순위를 설정하는 방법은 이에 한정되는 것은 아니다. 예를 들면, 마스터 IP 별 우선순위는 GPU>MFC>DMA>DSP>Audio와 같은 순서로 설정될 수 있다. 한편, 우선순위가 높을수록 우선순위 값을 작게 설정할 수 있다.
- [78] 이상에서는 마스터 IP에 따른 우선순위 설정 과정에 대해서 살펴보았다.
- [79] 이하에서는 마스터 IP 별로 필요한 메모리 공간 크기의 설정 과정에 대해서 살펴보도록 한다.
- [80] 실시예에 따라, 마스터 IP 별로 필요한 메모리 공간의 크기(required size)를 설정할 수 있다. 예를 들면, 선택된 마스터 IP에 따른 온 칩 메모리의 모드가 버퍼 모드인 경우에는 액세스 영역을 기준으로 결정할 수 있다. 즉, 액세스 영역의 크기에 맞춰 필요한 메모리 공간의 크기를 설정할 수 있다.
- [81] 또한 실시예에 따라, 마스터 IP에 따른 온 칩 메모리의 모드가 캐시 모드인 경우에는 적중률(hit ratio)의 변화를 기준으로 결정할 수 있다. 즉, 필요한 메모리 공간의 크기에 따른 적중률이 미리 설정된 임계값 이상이 되는 지점을 필요한 메모리 공간의 크기로 설정할 수 있다. 이때, 적중률은 명령과 프로그램의 실행에서 요구되는 데이터와 명령어를 읽어 오기 위해 해당 마스터 IP가 외부 메모리(오프 칩 메모리, off chip memory)에 접근해야 하는 전체 횟수에 대하여 온 칩 메모리의 접근으로 충족되는 횟수의 비율을 의미하는 것이다. 이 경우, 상기 미리 설정된 임계값을 크게 설정한 경우에는 해당 마스터 IP에서는 빠른 처리가 가능하지만 온 칩 메모리의 필요한 메모리 공간이 커질 수 있고, 너무 작게 설정한 경우에는 캐시 메모리로부터 해당 마스터 IP가 필요한 데이터와 명령어를 읽는 효율이 떨어질 수 있다. 이와 같이 적중률을 필요에 따라 미리 설정된 임계값 이상이 되도록 설정함으로써, 필요한 메모리 공간의 크기를 적절히 설정하여 효율적인 메모리 관리가 가능할 수 있다. 실시예에 따라 상기 미리 설정된 임계값은 사용자의 입력에 의해 변경할 수도 있다.
- [82] 하기 [표 3]은 마스터 IP 별 필요한 메모리 공간의 크기의 일 예를 나타낸 것으로, 시스템 운영에 따라 이 값은 달라질 수 있음은 물론이다.
- [83] 표 3

[Table 3]

Master IP	Required Size
GPU	4MB
MFC	2MB
DMA	3MB
DSP	1MB
Audio	4MB

- [84] 이 상에서는 마스터 IP 별로 필요한 메모리 공간 크기의 설정 과정에 대해서 살펴보았다.
 - [85] 이하에서는 마스터 IP들의 상관관계를 설정하는 과정에 대해서 살펴보도록 한다.
 - [86] 도 8은 본 발명의 일 실시예에 따른 두 마스터 IP들의 동작 시점 및 상관관계를 도시한 도면이다.
 - [87] 도 8을 참고하면, 서로 다른 마스터 IP들이 동작 시간 상 겹치는 영역이 존재할 수 있다. 즉, 하나의 마스터 IP(IP1)가 동작을 시작하여 그 동작이 종료하기 이전에 다른 마스터 IP(IP2)의 동작이 시작될 수 있다. 이와 같이 서로 다른 마스터 IP들의 동작 시간이 겹치는 경우에, 두 마스터 IP 간 상관관계가 존재한다고 할 수 있다. 이 경우, 서로 다른 두 마스터 IP들이 동시에 동작하는 시간이 긴 경우 상관관계 값이 높다고 할 수 있다.
 - [88] 예를 들면, 상관관계 값은 하기 [수학식 1]과 같이, 두 마스터 IP들의 전체 동작이 완료되는 시간 대비 두 마스터 IP들이 동시에 동작하는 시간의 비율에 따라 계산할 수 있으나, 이에 한정되는 것은 아니다. 예를 들면, 두 마스터 IP들이 동시에 동작하는 시간과 어느 하나의 마스터 IP의 동작 시간의 비율에 따라 계산할 수도 있다.
 - [89] 수학식 1
- $$r_{IP1,IP2} = A/B$$
- [90] 여기서, $r_{IP1,IP2}$ 는 두 개의 마스터 IP, IP1과 IP2 사이의 상관관계 값을 지시하며, B는 IP1과 IP2가 동작하는 전체 시간이고, A는 IP1과 IP2가 동시에 동작하는 시간을 지시하는 것이다.
 - [91] 이때, 상기 상관관계 값이 미리 설정된 임계값보다 큰 경우 상관관계가 높다고 판단할 수 있다. 실시예에 따라 상기 미리 설정된 임계값은 사용자의 입력에 의해 변경할 수도 있다.
 - [92] 하기 [표 4]는 마스터 IP들 사이의 상관관계의 일 예를 나타낸 것으로, 시스템 운영에 따라 이 관계는 달라질 수 있다.
 - [93] 표 4

[Table 4]

	GPU	MFC	DMA	DSP	Audio
GPU		L	L	L	L
MFC			H	L	L
DMA				L	L
DSP					L
Audio					

- [94] 이 상에서는 마스터 IP들의 상관관계를 설정하는 과정에 대해서 살펴보았다.
- [95] 이 하에서는 마스터 IP들에 따라 메모리를 할당하는 과정에 대해서 살펴보도록 한다.
- [96] 도 9는 본 발명의 일 실시예에 따른 마스터 IP들에 따른 메모리 할당 과정의 흐름도를 도시한 도면이다.
- [97] 마스터 IP들에 따른 메모리 할당은 상술한 마스터 IP들의 우선순위, 필요한 메모리 공간의 크기, 다른 마스터 IP와의 상관관계에 따라 수행될 수 있다.
- [98] 도 9를 참고하면, 910 단계에서 메모리 제어부는 우선순위가 가장 높은 마스터 IP를 선택할 수 있다. 예를 들면, 우선순위가 높을수록 우선순위 값을 작게 설정한 경우에 우선순위 값 i 를 0으로 설정할 수 있다. 그리고, 920 단계에서 우선순위 값 i 가 0인 마스터 IP를 찾아 선택할 수 있다. 즉, 우선순위가 높은 마스터 IP부터 메모리를 할당하도록 설정할 수 있다.
- [99] 그 후 930 단계에서 현재 선택된 마스터 IP와 이전에 선택된 마스터 IP들 사이의 상관관계가 존재하는지 여부를 판단할 수 있다. 즉, 현재 선택된 마스터 IP 이전에 선택되어 메모리 할당된 마스터 IP가 존재하는 경우에, 이전에 할당된 IP들과 현재 선택된 IP 사이의 상관관계가 존재하는지 여부를 판단할 수 있다. 이때, 상술한 바와 같이 상기 상관관계 값이 미리 설정된 임계값보다 큰 경우에 상관관계가 높다고 판단될 수 있다. 상기 미리 설정된 임계값은 시스템 운영에 따라 다를 수 있고, 실시예에 따라 사용자가 임의의 값으로 입력할 수도 있다. 이 경우, 현재 선택된 마스터 IP와 이전에 선택된 마스터 IP들 사이에 상관관계가 낮다고 판단된 경우에 950 단계로 진행할 수 있다. 또한 실시예에 따라, 현재 선택된 마스터 IP 이전에 할당된 마스터 IP가 존재하지 않는 경우에는 상관관계가 없거나 낮은 것으로 판단하고 950 단계로 진행할 수 있다.
- [100] 이와 같이 현재 선택된 마스터 IP와 이전에 선택된 마스터 IP들 사이에 상관관계가 낮다고 판단된 경우에 950 단계에서 메모리 제어부는 현재 선택된 마스터 IP가 필요한 메모리 공간의 크기에 따라 메모리를 할당할 수 있다. 이때, 실시예에 따라 상기 할당되는 메모리의 크기는 청크(chunk) 단위로 이루어질 수 있다. 상기 청크 단위는 공정 또는 구현 방법에 따라 변경 가능하다.
- [101] 한편, 930 단계에서 판단한 결과 현재 선택된 마스터 IP와 이전에 선택된

마스터 IP들 사이에 상관관계가 높다고 판단된 경우에는, 온 칩 메모리의 크기를 고려하여 할당이 이루어질 수 있다.

[102] 즉, 메모리 제어부는 940 단계에서 온 칩 메모리의 크기가 현재 선택된 마스터 IP가 필요한 메모리 공간의 크기를 할당하기에 충분한지 여부를 판단할 수 있다. 이때 실시예에 따라, 940 단계에서 메모리 제어부는 하기 [수학식 2]에 따라 이전에 선택된 마스터 IP들에 할당된 메모리 공간의 크기와 현재 선택된 마스터 IP가 필요한 메모리 공간의 크기의 합과, 온 칩 메모리의 크기와 비교할 수 있다.

[103] 수학식 2

$$\sum_i A_i < S$$

[104] 여기서, i 는 높은 상관관계 값을 갖는 IP들을 지시하는 것이며 A_i 는 i 에 따른 할당된 메모리의 크기를 지시하고, S 는 온 칩 메모리의 전체 크기를 의미하는 것이다.

[105] 이와 같이, 현재 선택된 마스터 IP 이전에 선택된 마스터 IP에 할당된 메모리 크기의 합과 현재 선택된 마스터 IP가 필요한 메모리 크기의 합이, 온 칩 메모리 전체 크기보다 작은 경우에는 현재 선택된 마스터 IP가 필요한 메모리 공간의 크기에 따라 메모리를 할당할 수 있다. 때문에 950 단계에서 메모리 제어부는 현재 선택된 마스터 IP가 필요한 메모리 공간의 크기에 따라 메모리를 할당할 수 있다. 이때, 실시예에 따라 상기 할당되는 메모리의 크기는 청크(chunk) 단위로 이루어질 수 있다.

[106] 그러나, 현재 선택된 마스터 IP 이전에 선택된 마스터 IP에 할당된 메모리 크기의 합과 현재 선택된 마스터 IP가 필요한 메모리 크기의 합이, 온 칩 메모리 전체 크기보다 큰 경우에는 현재 선택된 마스터 IP가 필요한 메모리 공간의 크기에 따라 메모리를 할당할 수 없다. 때문에, 960 단계에서 메모리 제어부는 온 칩 메모리 크기에서 현재 할당된 메모리 크기를 뺀 만큼의 메모리 공간을 현재 선택된 마스터 IP에게 할당할 수 있다.

[107] 950 단계 또는 960 단계에 따라 메모리 할당이 이루어진 후에는, 970 단계에서 모든 IP들의 메모리 할당이 이루어졌는지 여부를 판단할 수 있다. 판단 결과 모든 IP들의 메모리 할당이 이루어지지 않은 경우에는 980 단계에서 우선순위 값 i 를 1 증가시켜 다음 우선순위 값을 갖는 마스터 IP에 대한 메모리 할당 절차를 수행할 수 있다.

[108] 이와 같이 마스터 IP들 각각에 따라 온 칩 메모리를 청크 단위로 나누어 메모리의 일부는 버퍼로, 일부는 캐시로 나누어 동적으로 할당할 수 있다.

[109] 하기 [표 5]는 마스터 IP 별 메모리 할당을 수행한 일 예를 나타낸 것으로, 시스템 운영에 따라 이 값은 달라질 수 있음은 물론이다.

[110] 표 5

[Table 5]

Master IP	Priority	Required Size	Allocation	Note
GPU	1	4MB	4MB	
MFC	2	2MB	2MB	
DMA	3	3MB	2MB	r _{DMA,MFC} = high
DSP	4	1MB	1MB	
Audio	5	4MB	4MB	r _{Audio, Others} = low

- [111] 한편, 도시되지 않았지만, 실시예에 따라 상기 마스터 IP 별 모드 설정, 우선순위 설정, 메모리 공간 크기의 설정 및 상관관계 설정 과정의 경우, 이에 대한 고려 순서와 조합은 다양한 형태로 변경 가능하다. 그리고, 그에 따라 메모리 할당 과정 역시 변경 가능함은 물론이다.
- [112] 이상에서는 마스터 IP에 따라 메모리를 할당하는 과정에 대해서 살펴보았다.
- [113] 이하에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 구조에 대해서 살펴보도록 한다.
- [114] 도 10은 본 발명의 일 실시예에 따른 온 칩 메모리의 블록 구성도의 일 예를 도시한 도면이다.
- [115] 도 10을 참고하면, 본 발명의 일 실시예에 따른 온 칩 메모리(1000)는 특수 기능 레지스터(SFR: Special Function Register)(1010), 트랜잭션 디코더(Transaction Decoder)(1020), 버퍼/캐시 선택기(Buffer/Cache selector)(1030), 캐시 할당기(Cache allocator)(1040), 버퍼 제어부(Buffer Controller)(1050), 캐시 제어부(Cache Controller)(1060) 및 메모리 공간(1070) 등을 포함할 수 있다.
- [116] 상기 SFR(1010)은 특수 기능 레지스터 영역으로, 프로세서의 다양한 기능들을 제어하고 모니터링할 수 있다. 프로세서의 구성(architecture)에 따라 I/O 및 주변 장치 제어부, 타이머, 스택 포인터(stack pointer), 스택 제한(stack limit), 프로그램 카운터(program counter), 서브루틴 리턴 주소(subroutine return address), 프로세서 상태(processor status), 상태 코드(condition codes) 등을 포함할 수 있으며 이에 제한되는 것은 아니다. 본 발명의 일 실시예에 따른 SFR(1010)의 경우, 각각의 마스터 IP들에 대한 온 칩 메모리의 메모리 할당 정보들이 포함될 수 있다. 이에 관한 구체적인 설명은 후술하도록 한다.
- [117] 트랜잭션 디코더(1020)는 마스터 IP들로부터의 트랜잭션 정보(transaction information)를 분석하여 디코딩하는 역할을 수행하며, 메모리 공간(1070)은 온 칩 메모리(1000)에서 실제 사용되는 메모리의 공간이다.
- [118] 버퍼/캐시 선택기(1030)는 상기 SFR(1010)의 설정에 따라 온 칩 메모리(1000)를 버퍼 또는 캐시로 설정하는 기능을 수행한다. 또한, 캐시 할당기(1040)는 메모리(1000)에서 캐시로 할당된 공간을 동적으로 할당하는 역할을 수행하며, 캐시 제어부(1060)는 캐시로 할당된 영역을 제어한다. 도 10에서는 상기 캐시

할당기(1040)와 캐시 제어부(1060)가 별도의 구성으로 도시되어 있으나, 실시예에 따라 상기 캐시 할당기(1040)와 캐시 제어부(1060)는 하나의 구성으로 이루어질 수도 있다. 그리고, 버퍼 제어부(1050)는 메모리(1000)에서 버퍼로 할당된 영역을 제어하는 기능을 수행한다. 도시되지 않았지만, 상기 버퍼 제어부(1050)와 캐시 제어부(1060)는 하나의 구성으로 이루어질 수도 있다.

- [119] 도 11은 본 발명의 일 실시예에 따른 마스터 IP 별 트랜잭션 정보와 온 칩 메모리의 SFR 정보를 도시한 도면이고, 도 12는 본 발명의 일 실시예에 따른 온 칩 메모리의 SFR 할당 비트의 일 예를 도시한 도면이다.
- [120] 도 11을 참고하면, 마스터 IP의 트랜잭션 정보(transaction information)(1110)는 해당 마스터 IP 식별 정보(1111)와 이네이블(enable) 정보(1113) 등을 포함할 수 있으나, 이에 한정하는 것은 아니다. 마스터 IP는 상기 트랜잭션 정보를 버스(Bus)(1140)를 통해 온 칩 메모리로 전달될 수 있다. 온 칩 메모리는 수신한 마스터 IP의 트랜잭션 정보를 트랜잭션 디코더에서 디코딩하여 메모리 제어부(1160)으로 전달한다. 상기 마스터 IP 식별 정보(1111)와 이네이블(enable) 정보(1113)는 각각의 상태를 나타내는 식별자(identification)일 수 있다.
- [121] 한편, 온 칩 메모리의 SFR 정보(1150)는 마스터 IP 식별 정보(1151), 이네이블 정보(1152), 모드 정보(1153), 우선순위 정보(1154), 할당 정보(1155) 및 실제 메모리 사용 정보(1156) 등을 포함할 수 있으나, 이에 한정하는 것은 아니다. 마스터 IP 식별 정보(1151)는 마스터 IP의 트랜잭션 정보에 포함된 마스터 IP 식별 정보(1111)와 동일하게 설정되어야 한다. 그리고 이네이블 정보(1152)는 해당 마스터 IP에 대하여 할당된 메모리가 이네이블(enable) 되었는지 여부를 지시하는 것이다.
- [122] 한편, SFR 정보(1150) 내의 할당 정보(1155)는 온 칩 메모리의 각각의 비트 별 메모리 청크의 할당 여부를 표시한다. 그리고, 실제 메모리 사용 정보(1156)는 해당 메모리 청크가 실제 사용되는지 여부를 표시하는 것이다. 예를 들면 도 12에 도시된 바와 같이 메모리 할당 정보(1255)는 메모리 청크 0과 1을 사용을 위해 할당하고 있음을 나타낼 수 있다.
- [123] 모드 정보(1153)는 마스터 IP 식별 정보(1151)에 해당하는 IP에 대하여 설정된 모드가 버퍼인지 캐시인지 여부를 지시하는 것이며, 우선순위 정보(1154)는 해당 IP의 우선순위 정보를 포함한다.
- [124] 이상에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 구조에 대해서 살펴보았다.
- [125] 이하에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 동작에 대해서 살펴보도록 한다.
- [126] 도 13은 본 발명의 일 실시예에 따른 온 칩 메모리의 초기 설정 과정의 흐름도를 도시한 도면이다.
- [127] 도 13을 참고하면, 마스터 IP의 트랜잭션 정보를 설정하고, 이에 해당하는 온 칩 메모리의 SFR 정보를 설정한 후에 온 칩 메모리를 사용할 수 있다.

- [128] 이를 위하여 먼저, 1310 단계에서 마스터 IP의 트랜잭션을 디스에이블(disable)시킬 수 있다. 그 후 1320 단계에서 온 칩 메모리의 해당 마스터 IP에 해당하는 SFR을 디스에이블시킬 수 있다.
- [129] 그 후 1330 단계에서 온 칩 메모리의 SFR에 모드 정보, 우선순위 정보, 할당 정보 및 실제 메모리 사용 정보 등을 설정할 수 있다. 그리고 1340 단계에서 온 칩 메모리의 SFR 정보를 이네이블(enable)시키고, 1350 단계에서 해당 마스터 IP 트랜잭션을 이네이블시킨다. 그 후 1360 단계에서 해당 마스터 IP를 실행할 수 있다.
- [130] 도 14는 본 발명의 일 실시예에 따른 마스터 IP의 트랜잭션 분석 흐름도를 도시한 도면이다.
- [131] 도 14를 참고하면, 트랜잭션 정보의 인에이블 설정과, SFR 정보의 인에이블 설정 및 모드 설정에 따라 해당 마스터 IP의 트랜잭션은 버퍼 또는 캐시로 전달되거나 오프 칩 메모리(off chip memory) 제어부로 바이패스(bypass)될 수 있다.
- [132] 구체적으로, 1410 단계에서 마스터 IP 트랜잭션 정보의 이네이블 정보가 이네이블 되어있는지 여부를 판단할 수 있다. 판단 결과 마스터 IP 트랜잭션 정보가 이네이블 되었다면, 1420 단계에서 SFR 정보 내의 IP 이네이블 정보가 이네이블 되었는지 여부를 판단할 수 있다.
- [133] 만약, 마스터 IP 트랜잭션 정보 내의 이네이블 정보가 디스에이블 되어있거나, SFR 정보 내의 IP 이네이블 정보가 디스에이블 되어있는 경우에는 1430 단계에서 해당 마스터 IP 트랜잭션을 오프 칩 메모리 제어부로 전달할 수 있다. 즉, 마스터 IP 트랜잭션 정보를 온 칩 메모리로 보내지 않고 오프 칩 메모리 제어부로 바이패스할 수 있다.
- [134] 1420 단계에서 판단 결과 SFR 정보 내의 IP 이네이블 정보가 이네이블 되어있는 경우, 1440 단계에서 SFR 정보 내의 모드 정보가 버퍼인지, 캐시인지 여부를 판단할 수 있다. 판단 결과 SFR 모드가 버퍼인 경우, 1450 단계에서 마스터 IP 트랜잭션을 온 칩 메모리 내의 버퍼 제어부로 전달할 수 있다. 또한 SFR 모드가 캐시인 경우, 1460 단계에서 마스터 IP 트랜잭션을 온 칩 메모리 내의 캐시 제어부로 전달할 수 있다. 또는 실시예에 따라 온 칩 메모리 내의 하나의 제어부에서 상기 SFR 정보 내의 모드 정보에 따른 처리를 수행하도록 할 수도 있다.
- [135] 이상에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 동작에 대해서 살펴보았다.
- [136] 이하에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 모드 변환에 대해서 살펴보도록 한다.
- [137] 본 발명의 일 실시예에 따른 스위칭 가능한 온 칩 메모리는 버퍼 또는 캐시로 할당되어 사용 중이던 메모리 영역이 디스에이블 되거나, 우선순위가 높은 다른 마스터 IP에 의해 할당 중이던 메모리 영역의 모드가 변경될 수 있다.

- [138] 이 때, 온 칩 메모리가 버퍼로 할당되어 사용 중 버퍼가 디스에이블되거나, 캐시 모드로 변경되는 경우, 온 칩 메모리 내의 버퍼 제어부는 사용 중이던 청크 영역을 오프 칩 메모리로 복사를 수행할 수 있다.
- [139] 또한, 온 칩 메모리가 캐시로 할당되어 사용 중 캐시가 디스에이블되거나, 버퍼 모드로 변경되는 경우, 온 칩 메모리 내의 캐시 제어부는 사용 중이던 청크 영역에 대하여 제거 및 무효화(clean and invalidate)를 수행할 수 있다.
- [140] 이상에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 모드 변환에 대해서 살펴보았다.
- [141] 이하에서는 본 발명의 일 실시예에 따른 프로세서에 포함된 스위칭 가능한 온 칩 메모리의 캐시 운용 방법 대해서 살펴보도록 한다.
- [142] 도 15는 본 발명의 일 실시예에 따른 캐시 메모리의 동적 할당 과정의 흐름도를 도시한 도면이고, 도 16은 본 발명의 일 실시예에 따른 캐시 메모리 동적 할당 정보의 일 예를 도시한 도면이다.
- [143] 도 15를 참고하면, 본 발명의 일 실시예에 따른 스위칭 가능한 온 칩 메모리에서, 캐시 메모리의 동적 할당은 청크(또는 Way) 단위로 이루어질 수 있다. 이 때, 캐시 메모리의 청크 별 프리 인디케이터(free indicator)와 메모리 제어부의 비지 인디케이터(busy indicator)를 기준으로 캐시 메모리의 동적 할당이 이루어질 수 있다.
- [144] 상기 프리 인디케이터는 캐시 메모리의 라인 별 상태 비트(status bits) 등을 통해 확인할 수 있는 것으로, 할당된 캐시 메모리 중 사용되지 않는 영역이 존재하는지 여부를 지시하는 지시자이다. 예를 들면, 프리 인디케이터는 캐시 메모리에서 실제 사용되지 않는 영역이 존재하는 경우 1(free), 실제 사용되는 영역이 존재하지 않는 경우 0(full)과 같은 1비트의 지시자일 수 있으나, 이에 한정되는 것은 아니다. 즉, 실제 사용되지 않는 영역이 존재하는 경우와 실제 사용되는 영역이 존재하지 않는 경우를 구별할 수 있는 다른 방법도 사용될 수 있다.
- [145] 그리고 상기 비지 인디케이터는 온 칩 메모리의 사용량(usage)이 미리 설정된 임계값 이상인지 여부를 지시하는 지시자이다. 이때, 미리 설정된 임계값은 사용자의 입력에 따라 변경될 수도 있다. 예를 들면, 비지 인디케이터는 메모리의 사용량이 미리 설정된 임계값 이상인 경우에 1(busy)를, 미리 설정된 임계값 미만인 경우에는 0(idle)과 같은 1비트 지시자일 수 있다.
- [146] 구체적으로 1510 단계에서 메모리 제어부의 비지 인디케이터가 1(busy), 즉 메모리의 사용량이 미리 설정된 임계값 이상인지 여부를 판단할 수 있다. 다시말해, 메모리의 사용량이 많아 캐시 메모리의 동적인 할당이 필요한지 여부를 판단할 수 있다.
- [147] 판단 결과 비지 인디케이터가 1(busy)인 경우, 1520 단계에서 이네이블 된 IP들의 모든 프리 인디케이터가 0(full), 즉 할당된 캐시 메모리 중 사용되지 않는 영역이 존재하는지 여부를 판단할 수 있다.

- [148] 판단 결과 모든 IP의 메모리가 사용되고 있는 경우에, 그 후 1530 단계에서 이네이블 된 IP들 중 프리 인디케이터가 1(free), 즉 할당은 되었으나 사용되지 않고 있는 메모리 영역이 있는 IP가 존재하는지 여부를 판단할 수 있다.
- [149] 판단 결과 사용되지 않는 메모리 영역이 할당되어 있는 IP가 존재하는 경우, 1540 단계에서 사용되지 않는 메모리 영역이 존재하는 프리(free) IP에 대해서 사용되지 않는 메모리 영역을 제외하도록 프리 IP의 실제 메모리 사용 영역을 변경하도록 할 수 있다.
- [150] 그 후 1550 단계에서 할당된 모든 메모리가 사용 중인 풀(full) IP에 대하여 실제 메모리 사용 정보에 상기 프리 IP에서 사용되지 않는 메모리 영역을 포함하도록 변경할 수 있다.
- [151] 도 16을 참고하면, 마스터 IP들 중 MFC와 DMA에 대하여 캐시 모드가 설정되어, 캐시 메모리가 각각 할당되어 있다. 이 때, 메모리 제어부의 비지 인디케이터가 1(busy)이고, DMA의 프리 인디케이터가 0(full)이지만, MFC의 프리 인디케이터는 1(free)인 경우, 도시된 바와 같이, DMA와 MFC의 실제 메모리 사용 정보는 변경될 수 있다. 즉, MFC에 할당된 메모리 영역 중 사용되지 않는 메모리 영역은 DMA가 사용하도록 MFC가 실제 사용하는 메모리 영역을 감소시키고, 감소된 영역을 DMA가 실제 사용하는 메모리 영역에 추가되도록 실제 메모리 사용 정보가 변경될 수 있다.
- [152] 도 17 및 도 18은 본 발명의 일 실시예에 따른 캐시 메모리의 청크 별 전력 제어 방법의 흐름도를 도시한 도면이고, 도 19는 본 발명의 일 실시예에 따른 캐시 메모리의 전력 제어 정보의 일 예를 도시한 도면이다.
- [153] 도 17 및 도 18을 참고하면, 본 발명의 일 실시예에 따른 스위칭 가능한 온 칩 메모리에서, 캐시 메모리의 전력 제어는 청크 단위로 이루어질 수 있다. 이 때, 상술한 캐시 메모리의 청크 별 프리 인디케이터와 메모리 제어부의 비지 인디케이트를 기준으로 청크 별 전력을 제어할 수 있다.
- [154] 도 17을 참고하여 메모리의 사용되지 않는 청크 영역의 전력을 오프(power off)하는 방법을 설명하면, 1710 단계에서 메모리 제어부의 비지 인디케이터가 0(idel), 즉 메모리의 사용량이 미리 설정된 임계값 미만인지 여부를 판단할 수 있다.
- [155] 판단 결과 메모리 사용량이 임계값 미만인 경우, 1720 단계에서 이네이블된 IP들 중 프리 인디케이터가 1(free), 즉 할당된 캐시 메모리 중 사용되지 않는 영역이 존재하는지 여부를 판단할 수 있다.
- [156] 상기 1720 단계에서 판단결과 사용되지 않는 메모리 영역이 존재하는 경우, 1730 단계에서 상기 IP에 대해서 사용되지 않는 메모리 영역을 실제 메모리 사용 정보에서 제외하도록 설정할 수 있다.
- [157] 그 후 제어부는 사용되지 않는 메모리의 청크 영역에 대하여 전력을 오프(power off)할 수 있다.
- [158] 한편, 도 18을 참고하여 메모리의 전력이 오프된 청크 영역의 전력을 온(power

- on)하는 방법을 설명하면, 1810 단계에서 메모리 제어부의 비지 인디케이터가 1(busy), 즉 메모리의 사용량이 미리 설정된 임계값 이상인지 여부를 판단할 수 있다.
- [159] 판단 결과 메모리 사용량이 임계값 이상인 경우, 1820 단계에서 전력 오프된 영역이 존재하는지 여부를 판단할 수 있다.
- [160] 전력 오프된 영역이 존재하는 경우, 1830 단계에서 이네이블된 IP들 모두 프리 인디케이터가 0(full), 즉 할당된 캐시 메모리 중 사용되지 않는 영역이 존재하지 않는지 여부와 함께, 할당된 영역보다 실제 사용되는 메모리 영역이 작은 IP가 존재하는지 여부를 판단할 수 있다.
- [161] 그 후 1840 단계에서 전력이 오프된 체크 영역의 전력을 온(power on)하고, 1850 단계에서 전력 온 된 체크는 사용 영역에 추가되어 실제 메모리 사용 영역이 메모리 할당 영역과 동일하게 되도록 설정될 수 있다.
- [162] 도 19를 참고하면, 마스터 IP들 중 MFC와 DMA에 대하여 캐시 모드가 설정되어, 캐시 메모리가 각각 할당되어 있다. 이 때, 메모리 제어부의 비지 인디케이터가 0(idle)이고, MFC의 프리 인디케이터는 1(free)인 경우, 도시된 바와 같이, MFC의 실제 메모리 사용 정보는 변경되고, 변경된 영역 중 사용되지 않는 영역의 전력은 오프될 수 있다. 즉, MFC에 할당된 메모리 영역 중 사용되지 않는 메모리 영역의 전력을 오프하도록 실제 메모리 사용 정보가 변경될 수 있다.
- [163] 그 후, 메모리 제어부의 비지 인디케이터가 1(busy)이고, MFC의 프리 인디케이터는 0(full)인 경우, 도시된 바와 같이, MFC의 실제 메모리 사용 정보는 변경되고, 변경된 영역의 전력은 온될 수 있다. 즉, MFC에 할당된 메모리 영역 중 사용되지 않는 메모리 영역의 전력이 오프되어 MFC에 할당된 메모리 영역과 실제 사용되는 영역이 다르게 설정되어 있을 수 있다. 그 후, MFC에 할당되었으나 사용되지 않고 있던 메모리 영역의 전력이 온 되면, 전력이 새롭게 공급된 메모리 영역은 다시 실제 메모리 사용 영역에 포함될 수 있다.
- [164] 상술한 바와 같이, 본 발명의 일 실시예에 따른 온 칩 메모리는, 마스터 IP 별 사용 시나리오에 따라 메모리 영역을 버퍼 또는 캐시로 설정 가능하고, 메모리 영역을 부분적으로 동적으로 할당 가능하다. 또한, 마스터 IP의 모드(버퍼 또는 캐시), 우선순위, 필요한 메모리 공간의 크기, 상관관계 등에 따라 마스터 IP에 따라 메모리 할당이 가능하다.
- [165] 그리고, 본 발명의 일 실시예에 따른 온 칩 메모리는 동적으로 버퍼 또는 캐시로 사용할 수 있고, 메모리를 체크 단위로 나누어 사용함으로써, 메모리의 일부는 버퍼로, 일부는 캐시로 나누어 동적으로 사용할 수 있다.
- [166] 또한, 캐시 모드의 마스터 IP들의 경우 캐시 메모리의 동적 할당이 가능하고, 캐시 메모리의 전력을 제어함으로써 소비 전력도 감소될 수 있다.
- [167] 본 명세서와 도면에 개시된 본 발명의 실시예들은 본 발명의 기술 내용을 쉽게 설명하고 본 발명의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 발명의

범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

- [168] 따라서, 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다.

청구범위

- [청구항 1] 온 칩 메모리의 메모리 제어 방법에 있어서,
 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도 하나를 포함하는 메모리 할당 정보를 설정하는 단계; 및
 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하는 단계;
 를 포함하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 2] 제1 항에 있어서, 상기 메모리 할당 정보를 설정하는 단계는,
 마스터 IP의 집약성이 존재하는지 여부를 판단하는 단계;
 마스터 IP의 집약성이 존재하는 경우, 액세스 영역의 크기가 상기 온 칩 메모리의 메모리 영역의 크기보다 작은지 여부를 판단하는 단계;
 상기 액세스 영역의 크기가 상기 온 칩 메모리의 상기 메모리 영역의 크기보다 작은 경우, 마스터 IP 모드를 버퍼로 설정하는 단계; 및
 상기 액세스 영역의 크기가 상기 온 칩 메모리의 상기 메모리 영역의 크기보다 큰 경우, 마스터 IP 모드를 캐시로 설정하는 단계;
 를 포함하는 것을 특징으로 하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 3] 제1 항에 있어서, 상기 메모리 할당 정보를 설정하는 단계는,
 마스터 IP가 실시간 IP인 경우 높은 우선 순위를 설정하는 단계;
 를 포함하는 것을 특징으로 하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 4] 제1 항에 있어서, 상기 메모리 할당 정보를 설정하는 단계는,
 상기 마스터 IP의 모드가 버퍼인 경우, 액세스 영역의 크기에 따라 상기 필요한 메모리의 공간 크기를 설정하는 단계; 및
 상기 마스터 IP의 모드가 캐시인 경우, 적중률이 미리 설정된 임계값과 동일하게 되는 지점을 상기 필요한 메모리 공간 크기로 설정하는 단계;
 를 포함하는 것을 특징으로 하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 5] 제1 항에 있어서, 상기 메모리 할당 정보를 설정하는 단계는,
 상기 마스터 IP의 동작 시간 중 다른 마스터 IP가 동시에 동작하는 시간의 비율이 미리 설정된 임계값 이상인 경우 상기 상관관계가 높다고 설정하는 단계;
 를 포함하는 것을 특징으로 하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 6] 제1 항에 있어서, 상기 메모리를 할당하는 단계는,
 우선순위가 가장 높은 마스터 IP를 선택하는 단계;
 상기 선택된 마스터 IP와 이전에 선택된 마스터 IP들과의 상기

- 상관관계가 높은지 여부를 판단하는 단계; 및
 상기 상관관계가 높지 않다고 판단된 경우, 상기 필요한 메모리
 공간 크기에 따라 메모리를 할당하는 단계;
 를 포함하는 것을 특징으로 하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 7]
 제6 항에 있어서, 상기 메모리를 할당하는 단계는,
 상기 상관관계가 높다고 판단된 경우, 상기 이전에 선택된 마스터
 IP들에 할당된 메모리의 크기 및 상기 선택된 마스터 IP의 필요한
 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의
 크기보다 큰지 여부를 판단하는 단계;
 상기 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의
 크기보다 작은 경우, 상기 필요한 메모리 공간 크기에 따라
 메모리를 할당하는 단계; 및
 상기 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의
 크기보다 큰 경우, 상기 온 칩 메모리의 메모리 영역의 크기에서
 상기 메모리 공간 크기의 합을 뺀 크기에 따라 메모리를 할당하는
 단계;
 를 더 포함하는 것을 특징으로 하는 온 칩 메모리의 메모리 제어
 방법.
- [청구항 8]
 제1 항에 있어서,
 상기 메모리 할당은 청크(chunk) 단위로 이루어지는 것을
 특징으로 하는 온 칩 메모리의 메모리 제어 방법.
- [청구항 9]
 프로세서의 온 칩 메모리의 메모리 제어방법에 있어서,
 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한
 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도
 하나를 포함하는 메모리 할당 정보를 설정하는 단계; 및
 상기 메모리 할당 정보를 이용하여 상기 각각의 마스터 IP 별
 메모리를 할당하는 단계;
 를 포함하는 프로세서의 온 칩 메모리의 메모리 제어 방법.
- [청구항 10]
 제9 항에 있어서,
 상기 메모리 할당은 청크(chunk) 단위로 이루어지는 것을
 특징으로 하는 프로세서의 온 칩 메모리의 메모리 제어 방법.
- [청구항 11]
 온 칩 메모리에 있어서,
 메모리 공간; 및
 각각의 마스터 IP(Intellectual Properties) 별 모드, 우선순위, 필요한
 메모리의 공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도
 하나를 포함하는 메모리 할당 정보를 설정하고, 상기 메모리 할당
 정보를 이용하여 상기 각각의 마스터 IP 별 메모리를 할당하도록
 제어하는 제어부;

- 를 포함하는 온 칩 메모리.
- [청구항 12] 제11 항에 있어서, 상기 제어부는, 마스터 IP의 집약성이 존재하는지 여부를 판단하고, 마스터 IP의 집약성이 존재하는 경우, 액세스 영역의 크기가 상기 온 칩 메모리의 메모리 영역의 크기보다 작은지 여부를 판단하고, 상기 액세스 영역의 크기가 상기 온 칩 메모리의 상기 메모리 영역의 크기보다 작은 경우, 마스터 IP 모드를 버퍼로 설정하고, 상기 액세스 영역의 크기가 상기 온 칩 메모리의 상기 메모리 영역의 크기보다 큰 경우, 마스터 IP 모드를 캐시로 설정하도록 제어하는 것을 특징으로 하는 온 칩 메모리.
- [청구항 13] 제11 항에 있어서, 상기 제어부는, 마스터 IP가 실시간 IP인 경우 높은 우선 순위를 설정하도록 제어하는 것을 특징으로 하는 온 칩 메모리.
- [청구항 14] 제11 항에 있어서, 상기 제어부는, 상기 마스터 IP의 모드가 버퍼인 경우, 액세스 영역의 크기에 따라 상기 필요한 메모리의 공간 크기를 설정하고, 상기 마스터 IP의 모드가 캐시인 경우, 적중률이 미리 설정된 임계값과 동일하게 되는 지점을 상기 필요한 메모리 공간 크기로 설정하도록 제어하는 것을 특징으로 하는 온 칩 메모리.
- [청구항 15] 제11 항에 있어서, 상기 제어부는, 상기 마스터 IP의 동작 시간 중 다른 마스터 IP가 동시에 동작하는 시간의 비율이 미리 설정된 임계값 이상인 경우 상기 상관관계가 높다고 설정하도록 제어하는 것을 특징으로 하는 온 칩 메모리.
- [청구항 16] 제11 항에 있어서, 상기 제어부는, 우선순위가 가장 높은 마스터 IP를 선택하고, 상기 선택된 마스터 IP와 이전에 선택된 마스터 IP들과의 상기 상관관계가 높은지 여부를 판단하고, 상기 상관관계가 높지 않다고 판단된 경우, 상기 필요한 메모리 공간 크기에 따라 메모리를 할당하도록 제어하는 것을 특징으로 하는 온 칩 메모리.
- [청구항 17] 제16 항에 있어서, 상기 제어부는, 상기 상관관계가 높다고 판단된 경우, 상기 이전에 선택된 마스터 IP들에 할당된 메모리의 크기 및 상기 선택된 마스터 IP의 필요한 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의 크기보다 큰지 여부를 판단하고, 상기 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의 크기보다 작은 경우, 상기 필요한 메모리 공간 크기에 따라 메모리를 할당하고, 상기 메모리 공간 크기의 합이 상기 온 칩 메모리의 메모리 영역의 크기보다 큰 경우, 상기 온 칩 메모리의 메모리 영역의 크기에서 상기 메모리

공간 크기의 합을 뺀 크기에 따라 메모리를 할당하도록 제어하는 것을 특징으로 하는 온 칩 메모리.

[청구항 18]

제11 항에 있어서,
상기 메모리 할당은 청크(chunk) 단위로 이루어지는 것을 특징으로 하는 온 칩 메모리.

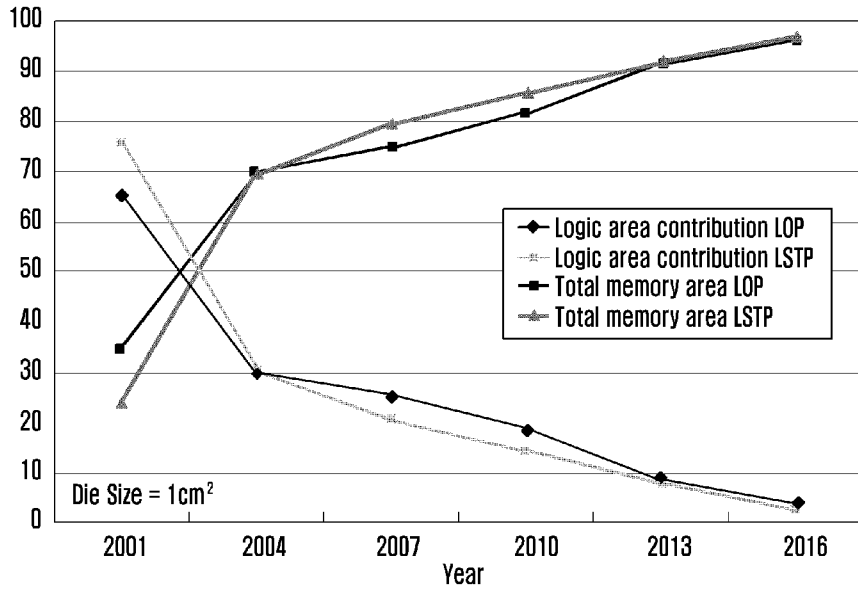
[청구항 19]

프로세서에 있어서,
적어도 하나의 마스터 IP(Intellectual Properties); 및
온 칩 메모리를 포함하고,
상기 온 칩 메모리는
메모리 공간; 및
상기 적어도 하나의 마스터 IP 별 모드, 우선순위, 필요한 메모리의
공간 크기 및 다른 마스터 IP와의 상관관계 중 적어도 하나를
포함하는 메모리 할당 정보를 설정하고, 상기 메모리 할당 정보를
이용하여 상기 각각의 마스터 IP 별 메모리를 할당하도록
제어하는 제어부;
를 포함하는 프로세서.

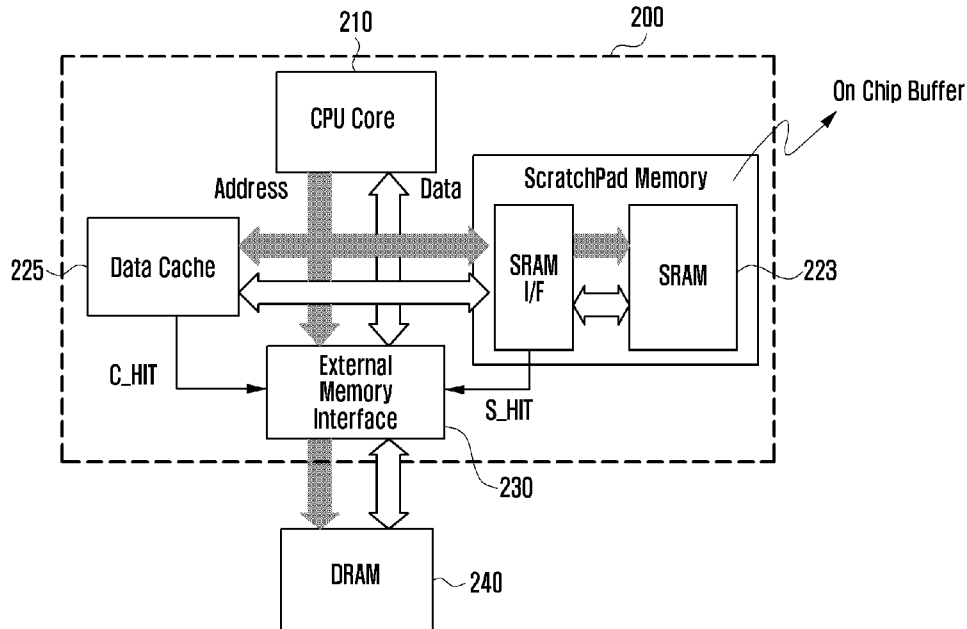
[청구항 20]

제19 항에 있어서,
상기 메모리 할당은 청크(chunk) 단위로 이루어지는 것을
특징으로 하는 프로세서.

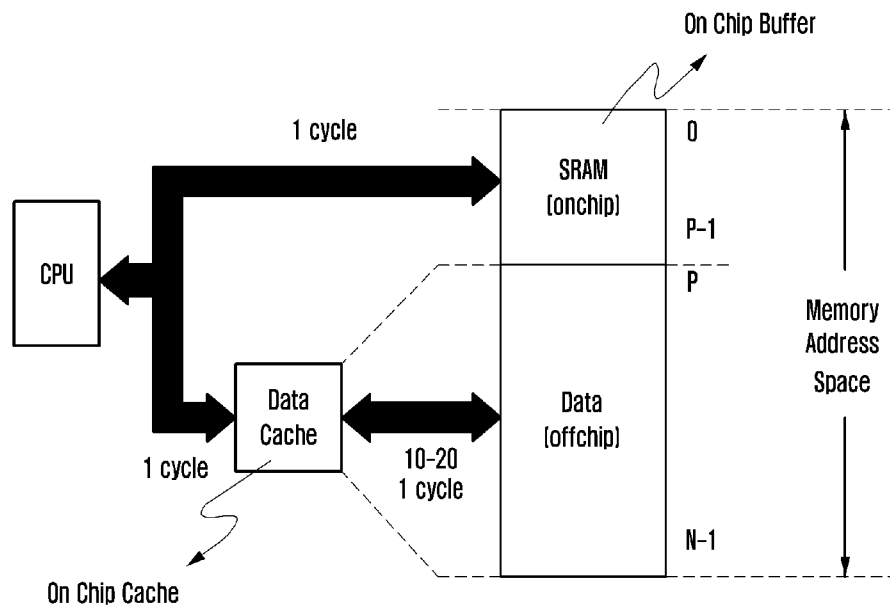
[Fig. 1]



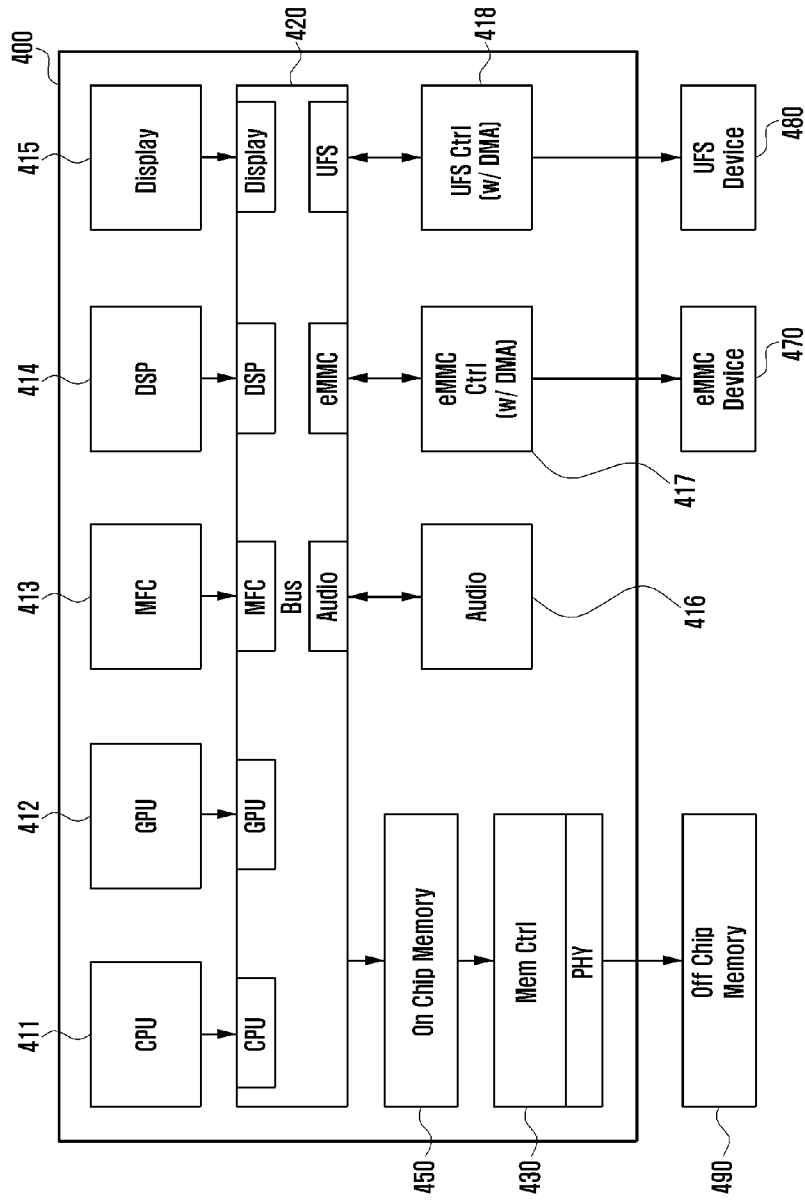
[Fig. 2]



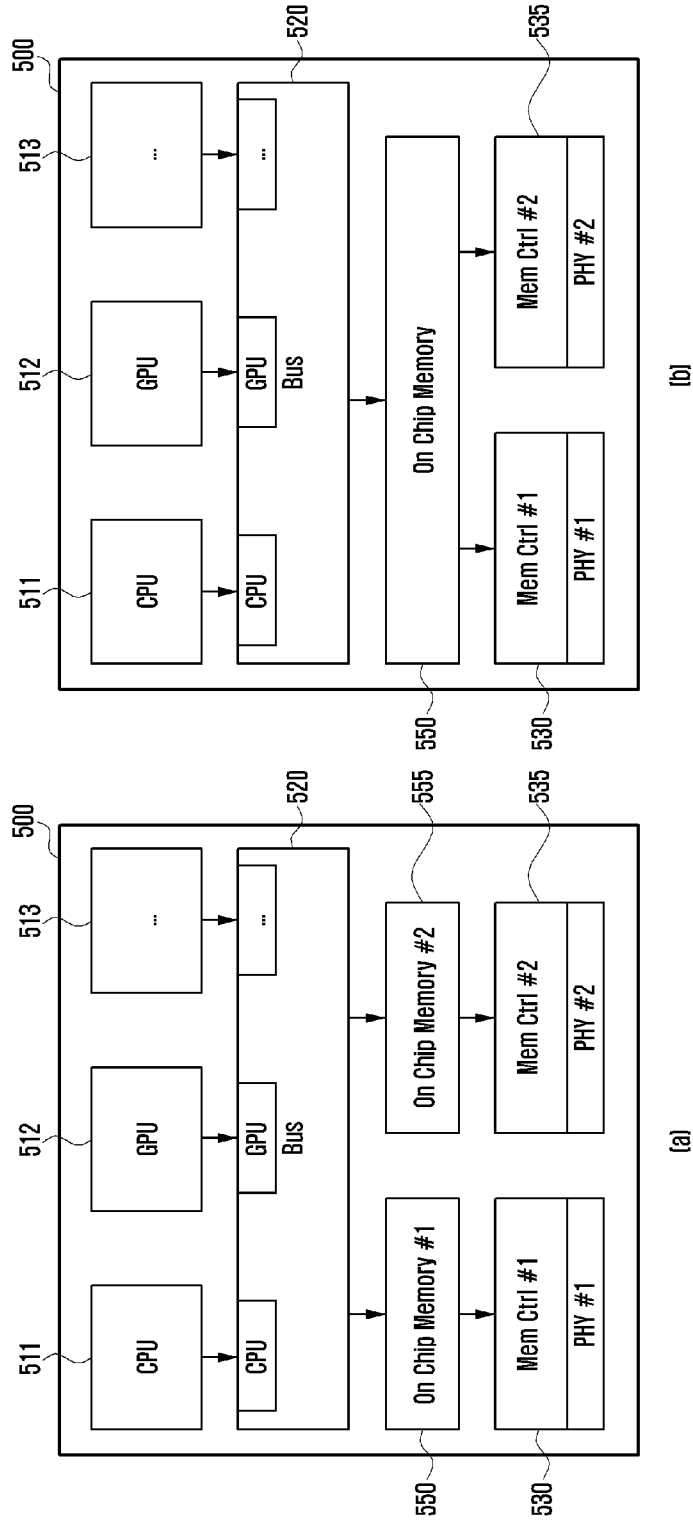
[Fig. 3]



[Fig. 4]



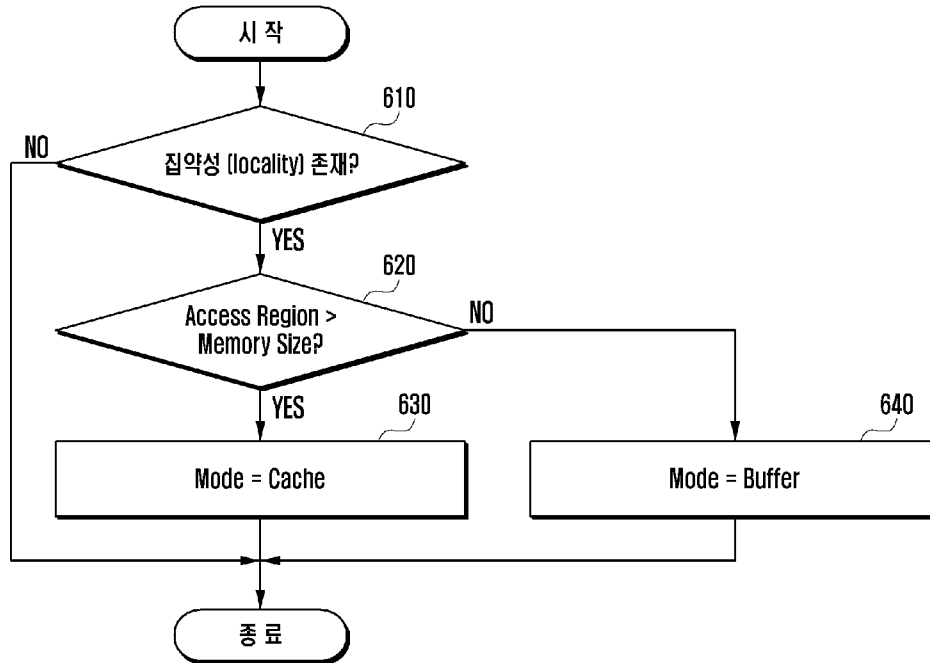
[Fig. 5]



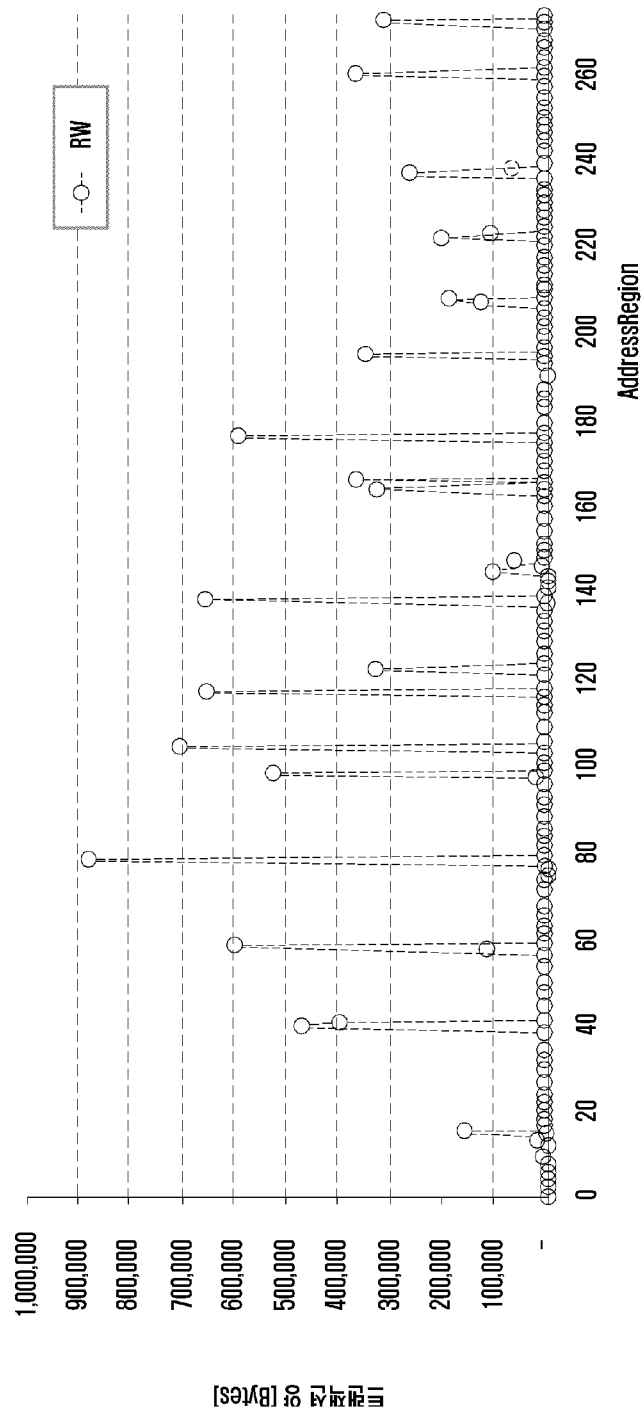
(a)

(b)

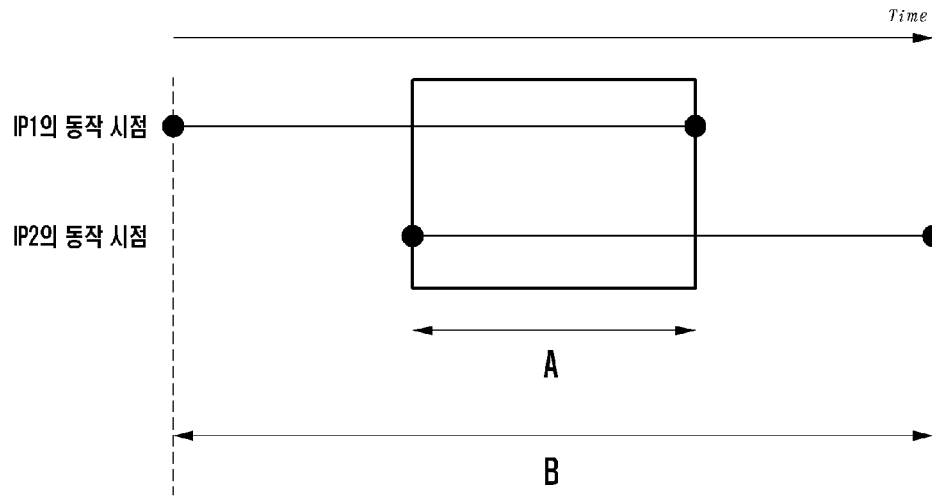
[Fig. 6]



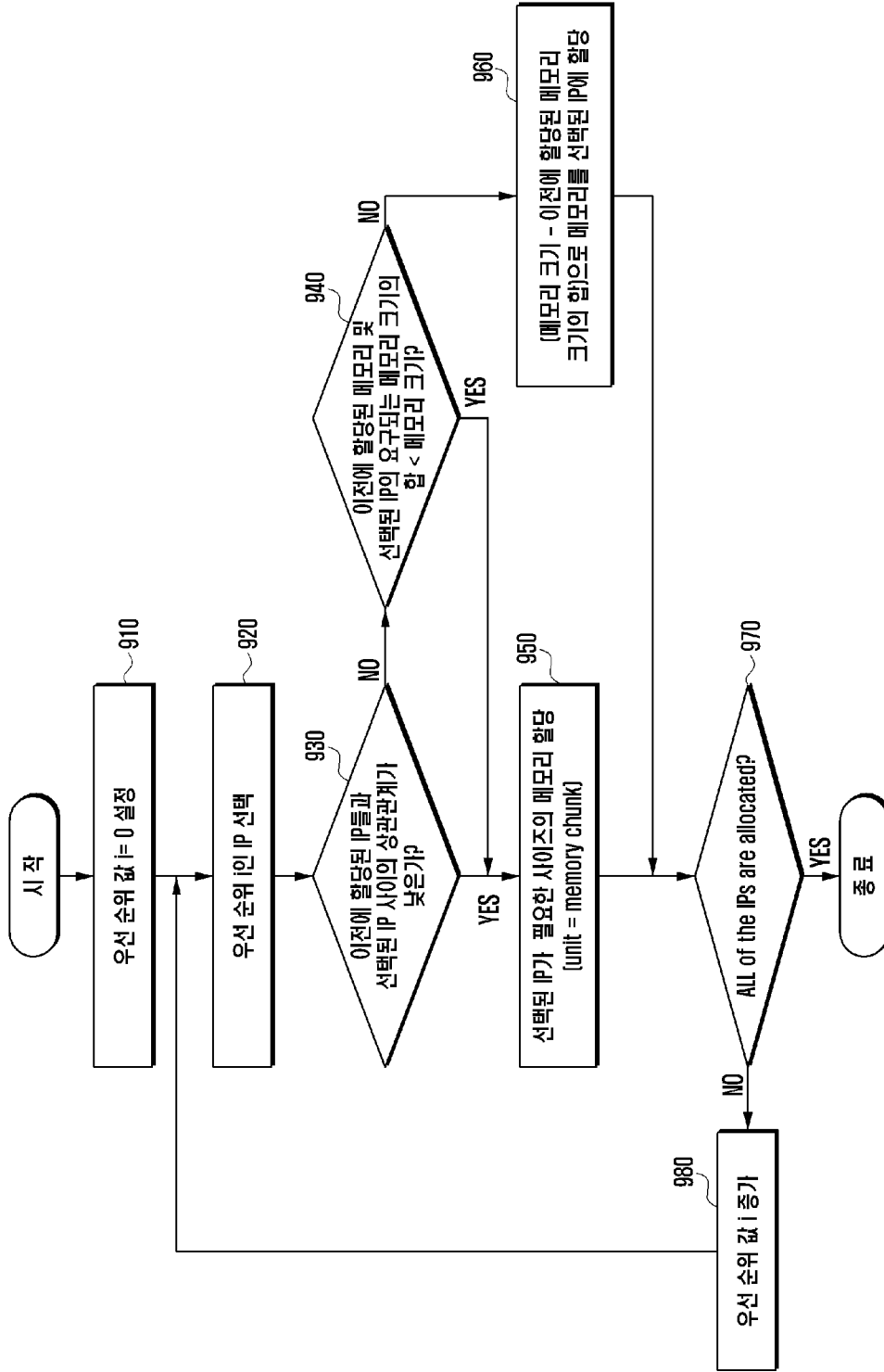
[Fig. 7]



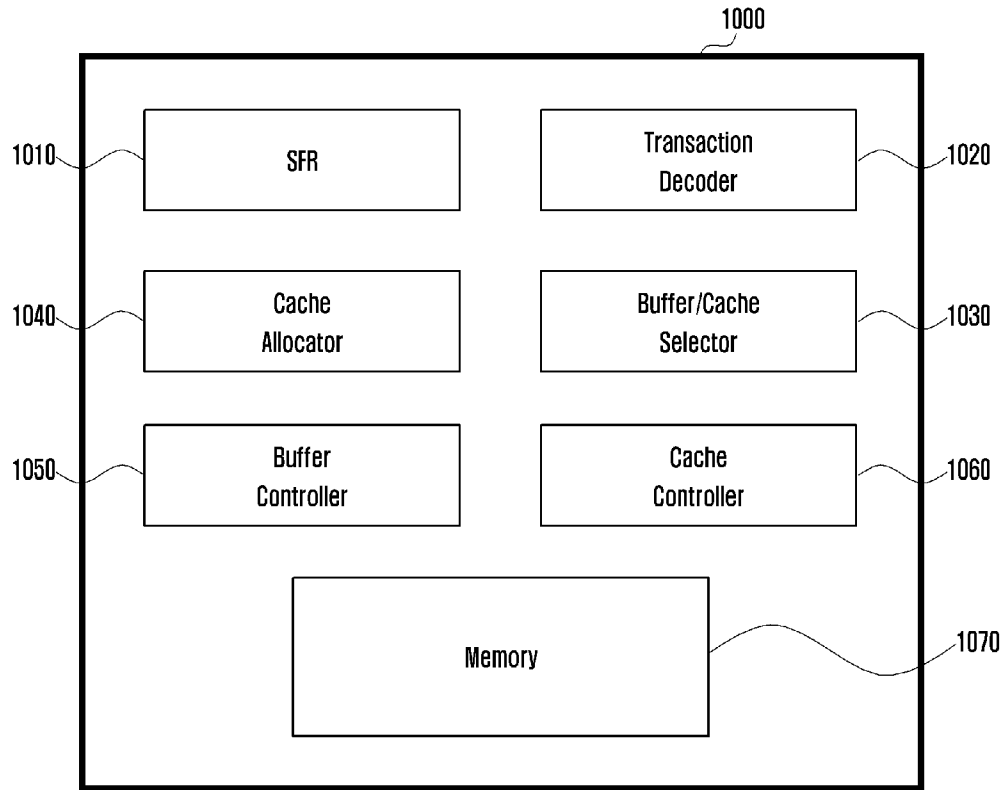
[Fig. 8]



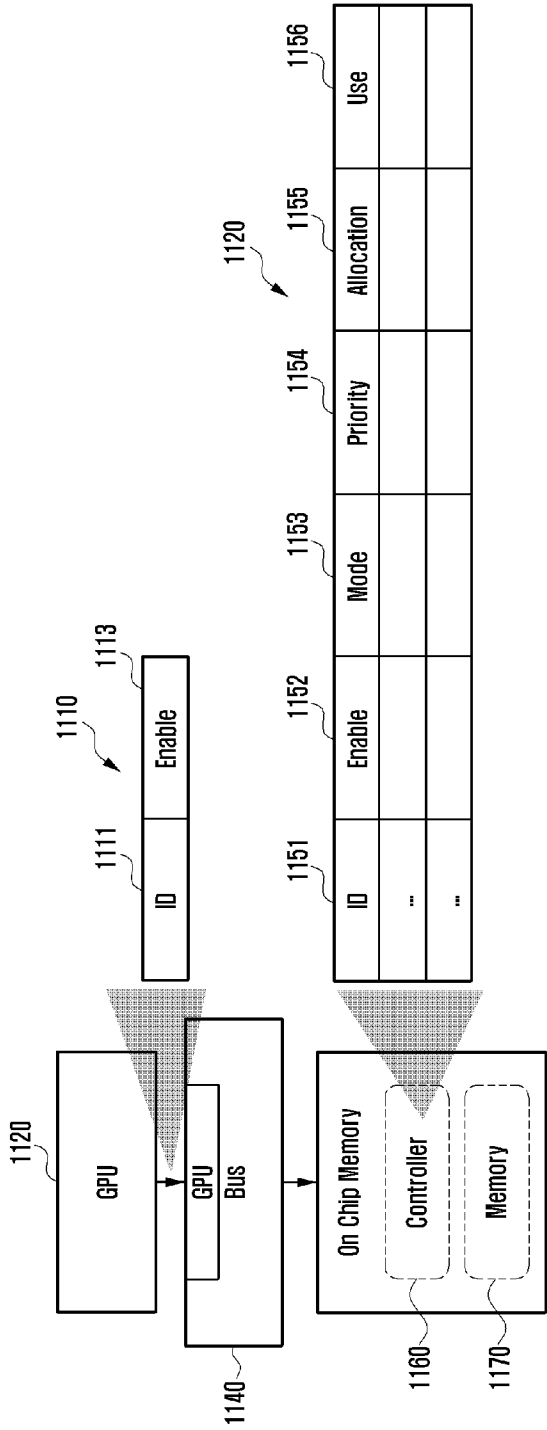
[Fig. 9]



[Fig. 10]



[Fig. 11]

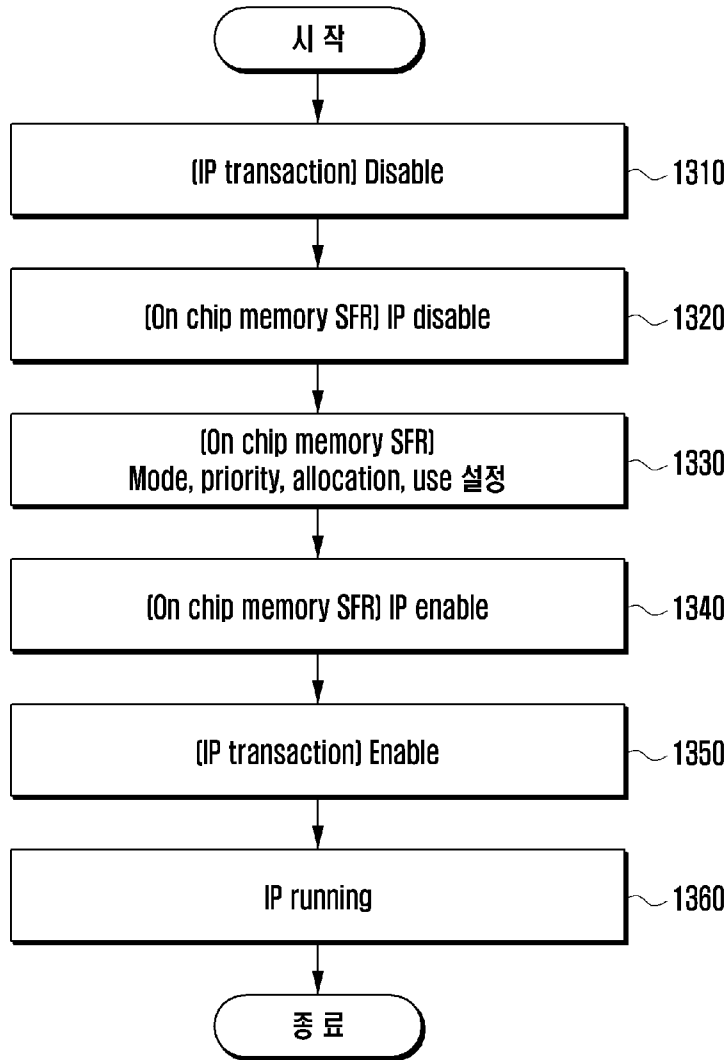


[Fig. 12]

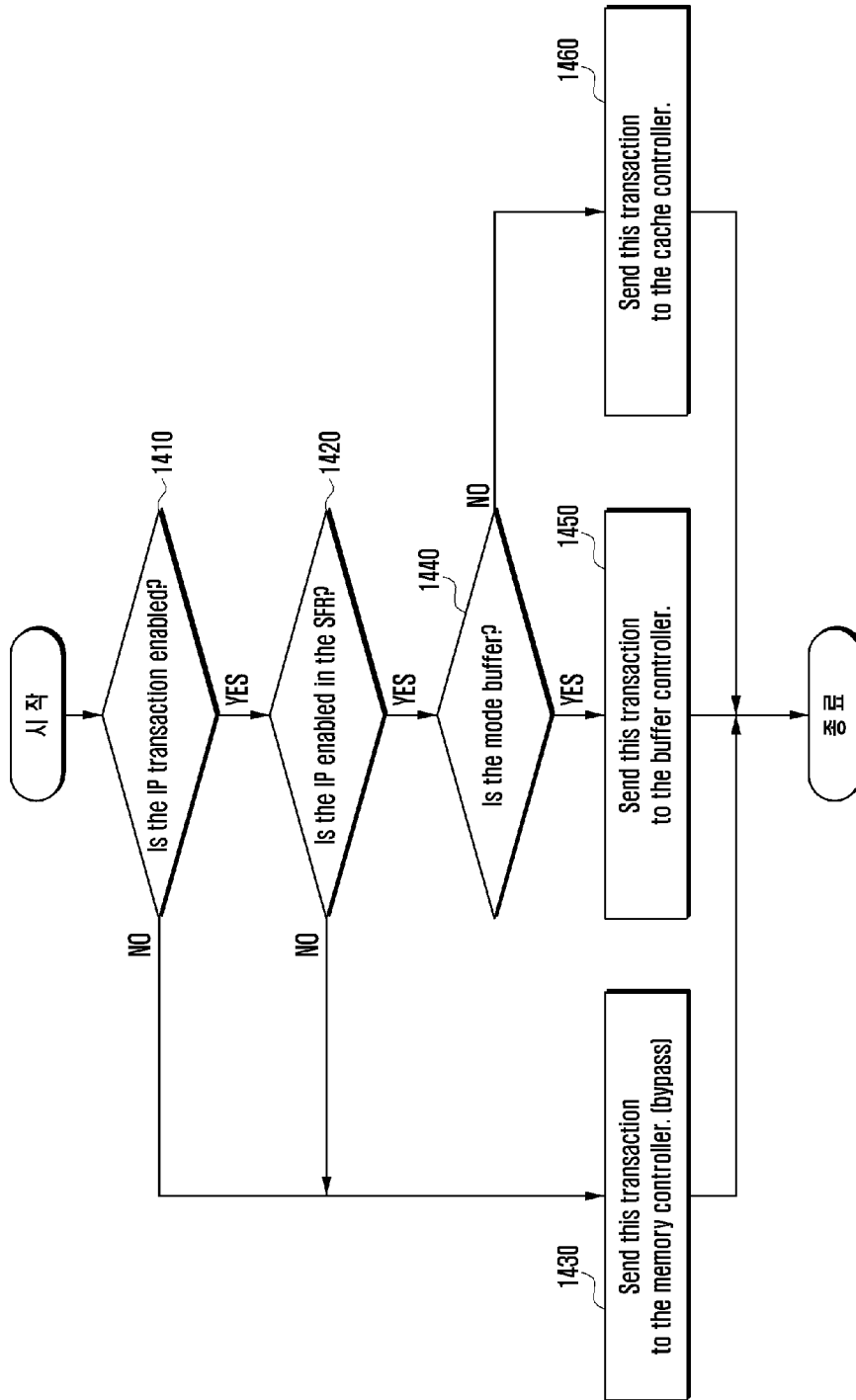
1255

(0)	(1)	(2)	(3)	(4~14)	(15)
1	1	0	0	...	0

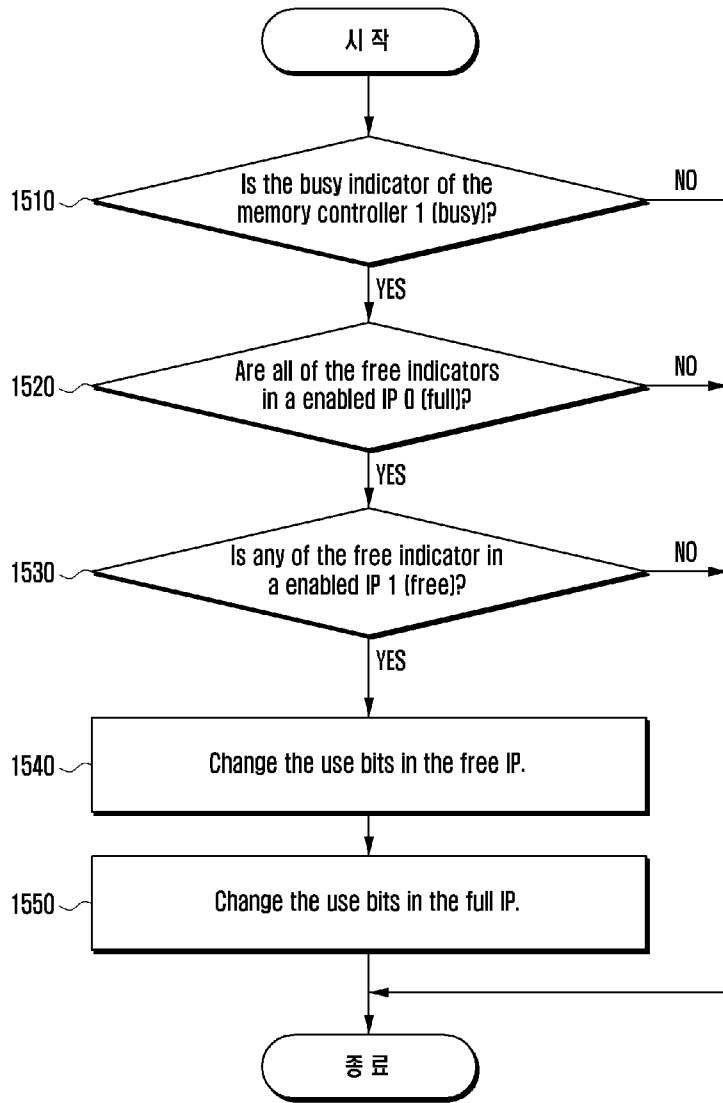
[Fig. 13]



[Fig. 14]



[Fig. 15]



[Fig. 16]

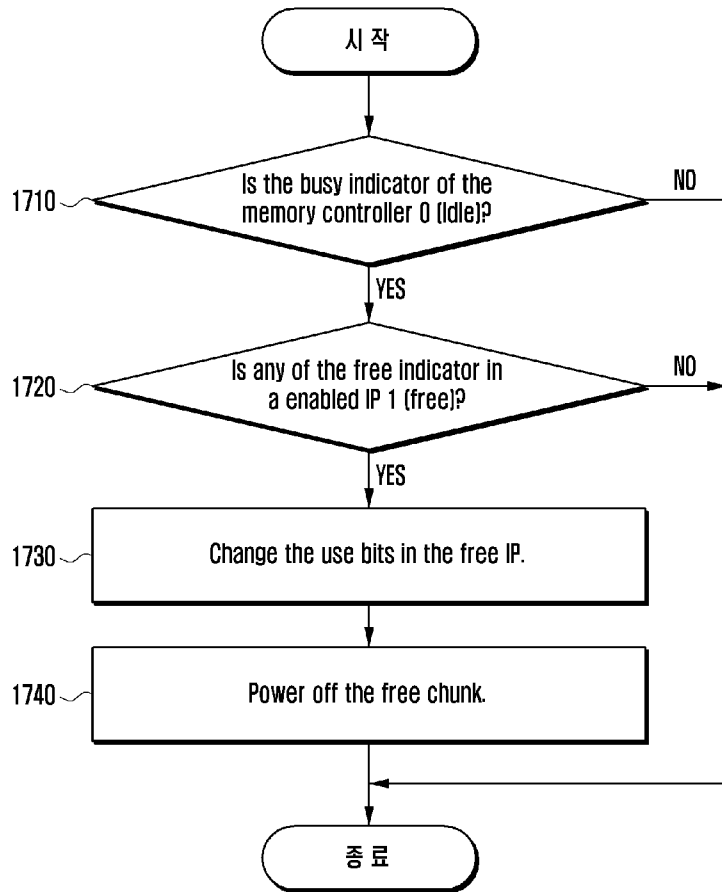
Master/JP	Enable	Mode	Priority	Allocation	USE
MFC	Enable	Cache	2	0x00FF	0x00FF
DMA	Enable	Cache	3	0xFF00	0xFF00

- The busy indicator in memory controller = 1 (busy)
- All of free indicators in DMA = 0 (full)
- The free indicator in MFC = 1 (free)

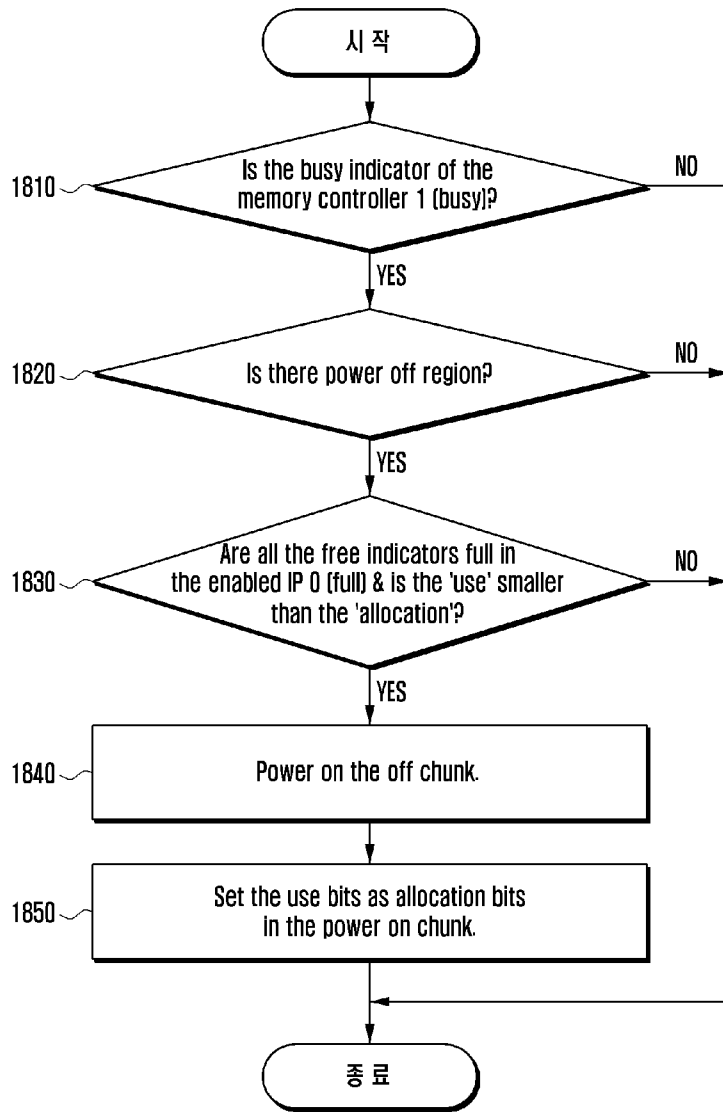


MFC	Enable	Cache	2	0x00FF	0x007F
DMA	Enable	Cache	3	0xFF00	0xFF80

[Fig. 17]



[Fig. 18]



[Fig. 19]

Master IP	Enable	Mode	Priority	Allocation	USE
MFC	Enable	Cache	2	0x00FF	0x00FF
DMA	Enable	Cache	3	0xFF00	0xFF00

- The busy indicator in memory controller = 0 (idle)
- The free indicator in MFC = 1 (free)



MFC	Enable	Cache	2	0x00FF	0x007F
DMA	Enable	Cache	3	0xFF00	0xFF00

- The busy indicator in memory controller = 1 (busy)
- All of the free indicator in MFC = 0 (full)



MFC	Enable	Cache	2	0x00FF	0x00FF
DMA	Enable	Cache	3	0xFF00	0xFF00

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/007009

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/16(2006.01)i, G06F 12/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 13/16; G06F 12/02; G06F 15/80; G11C 7/00; G06F 12/00; G06F 9/46; G06F 12/08; G06F 15/163

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: on chip memory, master IP, allocation, priority, memory size, locality, buffer, cache, switching.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011-0010519 A1 (COBLEY, Dominic R.) 13 January 2011 See paragraphs [0017]-[0018] and [0038]-[0049]; claim 92; and figures 2-3.	1-20
A	US 2012-0159037 A1 (KWON, Woo Cheol) 21 June 2012 See paragraphs [0006], [0043]-[0054] and [0057]-[0060]; and figures 2-3 and 5.	1-20
A	KR 10-2012-0046258 A (EMPIRE TECHNOLOGY DEVELOPMENT LLC) 09 May 2012 See paragraphs [0013]-[0019] and [0034]; claim 14; and figures 1 and 9.	1-20
A	KR 10-2008-0068468 A (SAMSUNG ELECTRONICS CO., LTD.) 23 July 2008 See paragraphs [0017]-[0037] and figures 1-2c.	1-20
A	KR 10-2009-0075324 A (SAMSUNG ELECTRONICS CO., LTD.) 08 July 2009 See paragraphs [0014]-[0027] and figures 1-3.	1-20
A	KR 10-2011-0058410 A (SNU R&DB FOUNDATION) 01 June 2011 See paragraphs [0017]-[0031] and figures 1-2.	1-20

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family


Date of the actual completion of the international search

26 NOVEMBER 2014 (26.11.2014)

Date of mailing of the international search report

26 NOVEMBER 2014 (26.11.2014)

Name and mailing address of the ISA/KR


 Korean Intellectual Property Office
 Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
 Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/007009

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2011-0010519 A1	13/01/2011	CN 1825290 A	30/08/2006
		CN 1825290 C	12/11/2008
		EP 1691288 A2	16/08/2006
		EP 1691288 A3	24/06/2009
		TW 1326824 B	01/07/2010
		US 2006-0184762 A1	17/08/2006
		US 2008-0276062 A1	06/11/2008
		US 7395385 B2	01/07/2008
		US 7818521 B2	19/10/2010
		US 2012-0159037 A1	21/06/2012
US 08886861 B2	11/11/2014		
KR 10-2012-0046258 A	09/05/2012	CN 102483840 A	30/05/2012
		JP 2013-502645 A	24/01/2013
		US 2011-0047333 A1	24/02/2011
		US 8244982 B2	14/08/2012
		WO 2011-022110 A2	24/02/2011
		WO 2011-022110 A3	26/05/2011
KR 10-2008-0068468 A	23/07/2008	KR 10-1334176 B1	28/11/2013
		US 2008-0177941 A1	24/07/2008
		US 2010-0312977 A1	09/12/2010
		US 7805582 B2	28/09/2010
		US 7996630 B2	09/08/2011
KR 10-2009-0075324 A	08/07/2009	KR 10-1383793 B1	09/04/2014
KR 10-2011-0058410 A	01/06/2011	KR 10-1039782 B1	09/06/2011
		US 2012-0226865 A1	06/09/2012
		WO 2011-065618 A1	03/06/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06F 13/16(2006.01)i, G06F 12/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06F 13/16; G06F 12/02; G06F 15/80; G11C 7/00; G06F 12/00; G06F 9/46; G06F 12/08; G06F 15/163

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 온 칩 메모리, 마스터 IP, 할당, 우선순위, 메모리 크기, 집약성, 버퍼, 캐시, 스위칭.

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2011-0010519 A1 (DOMINIC R. COBLEY) 2011.01.13 단락 [0017]-[0018]과 [0038]-[0049]; 청구항 92; 및 도면 2-3 참조.	1-20
A	US 2012-0159037 A1 (WOO CHEOL KWON) 2012.06.21 단락 [0006], [0043]-[0054]과 [0057]-[0060]; 및 도면 2-3과 5 참조.	1-20
A	KR 10-2012-0046258 A (엠플라이어 테크놀로지 디벨롭먼트 엘엘씨) 2012.05.09 단락 [0013]-[0019]와 [0034]; 청구항 14; 및 도면 1과 9 참조.	1-20
A	KR 10-2008-0068468 A (삼성전자주식회사) 2008.07.23 단락 [0017]-[0037] 및 도면 1-2c 참조.	1-20
A	KR 10-2009-0075324 A (삼성전자주식회사) 2009.07.08 단락 [0014]-[0027] 및 도면 1-3 참조.	1-20
A	KR 10-2011-0058410 A (서울대학교산학협력단) 2011.06.01 단락 [0017]-[0031] 및 도면 1-2 참조.	1-20

추가 문헌이 C(계속)에 기재되어 있습니다.

대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌	“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌	“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌	“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌	“&” 동일한 대응특허문헌에 속하는 문헌
“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌	

국제조사의 실제 완료일
2014년 11월 26일 (26.11.2014)

국제조사보고서 발송일
2014년 11월 26일 (26.11.2014)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
노지명
전화번호 +82-42-481-8528



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2011-0010519 A1	2011/01/13	CN 1825290 A	2006/08/30
		CN 1825290 C	2008/11/12
		EP 1691288 A2	2006/08/16
		EP 1691288 A3	2009/06/24
		TW I326824 B	2010/07/01
		US 2006-0184762 A1	2006/08/17
		US 2008-0276062 A1	2008/11/06
		US 7395385 B2	2008/07/01
		US 7818521 B2	2010/10/19
		US 2012-0159037 A1	2012/06/21
US 08886861 B2	2014/11/11		
KR 10-2012-0046258 A	2012/05/09	CN 102483840 A	2012/05/30
		JP 2013-502645 A	2013/01/24
		US 2011-0047333 A1	2011/02/24
		US 8244982 B2	2012/08/14
		WO 2011-022110 A2	2011/02/24
		WO 2011-022110 A3	2011/05/26
KR 10-2008-0068468 A	2008/07/23	KR 10-1334176 B1	2013/11/28
		US 2008-0177941 A1	2008/07/24
		US 2010-0312977 A1	2010/12/09
		US 7805582 B2	2010/09/28
		US 7996630 B2	2011/08/09
KR 10-2009-0075324 A	2009/07/08	KR 10-1383793 B1	2014/04/09
KR 10-2011-0058410 A	2011/06/01	KR 10-1039782 B1	2011/06/09
		US 2012-0226865 A1	2012/09/06
		WO 2011-065618 A1	2011/06/03