

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6087058号  
(P6087058)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

29/78

3 7 1

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)

27/10

4 3 4

H01L 29/792 (2006.01)

H01L 27/115 (2017.01)

請求項の数 3 (全 18 頁)

(21) 出願番号

特願2012-7604 (P2012-7604)

(22) 出願日

平成24年1月18日(2012.1.18)

(65) 公開番号

特開2013-149693 (P2013-149693A)

(43) 公開日

平成25年8月1日(2013.8.1)

審査請求日

平成27年1月8日(2015.1.8)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

## 【請求項 1】

半導体領域と、

前記半導体領域上の、第1の絶縁膜と、

前記第1の絶縁膜上の、フローティングゲートと、

前記フローティングゲート上の、第2の絶縁膜と、

前記第2の絶縁膜上の、コントロールゲートと、を有し、

前記フローティングゲートは、インジウム又は亜鉛の少なくとも一と、酸素と、窒素とを有し、

前記酸素は、前記窒素の2倍乃至5倍で含有され、

前記第2の絶縁膜の比誘電率は10以上であることを特徴とする半導体装置。

## 【請求項 2】

半導体領域と、

前記半導体領域上の、第1の絶縁膜と、

前記第1の絶縁膜上の、フローティングゲートと、

前記フローティングゲート上の、第2の絶縁膜と、

前記第2の絶縁膜上の、コントロールゲートと、を有し、

前記フローティングゲートは、第1の導電層と、前記第1の導電層上の第2の導電層とを有し、

前記第2の導電層は、インジウム又は亜鉛の少なくとも一と、酸素と、窒素とを有し、

10

前記第2の導電層は、インジウム又は亜鉛の少なくとも一と、酸素と、窒素とを有し、

20

前記酸素は、前記窒素の2倍乃至5倍で含有され、

前記第2の絶縁膜の比誘電率は10以上であることを特徴とする半導体装置。

【請求項3】

半導体領域と、

前記半導体領域上の、第1の絶縁膜と、

前記第1の絶縁膜上の、フローティングゲートと、

前記フローティングゲート上の、第2の絶縁膜と、

前記第2の絶縁膜上の、コントロールゲートと、を有し、

前記フローティングゲートは、インジウム又は亜鉛の少なくとも一と、酸素と、窒素とを有し、

前記コントロールゲートは、インジウム又は亜鉛の少なくとも一と、窒素とを有し、

前記フローティングゲートにおいて、前記酸素は、前記窒素の2倍乃至5倍で含有され

10

前記第2の絶縁膜の比誘電率は10以上であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フローティングゲート型半導体メモリ装置に関する。

【背景技術】

【0002】

フラッシュメモリ等のフローティングゲートに電荷を蓄積することによってデータを記憶する半導体メモリ装置（以下、FGメモリ装置という）は、近年、多くの電子機器、家電製品等に使用されている。FGメモリ装置は高集積され、それに伴って、ビット単価も低下している。

20

【0003】

従来、フローティングゲートには珪素が用いられることが多かった（例えば、特許文献1参照）が、近年では、珪素以外の材料を用いる試みも報告されている（例えば、非特許文献1参照）。また、半導体微粒子をフローティングゲートの代わりに用いることも提案されている（例えば、特許文献2、3参照）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第6815755号明細書

【特許文献2】米国特許第7550802号明細書

【特許文献3】米国特許第7482619号明細書

【非特許文献】

【0005】

【非特許文献1】L. Chen et al., "Poly-Si Nanowire Nonvolatile Memory With Nanocrystal Indium-Gallium-Zinc-Oxide Charge-Trapping Layer", IEEE Electron Device Letters, Vol. 31, No. 12, p. 1407, (2010).

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来のFGNVMの一例として、NAND型フラッシュメモリの記憶セルを図1を用いて説明する。図1(A)は第n行第m列の記憶セル周辺の様子を上方よりみたものである。素子分離絶縁物101の形成された単結晶珪素ウェハ等の基板100上にフローティングゲート103とコントロールゲート104を積層し、基板100に不純物領域102を設ける。特に基板100のうち、フローティングゲート103と面する部分をチャネルとい

50

う。

【0007】

コントロールゲートはワード線(・・、 $W_n - 1$ 、 $W_n$ 、 $W_n + 1$ ・・)である。また、不純物領域は、コントロールゲートの部分では分断されているが、ビット線(・・、 $B_m - 1$ 、 $B_m$ 、 $B_m + 1$ ・・)方向に延在し、ビット線に接続する。

【0008】

図1(B)は図1(A)の点X1と点X2を結ぶ直線の断面の様子を示す。基板100上にフローティングゲート103とコントロールゲート104が積層し、また、それらにあわせて不純物領域102が設けられる。基板100とフローティングゲート103、フローティングゲート103とコントロールゲート104の間には、それぞれフローティングゲート絶縁膜105、コントロールゲート絶縁膜106が設けられる。

10

【0009】

図1(C)は図1(A)の点Y1と点Y2を結ぶ直線の断面の様子を示す。基板100上に、素子分離絶縁物101を設け、その上にフローティングゲート103とコントロールゲート104が積層して設けられる。基板100とフローティングゲート103、フローティングゲート103とコントロールゲート104の間には、それぞれフローティングゲート絶縁膜105、コントロールゲート絶縁膜106が設けられる。

【0010】

このような記憶セルは、図1(D)のような回路で表現できる。すなわち、フローティングゲート103と基板100との間で形成され、フローティングゲート絶縁膜105を誘電体とする容量C1と、フローティングゲート103とコントロールゲート104との間で形成され、コントロールゲート絶縁膜106を誘電体とする容量C2とが直列に接続したものである。

20

【0011】

ところで、このようなFGNVMの記憶セルにおいては、C1はC2よりも小さいことが要求される。それは、データの書き込み時あるいはデータの消去時に基板100(あるいは不純物領域102)とフローティングゲート103との間に大きな電圧(10ボルト以上)をかける必要からである。

【0012】

仮に、C1 = C2であれば、基板100(あるいは不純物領域102)とフローティングゲート103との間の電圧を10ボルトとするには、コントロールゲート104と基板100(あるいは不純物領域102)との間には20ボルトもの電圧を印加しなければならない。

30

【0013】

加えて、データの書き込み・消去にはFowler-Nordheimトンネル効果(F-Nトンネル効果)を利用するが、この効果によって得られるトンネル電流は、電界と障壁高さのみによって決定されるため、例えば、フローティングゲート103とコントロールゲート104、フローティングゲート絶縁膜105とコントロールゲート絶縁膜106が、それぞれ同じ材料で構成されていれば、その厚さが異なっても、同じだけのトンネル電流が流れる。すなわち、基板100からフローティングゲート103へのトンネル電流と同じ電流が、フローティングゲート103からコントロールゲート104に流れてしまう。結果、フローティングゲート103には電荷が蓄積されない、ということとなる。

40

【0014】

そのため、基板100からフローティングゲート103に電子を注入しようとすれば、フローティングゲート絶縁膜105にかかる電界が、コントロールゲート絶縁膜106にかかる電界よりも大きいことが求められる。

【0015】

そのため、FGNVMではC1はC2より小さいこと、好ましくは、C1はC2の2分の1以下であることが望まれる。しかしながら、そのようにC2をC1より大きくするには、記憶セルの形状に制約をもたらすこととなる。図1(C)に示すように、容量C1が必

50

要とする面積  $S_1$  は記憶セルのトランジスタのチャネル幅 × チャネル長となり、これは最小線幅でほぼ決定される。

【0016】

一方、容量  $C_2$  の面積  $S_2$  は、フローティングゲート 103 の上面の表面積と概略一致する。したがって、フローティングゲート 103 を必要以上に大きくしなければ、容量  $C_2$  を十分に大きくすることができない。このことにより、従来の FGNVM は、記憶セルの面積が必要以上に大きくなる。

【0017】

例えば、最小加工寸法 (Feature Size) を  $F$  とするとき、メモリセルのチャネル面積は  $1F^2$  とできるが、上記の理由により、フローティングゲート 103 の面積は  $1F^2$  より大きくすることが求められ、技術的な問題から一般的には  $2F^2$  とされることが多い。その場合にはメモリセルの面積は  $6F^2$  となる。

10

【0018】

また、この場合、 $F$  -  $N$  トンネル効果に必要な電圧を  $10V$  とすれば、コントロールゲートとフローティングゲートの間に印加される電圧は最低でも  $15V$  である。

【0019】

このような現状を鑑みて、本発明では、より集積度の高い FG メモリ装置を提供することを課題とする。また、本発明では、新規の半導体装置（特に、トランジスタ）を提供することを課題とする。また、新規の半導体装置の駆動方法（特に、トランジスタの駆動方法）を提供することを課題とする。さらに、新規の半導体装置の作製方法（特に、トランジスタの作製方法）を提供することを課題とする。

20

【0020】

また、本発明では、性能の向上したあるいは消費電力が低減できる半導体装置（特に、トランジスタ）を提供することを課題とする。また、性能の向上したあるいは消費電力が低減できる半導体装置の駆動方法（特に、トランジスタの駆動方法）を提供することを課題とする。さらに、性能の向上したあるいは消費電力が低減できる半導体装置の作製方法（特に、トランジスタの作製方法）を提供することを課題とする。本発明では以上の課題の少なくとも 1 つを解決する。

【課題を解決するための手段】

【0021】

30

本発明の一態様は、コントロールゲート絶縁膜とそれに接するフローティングゲートとを有し、フローティングゲートの材料として、インジウムあるいは亜鉛の少なくとも一つと窒素とを有する仕事関数が  $5.4$  電子ボルト以上  $6.5$  電子ボルト以下、好ましくは  $5.5$  電子ボルト超  $6.3$  電子ボルト未満の高仕事関数の  $n$  型半導体（以下、高仕事関数化合物半導体ともいう）を用い、コントロールゲート絶縁膜として、そのバンドギャップが  $4$  電子ボルト以上、比誘電率が  $10$  以上であることを特徴とする FG メモリ装置である。

【0022】

本発明の一態様は、コントロールゲート絶縁膜とそれに接するコントロールゲートを有し、コントロールゲートの材料として、インジウムあるいは亜鉛の少なくとも一つと窒素とを有する高仕事関数化合物半導体を用い、コントロールゲート絶縁膜として、そのバンドギャップが  $4$  電子ボルト以上、比誘電率が  $10$  以上であることを特徴とする FG メモリ装置である。

40

【0023】

ここで、コントロールゲート絶縁膜は、その電子親和力は  $2$  電子ボルト以上、好ましくは  $2.5$  電子ボルト以上であり、高仕事関数化合物半導体とその電子親和力との差が  $1.8$  電子ボルト以上であり、また、その差が、その電子親和力の  $2$  倍以下、好ましくは  $1$  倍以下であるものを用いるとよい。

【0024】

例えば、フローティングゲートに用いる高仕事関数化合物半導体の仕事関数が  $5.6$  電子ボルトである場合には、用いるコントロールゲート絶縁膜の電子親和力は、 $1.9$  電子ボ

50

ルト以上、好ましくは2.8電子ボルト以上とするとよい。

【0025】

上記のFGメモリ装置において、高仕事関数化合物半導体のキャリア濃度は $1 \times 10^{19}$  cm<sup>-3</sup>以上であることが好ましい。また、高仕事関数化合物半導体は、5原子%以上50原子%以下の濃度の窒素を有するとよい。また、高仕事関数化合物半導体は、5原子%以上66.7原子%以下の濃度の亜鉛あるいは、5原子%以上50原子%以下の濃度のインジウムを有することが望ましい。

【0026】

また、高仕事関数化合物半導体では、原子番号が20以下の金属元素の濃度を1%以下、好ましくは0.01%以下とするとよい。また、高仕事関数化合物半導体は、酸素や他の原子番号21以上の金属元素を有していてもよい。また、高仕事関数化合物半導体は水素を0.01原子%乃至10原子%含有していてもよい。

10

【0027】

また、好ましくは、高仕事関数化合物半導体は、ウルツ鉱型の結晶構造を有する単結晶もしくは多結晶体である。なお、高仕事関数化合物半導体はウルツ鉱型以外の六方晶の結晶構造を有してもよい。ただし、多結晶体は表面の凹凸が大きくなるため、それを避けるためには非晶質の高仕事関数化合物半導体を用いてもよい。

【0028】

上述の高仕事関数化合物半導体の電子親和力は5.4電子ボルト以上6.5電子ボルト以下である。そのため、真空準位から4電子ボルト乃至5電子ボルト下の準位（典型的には真空準位から4.9電子ボルト下の準位）に形成される多くの欠陥準位がドナーとなり、特にドーピング処理を施さずとも、 $1 \times 10^{19}$  cm<sup>-3</sup>以上、好ましくは $1 \times 10^{20}$  cm<sup>-3</sup>以上の電子濃度を有するn型の半導体となる（詳しくは、W. Walukiewicz, "Intrinsic limitations to the doping of wide-gap semiconductors", Physical B 302-303, p123-134 (2001) 参照）。

20

【0029】

上述の高仕事関数化合物半導体の一例として化学式InNで表される窒化インジウムがある。窒化インジウムはバンドギャップが0.7電子ボルト以下の半導体であるが、その電子親和力は5.6電子ボルトである。窒化インジウムはウルツ鉱型構造であることが知られている。

30

【0030】

他の例として化学式Zn<sub>3</sub>N<sub>2</sub>で表される窒化亜鉛がある。窒化亜鉛についてはその物性値についての詳細は知られていないが、電子親和力は5.5電子ボルト程度である。窒化亜鉛は立方晶型構造であることが知られている。

【0031】

このような高仕事関数化合物半導体の作製には、公知のスパッタリング法、真空蒸着法、イオンプレーティング法、MBE(molecular beam epitaxy)法、CVD法(MOCVD(metal organic CVD)法やALD(atom layer deposition)法)等を用いればよい。特に膜の均一性や被堆積層へのダメージを考慮するとCVD法が好ましい。

40

【0032】

例えば、窒化ガリウムインジウム( In<sub>1-a</sub>Ga<sub>a</sub>N )をMOCVD法で作製するのであれば、原料ガスとして、トリメチルインジウム( (CH<sub>3</sub>)<sub>3</sub>In )とトリメチルガリウム( (CH<sub>3</sub>)<sub>3</sub>Ga )とアンモニアを用い、基板温度は350乃至550とすればよい。

【0033】

また、このような高仕事関数化合物半導体の薄膜を、10nm以下の厚さに形成する場合には、上記の原料ガス等を用いて、原子層を1層ずつ堆積するALD法が効果的である。

【0034】

50

また、コントロールゲート絶縁膜としては、酸化ジルコニウム、酸化ハフニウム、酸化イットリウム、酸化ランタン、酸化ガリウム、酸化ガリウムアルミニウム、珪酸ジルコニウム、珪酸ハフニウム、窒化アルミニウム、窒化ガリウムアルミニウム等を用いてもよい。また、コントロールゲート絶縁膜の酸化珪素換算の厚さ( E O T )は 1 nm 乃至 4 nm であることが好ましい。

【 0 0 3 5 】

例えば、コントロールゲート絶縁膜とフローティングゲート(あるいはコントロールゲート)の組み合わせとして、それぞれ、酸化ハフニウム(電子親和力 2.5 電子ボルト、バンドギャップ 6 電子ボルト)と窒化インジウムを用いることができる。酸化ハフニウムの電子親和力は 2 電子ボルト以上であり、窒化インジウムの仕事関数と酸化ハフニウムの電子親和力の差は 3.1 電子ボルトで、それは酸化ハフニウムの電子親和力の 1.24 倍である。

10

【 0 0 3 6 】

また、他の組み合わせとして、例えば、酸化タンタル(電子親和力 3.2 電子ボルト、バンドギャップ 4.4 電子ボルト)と窒化インジウムを用いることができる。酸化タンタルの電子親和力は 2 電子ボルト以上であり、窒化インジウムの仕事関数と酸化タンタルの電子親和力の差は 2.4 電子ボルトで、それは酸化タンタルの電子親和力の 0.75 倍である。

【 0 0 3 7 】

なお、フローティングゲートのうち、フローティングゲート絶縁膜と接する面には高仕事関数化合物半導体とは異なる材料を用いてもよい。また、フローティングゲートは、高仕事関数化合物半導体と、それ以外の材料の積層構造であってもよい。同様にコントロールゲートも高仕事関数化合物半導体と、それ以外の材料の積層構造であってもよい。

20

【 発明の効果 】

【 0 0 3 8 】

本発明の一態様は、図 1 に示す半導体メモリ装置と同じ構成物を用いて構成できるので、以下、図 1 を用いてその作用や効果について説明する。本発明の一態様では、コントロールゲート絶縁膜 106 に比誘電率が 10 以上の材料( High - k 材料)を用いることで、フローティングゲート 103 とコントロールゲート 104 の間に形成される容量 C2 をフローティングゲート 103 とチャネルの間に形成される容量 C1 よりも大きくできる。

30

【 0 0 3 9 】

例えば、チャネル面積とフローティングゲート 103 の面積を共に 1 F<sup>2</sup> としても、容量 C2 を容量 C1 の 2 倍以上、好ましくは 5 倍以上とできる。チャネル面積とフローティングゲート 103 の面積を共に 1 F<sup>2</sup> とすれば、メモリセルの面積は 4 F<sup>2</sup> とできる。もちろん、従来のように、フローティングゲート 103 の面積を 2 F<sup>2</sup> であっても(この場合はメモリセルの縮小にはつながらないが)、容量 C2 はさらに大きくなるという利点を有し、以下に示す効果がさらに大きくなる。

【 0 0 4 0 】

例えば、C2 が C1 の 5 倍であれば、コントロールゲート絶縁膜 106 にかかる電圧はフローティングゲート絶縁膜 105 にかかる電圧の 1/5 であるので、コントロールゲート絶縁膜 106 における電界もフローティングゲート絶縁膜 105 における電界の 1/5 となる。その結果、F - N トンネル効果は、チャネルとフローティングゲート 103 の間のみで生じる。フローティングゲート 103 の面積を 2 F<sup>2</sup> とする場合には、コントロールゲート絶縁膜 106 にかかる電圧は 1/10 となる。

40

【 0 0 4 1 】

また、コントロールゲート 104 とチャネルとの間にかかる電圧のほとんど(6 分の 5) はフローティングゲート 103 とチャネルの間の電圧であり、この部分の電圧は F - N トンネル効果が生じるための電圧(例えば、10 V) とすればよいので、コントロールゲート 104 とチャネルとの間にかかる電圧をより低く(例えば、12 V) できる。

【 0 0 4 2 】

50

さらに、コントロールゲート絶縁膜の誘電率が高いため、コントロールゲートとフローティングゲートの間の電気的な距離が小さくなり、隣接するコントロールゲートの信号が他のフローティングゲートに及ぶこと（干渉効果）が小さくなり、より微細化に有利である。

【0043】

干渉効果は特に  $F$  が  $20\text{ nm}$  以下で問題となる。これは、コントロールゲートの間隔が  $20\text{ nm}$  以下となる一方、1つのメモリセルのコントロールゲートとフローティングゲートの距離が  $10\text{ nm}$  程度あるため、そのフローティングゲートに隣のコントロールゲートの信号が混入しやすくなるためである。

【0044】

一方で、本発明の一態様により、コントロールゲートとフローティングゲートの間の電気的な距離が、例えば、EOTで  $1\text{ nm}$  乃至  $4\text{ nm}$  となれば、 $F$  が  $10\text{ nm}$  であっても、隣接するコントロールゲートの信号が混入することを防止することができる。

【0045】

本発明の一態様においては、コントロールゲート絶縁膜に  $\text{H}\text{i}\text{g}\text{h}\text{-}\text{k}$  材料を用いることに加えて、フローティングゲートあるいはコントロールゲートの一方あるいは双方に高仕事関数化合物半導体を用いることが必要である。これは以下の理由による。

【0046】

上記の条件を満たす高仕事関数化合物半導体とコントロールゲート絶縁膜を接合した場合、コントロールゲート絶縁膜の伝導帯下端と高仕事関数化合物半導体のフェルミ準位との差（障壁高さ）は  $1.8$  電子ボルト以上となる。

【0047】

これは、従来のFGメモリ装置でフローティングゲート絶縁膜やコントロールゲート絶縁膜として一般的に用いられてきた酸化珪素とフローティングゲートやコントロールゲートして用いられてきたn型珪素との障壁高さよりも小さいが、以下の説明から実用上は全く支障がない。

【0048】

障壁高さやコントロールゲート絶縁膜あるいはフローティングゲート絶縁膜の厚さは電荷を保持する上や、電荷を注入する上で重要な意味がある。以下、導体-絶縁膜-導体接合を例に取り、絶縁膜を介した伝導機構について説明する。

【0049】

絶縁膜をバリヤとする伝導機構は、大きく2種類考えられ、1つは熱励起キャリアによる伝導であり、他の1つはトンネル効果による伝導である。このうち、絶縁膜の厚さが  $10$  数  $\text{nm}$  以上で、その両端の電位差が障壁高さの半分未満であれば、ほとんどが熱励起キャリアによる伝導であり、トンネル効果は考慮しなくてもよい。

【0050】

熱励起キャリアの伝導では、絶縁膜を流れる電流密度は、温度と障壁高さに依存し、絶縁膜両端の電位差はそれほど重要ではない。そして、例えば、 $400\text{ K}$  で、10年間の電荷保持をおこなうのであれば、障壁高さは  $1.8$  電子ボルト以上、好ましくは  $2.2$  電子ボルト以上あれば十分である。

【0051】

障壁高さが  $1.8$  電子ボルトのとき、絶縁膜の厚さが  $12\text{ nm}$  以上であれば、トンネル効果による伝導は、熱励起キャリアによる伝導に比べて十分に小さい。すなわち、障壁高さが  $1.8$  電子ボルト以上、かつ、コントロールゲート絶縁膜の厚さが  $11\text{ nm}$  以上であれば、電荷の保持に関しては問題が生じない。なお、必要とされる絶縁膜の厚さは、一般には障壁高さが上昇すれば小さくなる。

【0052】

この点、珪素をフローティングゲートやコントロールゲートとする場合、多くの  $\text{h}\text{i}\text{g}\text{h}\text{-}\text{k}$  材料はコントロールゲート絶縁膜あるいはフローティングゲート絶縁膜として使用する上で問題が多い。 $\text{h}\text{i}\text{g}\text{h}\text{-}\text{k}$  材料の多くは電子親和力が  $2.5$  電子ボルト以上である

10

20

30

40

50

ため、珪素との障壁高さが 1.6 電子ボルト以下となり、電荷を十分な長期間保持することができないためである。例えば、障壁高さが 1.6 電子ボルトでは、電荷が保持できる期間は 1 ヶ月程度である。

#### 【0053】

これに対し、フローティングゲートあるいはコントロールゲートの一方あるいは双方に高仕事関数化合物半導体を用いると、コントロールゲート絶縁膜として、 $h_{i g h-k}$  材料を用いた場合であっても、障壁高さが 1.8 電子ボルト以上となるため、電荷を十分に保持することができる。

#### 【0054】

以上は、電子から見た障壁高さであったが、正孔から見た障壁高さも同様に議論できる。  
一般に  $h_{i g h-k}$  材料のイオン化ポテンシャル（価電子帯の上端と真空準位のエネルギー差）は、7.4 電子ボルト以上であり、高仕事関数化合物半導体のフェルミ準位とのエネルギー差は 1.8 電子ボルト以上となる。このため正孔による伝導も十分に阻止できる。  
。

#### 【0055】

また、コントロールゲート絶縁膜には比誘電率が 10 以上の  $h_{i g h-k}$  材料を用いる。その場合、酸化珪素換算の厚さは物理的な厚さよりも小さくなる。例えば、比誘電率が 10 であれば、物理的な厚さが 12 nm であったとしても、EOT は 4.8 nm である。より比誘電率の大きな材料を用いることで EOT をさらに小さくできる。その結果、メモリ装置の微細化が可能となる。

#### 【0056】

なお、多くの  $h_{i g h-k}$  材料は酸化物であるため、高仕事関数化合物半導体を構成する金属元素以外の元素に占める酸素の比率が 20 原子% 乃至 90 原子% であると、 $h_{i g h-k}$  材料との密着性が良好である。また、界面で酸化還元反応がおこりにくく、化学的に安定である。

#### 【0057】

特に高仕事関数化合物半導体を構成する金属元素のうちインジウム原子と酸素の結合力は、 $h_{i g h-k}$  材料で用いられる多くの金属（例えば、ストロンチウム、チタン、バリウム、ジルコニウム、タンタル、ビスマス、鉛、ハフニウム、アルミニウム、イットリウム、ランタン）の原子と酸素の結合力と同等か弱いため、 $h_{i g h-k}$  材料から酸素を引き抜くことがなく、 $h_{i g h-k}$  材料を安定化する上で効果的である。

#### 【図面の簡単な説明】

#### 【0058】

【図 1】半導体メモリ装置の例を説明する図である。

【図 2】本発明の半導体メモリ装置の例を示す図である。

【図 3】本発明の半導体メモリ装置の例を示す図である。

【図 4】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図 5】本発明の半導体メモリ装置の例を示す図である。

#### 【発明を実施するための形態】

#### 【0059】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

#### 【0060】

（実施の形態 1）

図 2 (A) に、本実施の形態の FG メモリ装置の例を図示する。ここでは、トランジスタのチャネル方向の断面模式図を示す。トランジスタは p 型の単結晶珪素の基板 100 上にフローティングゲート 103 と基板 100 との間に適切な厚さのフローティングゲート絶縁膜 105 を有する。

10

20

30

40

50

## 【0061】

なお、基板100は珪素以外にもゲルマニウム、砒化ガリウム、アンチモン化ガリウム等の電子親和力が3.5電子ボルト乃至4.5電子ボルトで、バンドギャップが2電子ボルト以下の半導体材料を用いることができる。

## 【0062】

フローティングゲート103の幅は、トランジスタのチャネル長を決定する上で重要な要素であるが、50nm以下、好ましくは20nm以下とする。さらに、フローティングゲート絶縁膜105の厚さは6nm乃至10nmとするとよい。

## 【0063】

基板100には、ソース102a、ドレイン102bを形成する。その際には、図2(A)に示すように、ソース102aおよびドレイン102bは公知のVLSI技術で使用される、いわゆるエクステンション領域と同様に形成すると短チャネル効果を防止する上で効果的である。なお、短チャネル効果を防止するには、基板100の不純物濃度も適切な値とするとよい。

## 【0064】

フローティングゲート103上には、適切な厚さのコントロールゲート絶縁膜106を介して、コントロールゲート104を設ける。コントロールゲート絶縁膜106の厚さは10nm乃至20nmとできる。コントロールゲート絶縁膜106はフローティングゲート絶縁膜105よりも厚いほうが好ましい。

## 【0065】

なお、コントロールゲート絶縁膜106はhigh-k材料を用いて構成し、酸化ジルコニウム、酸化ハフニウム、酸化イットリウム、酸化ランタン、酸化ガリウム、酸化ガリウムアルミニウム、珪酸ジルコニウム、珪酸ハフニウム、窒化アルミニウム、窒化ガリウムアルミニウム等を単独で、あるいは他の材料と組み合わせて用いるとよい。

## 【0066】

また、コントロールゲート絶縁膜106は積層してもよい。例えば、厚さ1nmの酸化珪素と厚さ15nmの酸化ハフニウム(比誘電率を30とする)を積層した場合、この積層体のEOTは3nmである。例えば、厚さ9nmの酸化珪素でフローティングゲート絶縁膜105を構成すると、コントロールゲート104と基板100の間の電圧の1/4が、コントロールゲート絶縁膜106にかかり、さらにそのうちの2/3が厚さ1nmの酸化珪素にかかる。

## 【0067】

したがって、データの書き込みや消去のためにフローティングゲート103と基板100との間の電圧を12Vとする場合には、コントロールゲート絶縁膜106には4Vの電圧がかかる。このうち、1.3V強の電圧(13MV/cm強の電界)が厚さ1nmの酸化珪素にかかり、厚さ15nmの酸化ハフニウムには、2.7V弱の電圧(1.8MV/cm弱の電界)がかかる。このように酸化ハフニウム中の電界は十分に低いため、F-Nトンネル効果が発生することなく、また、酸化ハフニウムが絶縁破壊等を引き起こす確率は低い。一方、酸化珪素中の電界も十分に耐えうる値である。

## 【0068】

フローティングゲート103は、フローティングゲートの第1導電層103aと、フローティングゲートの第2導電層103bを有する。ここで、フローティングゲートの第2導電層103bは厚さ5nm以上100nm以下の高仕事関数化合物半導体よりなる。そのため、フローティングゲートの第2導電層103bとコントロールゲート絶縁膜106との間の障壁高さが1.8電子ボルト以上となる。

## 【0069】

また、コントロールゲート104は、コントロールゲートの第1導電層104aと、コントロールゲートの第2導電層104bを有する。ここで、コントロールゲートの第1導電層104aは厚さ5nm以上100nm以下の高仕事関数化合物半導体よりなる。そのため、コントロールゲートの第1導電層104aとコントロールゲート絶縁膜106との間

10

20

30

40

50

の障壁高さが 1.8 電子ボルト以上となる。

【 0 0 7 0 】

フローティングゲートの第 1 導電層 103a やコントロールゲートの第 2 導電層 104b には、特に高仕事関数化合物半導体を用いる必要はなく、目的に応じたものを使用すればよい。例えば、フローティングゲートの第 1 導電層 103a には珪素との間で仕事関数が適切なものを選択でき、n 型珪素、チタン、タンタル、アルミニウム、窒化チタン、窒化タンタル等を用いればよい。また、コントロールゲートの第 2 導電層 104b には導電性の高いものを用いるとよい。

【 0 0 7 1 】

なお、フローティングゲートの第 1 導電層 103a あるいはコントロールゲートの第 2 導電層 104b のいずれか一方、あるいは双方はなくてもよい。ただし、フローティングゲートの第 1 導電層 103a を設けない場合、高仕事関数化合物半導体であるフローティングゲートの第 2 導電層 103b がチャネルに面することとなる。

10

【 0 0 7 2 】

高仕事関数化合物半導体の仕事関数は 5.4 電子ボルト以上であり、p 型珪素（仕事関数は 5.15 電子ボルト）よりも大きいため、チャネル領域の電子状態に大きな影響を与える。具体的には、高仕事関数化合物半導体はチャネル表面に正孔を誘起する作用が大きい。

【 0 0 7 3 】

その結果、トランジスタが n 型で、基板 100 の表面が p 型であると、しきい値が過大となり、スイッチングが適切にできないこともある。そこで、図 2 (B) に示すように高仕事関数化合物半導体よりなるフローティングゲート 103 の直下の部分に n 型領域 107 を形成することにより、しきい値を適切な値としてもよい。

20

【 0 0 7 4 】

また、短チャネル効果を防止するために図 2 (C) に示すように、ソース 102a、ドレイン 102b の周囲に、ハロー領域 108a、108b（基板 100 よりも p 型不純物の濃度の高い p 型領域）を設けてもよい。ハロー領域 108a、108b を形成する場合には、チャネル近傍のソース 102a、ドレイン 102b の深さを比較的厚くしてもよい。例えば、図 2 (C) に示す深さ d1 をチャネル長の 2 倍以下としてもよい。

【 0 0 7 5 】

30

もちろん、図 2 (A) に示す構造のトランジスタにおいてもハロー領域 108a、108b を形成してもよい（図 5 (A) 参照）。なお、このようにハロー領域 108a、108b で、ソース 102a、ドレイン 102b を囲む場合には、基板 100 の不純物濃度は極めて低くしてもよく、また、その導電型は n 型でも p 型でもよい。

【 0 0 7 6 】

基板 100 はチャネルの形成される領域を含むが、その部分の不純物濃度を低くすることにより、短チャネルのトランジスタのしきい値のばらつきを低減できる。例えば、チャネル長 20 nm 以下で十分にしきい値のばらつきを実用上差し支えない程度にまで低減するには、チャネルの形成される部分の不純物濃度は  $1 \times 10^{-15} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{-13} \text{ cm}^{-3}$  以下とするとよい。

40

【 0 0 7 7 】

なお、図 2 (B) のように高仕事関数化合物半導体がフローティングゲート絶縁膜 105 に接する構造を有するフローティングゲート 103 を用いる場合には、その仕事関数の大きさにより、チャネル近傍の正孔濃度が非常に大きくなり、p 型不純物が全くドーピングされていなくとも、ソース 102a、ドレイン 102b からの電子の流入を阻止できる。

【 0 0 7 8 】

その効果に着目すれば、チャネルの形成される部分に p 型不純物をドーピングする必要はなく、例えば、図 5 (B) に示すように、ソース 102a、ドレイン 102b の下部にのみハロー領域 108a、108b（あるいはそれに相当する不純物領域）を設けてもよい。ここで、フローティングゲート 103 は高仕事関数化合物半導体よりなる。そのため、

50

高仕事関数化合物半導体が、フローティングゲート絶縁膜 105 にも、また、コントロールゲート絶縁膜 106 にも接する。

【0079】

この場合には、図 5 (A) のように、チャネルの形成される部分に濃度の高い p 型の不純物を導入する必要がないため、さらにトランジスタのしきい値のばらつきを低減できる。なお、短チャネル効果を防止する上では、ソース 102a、ドレイン 102b の深さ d3 は、チャネル長の 0.75 倍以下、好ましくは 0.5 倍以下とするよい。図 5 (B) に示す技術思想を図 2 (A) のトランジスタに適用すれば、図 5 (C) に示すようなハロー領域 108a、108b を有するトランジスタが得られる。

【0080】

特に図 5 (B) および図 5 (C) のように、ハロー領域 108a および 108b がチャネル領域の外側に形成されるということは、イオン注入法によりハロー領域 108a および 108b を形成する際に、イオンがチャネル領域上のフローティングゲート絶縁膜 105 を通過することもないので、フローティングゲート絶縁膜 105 にトラップ準位等が形成されることもなく、トランジスタの信頼性を高める上で好ましい。

【0081】

高仕事関数化合物半導体がフローティングゲート絶縁膜 105 に接する構造を有するフローティングゲート 103 では、公知の FG メモリ装置よりしきい値が 1 ボルト以上も大きい。しきい値は基板 100 (あるいはチャネルが形成される部分) の不純物濃度にも依存するが 1.6 ボルト以上となることもある。このような大きなしきい値を持つトランジスタは通常の MOS トランジスタでは使用しづらいが、FG メモリ装置であれば問題とならないこともある。

【0082】

例えば、フローティングゲート 103 が正に帯電している場合 (しきい値が 0.6 ボルト程度) をデータ 1、フローティングゲート 103 が帯電していない場合 (しきい値が 1.6 ボルト程度) をデータ 0 とすると、コントロールゲート 104 の電圧が 1V のとき、データ 1 であればトランジスタはオンであり、データ 0 のときはオフである。また、コントロールゲート 104 の電圧を 0V とすれば、データ 1 もデータ 0 でもオフである。すなわち、NOR 型のメモリ回路として用いるのに好適である。

【0083】

なお、図 2 (B)、図 5 (B) あるいは図 5 (C) のように、フローティングゲート絶縁膜 105 に高仕事関数化合物半導体が接する場合には、フローティングゲート絶縁膜 105 と高仕事関数化合物半導体との間の障壁高さが、より高くなるため、F-N トンネル効果を起こすためにはより高い電界 (より高い電圧) が必要となる。

【0084】

(実施の形態 2)

図 3 (A) に、本実施の形態の FG メモリ装置の例を図示する。なお、一部の記載については実施の形態 1 を参照できる。ここでは、トランジスタのチャネル方向の断面模式図を示す。トランジスタは n 型の単結晶珪素の基板 200 上にフローティングゲート 203 と、基板 200 との間に適切な厚さのフローティングゲート絶縁膜 205 を有する。

【0085】

フローティングゲート 203 の幅は、50nm 以下、好ましくは 20nm 以下とする。さらに、フローティングゲート絶縁膜 205 の厚さは 6nm 乃至 10nm とするよい。

【0086】

基板 200 には、p 型の不純物をドープしてソース 202a、ドレイン 202b を形成する。フローティングゲート 203 上には、適切な厚さのコントロールゲート絶縁膜 206 を介して、コントロールゲート 204 を設ける。コントロールゲート絶縁膜 206 の厚さは 10nm 乃至 20nm とできる。

【0087】

なお、コントロールゲート絶縁膜 206 は hig - k 材料を用いて構成し、酸化ジルコ

10

20

30

40

50

ニウム、酸化ハフニウム、酸化イットリウム、酸化ランタン、酸化ガリウム、酸化ガリウムアルミニウム、珪酸ジルコニウム、珪酸ハフニウム、窒化アルミニウム、窒化ガリウムアルミニウム等を単独で、あるいは他の材料と組み合わせて用いるとよい。詳細は実施の形態1を参照すればよい。

【0088】

フローティングゲート203は、フローティングゲートの第1導電層203aと、フローティングゲートの第2導電層203bを有する。ここで、フローティングゲートの第2導電層203bは厚さ5nm以上100nm以下の高仕事関数化合物半導体よりなる。そのため、フローティングゲートの第2導電層203bとコントロールゲート絶縁膜206との間の障壁高さが1.8電子ボルト以上となる。

10

【0089】

また、コントロールゲート204は、コントロールゲートの第1導電層204aと、コントロールゲートの第2導電層204bを有する。ここで、コントロールゲートの第1導電層204aは厚さ5nm以上100nm以下の高仕事関数化合物半導体よりなる。そのため、コントロールゲートの第1導電層204aとコントロールゲート絶縁膜206との間の障壁高さが1.8電子ボルト以上となる。

【0090】

なお、フローティングゲートの第1導電層203a、コントロールゲートの第2導電層204bについては実施の形態1を参照すればよい。また、フローティングゲートの第2導電層203bとコントロールゲートの第1導電層204aのいずれか一方は設けなくてもよい。

20

【0091】

ソース202a、ドレイン202bとの間のパンチスルーハウジングを防止するためには、図3(B)に示すようにソース202a、ドレイン202bの底面及び側面に接する領域の一部にn型不純物をドーピングしてn型領域208を形成してもよい。なお、このような方法を採用すれば、基板200(および、n型領域208で基板200から分離される弱いn型領域207)の不純物濃度は可能な限り低くできるので、しきい値ばらつきを低減する上で好適である。

【0092】

また、図3(C)に示すように、フローティングゲート203とソース202a、ドレイン202bとの間に幅d2のオフセット領域(フローティングゲート103とソース202a(あるいはドレイン202b)が重ならない領域)を形成してもよい。

30

【0093】

(実施の形態3)

図3(B)と図3(C)の特徴を併せ持つFGメモリ装置の作製方法の例について図4を用いて簡単に説明する。なお、多くの工程は公知の半導体技術を用いればよいので詳細はそれらを参照できる。

【0094】

まず、n型高抵抗単結晶珪素(不純物濃度は $1 \times 10^{13} \text{ cm}^{-3}$ 乃至 $1 \times 10^{17} \text{ cm}^{-3}$ )の基板200の深さ10nm乃至200nmの部分にn型不純物をドーピングしてn型領域208を形成する。n型不純物元素としては砒素のように深さを精密に制御できるものを用い、不純物濃度としては $1 \times 10^{18} \text{ cm}^{-3}$ 乃至 $1 \times 10^{20} \text{ cm}^{-3}$ とすればよい。この結果、基板表面付近の浅い部分に弱いn型領域207(基板200と同じ不純物濃度を有する)が分離される。

40

【0095】

あるいは、n型領域208の表面に、弱いn型領域207をエピタキシャル成長させてよい。その場合には、弱いn型領域207の厚さは5nm乃至50nm(好ましくは5nm乃至20nm)、不純物濃度は、 $1 \times 10^{11} \text{ cm}^{-3}$ 乃至 $1 \times 10^{17} \text{ cm}^{-3}$ とすればよく、また、弱いn型領域207の不純物濃度は基板200と異なってよい。

【0096】

50

そして、弱いn型領域207上に絶縁膜205aを形成する。絶縁膜205aとしては、例えば、厚さ6nm乃至10nmの熱酸化によって得られる酸窒化珪素膜を用いればよい。

【0097】

その後、反応性スパッタリング法で酸窒化亜鉛もしくは酸窒化インジウム、酸窒化インジウム亜鉛、酸窒化インジウム亜鉛ガリウム(組成式は $In_aGa_bZn_cO_dN_e$ 、(0  $a < 1$ 、0  $b < 1$ 、0  $c < 1$ 、0  $d < 1$ 、0  $e < 1$ ))等の仕事関数の高い酸窒化物膜(以下、高仕事関数酸窒化物膜という)を絶縁膜205a上に成膜する。

【0098】

例えば、酸窒化亜鉛を成膜するには、酸化亜鉛をターゲットにして、窒素濃度が50%以上かつ酸素濃度が5%以下の雰囲気という条件を採用すればよい。同様に、酸窒化インジウム、酸窒化インジウム亜鉛、酸窒化インジウム亜鉛ガリウムを成膜するには、窒素濃度が50%以上かつ酸素濃度が5%以下の雰囲気で、それぞれ、酸化インジウム、酸化インジウム亜鉛、酸化インジウム亜鉛ガリウムをターゲットとして用いればよい。

【0099】

また、その際には、基板温度は100乃至600、好ましくは150乃至450とするとよい。また、成膜後、100乃至600、好ましくは150乃至450の非酸化性雰囲気で熱処理してもよい。

【0100】

なお、スパッタリング法以外にも、ALD法やCVD法(MOCVD法等)を採用してもよい。特に、基板へのダメージの少ないALD法やCVD法を用いることが好ましい。

【0101】

高仕事関数酸窒化物膜の厚さは5nm乃至100nmとすればよい。厚さ5nm未満では、その後に形成するコントロールゲート絶縁膜206との間に形成されるバリヤの高さが十分でなく、また、厚さが100nmを超えると、高仕事関数酸窒化物膜の抵抗が大きくなり、回路の特性に好ましくない。上述のように、高仕事関数酸窒化物膜では界面近傍の欠陥準位がドナーとなるため、界面から遠い部分ではドナー濃度が低下し、導電性が悪化することがある。導電性を維持するには、別にドナーをドーピングすればよい。

【0102】

酸化インジウム亜鉛ガリウムの例として、組成式 $InGaZnO_4$ で表されるものは、 $YbFe_2O_4$ 構造と呼ばれる結晶構造を取ることが知られている(例えば、M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $In_2O_3$  -  $Fe_2O_3$  -  $YbFe_2O_4$  -  $ZnO$  System at 1350", J. Solid State Chem., Vol. 93, p. 298 - 315 (1991)。参照)。

【0103】

しかしながら、例えば、5原子%以上の窒素が添加されるとウルツ鉱型構造が安定相となり、それにともなって電子状態も劇的に変化する。また、 $YbFe_2O_4$ 構造に比べるとウルツ鉱型構造は結晶化が容易であるため、比較的低温で結晶化する。

【0104】

電子状態に関しては、例えば、バンドギャップは $YbFe_2O_4$ 構造のものが3.2電子ボルト程度であるが、ウルツ鉱型構造のものでは2.2電子ボルト以下となり、また、電子親和力も、前者が4.3電子ボルト程度のものが、後者では5.5電子ボルト以上となる。電子親和力が4.9電子ボルト以上となるため、欠陥準位によりn型の導電性を呈することとなる。なお、水素はドナーとして機能するため、水素を添加することによってもキャリア濃度を高めることもできる。

【0105】

なお、高仕事関数酸窒化物膜は、窒素や亜鉛、インジウム以外に酸素を窒素の2乃至5倍含有していると、酸化珪素との界面でのトラップ準位の発生を抑制する上で好ましい。また、高仕事関数酸窒化物膜は、水素を1原子%乃至10原子%含有していると、界面の状

10

20

30

40

50

況が改善され、かつ、キャリアが増加して導電率が向上するため好ましい。高仕事関数酸窒化物膜への水素の添加は成膜時以外に、ドーピング工程の終了後の水素化処理でもおこなえる。

【0106】

なお、酸化インジウム亜鉛ガリウム (In - Ga - Zn - O) の代わりに、二元系金属酸化物である、In - Sn - O、Sn - Zn - O、Al - Zn - O、In - Ga - Oや、三元系金属酸化物であるIn - Sn - Zn - O、In - Al - Zn - O、Sn - Ga - Zn - O、Al - Ga - Zn - O、Sn - Al - Zn - Oや、四元系金属酸化物であるIn - Sn - Ga - Zn - Oなどをターゲットに用いてもよい。ここで、例えば、In - Ga - Zn - Oとは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物という意味である。

10

【0107】

その後、高仕事関数酸窒化物膜、基板200の一部、n型領域208、弱いn型領域207、絶縁膜205aをエッチングして、後に形成するワード線と直交する方向(図の左から右の方向)に溝を形成する。この際に溝に沿って線状の高仕事関数酸窒化物層203cが形成される。高仕事関数酸窒化物層203cの幅は1Fとすればよい。次に、エッチングによって形成された溝に素子分離絶縁物201を埋め込む。

【0108】

さらに、高仕事関数酸窒化物層203cの上に絶縁膜と導電性の高い金属膜(や金属化合物膜)を適切な厚さだけ形成する。絶縁膜としては、酸化ジルコニアム、酸化ハフニウム、酸化イットリウム、酸化ランタン、酸化ガリウム、酸化ガリウムアルミニウム、珪酸ジルコニアム、珪酸ハフニウム、窒化アルミニウム、窒化ガリウムアルミニウム等の高誘電率材料を用いることができる。また、例えば、酸化珪素と高誘電率材料の積層構造としてもよい。金属膜としてはアルミニウム、チタン、タンタル、タンゲステン等やそれらを50%以上有する合金を用いることができ、金属化合物膜としては、それらの窒化物膜を用いることができる。

20

【0109】

そして、絶縁膜と金属膜(や金属化合物膜)をエッチングして、ワード線方向に延在するコントロールゲート204、コントロールゲート絶縁膜206を形成する。この際、コントロールゲート204の幅は1Fとすればよい。次に、コントロールゲート204の側面に側壁209aおよび209bを形成する。この際、絶縁膜205aもエッチングされ、ワード線方向に延在するフローティングゲート絶縁膜205となる。

30

【0110】

このとき、同時に高仕事関数酸窒化物層203cもエッチングされ概略正方形形状のフローティングゲート203となる(図4(B)参照)。フローティングゲート203は素子分離絶縁物201で他と分離されている。

【0111】

さらに、イオン注入法によりホウ素イオンを注入してソース202a、ドレイン202bを形成する。この際、ソース202a、ドレイン202bの底面は、n型領域208の底面より浅くなるように形成するとよい(図4(C)参照)。イオン注入に用いるイオン種は、ボラン等のホウ素を含む化合物でもよい。

40

【0112】

以上の工程により、トランジスタの主要な構造が形成される。その後は公知の半導体作製技術を用いて、シリサイド化、多層配線や電極の形成、水素化処理等をおこなえばよい。本実施の形態では基板200として、単結晶珪素を用いる例を示したが、基板としては絶縁膜上に単結晶珪素層が形成された、いわゆるSOI基板を用いてもよい。

【0113】

本実施の形態で作製されるFGメモリ装置のメモリセルのフローティングゲートの面積は1F<sup>2</sup>とすることができます。それでいて、コントロールゲート絶縁膜206にhigh-k材料を用いているため、効率的にフローティングゲートに正孔を注入することができる

50

。

## 【0114】

本実施の形態のFGメモリ装置のメモリセルでは、トランジスタはp型であるが、フローティングゲート203に仕事関数の高い材料を用いているため、弱いn型領域207の表面に正孔が誘起されやすくなる。このため、しきい値がマイナスの、いわゆるノーマリーオンの特性を示す。弱いn型領域207の不純物濃度にもよるが、しきい値は+0.3V乃至+0.5Vとなる。しかしながら、フローティングゲート203に正孔を注入（フローティングゲート203にから電子を引抜く）して正に帯電させると、しきい値が正にシフトし、ノーマリーオフの特性を示し、しきい値を-0.3V乃至-1.5Vとできる。

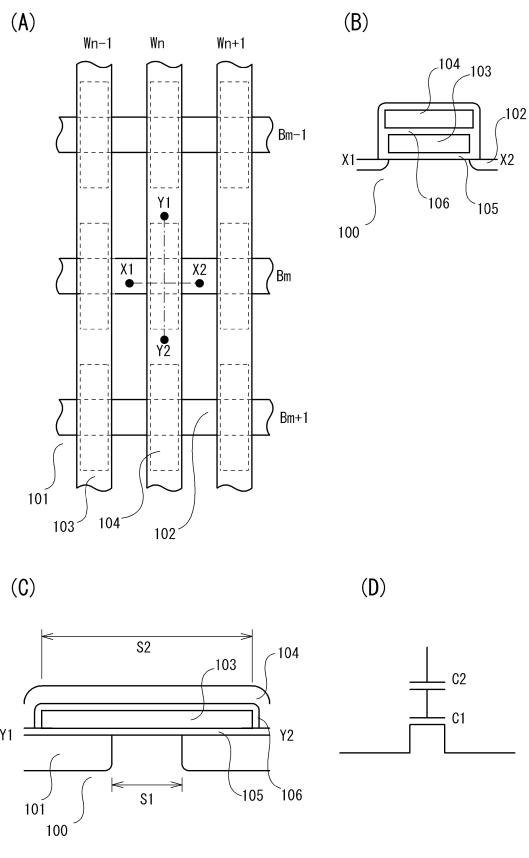
## 【符号の説明】

10

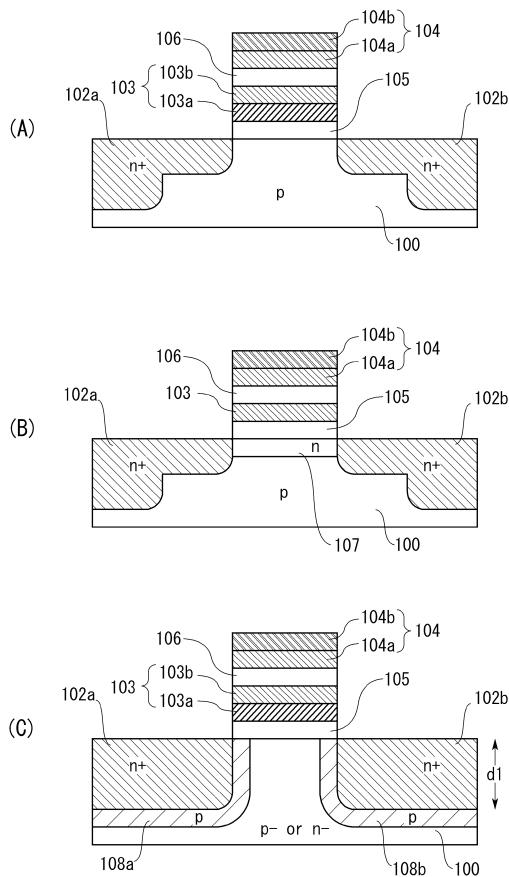
## 【0115】

100	基板	
101	素子分離絶縁物	
102	不純物領域	
102 a	ソース	
102 b	ドレイン	
103	フローティングゲート	
103 a	フローティングゲートの第1導電層	
103 b	フローティングゲートの第2導電層	
104	コントロールゲート	20
104 a	コントロールゲートの第1導電層	
104 b	コントロールゲートの第2導電層	
105	フローティングゲート絶縁膜	
106	コントロールゲート絶縁膜	
107	n型領域	
108 a	ハロー領域	
108 b	ハロー領域	
200	基板	
201	素子分離絶縁物	
202 a	ソース	30
202 b	ドレイン	
203	フローティングゲート	
203 a	フローティングゲートの第1導電層	
203 b	フローティングゲートの第2導電層	
203 c	高仕事関数酸窒化物層	
204	コントロールゲート	
204 a	コントロールゲートの第1導電層	
204 b	コントロールゲートの第2導電層	
205 a	絶縁膜	
205	フローティングゲート絶縁膜	40
206	コントロールゲート絶縁膜	
207	弱いn型領域	
208	n型領域	
209 a	側壁	
209 b	側壁	

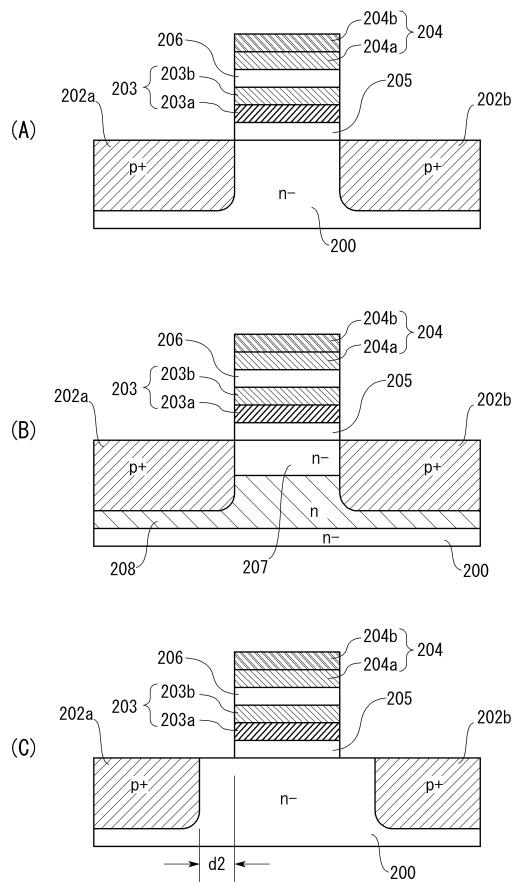
【図1】



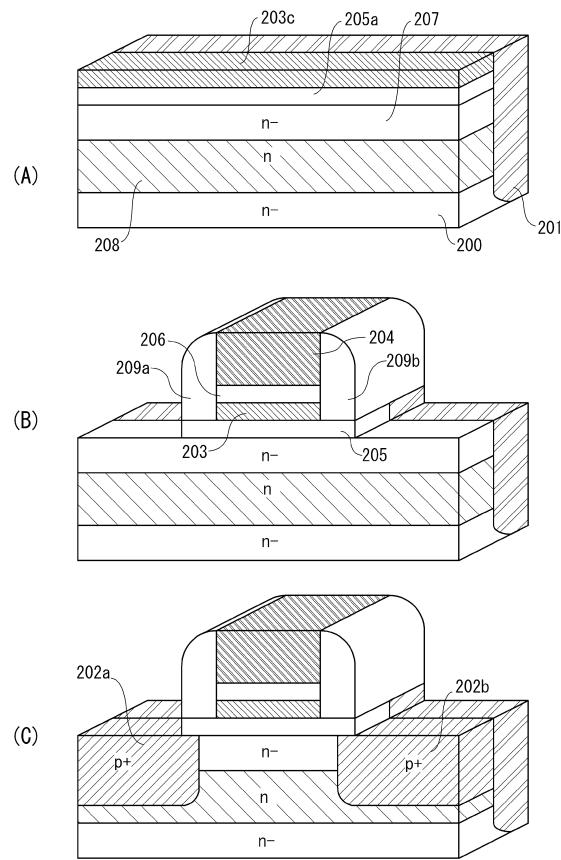
【図2】



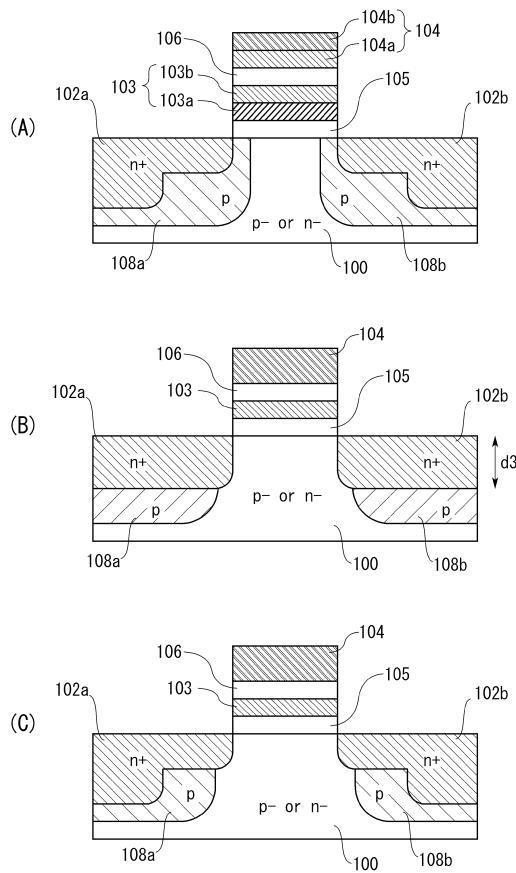
【図3】



【図4】



【図5】



---

フロントページの続き

(56)参考文献 特開2010-212618(JP,A)  
特開2007-134681(JP,A)  
特開2010-093070(JP,A)  
特開2007-258224(JP,A)  
特開2007-288177(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792