



(12)发明专利

(10)授权公告号 CN 106575668 B

(45)授权公告日 2019.09.03

(21)申请号 201580045037.9

(22)申请日 2015.06.23

(65)同一申请的已公布的文献号
申请公布号 CN 106575668 A

(43)申请公布日 2017.04.19

(30)优先权数据
2014-169454 2014.08.22 JP

(85)PCT国际申请进入国家阶段日
2017.02.21

(86)PCT国际申请的申请数据
PCT/JP2015/068095 2015.06.23

(87)PCT国际申请的公布数据
W02016/027564 JA 2016.02.25

(73)专利权人 丰田自动车株式会社
地址 日本爱知县

(72)发明人 添野明高

(74)专利代理机构 北京金信知识产权代理有限公司 11225

代理人 黄威 苏萌萌

(51)Int.Cl.

H01L 29/41(2006.01)
H01L 21/28(2006.01)
H01L 21/329(2006.01)
H01L 21/336(2006.01)
H01L 21/8234(2006.01)
H01L 27/06(2006.01)
H01L 27/088(2006.01)
H01L 29/78(2006.01)
H01L 29/861(2006.01)
H01L 29/868(2006.01)
H01L 29/872(2006.01)

(56)对比文件

CN 101548386 A, 2009.09.30,
WO 2013121519 A1, 2013.08.22,
US 2003020134 A1, 2003.01.30,
CN 100334731 C, 2007.08.29,

审查员 卢振宇

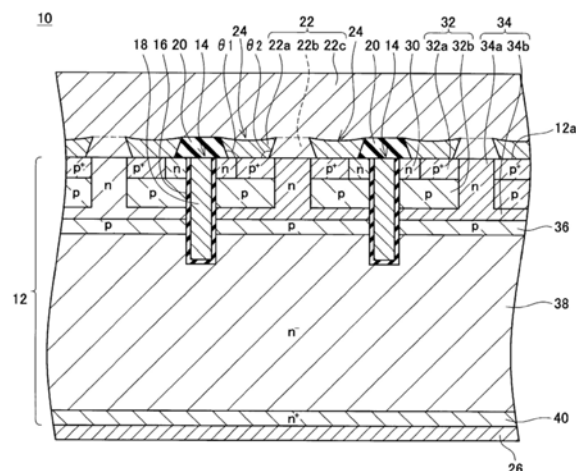
权利要求书1页 说明书8页 附图17页

(54)发明名称

半导体装置以及半导体装置的制造方法

(57)摘要

一种半导体装置,具有:半导体基板,其在表面上形成有沟槽;沟槽电极,其被配置在所述沟槽内;层间绝缘膜,其对所述沟槽电极的表面进行覆盖,并从所述半导体基板的所述表面突出;肖特基电极,其被配置在所述半导体基板的所述表面上,并被配置在从所述层间绝缘膜离开了的位置处,且相对于所述半导体基板而肖特基接触;埋入电极,其被配置在所述层间绝缘膜与所述肖特基电极之间的凹部内,并由与所述肖特基电极不同的金属而构成;表面电极,其对所述层间绝缘膜、所述埋入电极以及所述肖特基电极进行覆盖。



1. 一种半导体装置, 具有:

半导体基板, 其在表面上形成有沟槽;

沟槽电极, 其被配置在所述沟槽内;

层间绝缘膜, 其对所述沟槽电极的表面进行覆盖, 并从所述半导体基板的所述表面突出;

肖特基电极, 其被配置在所述半导体基板的所述表面上, 并被配置在从所述层间绝缘膜离开了的位置处, 且相对于所述半导体基板而肖特基接触,

埋入电极, 其被配置在所述层间绝缘膜与所述肖特基电极之间的凹部内, 并由与所述肖特基电极不同的金属而构成;

表面电极, 其对所述层间绝缘膜、所述埋入电极以及所述肖特基电极进行覆盖,

在被所述埋入电极覆盖的范围内, 所述半导体基板的所述表面与所述肖特基电极的侧面之间的角度大于90度。

2. 如权利要求1所述的半导体装置, 其中,

在被所述埋入电极覆盖的范围内, 所述半导体基板的所述表面与所述层间绝缘膜的侧面之间的角度大于90度。

3. 如权利要求1或2所述的半导体装置, 其中,

在所述肖特基电极与所述表面电极之间、以及所述层间绝缘膜与所述表面电极之间, 配置有相对于所述埋入电极而具有蚀刻选择性的势垒金属层。

4. 如权利要求1或2所述的半导体装置, 其中,

所述埋入电极相对于所述半导体基板而欧姆接触。

5. 一种制造半导体装置的方法, 具有:

在半导体基板的表面上形成沟槽的工序;

在所述沟槽内形成沟槽电极的工序;

在所述沟槽电极的表面上形成第一凸部的工序, 所述第一凸部包括对所述沟槽电极的表面进行覆盖的层间绝缘膜并从所述半导体基板的所述表面突出;

在所述半导体基板的所述表面上且从所述第一凸部离开了的位置处形成第二凸部的工序, 所述第二凸部包括相对于所述半导体基板而肖特基接触的肖特基电极并从所述半导体基板的所述表面突出;

以对所述第一凸部、所述第二凸部、所述第一凸部与所述第二凸部之间的所述半导体基板的所述表面进行覆盖的方式而使埋入电极生长的工序;

以使所述第一凸部和所述第二凸部的表面露出、并使所述第一凸部与所述第二凸部之间的凹部内残留有所述埋入电极的方式而对所述埋入电极进行蚀刻的工序;

在所述蚀刻之后, 使对所述第一凸部、所述埋入电极以及所述第二凸部进行覆盖的表面电极生长的工序。

6. 如权利要求5所述的方法, 其中,

所述埋入电极由与所述肖特基电极不同的金属而构成。

半导体装置以及半导体装置的制造方法

技术领域

[0001] (关联申请的相互参照)

[0002] 本申请为2014年8月22日提交的日本专利申请2014-169454的关联申请,其主张基于此日本专利申请的优先权,并将此日本专利申请中所记载的全部内容作为构成本说明书的内容而援引至此。

[0003] 本说明书中所公开的技术涉及一种半导体装置以及半导体装置的制造方法。

背景技术

[0004] 日本特开2013-048230号公报中所公开的半导体装置具有IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)和肖特基二极管。该IGBT具有沟槽型的栅电极。此外,肖特基二极管具有相对于半导体基板的表面的一部分而肖特基接触的电极。

发明内容

[0005] 发明所要解决的课题

[0006] 在具有沟槽型的栅电极的元件中,除了IGBT,还存在MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor:金属氧化物半导体场效晶体管)等。此外,也存在将非栅电极的电极配置在沟槽内的情况。以此方式,在多数情况下,被配置在沟槽内的电极(以下,称之为沟槽电极)的上表面通过层间绝缘膜而被覆盖。层间绝缘膜以从半导体基板的表面突出的方式而形成。此外,在这种半导体装置中,半导体基板的表面通过表面电极而被覆盖。表面电极以对层间绝缘膜进行覆盖的方式而形成。由于层间绝缘膜从半导体基板的表面突出,因此表面电极成为在层间绝缘膜的上部处隆起为凸状的形状。因此,在表面电极的表面上形成有高低差。

[0007] 当反复使表面电极的温度发生变化时,在表面电极会产生裂纹。在表面电极的平坦的部位处所产生的裂纹沿着表面电极的表面而前进的倾向较强。与此相对,在表面电极的高低差的附近处所产生的裂纹易于朝向表面电极的厚度方向前进。由于当裂纹到达半导体基板时,半导体装置的特性会发生劣化,因此会成为问题。因此,在本说明书中,提供一种能够容易地使覆盖层间绝缘膜的表面电极平坦化的技术。

[0008] 用于解决课题的方法

[0009] 本说明书所公开的半导体装置具有半导体基板、沟槽电极、层间绝缘膜、肖特基电极、埋入电极、表面电极。在半导体基板的表面上形成有沟槽。沟槽电极被配置在所述沟槽内。层间绝缘膜对所述沟槽电极的表面进行覆盖,并从所述半导体基板的所述表面突出。肖特基电极被配置在所述半导体基板的所述表面上,并被配置在从所述层间绝缘膜离开了的位置处,且相对于所述半导体基板而肖特基接触。埋入电极被配置在所述层间绝缘膜与所述肖特基电极之间的凹部内,并由与所述肖特基电极不同的金属而构成。表面电极对所述层间绝缘膜、所述埋入电极以及所述肖特基电极进行覆盖。

[0010] 另外,在层间绝缘膜、埋入电极以及肖特基电极与对其进行覆盖的表面电极之间,

也可以存在其他层。此外,这些结构也可以与表面电极接触。

[0011] 该半导体装置具有从半导体基板的表面突出的层间绝缘膜、和被配置在半导体基板的表面上且被配置在从层间绝缘膜离开了的位置处的肖特基电极。因此,被层间绝缘膜和肖特基电极夹着的位置成为凹部。在凹部内形成有埋入电极。在制造工序中,以对层间绝缘膜、肖特基电极、凹部进行覆盖的方式而使埋入电极生长,并且在此后,能够通过对埋入电极进行蚀刻从而使埋入电极残留在凹部内。在对埋入电极进行蚀刻时,如果残留有埋入电极的范围较广,则该范围的中央部将凹陷成凹状,从而难以将埋入电极的表面形成得较为平坦。但是,如果使埋入电极残留在较窄的凹部内,则能够将埋入电极的表面形成得较为平坦。在该半导体装置中,由于埋入电极残留在凹部内,因此能够使埋入电极的表面较平坦。此后,通过以对层间绝缘膜、埋入电极以及肖特基电极进行覆盖的方式而使表面电极生长,从而完成上述的半导体装置。由于埋入电极被配置在层间绝缘膜与肖特基电极之间的凹部内,并且埋入电极的表面较为平坦,因此能够将表面电极形成得较为平坦。

[0012] 本说明书所公开的半导体装置的制造方法具有:在半导体基板的表面上形成沟槽的工序;在所述沟槽内形成沟槽电极的工序;形成第一凸部的工序;形成第二凸部的工序;使埋入电极生长的工序;对埋入电极进行蚀刻的工序;使表面电极生长的工序。在形成第一凸部的工序中,在所述沟槽电极的表面上形成第一凸部,所述第一凸部包括对所述沟槽电极的表面进行覆盖的层间绝缘膜并从所述半导体基板的所述表面突出。在形成第二凸部的工序中,在所述半导体基板的所述表面上、且从所述第一凸部离开了的位置处形成第二凸部,所述第二凸部包括相对于所述半导体基板而肖特基接触的肖特基电极并从所述半导体基板的所述表面突出。在使埋入电极生长的工序中,以对所述第一凸部、所述第二凸部、所述第一凸部与所述第二凸部之间的所述半导体基板的所述表面进行覆盖的方式而使埋入电极生长。在对埋入电极进行蚀刻的工序中,以使所述第一凸部和所述第二凸部的表面露出并使所述第一凸部与所述第二凸部之间的凹部内残留有所述埋入电极的方式而对所述埋入电极进行蚀刻。在使表面电极生长的工序中,在所述蚀刻之后,使对所述第一凸部、所述埋入电极以及所述第二凸部进行覆盖的表面电极生长。

[0013] 另外,第二凸部既可以先于第一凸部而形成,也可以在第一凸部之后形成。

[0014] 根据该方法,能够制造出具有平坦的表面电极的半导体装置。

附图说明

[0015] 图1为实施例1的半导体装置10的纵剖视图。

[0016] 图2为实施例1的半导体装置10的制造工序的说明图。

[0017] 图3为实施例1的半导体装置10的制造工序的说明图。

[0018] 图4为实施例1的半导体装置10的制造工序的说明图。

[0019] 图5为实施例1的半导体装置10的制造工序的说明图。

[0020] 图6为实施例1的半导体装置10的制造工序的说明图。

[0021] 图7为实施例1的半导体装置10的制造工序的说明图。

[0022] 图8为实施例1的半导体装置10的制造工序的说明图。

[0023] 图9为实施例1的半导体装置10的制造工序的说明图。

[0024] 图10为实施例1的半导体装置10的制造工序的说明图。

- [0025] 图11为对金属进行蚀刻的工序的说明图。
- [0026] 图12为对金属进行蚀刻的工序的说明图。
- [0027] 图13为实施例1的半导体装置10的制造工序的说明图。
- [0028] 图14为实施例2的半导体装置200的纵剖视图。
- [0029] 图15为实施例2的半导体装置200的制造工序的说明图。
- [0030] 图16为实施例2的半导体装置200的制造工序的说明图。
- [0031] 图17为实施例2的半导体装置200的制造工序的说明图。

具体实施方式

[0032] 实施例1

[0033] 图1所示的实施例的半导体装置10具有半导体基板12。在半导体基板12的上表面12a上形成有多个沟槽14。各沟槽14的内表面通过栅极绝缘膜16而被覆盖。在各沟槽14内配置有栅电极18。各栅电极18通过栅极绝缘膜16而与半导体基板12绝缘。各栅电极18的上表面通过层间绝缘膜20而被覆盖。各层间绝缘膜20以从半导体基板12的上表面12a向上侧突出的方式而形成。

[0034] 在半导体基板12的上表面12a上形成有源电极22。源电极22对层间绝缘膜20进行覆盖。源电极22通过层间绝缘膜20而与栅电极18绝缘。源电极22具有埋入电极22a、肖特基电极22b、表面电极22c。

[0035] 肖特基电极22b在半导体基板12上被形成有多个。各肖特基电极22b被配置在被两个层间绝缘膜20所夹着的范围内、且被配置在从各层间绝缘膜20离开了的位置处。肖特基电极22b以从半导体基板12的上表面12a向上侧突出的方式而形成。从半导体基板12的上表面12a起至肖特基电极22b的上表面为止的高度与从半导体基板12的上表面12a起到层间绝缘膜20的上表面为止的高度大致相等。肖特基电极22b由Al (铝) 构成。肖特基电极22b相对于半导体基板12而肖特基接触。在层间绝缘膜20和肖特基电极22b之间形成有凹部24。凹部24的底面为半导体基板12的上表面12a, 凹部24的一个侧面为层间绝缘膜20的侧面, 凹部24的另一个侧面为肖特基电极22b的侧面。凹部24的底面 (即, 半导体基板12的上表面12a) 与层间绝缘膜20的侧面之间的角度 θ_1 大于90度。此外, 凹部24的底面 (即, 半导体基板12的上表面12a) 与肖特基电极22b的侧面之间的角度 θ_2 大于90度。

[0036] 埋入电极22a被配置在各凹部24内。埋入电极22a以无间隙的方式而被形成在凹部24内。埋入电极22a与构成凹部24的内表面的半导体基板12的上表面12a、层间绝缘膜20的侧面以及肖特基电极22b的侧面相接。埋入电极22a由W (钨) 构成。埋入电极22a相对于半导体基板12而欧姆接触。

[0037] 表面电极22c被形成在层间绝缘膜20、埋入电极22a以及肖特基电极22b上。表面电极22c以横跨在层间绝缘膜20、埋入电极22a以及肖特基电极22b之上的方式而延伸。表面电极22c由Al构成。

[0038] 如上所述, 在本实施例中, 表面电极22c由与肖特基电极22b相同的材料而构成。因此, 在本实施例中, 难以对表面电极22c和肖特基电极22b的边界进行目视确认。但是, 即使是在不能够对边界进行目视确认的情况下, 也能够将位于埋入电极22a的侧方的Al层视为肖特基电极22b, 并将位于与埋入电极22a的上表面相比靠上侧的Al层视为表面电极22c。

[0039] 在半导体基板12的下表面12b上形成有漏电极26。漏电极26相对于半导体基板12而欧姆接触。

[0040] 在半导体基板12的内部形成有源极区30、上部体区32、中间区34、下部体区36、漂移区38以及漏极区40。

[0041] 源极区30为n型的半导体区。源极区30露出于半导体基板12的上表面12a。源极区30相对于埋入电极22a而欧姆接触。源极区30与栅极绝缘膜16接触。

[0042] 上部体区32被形成在源极区30的侧方以及下侧。上部体区32具有作为p型杂质浓度较高的p型半导体区的高浓度区32a、和作为p型杂质浓度与高浓度区32a相比而较低的p型半导体区的低浓度区32b。高浓度区32a被形成在源极区30的侧方,并露出于半导体基板12的上表面12a。高浓度区32a相对于埋入电极22a而欧姆接触。低浓度区32b被形成在源极区30和高浓度区32a的下侧。低浓度区32b在源极区30的下侧与栅极绝缘膜16接触。

[0043] 中间区34为n型杂质浓度较低的n型半导体区。中间区34与上部体区32相接。中间区34通过上部体区32而与源极区30分离。中间区34具有柱区34a和势垒区34b。柱区34a为从半导体基板12的上表面12a起沿着半导体基板12的厚度方向而延伸的区域。柱区34a露出于半导体基板12的上表面12a,并相对于肖特基电极22b而肖特基接触。势垒区34b被形成在上部体区32的下侧。势垒区34b与柱区34a连接。势垒区34b在上部体区32的下侧与栅极绝缘膜16接触。

[0044] 下部体区36为p型半导体区。下部体区36被形成在中间区34的下侧。下部体区36在势垒区34b的下侧与栅极绝缘膜16接触。下部体区36通过中间区34而与上部体区32分离。

[0045] 漂移区38为n型杂质浓度较低的n型半导体区。漂移区38被形成在下部体区36的下侧。漂移区38在下部体区36的下侧与栅极绝缘膜16接触。漂移区38通过下部体区36而与中间区34分离。

[0046] 漏极区40为与漂移区38相比n型杂质浓度较高的n型半导体区。漏极区40被形成在漂移区38的下侧。漏极区40露出于半导体基板12的下表面12b。漏极区40相对于漏电极26而欧姆接触。

[0047] 半导体装置10能够执行作为MOSFET的工作和作为二极管的工作。

[0048] 在作为MOSFET而工作时,漏电极26中被施加有与源电极22相比而较高的电位。当向栅电极18施加阈值以上的电位时,在栅极绝缘膜16附近的上部体区32以及下部体区36中会形成沟道。于是,电流会从漏电极26起,经由漏极区40、漂移区38、下部体区36的沟道、中间区34、上部体区32的沟道以及源极区30而朝向源电极22流动。即,MOSFET成为导通。当使栅电极18的电位下降至小于阈值时,沟道会消失,并且电流会停止。

[0049] 在源电极22与漏电极26之间,形成有具有作为源电极22与中间区34的边界的肖特基界面的肖特基二极管、和具有作为上部体区32与中间区34的边界的pn结的pn二极管。在半导体装置10作为二极管而工作时,源电极22上被施加有与漏电极26相比而较高的电位。于是,源电极22与中间区34的边界肖特基界面导通。由此,电流会从源电极22起,经由中间区34、下部体区36、漂移区38以及漏极区40而朝向漏电极26流动。此外,由于肖特基界面成为导通,从而势垒区34b的电位被设为与源电极22的电位大致相等的电位。由此,上部体区32与中间区34的边界pn结变得难以导通,从而空穴从上部体区32向漂移区38流入的情况被抑制。此后,当向二极管施加反向电压时,二极管会实施反向恢复动作。如上所述,由于二极

管导通时空穴向漂移区38的流入被抑制,因此,在反向恢复动作时向二极管流动的反向电流被抑制。

[0050] 接下来,对半导体装置10的制造方法进行说明。半导体装置10通过具有与漂移区38大致相同的杂质浓度的n型的半导体基板12而被制造出。首先,如图2所示,通过离子注入等而在半导体基板12上形成源极区30、上部体区32、中间区34以及下部体区36。接下来,如图3所示,通过对半导体基板12的上表面12a选择性地蚀刻,从而在半导体基板12的上表面12a上形成沟槽14。沟槽14以贯穿源极区30、低浓度区32b、势垒区34b以及下部体区36的方式而形成。接下来,如图4所示,在沟槽14的内表面上形成栅极绝缘膜16。接下来,在沟槽14的内部形成栅电极18。另外,在下文中,将半导体基板12、被形成在半导体基板12上的电极、绝缘层等统称为晶片13。

[0051] 接下来,如图5所示,在晶片13上使层间绝缘膜20生长。层间绝缘膜20以对晶片13的上表面的整体区域进行覆盖的方式而形成。在形成了层间绝缘膜20之后,对层间绝缘膜20选择性地蚀刻。由此,如图6所示,在栅电极18的上部使层间绝缘膜20残留,并将其他位置的层间绝缘膜20去除。在此,如图6所示,以层间绝缘膜20的侧面和露出的范围内的半导体基板12的上表面12a之间的角度 θ_1 大于90度的方式而使层间绝缘膜20的侧面成形。

[0052] 接下来,如图7所示,通过溅射法而在晶片13上使肖特基电极22b(即,A1)生长。肖特基电极22b以对半导体基板12的上表面12a以及层间绝缘膜20的表面的整体区域进行覆盖的方式而形成。在形成了肖特基电极22b之后,对肖特基电极22b选择性地蚀刻。由此,如图8所示,使肖特基电极22b残留于中间区34在上表面12a上所露出的范围内,并对其他位置的肖特基电极22b进行去除。在此,如图8所示,以肖特基电极22b的侧面和露出的范围内的半导体基板12的上表面12a之间的角度 θ_2 大于90度的方式而使肖特基电极22b的侧面成形。通过以此方式而对肖特基电极22b进行蚀刻,从而使肖特基电极22b与层间绝缘膜20分离。因此,在肖特基电极22b和层间绝缘膜20之间形成了凹部24。

[0053] 接下来,如图9所示,在晶片13上使埋入电极22a(即,W)生长。埋入电极22a以对半导体基板12的上表面12a、层间绝缘膜20以及肖特基电极22b的表面的整体区域进行覆盖的方式而形成。作为埋入电极22a的材料W在成为基础的原材料的表面上均匀地生长。因此,如图9所示,即使通过层间绝缘膜20以及肖特基电极22b而在晶片13的表面上形成了凹凸,埋入电极22a的表面也会成为大致平坦。此外,作为埋入电极22a的材料W在较窄的凹部24内也能够以无间隙的方式而生长。尤其是,在凹部24中,底面与层间绝缘膜20侧的侧面之间的角度 θ_1 大于90度,并且底面与肖特基电极22b侧的侧面之间的角度 θ_2 大于90度。即,在凹部24中,上端部的宽度与底部的宽度相比而较宽。因此,能够使埋入电极22a更加切实地在凹部24内生长。因此,防止了在凹部24内形成空隙的情况。

[0054] 在形成埋入电极22a之后,对埋入电极22a进行蚀刻。在此,将SF6(六氟化硫)作为蚀刻气体而使用。如图10所示,通过蚀刻而使埋入电极22a的上表面后退至与层间绝缘膜20的上表面以及肖特基电极22b的上表面相比靠下侧处。即,使层间绝缘膜20的上表面以及肖特基电极22b的上表面露出。因此,层间绝缘膜20会残留在凹部24内。在蚀刻时,以蚀刻后的埋入电极22a的上表面成为与层间绝缘膜20的上表面以及肖特基电极22b的上表面近似的高度的方式来对蚀刻时间进行调节。此外,当以此方式而对埋入电极22a进行蚀刻时,埋入电极22a的上表面会成为大致平坦。以下,对其理由进行说明。

[0055] 图11、12为对金属进行蚀刻的工序的说明图。在图11、12中，图示了如下工序，即，在具有两个凸部102、和被两个凸部102夹着的凹部104的表面100上形成金属层110，在此之后，对金属层110进行蚀刻直至两个凸部102的上表面露出。图11图示了凹部104的宽度较宽的情况，图12图示了凹部104的宽度较窄的情况。蚀刻在凹部104的中央部处，与凹部104的端部（即，凸部102的附近）相比而进展得较快。凹部104的宽度越宽，则该蚀刻速度的差越显著。因此，如图11所示，当凹部104的宽度较宽时，在蚀刻后，残留于凹部104内的金属层110的表面会成为较大程度地弯曲为凹状的形状。与此相对，当凹部104的宽度较窄时，如图12所示，蚀刻后的金属层110的表面弯曲的程度较小。当凹部104的宽度较窄时，蚀刻后的金属层110的表面更为平坦。

[0056] 在本实施例的制造方法中，如图10所示，在与凸状的层间绝缘膜20隔开间隔的位置处，形成有凸状的肖特基电极22b。由此，在层间绝缘膜20与肖特基电极22b之间，形成了宽度较窄的凹部24。以此方式，由于凹部24的宽度较窄，因此在埋入电极22a的蚀刻后，能够使埋入电极22a的上表面大致平坦。因此，在埋入电极22a的蚀刻后，由埋入电极22a的上表面、层间绝缘膜20的上表面以及肖特基电极22b的上表面所构成的晶片13的上表面成为大致平坦。

[0057] 接下来，如图13所示，在晶片13上使表面电极22c（即，A1）生长。表面电极22c以对层间绝缘膜20、埋入电极22a以及肖特基电极22b的上表面的整体区域进行覆盖的方式而形成。如上所述，由于晶片13的上表面为平坦，因此表面电极22c的上表面会变得平坦。

[0058] 在形成了表面电极22c之后，形成背面侧的结构（即，漏极区40以及漏电极26）。此后，通过对晶片13进行切割，从而完成图1所示的半导体装置10。

[0059] 如以上所说明的那样，根据该制造方法，能够使表面电极22c的表面平坦化。

[0060] 实施例2

[0061] 在图14所示的实施例2的半导体装置200中，源电极22具有势垒金属层22d。实施例2的半导体装置200的其他结构与实施例1的半导体装置10相同。

[0062] 势垒金属层22d由TiN（氮化钛）构成。势垒金属层22d的厚度远薄于层间绝缘膜20以及肖特基电极22b。势垒金属层22d对层间绝缘膜20的上表面、肖特基电极22b的上表面、凹部24的内表面进行覆盖。实施例2的半导体装置200以与实施例1的半导体装置10大致相同的方式而工作。

[0063] 在制造实施例2的半导体装置200时，首先，与实施例1相同，以图8所示的方式来对晶片13进行加工。接下来，如图15所示，在晶片13上使势垒金属层22d生长。即，在层间绝缘膜20的上表面、肖特基电极22b的上表面、凹部24的内表面上使势垒金属层22d生长。即，在实施例2中，栅电极18上的凸部由层间绝缘膜20和势垒金属层22d而构成。此外，柱区34a上的凸部由肖特基电极22b和势垒金属层22d而构成。接下来，如图16所示，在势垒金属层22d上使埋入电极22a（即，W）生长。在此，与实施例1同样地，以埋入电极22a的表面成为平坦并且在凹部24内不存在间隙的方式而形成了埋入电极22a。

[0064] 接下来，对埋入电极22a进行蚀刻。在此，将SF₆（六氟化硫）作为蚀刻气体而使用。由此，如图17所示，使埋入电极22a的上表面后退至与层间绝缘膜20上的势垒金属层22d的上表面以及肖特基电极22b上的势垒金属层22d的上表面相比靠下侧处。即，使层间绝缘膜20上以及肖特基电极22b上的势垒金属层22d露出。埋入电极22a残留于凹部24内。在本实施

例中,由于层间绝缘膜20和肖特基电极22b被势垒金属层22d覆盖,因此在图17所示的蚀刻时,层间绝缘膜20和肖特基电极22b不会暴露于蚀刻气体中。此外,势垒金属层22d(TiN)与作为蚀刻对象的埋入电极22a(W)相对于蚀刻气体(SF₆)的选择比为1比30。即,势垒金属层22d几乎不会受到由蚀刻气体所实施的蚀刻。因此,层间绝缘膜20和肖特基电极22b通过势垒金属层22d而被保护从而不会受到蚀刻气体的蚀刻。另外,能够将上述选择比为至少1比5以上的材料作为势垒金属层22d而使用。此外,在此,也与实施例1同样地,在埋入电极22a的蚀刻之后,晶片13的上表面成为大致平坦。

[0065] 在对埋入电极22a进行了蚀刻之后,如图14所示,在晶片13的上表面上使表面电极22c生长。与实施例1相同,能够形成上表面平坦的表面电极22c。此后,形成下表面侧的结构,并通过切割而完成图14所示的半导体装置200。

[0066] 如以上所说明的那样,在实施例2的半导体装置200的制造工序中,也能够使表面电极22c的表面平坦化。此外,根据实施例2的方法,能够对层间绝缘膜20以及肖特基电极22b进行保护从而使其不受到蚀刻气体的蚀刻。

[0067] 另外,在上述的实施例1、2中,对具有沟槽型的栅电极的MOSFET和具有肖特基二极管的半导体装置进行了说明。但是,也可以代替MOSFET而形成具有沟槽型的栅电极的IGBT。此外,也可以代替MOSFET而形成具有被配置在沟槽内的电极的pn二极管。即,在具有被配置在沟槽内的电极的元件和具有肖特基电极的各种半导体装置中,能够应用本说明书所公开的技术。

[0068] 此外,虽然在上述的实施例1、2中,肖特基电极22b和表面电极22c同样由Al构成,但是二者也可以由不同的材料构成。例如,也可以通过Pd(钯)而构成肖特基电极22b。

[0069] 接下来,对本说明书中所公开的结构例进行说明。在本说明书中所公开的一个示例的半导体装置中,在被埋入电极覆盖的范围内,半导体基板的表面和层间绝缘膜的侧面之间的角度大于90度。

[0070] 根据这种结构,能够在凹部内恰当地形成埋入电极。

[0071] 在本说明书中所公开的一个示例的半导体装置中,在被埋入电极覆盖的范围内,半导体基板的表面和肖特基电极的侧面之间的角度大于90度。

[0072] 根据这种结构,能够在凹部内恰当地形成埋入电极。

[0073] 在本说明书中所公开的一个示例的半导体装置中,在肖特基电极与表面电极之间以及层间绝缘膜与表面电极之间,配置有相对于埋入电极而具有蚀刻选择性的势垒金属层。

[0074] 根据这种结构,能够对肖特基电极以及层间绝缘膜进行保护而使其不被蚀刻剂蚀刻。

[0075] 在本说明书中所公开的一个示例的半导体装置中,埋入电极与半导体基板欧姆接触。

[0076] 由此,能够制造一种具有肖特基电极和欧姆电极的半导体装置。

[0077] 在本说明书中所公开的一个示例的半导体装置的制造方法中,埋入电极由与肖特基电极不同的金属而构成。

[0078] 虽然在上文中对本发明的实施方式进行了说明,但这些仅为例示而并非对专利权利要求书进行限定的方式。在专利权利要求书所记载的技术中,包括对上述例示的具体实

施例进行了各种变形、变更而得到的技术。

[0079] 本说明书或附图中所说明的技术要素是单独或通过各种组合的方式来发挥技术上的有用性的,其并不限定于申请时权利要求中所记载的组合。此外,本说明书或附图中所例示的技术为同时实现多个目的的技术,而实现其中的一个目的本身也具有技术上的有用性。

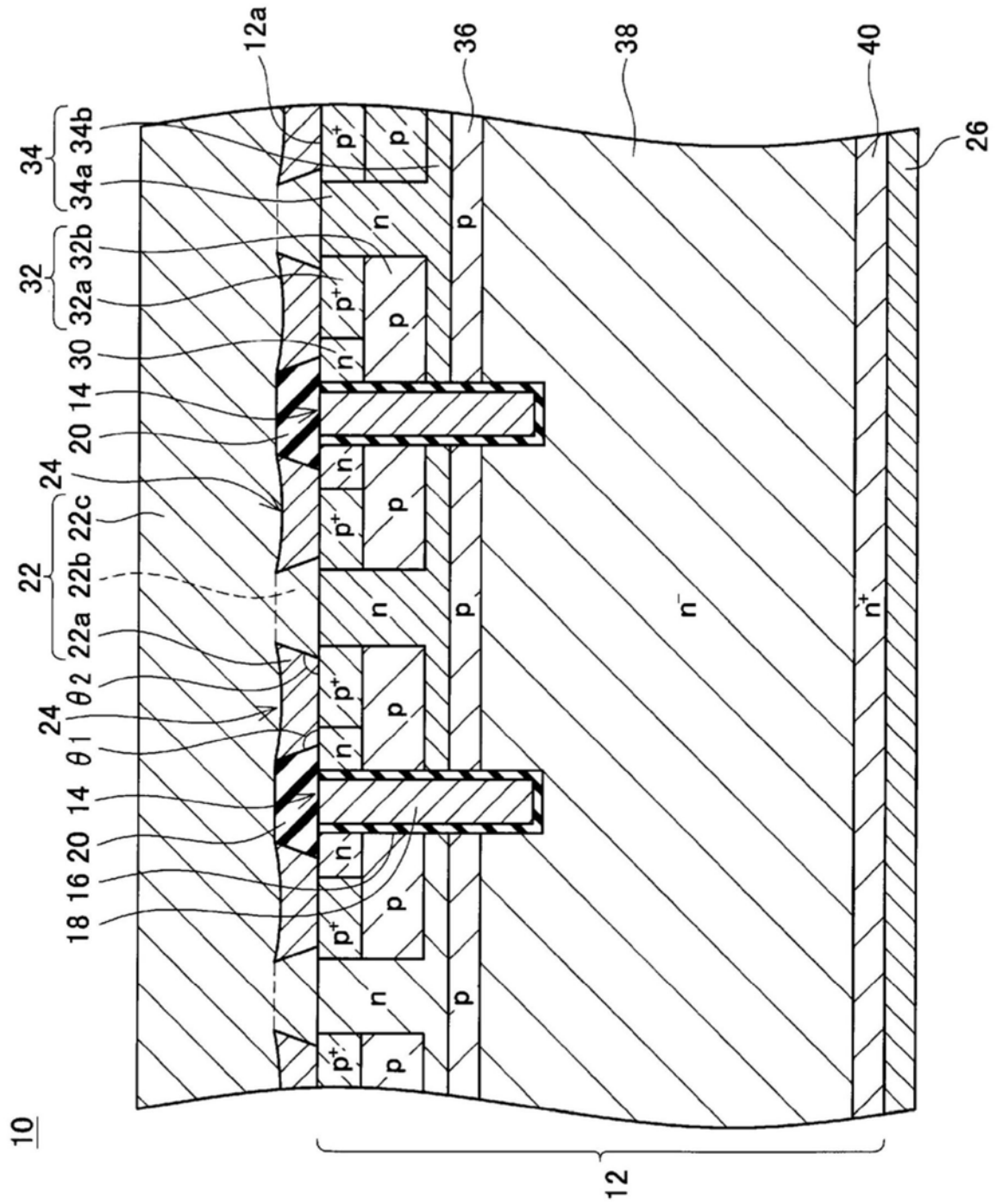


图1

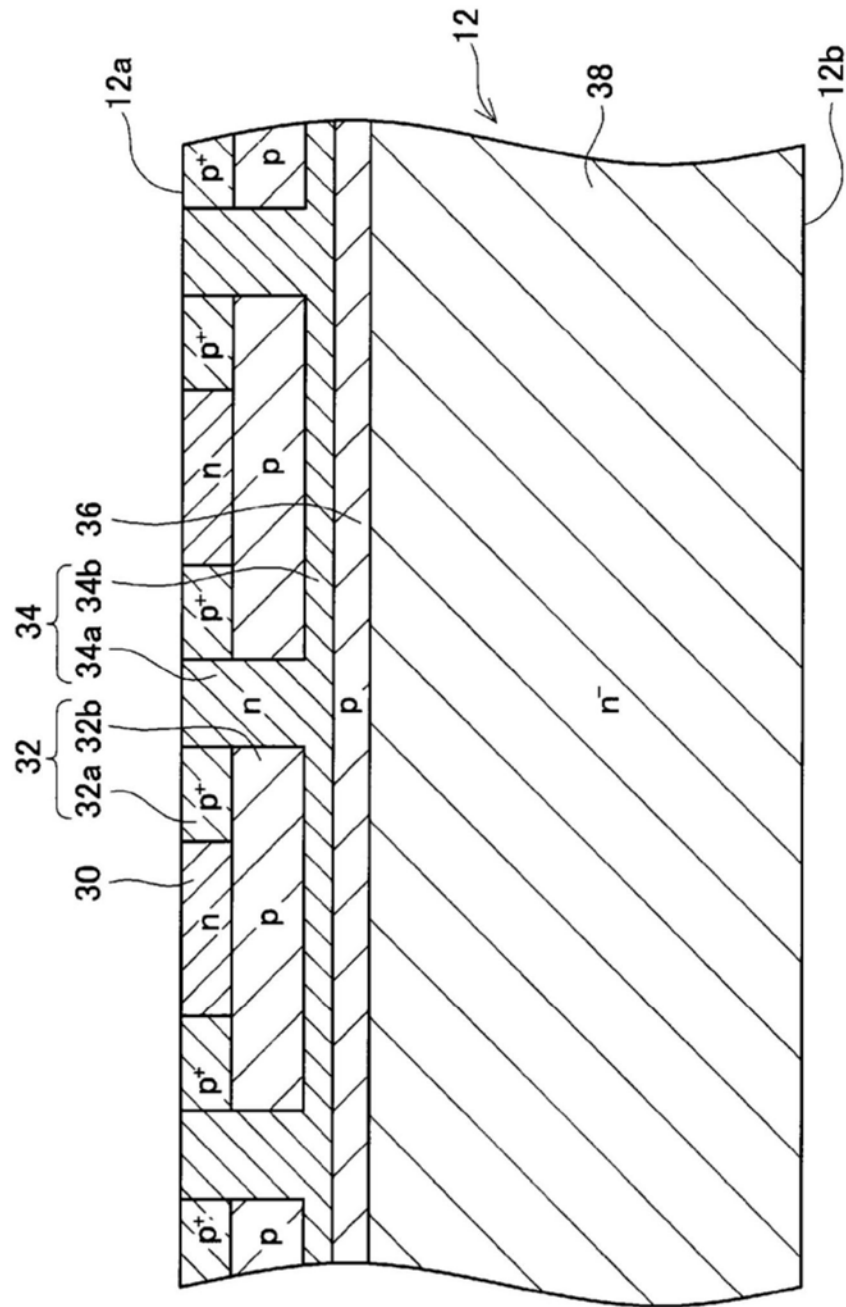


图2

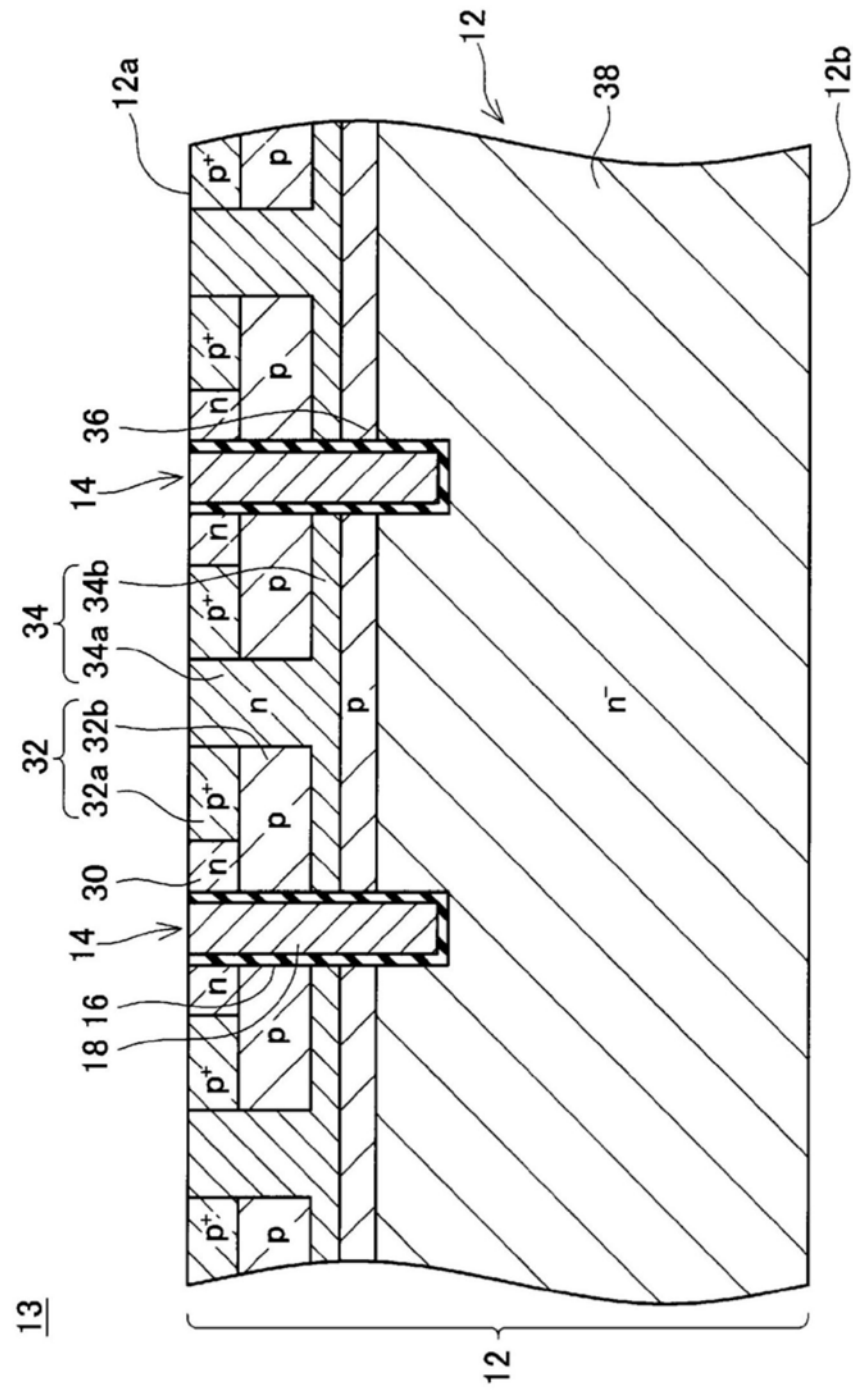


图4

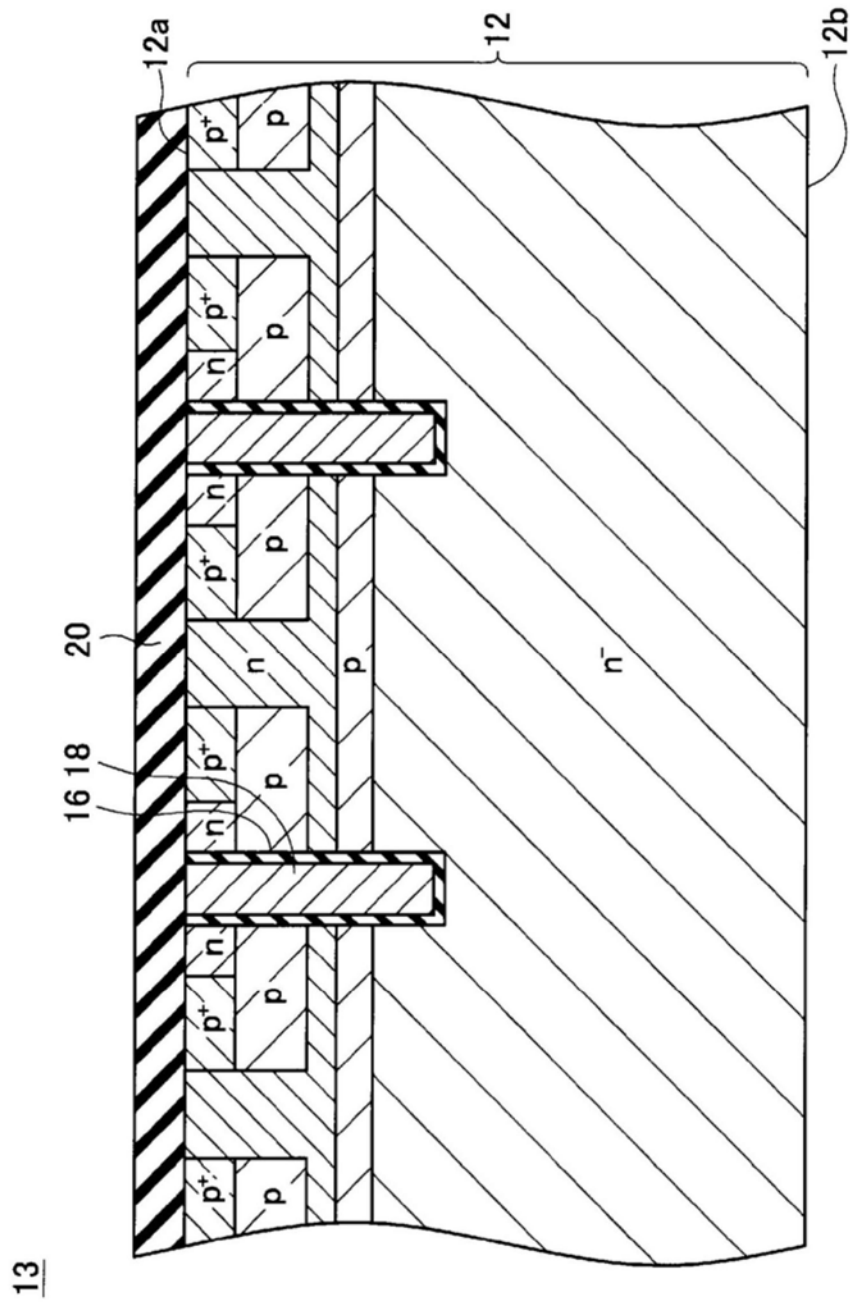


图5

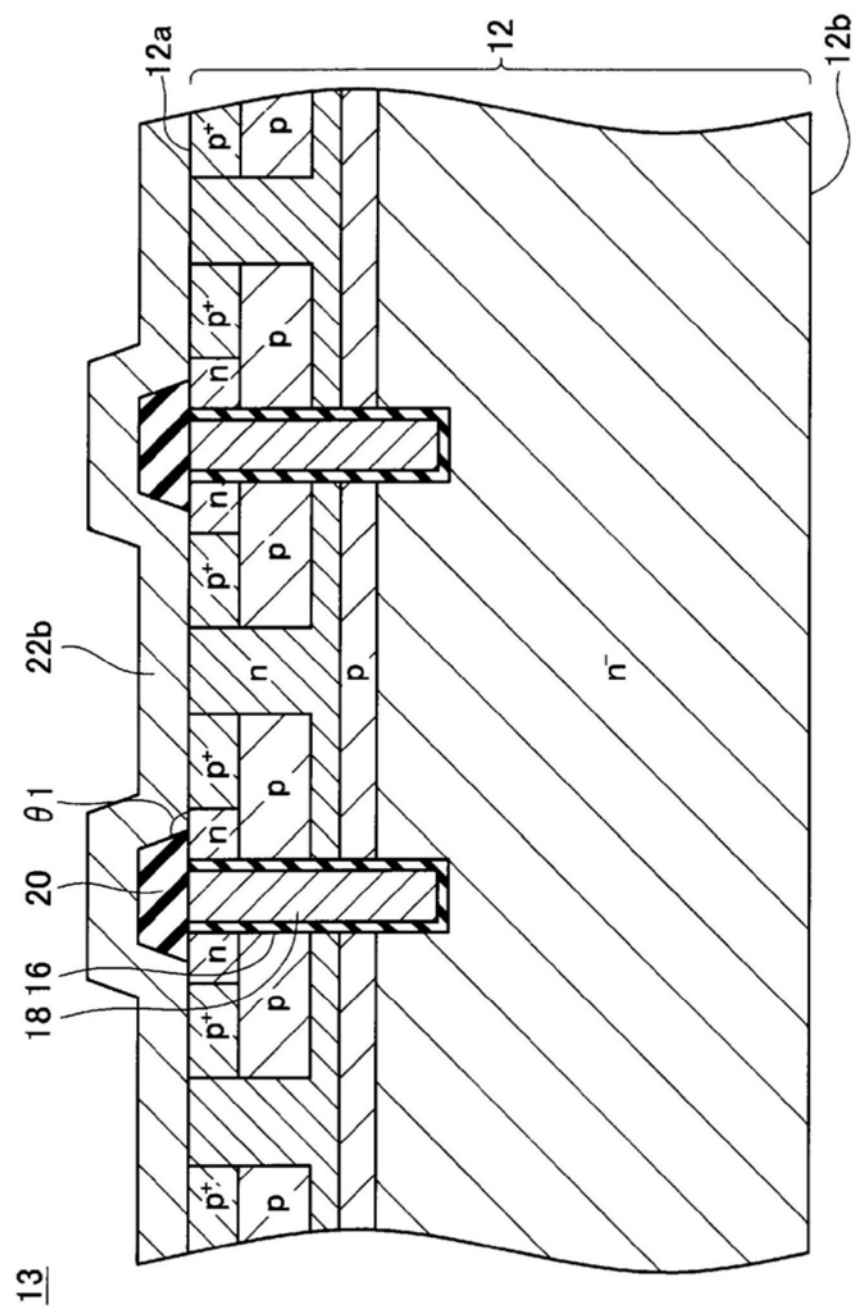


图7

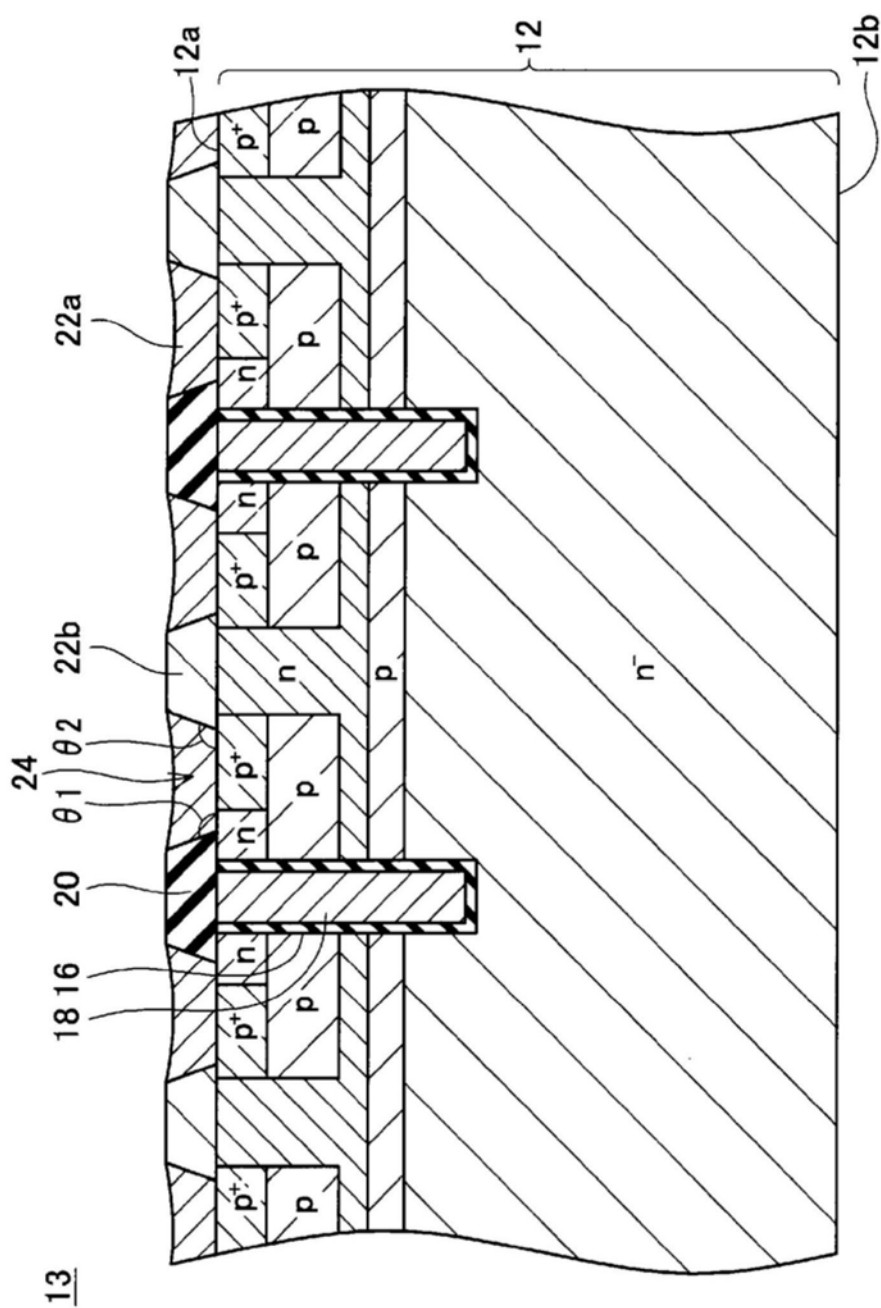


图10

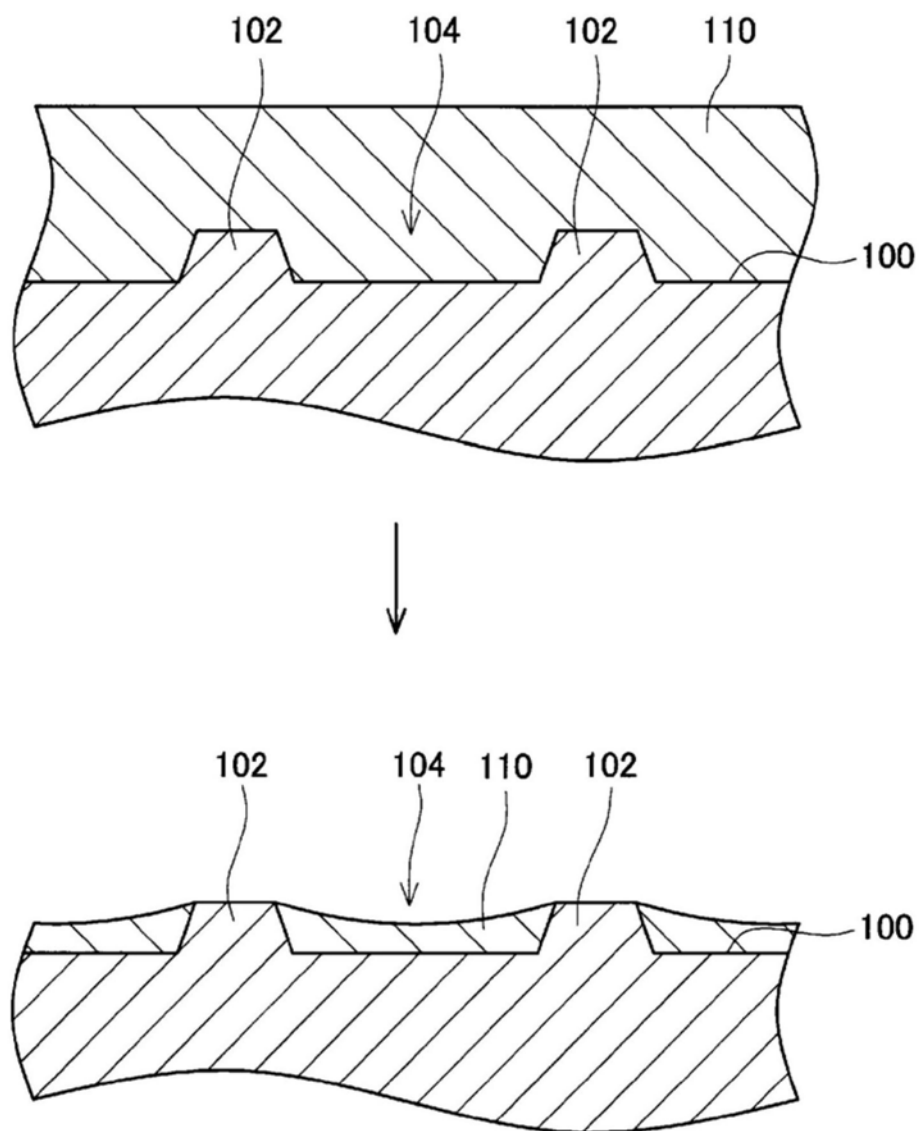


图11

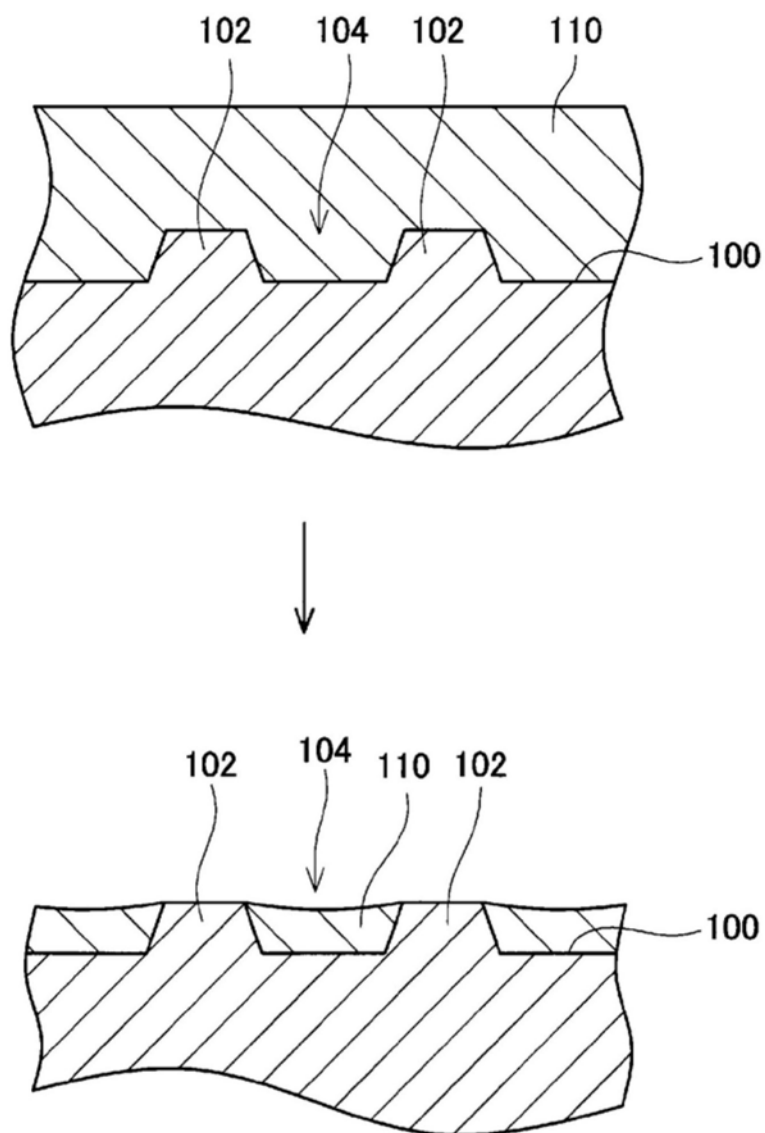


图12

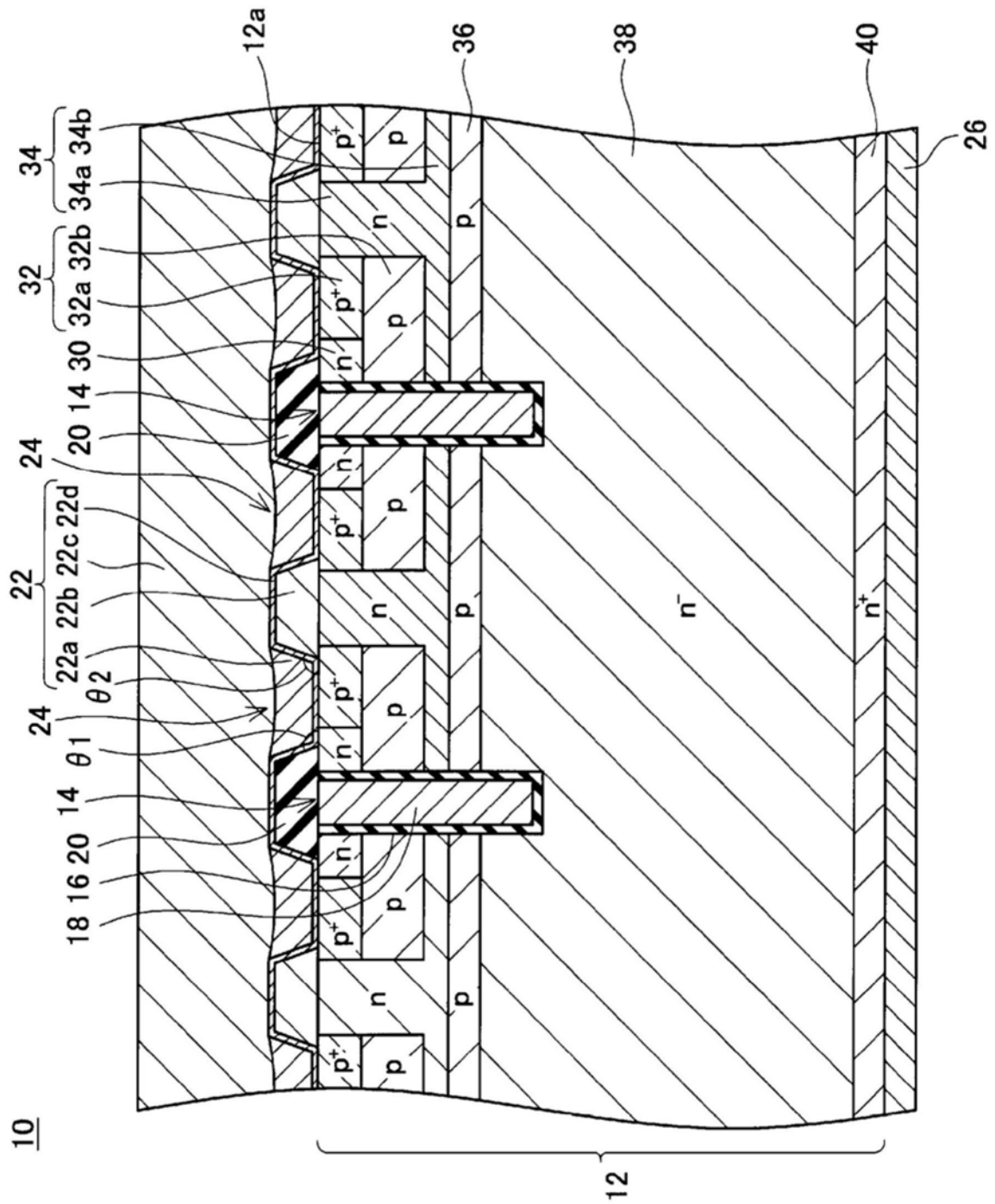


图14

