

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
10. Oktober 2002 (10.10.2002)

PCT

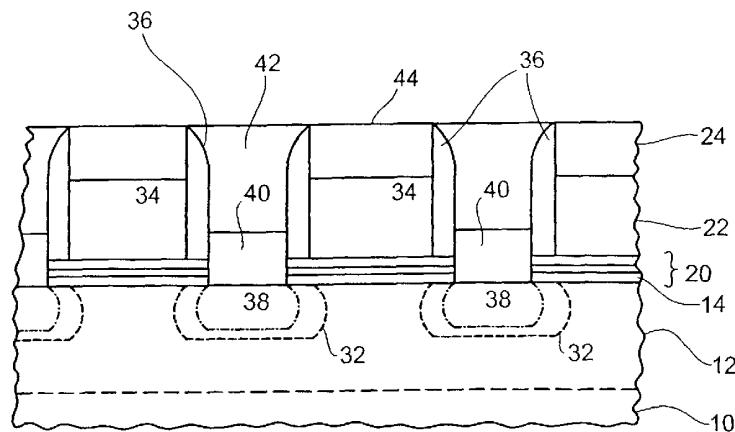
(10) Internationale Veröffentlichungsnummer  
**WO 02/080275 A2**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H01L 27/115**, 21/8246
- (21) Internationales Aktenzeichen: PCT/EP02/01508
- (22) Internationales Anmeldedatum: 13. Februar 2002 (13.02.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 101 10 150.3 2. März 2001 (02.03.2001) DE
- (71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und  
(75) Erfinder/Anmelder (*nur für US*): **KAKOSCHKE, Ronald** [DE/DE]; Karlsbergstr. 11, 81475 München (DE). **WILLER, Josef** [DE/DE]; Friedrich-Froebel-Str. 62, 85521 Riemerling (DE).
- (74) Anwälte: **SCHOPPE, Fritz** usw.; Schoppe, Zimmermann, Stöckeler & Zinkler, Postfach 71 08 67, 81458 München (DE).
- (81) Bestimmungsstaaten (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD FOR THE PRODUCTION OF METALLIC BITLINES FOR MEMORY CELL ARRAYS, METHOD FOR THE PRODUCTION OF MEMORY CELL ARRAYS AND MEMORY CELL ARRAYS

(54) **Bezeichnung:** VERFAHREN ZUM HERSTELLEN VON METALLISCHEN BITLEITUNGEN FÜR SPEICHERZELLENARRAYS, VERFAHREN ZUM HERSTELLEN VON SPEICHERZELLENARRAYS UND SPEICHERZELLENARRAY



**WO 02/080275 A2**

(57) **Abstract:** A method for the production of bitlines (40) for a memory cell array, firstly comprises the step of preparation of a layer structure from a substrate (10) with a transistor trough (12) implanted in a surface thereof, a memory medium layer sequence (20), provided on the surface of the substrate (10) and a gate region layer (22), provided on the memory medium layer sequence (20). Bitline recesses are generated in the gate region layer (22), extending to the memory medium layer sequence (20). Insulating separation layers (36) are then generated on lateral surfaces of the bitline recesses, whereupon a source/drain implantation (38) is carried out after a complete or partial removal of the memory medium layer sequence (20) in the region of the bitline recesses. The substrate is completely exposed in the region of the bitline recesses should this not be the case before the implantation. A metallisation is then generated on the exposed substrate for production of metallic bitlines (40). Said metallisation is insulated from the gate region layer (22) by means of the insulating separation layers (36).

[Fortsetzung auf der nächsten Seite]



**(84) Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

---

**(57) Zusammenfassung:** Ein Verfahren zum Herstellen von Bitleitungen (40) für ein Speicherzellenarray umfaßt zunächst den Schritt des Bereitstellens einer Schichtstruktur aus einem Substrat (10) mit in eine Oberfläche desselben implantierten Transistorwannen (12), einer auf der Oberfläche des Substrats (10) vorgesehenen Speichermediumschichtfolge (20) und einer auf der Speichermediumschichtfolge (20) vorgesehenen Gatebereichschicht (22). In der Gatebereichschicht (22) werden Bitleitungsausnehmungen, die bis zu der Speichermediumschichtfolge (20) reichen, erzeugt. Nachfolgend werden isolierende Abstandsschichten (36) auf seitlichen Oberflächen der Bitleitungsausnehmungen erzeugt, woraufhin eine Source/Drainimplantation (38) nach einer vollständigen oder teilweisen Beseitigung der Speichermediumschichtfolge (20) im Bereich der Bitleitungsausnehmungen durchgeführt wird. Im Anschluß wird das Substrat im Bereich der Bitleitungsausnehmungen vollständig freigelegt, falls dies vor der Implantation nicht erfolgt ist. Dann werden auf dem freigelegten Substrat Metallisierungen zum Erzeugen von metallischen Bitleitungen (40) erzeugt, wobei die Metallisierungen durch die isolierenden Abstandsschichten (36) von der Gatebereichschicht (22) isoliert sind.

## Beschreibung

Verfahren zum Herstellen von metallischen Bitleitungen für Speicherzellenarrays, Verfahren zum Herstellen von Speicher-

5 zellenarrays und Speicherzellenarray

Die vorliegende Erfindung bezieht sich auf Verfahren von me-

10 tallischen Bitleitungen für Speicherzellenarrays, Verfahren

zum Herstellen von Speicherzellenarrays, die solche metalli-

15 schen Bitleitungen aufweisen, und auf dadurch hergestellte

Speicherzellenarrays. Insbesondere bezieht sich die vorlie-

gende Erfindung auf solche Verfahren und Vorrichtungen, die

sich für planare EEPROMs für sogenannte „Stand-Alone“-

Anwendungen und für sogenannte „Embedded“-Anwendungen eignen.

15 Insbesondere eignet sich die vorliegende Erfindung zum Aufbau

von Speicherzellen, die nach dem SONOS-Prinzip (SONOS = Sili-

zium-Oxid-Nitrid-Oxid-Silizium) aufgebaut sind. Derartige

Speicherzellen können beispielsweise vorteilhaft in einer

Virtual-Ground-NOR-Architektur eingesetzt werden.

20

Auf dem Gebiet von Speicherzellen besteht eines der wichtig-

sten Entwicklungsziele in der Ausführung immer kleinerer

Speicherzellen, d. h. in der Verwendung immer kleinerer Chip-

flächen pro gespeichertem Bit. Dabei galt es bisher als vor-

25 teilhaft, durch vergrabene, also diffundierte Bitleitungen

kompakte Zellen zu realisieren. Als Diffusionsgebiete ausge-

führte Bitleitungen werden aber mit abnehmender Strukturgröße

immer hochohmiger, da die Diffusionstiefe ebenfalls skaliert

werden muß, um der Gefahr eines Durchbruchs (Punch Through)

30

zwischen benachbarten Bitleitungen entgegenzuwirken. Die Pro-

blematik hierbei besteht darin, daß hochohmigere Bitleitungen

nur kleinere Zellblöcke erlauben, so daß der Nutzungsgrad

hier abnimmt und der Vorteil der kleineren, durch größeren

Prozeßaufwand erkauften Speicherzellen schwindet.

35

Ein Beispiel bekannter Speicherzellen mit vergrabenen Bitlei-

tungen und einer Virtual-Ground-NOR-Architektur ist in dem

Artikel „NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell“, Boaz Eitan u. a., IEEE Electron Device Letters, Band 21, Nr. 11, November 2000, Seiten 543-545, beschrieben.

- 5 Die Aufgabe der vorliegenden Erfindung besteht darin, Verfahren und Vorrichtungen zu schaffen, die die Realisierung sehr kompakter Speicherzellen auch in größeren Zellblöcken erlauben.
- 10 Diese Aufgabe wird durch ein Verfahren zum Herstellen von Bitleitungen für ein Speicherzellenarray nach Anspruch 1, ein Verfahren zum Herstellen von Speicherzellenarrays nach Anspruch 6 und ein Speicherzellenarray nach Anspruch 15 gelöst.
- 15 Die vorliegende Erfindung schafft Verfahren zum Herstellen von Bitleitungen für ein Speicherzellenarray, das folgende Schritte aufweist:
  - 20 Bereitstellen einer Schichtstruktur aus einem Substrat mit in eine Oberfläche desselben implantierten Transistorwannen, einer auf der Oberfläche des Substrats vorgesehenen Speichermediumschichtfolge und einer auf der Speichermediumschichtfolge vorgesehenen Gatebereichschicht;
  - 25 Erzeugen von Bitleitungsausnehmungen, die bis zu der Speichermediumschicht reichen, in der Gatebereichschicht;
  - 30 Erzeugen von isolierenden Abstandsschichten auf seitlichen Oberflächen der Bitleitungsausnehmungen;
  - 35 vollständiges oder teilweises Entfernen der Speichermediumschichtfolge im Bereich der Bitleitungsausnehmungen;
- 35 Durchführen einer Source/Drainimplantation im Bereich der Bitleitungsausnehmungen;

vollständiges Beseitigen der Speichermediumschichtfolge im Bereich der Bitleitungsausnehmungen, wenn dieselbe vorher nicht vollständig entfernt wurde; und

- 5 Erzeugen von Metallisierungen auf den der Source/Drainimplantation unterzogenen Bereichen zum Erzeugen der metallischen Bitleitungen, wobei die Metallisierungen durch die isolierenden Abstandsschichten von der Gatebereichschicht isoliert sind.

10

Das erfindungsgemäße Verfahren zum Herstellen eines Speicherzellenarrays weist neben den obigen Schritten folgende Schritte auf:

- 15 Füllen der nach dem Erzeugen der metallischen Bitleitungen verbleibenden Bitleitungsausnehmungen mit einem isolierenden Material; und

20 Erzeugen von zu den Bitleitungen im wesentlichen senkrechten Wortleitungen, die jeweils mit einer Mehrzahl von Gatebereichen verbunden sind, wobei die Gatebereiche beim Erzeugen der Wortleitungen durch ein entsprechendes Strukturieren der verbliebenen Teile der Gatebereichschicht erzeugt werden.

- 25 Bei bevorzugten Ausführungsbeispielen der vorliegenden Erfindung werden die metallischen Bitleitungen erzeugt, indem ein Ti- oder Co-Silizid-Prozeß auf den freigelegten Substratbereichen, die vorher einer Source/Drainimplantation, die auch als Bitleitungimplantation bezeichnet werden kann, unterzogen wurden, durchgeführt wird. Während des Silizid-Prozesses zum Erzeugen der Metallisierungen auf den Source/Drain-Implantationen sind die späteren Gatestrukturen vorzugsweise mit einer Hartmaske, die vorzugsweise aus Nitrid besteht, versehen. Die der Source/Drainimplantation unterzogenen Bereiche dienen als Source/Drain-Gebiete der Speichertransistoren, wobei die Silizierung dieser Gebiete als metallische Bitleitung dient. Die Gatebereiche bzw. Gatestrukturen, die

beim erfindungsgemäßen Verfahren zunächst als längs der Bitleitung verlaufende Streifen ausgeführt sind, werden beim Erzeugen der Wortleitungen, vorzugsweise durch eine Trockenätzung, selbstjustiert zu diesen geätzt.

5

Parallel zur Erzeugung des Speicherzellenarrays können unter Verwendung des erfindungsgemäßen Verfahrens ferner Peripherietransistoren in Bereichen außerhalb des Speicherzellenarrays erzeugt werden. Dabei können mittels der erfindungsgemäßen Verfahren sowohl Peripherietransistoren mit sogenannten Single-Workfunction-Gates, bei denen sämtliche polykristallinen Gatebereiche von einem Dotierungstyp sind, als auch mit sogenannten Dual-Workfunction-Gates, bei denen der Dotierungstyp der polykristallinen Gatebereich an den Kanaltyp, d. h. den Dotierungstyp der Source-Drain-Bereiche angepaßt ist, realisiert werden.

Ein erfindungsgemäßes Speicherzellenarray umfaßt folgende Merkmale:

20

eine Mehrzahl von in einem zweidimensionalen Array angeordneten Speicherzellen, die durch in einem Substrat gebildete Feldeffekttransistoren realisiert sind;

25

Wortleitungen, die in einer ersten Richtung bezüglich des Speicherzellenarrays angeordnet und mit Gatebereichen der Speicherzellen elektrisch leitfähig verbunden sind; und

30

Bitleitungen, die in einer zweiten Richtung im wesentlichen senkrecht zu der ersten Richtung zwischen den Speicherzellen verlaufen,

35

wobei die Bitleitungen durch direkt auf Source/Drain-Bereichen der Speicherzellen erzeugte metallische Strukturen gebildet sind, und wobei zwischen den metallischen Strukturen der Bitleitungen und den Gatebereichen der Speicherzellen Isolierungsmittel vorgesehen sind.

Die vorliegende Erfindung schafft somit Verfahren zur Erzeugung von Speicherzellenarrays mit zu Gatestrukturen selbstjustierten metallischen Bitleitungen sowie Speicherzellenarrays mit derartigen Bitleitungen. Ferner werden erfindungsgemäß zu metallischen Wortleitungen selbstjustierte Gatestrukturen erzeugt. Die vorliegende Erfindung ermöglicht ferner eine vorteilhafte prozeßtechnische Einbindung hinsichtlich einer Parallelisierung von Speicherzellenarray und Peripherorschaltungsstrukturen.

Die vorliegende Erfindung ermöglicht durch die Erzeugung metallischer bzw. metallisierter Bitleitungen sowie ferner durch die Erzeugung metallischer bzw. metallisierter Wortleitungen große Zellblöcke mit minimaler Peripherie und dadurch eine hohe Zelleffizienz. Durch die Verwendung metallischer Bitleitungen können die Bitleitungen so schmal ausgeführt werden, daß eine Zellfläche von  $4F^2$  realisiert werden kann, wobei F die bei einer verwendeten Lithographietechnik mögliche Linienbreite angibt, wobei mit derzeitigen Lithographietechnologien Linienbreiten von 140 nm erreicht werden. Bei dem erfindungsgemäßen Herstellungsverfahren bzw. Aufbau können die Bitleitungsebene und die Wortleitungsebene als - metallische Verdrahtungsebene eingesetzt werden. Das erfindungsgemäße Verfahren kann ferner sowohl mit der Single-Workfunction-Technologie als auch der Dual-Workfunction-Technologie kombiniert werden.

Weiterbildungen der vorliegenden Anmeldung sind in den abhängigen Ansprüchen dargelegt.

Bevorzugte Ausführungsbeispiele der vorliegenden Anmeldung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

35

Fig. 1 eine Draufsicht eines Ausschnitts eines Speicherzellenarrays;

Fig. 2 eine schematische Querschnittsansicht einer Schichtfolge in einem Anfangsstadium des erfindungsgemäßen Verfahrens;

5

Fig. 3 eine schematische Draufsicht auf einen Substratabschnitt mit Bitleitungsausnehmungsbereichen;

10

Fig. 4a bis 4c schematische Querschnittsansichten zur Erläuterung eines ersten Ausführungsbeispiels des erfindungsgemäßen Verfahrens zur Herstellung eines Speicherzellenarrays;

15

Fig. 5 eine schematische Querschnittsansicht eines Zwischenstadiums bei der Herstellung eines Peripherietransistors gemäß dem ersten Ausführungsbeispiel;

20

Fig. 6a und 6b schematische Querschnittsansichten eines fortgeschrittenen Herstellungsstadiums zur Veranschaulichung des Verlaufs von Wort- und Bit-Leitungen gemäß dem ersten Ausführungsbeispiel;

25

Fig. 7 eine schematische Querschnittsansicht eines fortgeschrittenen Herstellungsstadiums hinsichtlich eines Peripherietransistors gemäß dem ersten Ausführungsbeispiel;

30

Fig. 8a und 8b schematische Querschnittsansichten entsprechend der Fig. 6a und 6b für ein zweites Ausführungsbeispiel eines erfindungsgemäßen Verfahrens zur Herstellung eines Speicherzellenarrays;

35

Fig. 9 eine schematische Querschnittsansicht entsprechend Fig. 7 für das zweite Ausführungsbeispiel;

Fig. 10a und 10b schematische Querschnittsansichten zur Erläuterung der Erzeugung metallischer Wortleitungen bei dem zweiten Ausführungsbeispiel; und

5 Fig. 11 eine schematische Querschnittsansicht zur Veranschaulichung eines gemäß dem zweiten Ausführungsbeispiel erzeugten Peripherietransistors.

10 Bevor anhand der Fig. 2 bis 11 nachfolgend bevorzugte Ausführungsbeispiele zum Herstellen von Bitleitungen für ein Speicherzellenarray bzw. zum Herstellen eines Speicherzellenarrays näher erläutert werden, wird zunächst bezugnehmend auf Fig. 1 die allgemeine Anordnung der sich ergebenden Bitleitungen und Wortleitungen einer Virtual-Ground-NOR-Architektur 15 beschrieben. Dabei sind in Fig. 1 schematisch Abschnitte von zwei Wortleitungen 2 dargestellt, die senkrecht zu Bitleitungen 4 verlaufen, so daß die Wortleitungen 2 zusammen mit den Bitleitungen 4 eine Gitterstruktur bilden. In Fig. 1 stellen die gestrichelten Linien die erfindungsgemäßen metallischen 20 Bitleitungen 4 dar, während die durchgezogenen Linien 8 den Source/Drain-Implantationsbereich, auf dem die metallischen Bitleitungen gebildet sind, darstellen.

25 Bei einer solchen Virtual-Ground-Architektur sind jeweilige Speicherzellen 6 unterhalb der Wortleitungen 2 zwischen den Bitleitungen 4 angeordnet. Unter den Wortleitungen befinden sich in diesem Bereich die Gatebereiche, während die unter den Bitleitungen angeordneten Diffusionsgebiete bzw. Source/Drainimplantationen die Source/Drain-Bereiche einer jeweiligen Zelle definieren.

30 Erfindungsgemäß werden die metallischen Bitleitungen, und auch die Wortleitungen, vorzugsweise unter Verwendung einer Silizierung gebildet. Als Silizierung sind solche Verfahren bekannt, bei denen zunächst ein geeignetes Metall, beispielsweise Kobalt, Titan, Legierungen derselben, oder auch Nickel oder Wolfram, auf Silizium aufgebracht wird, woraufhin eine

Temperaturbehandlung durchgeführt wird. Durch die Temperaturbehandlung findet eine chemische Reaktion zwischen dem aufgebrachten Metall und dem Silizium statt, wodurch eine Silizidschicht auf dem Silizium erzeugt wird. Diese Erzeugung einer 5 metallischen Silizidschicht auf Silizium wird als Silizierung bezeichnet.

Bei einem ersten Ausführungsbeispiel der vorliegenden Erfindung zur Herstellung eines Speicherzellenarrays und zum parallelen Herstellen von Peripherietransistoren, das anhand der 10 Fig. 2 bis 7 beschrieben wird, wird ferner ein sogenanntes Polycide-Verfahren zur Erzeugung der Wortleitungen des Speicherzellenarrays und zur Erzeugung der Gate-Strukturen der Peripherietransistoren verwendet.

15

Unter Polycide-Verfahren versteht man solche Verfahren, bei denen zunächst eine ganzflächige polykristalline Silizium-Schicht aufgebracht bzw. abgeschieden wird, woraufhin auf der polykristallinen Siliziumschicht ganzflächig eine WSi-Schicht 20 als Legierung abgeschieden wird. Nachfolgend wird in der Regel eine Hartmaske, vorzugsweise aus Nitrid, auf die WSi-Schicht aufgebracht. Die Hartmaske wird nachfolgend unter Verwendung phototechnischer Verfahren strukturiert, woraufhin ein Ätzen der WSi-Schicht und dem darunter liegenden polykristallinem Silizium erfolgt, um die gewünschten Strukturen zu 25 erzeugen.

Alternativ zu dem beschriebenen Polycide-Verfahren ist ein solches bekannt, bei dem auf eine polykristalline Siliziumschicht zunächst eine Wolframnitridschicht und nachfolgend eine Wolframschicht aufgebracht wird. In diesem Fall wirkt die Wolframnitridschicht als Diffusionsbarriere, so daß kein Wolframsilizid, also keine Legierung, entsteht, sondern eine entsprechend niederohmige reine Metallstruktur.

35

Bei einem zweiten Ausführungsbeispiel eines erfindungsgemäßen Verfahrens zum Herstellen eines Speicherzellenarrays, das

nachfolgend bezugnehmend auf die Fig. 8 bis 11 beschrieben wird, wird ein sogenanntes Salicide-Verfahren zum Erzeugen der Wortleitungen und Gate-Strukturen der Peripherietransistoren verwendet. Unter einem Salicide-Verfahren wird ein  
5 solches Verfahren verstanden, bei dem zunächst ganzflächig ein geeignetes Metall, beispielsweise Kobalt, Titan oder Legierungen derselben, z.B. Kobalt/Titannitridlegierungen, auf einer Struktur abgeschieden wird, die Siliziumbereiche und Nicht-Silizium-Bereiche, beispielsweise Oxid-Bereiche oder  
10 Nitrid-Bereiche, aufweist. Wird nachfolgend eine Temperaturbehandlung durchgeführt, findet dort eine chemische Reaktion statt, wo das ganzflächige Metall in Verbindung mit dem Silizium ist, so daß dort eine Silizidschicht erzeugt wird. In den anderen Bereichen, in denen das Metall an das Oxid bzw.  
15 das Nitrid angrenzt, findet keine chemische Reaktion statt. Nachfolgend kann das Metall, das keiner chemischen Reaktion unterzogen wurde, naßchemisch entfernt werden, so daß eine Struktur verbleibt, bei der sämtliche Siliziumbereiche mit einer Silizidschicht überzogen sind.  
20

Im folgenden wird nun das erste Ausführungsbeispiel des erfindungsgemäßen Verfahrens zum Herstellen eines Speicherzellenarrays, das das erfindungsgemäße Verfahren zur Herstellung einer Bitleitung für ein Speicherzellenarray beinhaltet, beschrieben.  
25

Die erfindungsgemäßen Verfahren bauen auf einer vorbehandelten Substratstruktur auf, die zunächst kurz beschrieben werden soll. Zu diesem Zweck werden in einem Siliziumsubstrat  
30 zunächst isolierte Bereiche festgelegt, die später beispielsweise eine bestimmte Anzahl von Speicherzellen bzw. bestimmte Peripherieschaltstrukturen enthalten sollen. Diese Bereiche werden vorzugsweise unter Verwendung der sogenannten STI-Technik (STI = shallow trench isolation) erzeugt. Bei dieser  
35 Technik wird zunächst ein Padoxid aufgewachsen und nachfolgend ein Padnitrid abgeschieden. Im Anschluß daran erfolgt eine Phototechnik zum Festlegen der Gräben, die nachfolgend

geätzt werden. Die geätzten Gräben werden dann mit einem Oxid gefüllt, woraufhin geeignete Maßnahmen zur Planarisierung, beispielsweise ein chemisch-mechanisches Polieren (CMP; CMP = chemical mechanical polishing) durchgeführt werden. Schließlich wird das verbleibende Nitrid mittels Ätzens entfernt.

Nach dem Erzeugen der isolierten Bereiche auf die oben beschriebene Art werden die p- und n-Wannen für den späteren CMOS-Bereich in der Peripherie des Speicherzellenarrays sowie die Wannen für die Speicherzellen durch eine maskierte Boro- und Phosphor-Implantation und eine nachfolgende Ausheilung hergestellt. Im Anschluß daran wird das Streuoxid entfernt. Auf die sich ergebende Struktur wird eine ONO-Dreifachschicht (ONO = Oxid-Nitrid-Oxid) aufgewachsen, die als Speichermedium dient. Im Anschluß erfolgt eine maskierte Entfernung dieser Schicht im späteren CMOS-Bereich. In diesem Bereich wird ein Gateoxid aufgewachsen bzw. werden mit Wiederholungen mehrere Gateoxide aufgewachsen.

Die unter Verwendung der oben beschriebenen Vorbehandlung erzeugte Struktur dient als Basis für die erfindungsgemäßen Verfahren. Auf diese Struktur wird erfindungsgemäß zunächst eine als Gatebereichsschicht dienende Polysiliziumschicht abgeschieden, auf der wiederum eine Nitridschicht abgeschieden wird. Eine schematische Querschnittsansicht eines Abschnitts der sich ergebenden Schichtfolge im Speicherzellenbereich ist in Fig. 2 gezeigt. Dabei ist, wie oben beschrieben, in einem Siliziumsubstrat 10 eine Transistorwanne 12 gebildet. Auf der Transistorwanne 12 ist die beschriebene ONO-Dreifachschicht 20, die aus unterer Oxidschicht 14, Nitridschicht 16 und oberer Oxidschicht 18 besteht, gebildet. Außerhalb des Speicherzellenbereichs ist diese ONO-Dreifachschicht durch ein Gateoxid ersetzt. Auf der ONO-Dreifachschicht 20 ist eine polykristalline Schicht 22 beispielsweise mit einer Dicke von 100 nm gebildet. Auf dieser polykristallinen Schicht 22 ist eine Nitridschicht 24, beispielsweise mit einer Dicke von 50 nm, als Hartmaskenschicht gebildet.

In einem nächsten Schritt wird eine Phototechnik durchgeführt, um in der Nitridschicht 24 längliche Ausnehmungen 26 zu erzeugen, die entlang der später zu erzeugenden Bitleitungen verlaufen, wie in Fig. 3 gezeigt ist. Durch diese Ausnehmungen 26 werden ferner Streifen 28 entlang der späteren Bitleitungen definiert, die zur Definition der späteren Gatestrukturen beitragen. Nach dem Ätzen der Nitridschicht 24 zum Erzeugen der Ausnehmungen 26 wird der bei der Phototechnik verwendete Lack gestript, woraufhin die polykristalline Schicht 23 unter Verwendung der Nitridschicht 24 als Maske geätzt wird. Als Ätzstopp dient dabei die ONO-Dreifachschicht 20. Die sich ergebende Struktur, bei der Bitleitungsausnehmungen 30 in der Nitridschicht 24 und der polykristallinen Schicht 22 gebildet sind, ist in Fig. 4a gezeigt. Durch die Erzeugung der Bitleitungsausnehmungen 30 in der polykristallinen Schicht 22 werden in derselben streifenförmige Gatebereiche 34 erzeugt, die entlang der späteren Bitleitungen verlaufen.

20

Bei bevorzugten Ausführungsbeispielen der vorliegenden Erfindung erfolgt im Anschluß an das Erzeugen der Bitleitungsausnehmungen 30 in den ausgenommenen Bereichen durch die ONO-Schichtfolge 20 eine Implantation eines Dotierungstyps, der dem der Transistorwanne 12 entspricht, um dotierte Bereiche 32 zu erzeugen. Diese Implantation ist optional. Im Falle von n-Kanal-Speichertransistoren handelt es sich dabei vorzugsweise um eine Borimplantation mit einer Konzentration von beispielsweise  $1 \times 10^{14} \text{ cm}^{-3}$ . Die Implantationen 32 dienen zum einen zur Erzeugung eines harten pn-Übergangs mit den Bitleitungsimplantationen bzw. Source-Drain-Implantationen, die später erzeugt werden. Zum anderen erfolgt durch die Erzeugung der dotierten Bereiche 32 eine Unterstreuung unter die Gatekante und somit ein Eindringen unter den Kanal, so daß dadurch eine erhöhte Punch-Festigkeit erreicht werden kann. Eine solche Implantation 32 ist insbesondere dann vorteilhaft, wenn durch die Speicherzellen 2-Bit-Speicherzellen, wie

sie beispielsweise in der oben beschriebenen Schrift von Boaz Eitan beschrieben sind, realisiert werden sollen.

Auf den Seitenflächen der streifenförmigen polykristallinen 5 Bereiche 34 und der auf denselben angeordneten Teilen der Nitridschicht 24 werden unter Verwendung bekannter Verfahren bei einem nachfolgenden Schritt isolierende Abstandsschichten 36, Fig. 4b, erzeugt. Zu diesem Zweck wird vorzugsweise zunächst durch konformes Abscheiden eine Oxidschicht erzeugt, 10 beispielsweise aus TEOS (TEOS = Tetraethylorthosilicat).

Durch ein solches Abscheiden wird eine ganzflächige Oxidschicht bewirkt, die im Idealfall auf horizontalen und vertikalen Oberflächen einer Struktur die gleiche Dicke aufweist. Durch ein nachfolgendes anisotropes Trockenätzen wird diese 15 Oxidschicht dann von den horizontalen Oberflächen entfernt, so daß die seitlichen Oxidabstandsschichten 36, wie sie in Fig. 4b gezeigt sind, verbleiben.

Nach dem Erzeugen der Oxidabstandsschichten, die beispielsweise eine Dicke von 40 nm aufweisen können, wird vorzugsweise ein reaktives Ionenätzen verwendet, um die nach dem Erzeugen der Abstandsschichten noch freiliegende ONO-Dreischichtstruktur zu öffnen. Durch die Öffnungen in der 20 ONO-Dreischichtstruktur 20 werden Source/Drain-Implantationen gebildeten, bei n-Kanal-Speichertransistoren vorzugsweise 25 durch Implantation mit Arsen einer Dotierungskonzentration von  $3 \times 10^{15} \text{ cm}^{-3}$ . Die Source/Drain-Implantationen 38 verlaufen entlang der späteren Bitleitungen und können somit auch als Bitleitungsimplantationen bezeichnet werden.

30 An dieser Stelle sei angemerkt, daß vor dem Durchführen der Implantation zum Erzeugen der Bereiche 38 nicht die gesamte ONO-Dreischichtstruktur 20 entfernt werden muß, sondern daß die Implantation beispielsweise durch die untere Oxidschicht 35 14, die dann als Streuoxid dient, durchgeführt werden kann. Falls die Implantation durch die untere Oxidschicht 14 durchgeführt wird, muß diese nachfolgend entfernt werden, um die

obere Oberfläche des Substrats 12 in dem Bereich, in dem die Source/Drainimplantation durchgeführt wurde und in dem die metallischen Bitleitungen gebildet werden sollen, freizulegen.

5

Nachfolgend wird ein Metall für eine selbstjustierte Silizierung abgeschieden, vorzugsweise Ti, Co oder Legierungen derselben. Im Anschluß erfolgt die zur Silizierung notwendige Temperung und dann die Entfernung des nicht silizierten Metalls. Dadurch werden die in Fig. 4b dargestellten Metallisierungen 40 auf den Source/Drain-Implantationen 38, die die metallischen Bitleitungen 40 darstellen, erzeugt. Im Anschluß werden die verbleibenden Zwischenräume mit einem isolierenden Material 42, vorzugsweise unter Verwendung einer Oxidabscheidung (TEOS) gefüllt. Danach wird die sich ergebende Oberfläche einer Planarisierung unterzogen, beispielsweise unter Verwendung eines reaktiven Ionenätzens oder vorzugsweise einer CMP-Technik, wobei in diesem Fall die sehr harte Nitridschicht als ein mechanischer Schleifstopp dienen kann. Die sich ergebende Struktur ist schematisch im Querschnitt in Fig. 4b gezeigt.

Zur Erzeugung der quer zu den erzeugten Bitleitungen 40 verlaufenden Wortleitungen wird nun zunächst das noch auf dem streifenförmigen Gatebereich 34 vorhandene Nitrid, das in Fig. 4b mit dem Bezugszeichen 44 versehen ist, naßchemisch entfernt, wozu vorzugsweise heiße Phosphorsäure verwendet wird. Auf der sich dadurch ergebenden Struktur wird, wie in Fig. 4 gezeigt ist, ein Schichtaufbau aus einer zweiten polykristallinen Schicht 46, einer metallischen Schicht 48 und einer Hartmaske 50, vorzugsweise Nitrid, erzeugt. Die zweite polykristalline Schicht 46 wird durch Abscheidung erzeugt, während die metallische Schicht 48 durch Abscheidung von WSi gebildet wird. Alternativ kann hier eine Schichtfolge aus polykristallinem Silizium, Wolframnitrid und Wolfram erzeugt werden, wie oben erläutert wurde. Auf der zweiten polykri-

stallinen Schicht 46 wird dann die Nitridschicht 50 als Hartmaske durch eine Abscheidung erzeugt.

Der sich im Peripheriebereich durch die oben beschriebenen 5 Verfahrensschritte ergebende Schichtaufbau ist in Fig. 5 gezeigt, wobei im Peripheriebereich die ONO-Dreischichtstruktur 20, wie oben beschrieben wurde, durch eine Gateoxidschicht 52 ersetzt ist.

10 Ausgehend von den in den Fig. 4c und 5 gezeigten Schichtaufbauten wird nachfolgend eine Phototechnik durchgeführt, um innerhalb des Zellenfeldes die Wortleitungen und in der Peripherie die Gatebereiche in der Hartmaske 50 zu strukturieren. Nachfolgend wird der Wortleitungsaufbau bestehend aus erster 15 polykristalliner Schicht 22, zweiter polykristalliner Schicht 46 und Metallschicht 48 mit hoher Selektivität zu Oxid geätzt. Im Anschluß wird optional eine Antipunch-Implantation zwischen den Wortleitungen durchgeführt, beispielsweise unter Verwendung einer geeigneten Phototechnik.

20 Eine durch die Pfeile A in Fig. 4c definierte Schnittansicht der sich dadurch ergebenden Struktur ist in Fig. 6a gezeigt, während eine durch die Pfeile B definierte Schnittansicht in Fig. 6b gezeigt ist. In Fig. 6a sind die oben angesprochenen 25 Antipunch-Implantationen mit dem Bezugszeichen 54 bezeichnet.

Parallel zu den oben beschriebenen Schritten des Strukturierens der Wortleitungen werden in den Peripheriebereichen die Gatestrukturen der Peripherietransistoren strukturiert, wo-30 bei in Fig. 7 eine schematische Querschnittsansicht gezeigt ist, die einen Gatestapel eines solchen Transistorgates bestehend aus erster polykristalliner Schicht 22, zweiter polykristalliner Schicht 46, metallischer Schicht 48 und verbliebener Hartmaskenschicht 50 gezeigt ist.

35 Im Anschluß an die beschriebene Strukturierung der Wortleitungen im Speicherzellenbereich und der Gatestrukturen im Pe-

ripheriebereich erfolgen in bekannter Weise weitere Schritte zur weiteren Isolation der Wortleitungen bzw. zum Aufbau der Peripherietransistoren. Solche weiteren Schritte umfassen beispielsweise eine Gatereoxidation der Peripherietransistoren, das Vorsehen von Nitrid- und/oder Oxid-Abstandsschichten auf seitliche Oberflächen der Peripherietransistoren, die vorzugsweise gleichzeitig zu einer Füllung der Zwischenräume zwischen den strukturierten Wortleitungsstrukturen führen, LDD-Implantationen (LDD = lightly doped drain) und HDD-Implantationen (HDD = heavily doped drain), sowie Nitrid/BPSG-Abscheidungen und Planarisierungen beispielsweise unter Verwendung von CMP-Techniken. Abschließend werden nach dem Stand der Technik bekannte Schritte zur Herstellung und Füllung von Kontaktlöchern sowie der Metallisierung und Passivierung durchgeführt.

Bei dem oben beschriebenen Ausführungsbeispiel werden die polykristallinen Schichten 22 und 46 als in-situ-dotierte Polyschichten abgeschieden, wobei bei den n-Kanal-Transistoren der bevorzugten Ausführungsbeispiele n<sup>+</sup>-dotierte Polysiliziumschichten abgeschieden werden. Bei diesem ersten Ausführungsbeispiel erfolgt die Metallisierung der Wortleitungen unter Verwendung der oben beschriebenen Polycide-Technik. Dieses Ausführungsbeispiel eignet sich für den Einsatz bei der Single-Workfunction-Gate-Technologie, die beispielsweise vorteilhaft bei der Realisierung von DRAMs und dergleichen Anwendung findet.

Ein alternatives Ausführungsbeispiel, das sich für die Dual-Workfunction-Gate-Technologie für High-Performance-CMOS-Anwendungen eignet, wird nun beschrieben.

Hinsichtlich der Erzeugung der metallischen bzw. metallisierten Bitleitungen unterscheidet sich dieses zweite Ausführungsbeispiel nicht von dem oben beschriebenen ersten Ausführungsbeispiel. Jedoch wird bei dem zweiten Ausführungsbeispiel statt des bezüglich des ersten Ausführungsbeispiels be-

schriebenen Polycide-Prozesses zur Erzeugung der Wortleitungen ein Salicide-Prozeß verwendet. Zu diesem Zweck wird ausgehend von der in Fig. 4b gezeigten Struktur, bei der ferner die Nitridbereiche 44 entfernt sind, eine zweite polykristalline Schicht und direkt auf die zweite polykristalline Schicht eine Oxid-Hartmaske aufgebracht. An dieser Stelle sei angemerkt, daß bei dem zweiten Ausführungsbeispiel sowohl die erste polykristalline Schicht als auch die zweite polykristalline Schicht zunächst undotiert aufgebracht werden. Eine Dotierung der ersten polykristallinen Schicht kann zusammen mit der Dotierung der Source-Drain-Bereiche erfolgen, entweder nach dem Entfernen der Nitridschicht 44 oder durch dieselbe, wenn sie entsprechend dünn ausgebildet ist.

Nach dem beschriebenen Aufbringen der zweiten polykristallinen Schicht und der Oxid-Hartmaske werden die Wortleitungsstrukturen im Speicherzellenbereich und die Gatestrukturen im Peripheriebereich erzeugt. Die sich ergebende Struktur im Speicherzellenbereich ist in schematischen Querschnittsansichten, die analog denen in den Fig. 6a und 6b entsprechen, in den Fig. 8a und 8b dargestellt, wobei für sich in den Figuren entsprechende Merkmale identische Bezugszeichen verwendet sind. Ferner sind in den Fig. 8a und 8b die verbleibenden Bereiche 56 der Oxid-Hartmaske dargestellt.

In Fig. 9 ist eine schematische Querschnittsansicht der sich ergebenden Peripherietransistorstruktur dargestellt, wobei bereits LDD-Implantationen 58 für den Source- bzw. Gatebereich des Peripherietransistors durchgeführt wurden.

Ausgehend von den in den Fig. 8 und 9 gezeigten Zuständen wird nun vorzugsweise zunächst eine Gatereoxidation, d. h. eine Überoxidation, durchgeführt, durch die dünne Oxidschichten 60 mit einer Dicke von beispielsweise 6 nm auf den seitlichen Oberflächen der Wortleitungsstrukturen im Speicherzellenbereich und des Gatestapels im Peripherietransistorbereich erzeugt werden, wie in den Fig. 10a, 10b und 11 gezeigt ist.

Abweichend von dem gezeigten Ausführungsbeispiel wird die Reoxidation vorzugsweise vor der LDD-Implantation durchgeführt, so daß ein über den Source/Drain-Gebieten dadurch erzeugtes Oxid als Streuoxid für die LDD-Implantation dienen kann. Durch anisotrope Ätzverfahren wird das bei der Reoxidation auf den horizontalen Flächen erzeugte Oxid beseitigt. Im Anschluß werden bei dem bevorzugten Ausführungsbeispiel auf den Oxidschichten 60 Nitridabstandsschichten 62 erzeugt, woraufhin weitere Oxidabstandsschichten 64 auf die seitlichen Oberflächen, siehe Fig. 11, aufgebracht werden, die im Speicherzellenbereich zu einer vollständigen Füllung 66 der Wortleitungszwischenräume führen. An dieser Stelle sei angemerkt, daß die Ausführung der Abstandsschichten bzw. die Materialwahl derselben davon abhängig ist, welche Spannungsfestigkeit die zu erzeugenden Peripherietransistoren aufweisen sollen.

Die äußeren Oxidabstandsschichten 64 werden wiederum vorzugsweise durch eine konforme Oxidabscheidung (aus TEOS) erzeugt, woraufhin nachfolgend durch anisotropes Ätzen das auf horizontalen Flächen abgeschiedene Oxid entfernt wird. Mit diesem Ätzen werden gleichzeitig die verbliebenen Teile der Hartmaske 56 entfernt, so daß die verbliebenen Bereiche der zweiten polykristallinen Schicht 46 freigelegt werden.

In diesem Zustand erfolgt nun die Implantation zur Erzeugung der HDD Bereiche 68, wobei gleichzeitig die Dotierung der zweiten polykristallinen Schicht 46 bewirkt wird.

Nachfolgend wird ein Salicide-Prozeß durchgeführt, um sowohl die Wortleitungen im Speicherzellenbereich als auch die Gatestapel im Peripheriebereich mit einer Metallisierungsschicht 70 zu versehen. Zum Zwecke dieser Metallisierung wird zunächst vollflächig ein Metall aufgebracht, Ti, Co oder Legierungen derselben, woraufhin ein Temperungsschritt erfolgt, um die Silizidschichten 70 zu erzeugen. Bei dieser Silizierung werden ferner Silizidschichten 72 auf den Source/Drain-Bereichen der Peripherietransistoren erzeugt. Im Anschluß

- werden die Teile der aufgebrachten Metallschicht, die während des Temperungsschritts keiner chemischen Reaktion mit Silizium unterliegen, vorzugsweise unter Verwendung eines Naßätzverfahrens beseitigt. An dieser Stelle sei angemerkt, daß
- 5 während des Temperungsschritts der Silizierung ferner eine Diffusion der während der Implantation der HDD-Bereiche 68 in die zweite polykristalline Schicht 46 eingebrachten Dotierung in die erste polykristalline Schicht 22 erfolgt.
- 10 Alternativ zu dem beschriebenen zweiten Ausführungsbeispiel können im Bereich des Speicherzellenarrays die Gate-Bereiche, d.h. das Gate-Polysilizium  $p^+$ -dotiert werden, was Vorteile bezüglich des Verhaltens der Speicherzellen haben kann.
- 15 Die vorliegende Erfindung ermöglicht somit eine vorteilhafte prozeßtechnische Einbindung der Erzeugung von metallischen Bitleitungen, und metallischen Wortleitungen, für Speicherzellenarrays, was den Aufbau großer Zellblöcke bei minimaler Zellfläche der einzelnen Zellen ermöglicht. Insbesondere ermöglicht die vorliegende Erfindung ferner eine weitgehende Parallelisierung bei der Erzeugung von Speicherzellenstrukturen und Peripherietransistorstrukturen, was zu einfachen und kostengünstigen Prozeßabläufen führt.
- 20

## Bezugszeichenliste

- 2 Wortleitungen  
4 Bitleitungen  
6 Speicherzellen  
8 Source/Drain-Implantation  
10 Siliziumsubstrat  
12 Transistorwannen  
14 untere Oxidschicht  
16 Nitridschicht  
18 obere Oxidschicht  
20 ONO-Struktur  
22 polykristallines Silizium  
24 Hartmaskenschicht  
26 Ausnehmungen in Nitridschicht  
28 Streifen  
30 Bitleitungsausnehmungen  
32 dotierte Bereiche  
34 streifenförmige Gatebereiche  
36 isolierende Abstandsschichten  
38 Source/Drain-Implantationen  
40 metallische Bitleitung  
42 isolierendes Material/Oxid  
44 auf Gate-Bereichen verbliebenes Nitrid  
46 zweite polykristalline Schicht  
48 metallische Schicht  
50 Hartmaske  
52 Gate-Oxidschicht  
54 Antipunch-Implantation  
56 Oxid-Hartmaskenschicht  
58 LDD-Implantation  
60 Reoxidationsschicht  
62 Nitridabstandsschicht  
64 äußere Oxidabstandsschicht  
66 Wortleitungzwischenraumfüllung  
68 HDD-Implantation  
70 Silizid-Schicht

72 Silizidschicht auf Source/Drain-Bereichen

E7

## Patentansprüche

1. Verfahren zum Herstellen von Bitleitungen (4, 40) für ein Speicherzellenarray, mit folgenden Schritten:

5

a) Bereitstellen einer Schichtstruktur aus einem Substrat (10) mit in eine Oberfläche desselben implantierten Transistorwannen (12), einer auf der Oberfläche des Substrats (10) vorgesehenen Speichermediumschichtfolge (20) und einer auf der Speichermediumschichtfolge (20) vorgesehenen Gatebereichschicht (22);

10

b) Erzeugen von Bitleitungsausnehmungen (30), die bis zu der Speichermediumschicht (20) reichen, in der Gatebereichschicht (22);

15

c) Erzeugen von isolierenden Abstandsschichten (36) auf seitlichen Oberflächen der Bitleitungsausnehmungen (30);

20

d) vollständiges oder teilweises Entfernen der Speichermediumschichtfolge (20) im Bereich der Bitleitungsausnehmungen (30);

25

e) Durchführen einer Source/Drainimplantation (38) im Bereich der Bitleitungsausnehmung (30);

f) vollständiges Entfernen der Speichermediumschichtfolge (20) im Bereich der Bitleitungsausnehmungen (30), wenn diese im Schritt d) nicht vollständig entfernt wurde; und

30

g) Erzeugen von Metallisierungen auf den der Source/Drainimplantation unterzogenen Bereichen zum Erzeugen von metallischen Bitleitungen (40), wobei die Metallisierung durch die isolierenden Abstandsschichten (36) von der Gatebereichschicht (34) isoliert sind.

35

2. Verfahren nach Anspruch 1, bei dem die metallischen Bitleitungen (40) durch einen Silizid-Prozeß erzeugt werden.
3. Verfahren nach Anspruch 1 oder 2, bei dem vor dem Schritt 5 c) eine Implantierung (32) eines Dotierungstyps, der dem der Transistorwannen (12) entspricht, im Bereich der Bitleitungs-ausnehmungen (30) in das Substrat durchgeführt wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem das Substrat (10) aus Silizium besteht, die Speichermedium-schichtfolge (20) eine Oxid-Nitrid-Oxid-Schichtfolge ist, und die Gatebereichschicht (22) aus einem polykristallinen Sili-zium besteht.
- 15 5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem vor dem Schritt b) eine Hartmasken-Schicht (24) auf die Gatebe-reichschicht (22) aufgebracht wird.
- 20 6. Verfahren zum Herstellen eines Speicherzellenarrays mit folgenden Schritten:

Durchführen der Schritte a) bis g) nach Anspruch 1;

  - 25 h) Füllen der nach dem Erzeugen der metallischen Bitleitungen (40) verbleibenden Bitleitungsausnehmungen (30) mit einem isolierenden Material (42); und
  - 30 i) Erzeugen von zu den Bitleitungen (4, 40) im wesentlichen senkrechten Wortleitungen (2, 48), die jeweils mit einer Mehrzahl von Gatebereichen verbunden sind, wobei die Gatebe-reiche beim Erzeugen der Wortleitungen (2, 48) durch ein ent-sprechendes Strukturieren der verbliebenen Teile der Gatebe-reichschicht (22) erzeugt werden.
- 35 7. Verfahren nach Anspruch 6, bei dem der Schritt i) folgende Teilschritte umfaßt:

11) ganzflächiges Aufbringen einer polykristallinen Schicht (46);

5 12) Erzeugen einer Silizidschicht (48) auf der polykristallinen Schicht (46); und

10 13) Strukturieren der Silizidschicht (48), der polykristallinen Schicht (46) und der Gatebereichschicht (22) zum Erzeugen der Gatebereiche und der Wortleitungen.

15 8. Verfahren nach Anspruch 7, das nach dem Erzeugen der Wortleitungen ferner einen Schritt des Erzeugens von Antipunch-Implantierungen (54) in dem Substrat zwischen den Wortleitungen aufweist.

20 9. Verfahren nach Anspruch 7 oder 8, das ferner einen Schritt des seitlichen Aufbringens von isolierenden Schichten auf seitliche Oberflächen der Wortleitungen und Gatebereiche nach dem Schritt i) aufweist.

25 10. Verfahren nach Anspruch 7 oder 8, das ferner einen Schritt des vollständigen Füllens von Zwischenräumen zwischen den Wortleitungen und Gatebereichen mit einem isolierenden Material nach dem Schritt i) aufweist.

30 11. Verfahren nach einem der Ansprüche 7 bis 10, bei dem parallel zur Herstellung des Speicherzellenarrays Peripherietransistoren außerhalb des Bereichs des Speicherzellenarrays erzeugt werden.

35 12. Verfahren nach Anspruch 6, bei dem der Schritt i) folgende Teilschritte umfaßt:

36 11) ganzflächiges Aufbringen einer polykristallinen Schicht (46);

i2) Strukturieren der polykristallinen Schicht (46) und der verbliebenen Teile der Gatebereichschicht (22) entsprechend dem Muster der Wortleitungen, wodurch die Gatebereiche erzeugt werden;

5

i3) Auffüllen der im Schritt i2) erzeugten Ausnehmungen in der polykristallinen Schicht (46) und der Gatebereichschicht (22) mit einem isolierenden Material (60, 62, 66); und

10 i4) Durchführen eines Silizid-Prozesses zum selektiven Erzeugen einer Silizidschicht (70) auf der im Muster der Wortleitungen strukturierten polykristallinen Schicht (46) zum Erzeugen metallischer Wortleitungen.

15 13. Verfahren nach Anspruch 12, bei dem im Schritt i2) ferner Gatebereiche von Peripherietransistoren außerhalb des Bereichs des Speicherzellenarrays erzeugt werden, die durch den Schritt i3) mit isolierenden Schichten (60, 62, 64) auf seitlichen Oberflächen versehen werden, wobei im Schritt i4) ferner eine Silizidschicht (70) auf den Gatebereichen und auf Source/Drain-Bereichen (72) der Peripherietransistoren erzeugt wird.

20 14. Verfahren nach Anspruch 13, das nach dem Schritt i2) einen Schritt des Implantierens der Source/Drain-Bereiche (58, 68) der Peripherietransistoren in das Substrat aufweist, wobei bei dem Schritt des Implantierens gleichzeitig die verbliebenen Teile der polykristallinen Schicht (46) dotiert werden.

30

15. Speicherzellenarray mit folgenden Merkmalen:

35 einer Mehrzahl von in einem zweidimensionalen Array angeordneten Speicherzellen (6), die durch in einem Substrat gebildete Feldeffekttransistoren realisiert sind;

Wortleitungen (2; 48; 70), die in einer ersten Richtung bezüglich des Speicherzellenarrays angeordnet und mit Gatebereichen der Speicherzellen (6) elektrisch leitfähig verbunden sind; und

5

Bitleitungen (4, 40), die in einer zweiten Richtung im wesentlichen senkrecht zu der ersten Richtung zwischen den Speicherzellen (6) verlaufen, dadurch gekennzeichnet, daß

10 die Bitleitungen (4; 40) durch direkt auf Source/Drain-Bereichen (38) der Speicherzellen erzeugte metallische Strukturen gebildet sind, und zwischen den metallischen Strukturen der Bitleitungen (4; 40) und den Gatebereichen (34; 46) der Speicherzellen Isolierungsmittel (36) vorgesehen sind.

15

16. Speicherzellenarray nach Anspruch 15, bei dem die Isolierungsmittel (36) auf Seitenflächen der Gatebereiche vorgesehene isolierende Schichten sind.

20 17. Speicherzellenarray nach Anspruch 15 oder 16, bei dem die metallischen Strukturen (40) der Bitleitungen Silizidstrukturen sind.

25 18. Speicherzellenarray nach einem der Ansprüche 15 bis 17, bei dem das Substrat (10) aus Silizium besteht, die Gatebereiche aus Polysilizium bestehen und die Isolierungsmittel (36) Oxidabstandsschichten, die seitlich auf die Gatebereiche aufgebracht sind, sind.

30

- 1/7 -

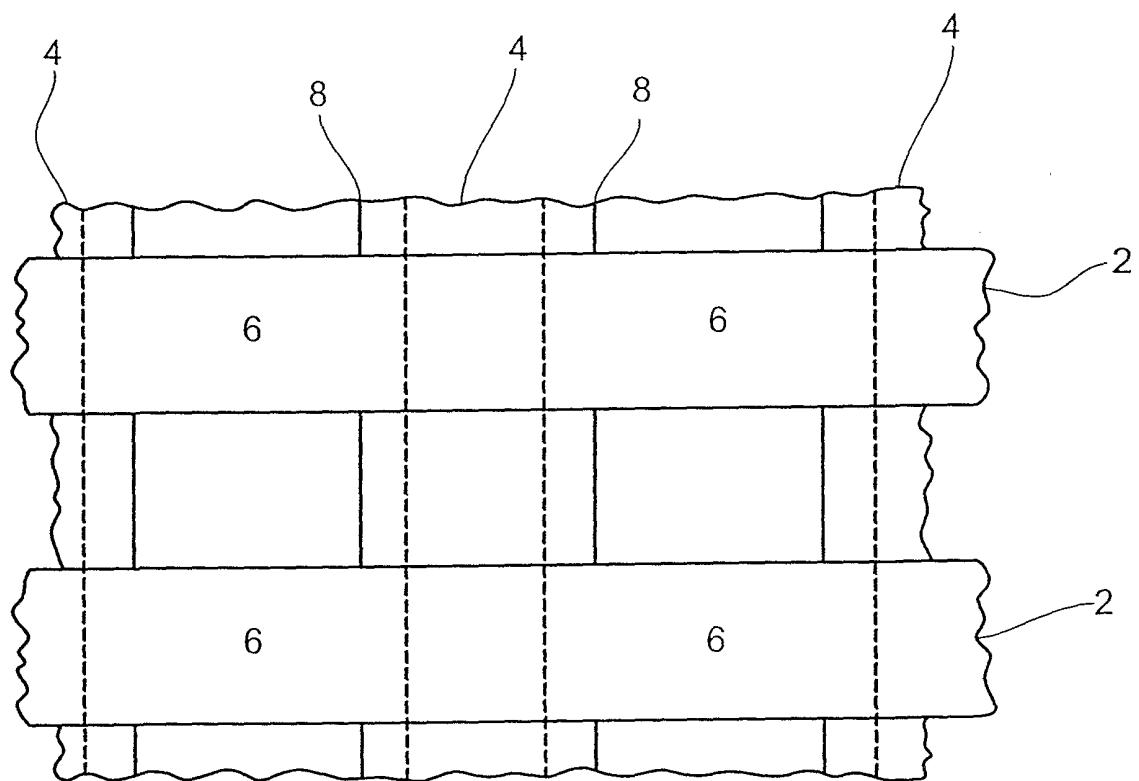


FIG 1

- 2/7 -

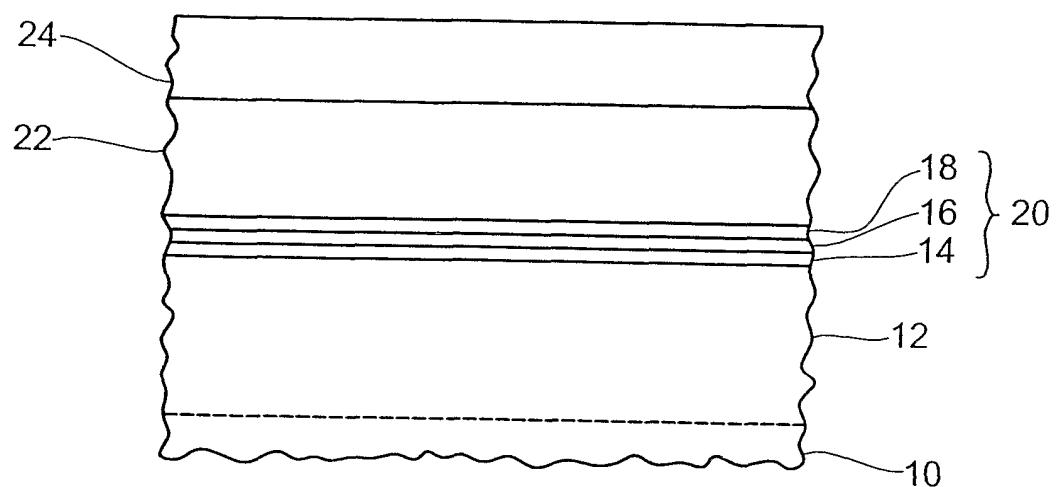


FIG 2

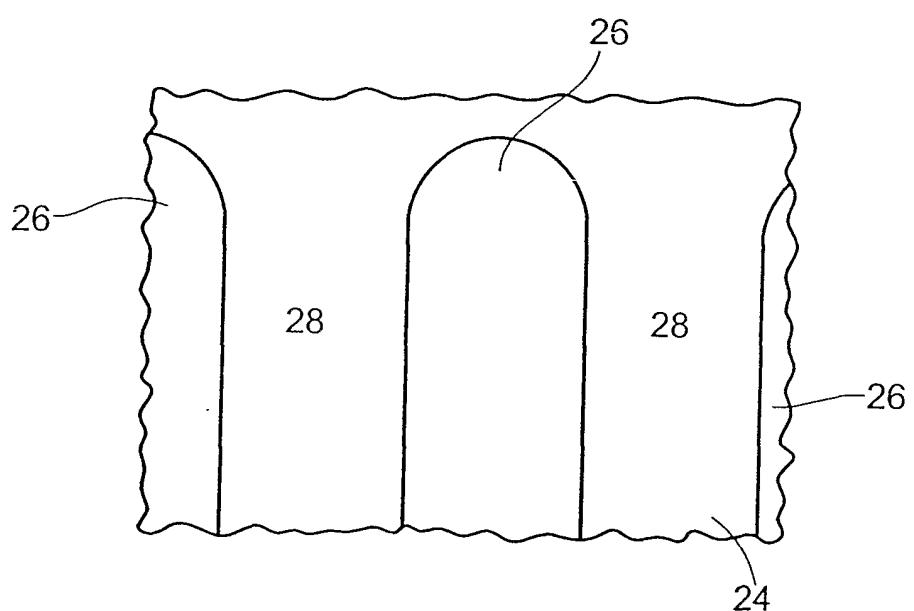


FIG 3

- 3/7 -

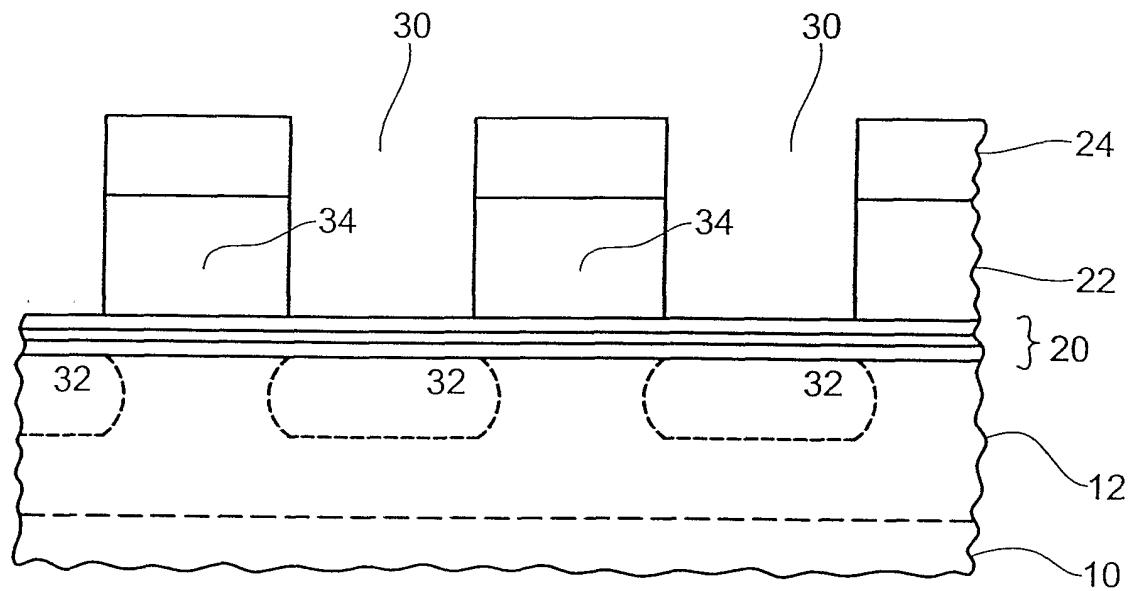


FIG 4A

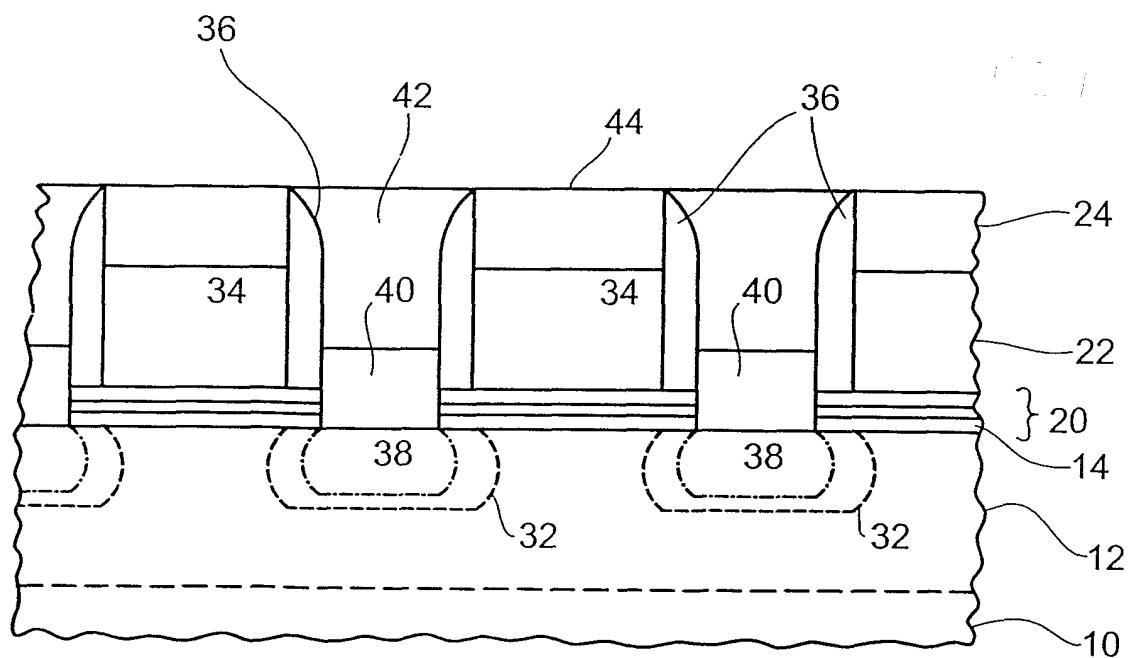


FIG 4B

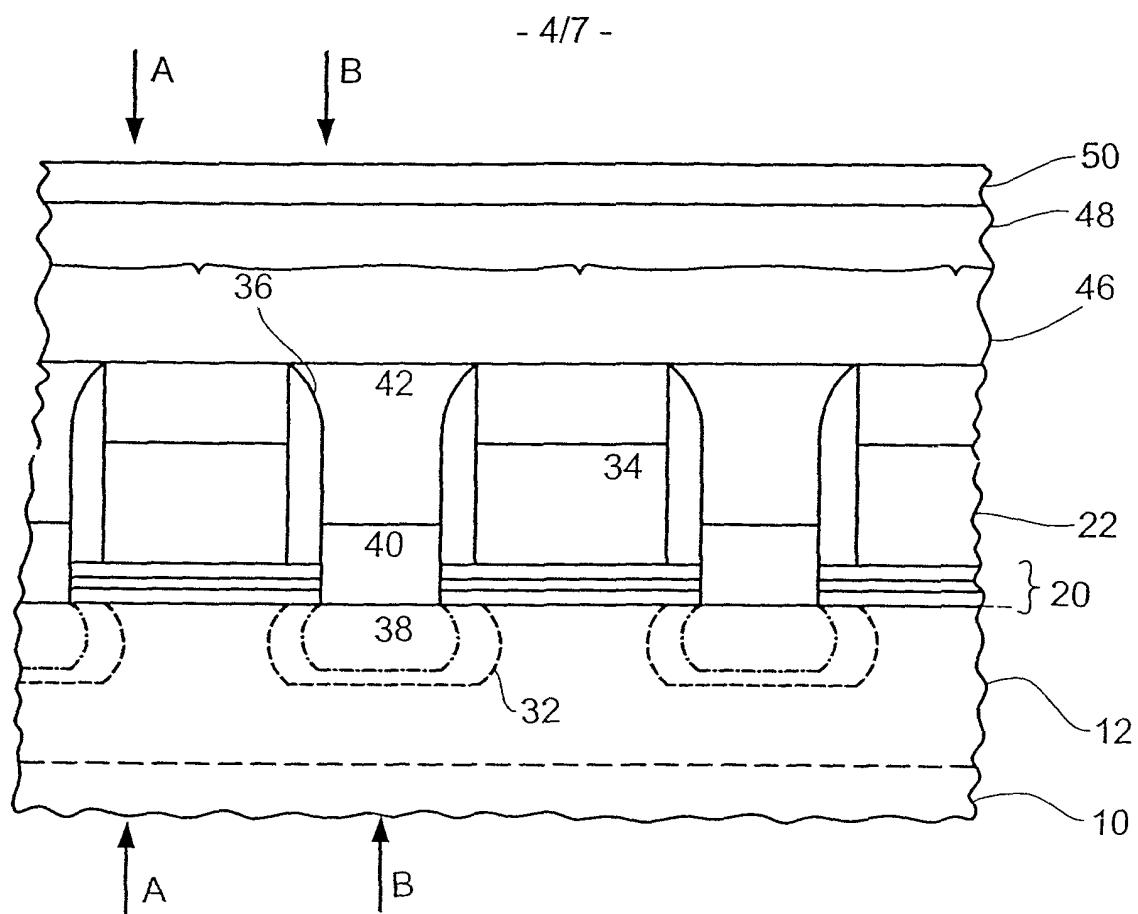


FIG 4C

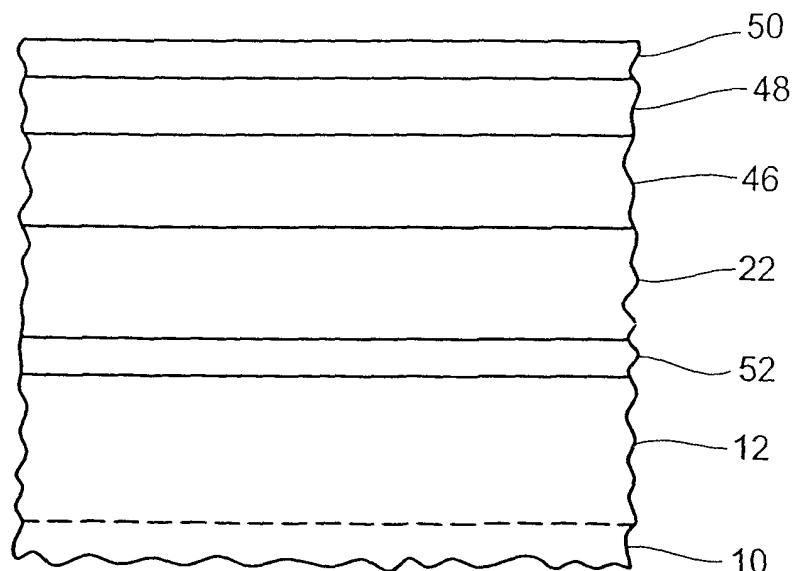


FIG 5

- 5/7 -

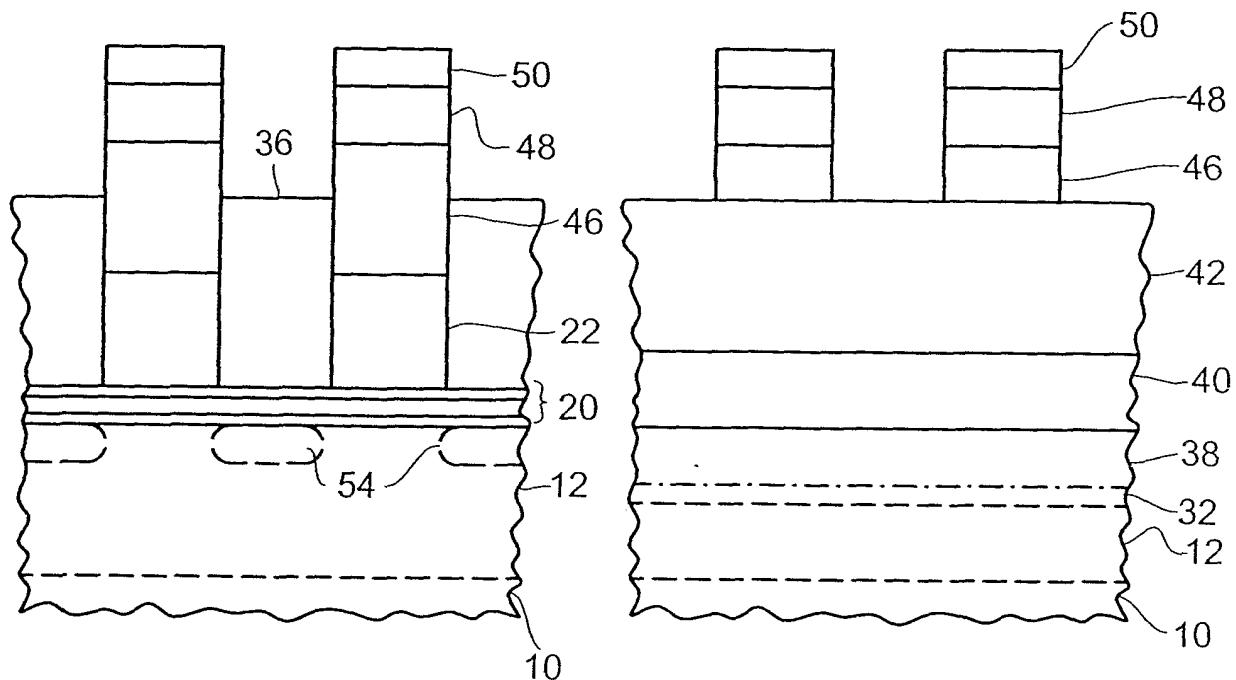


FIG 6A

FIG 6B

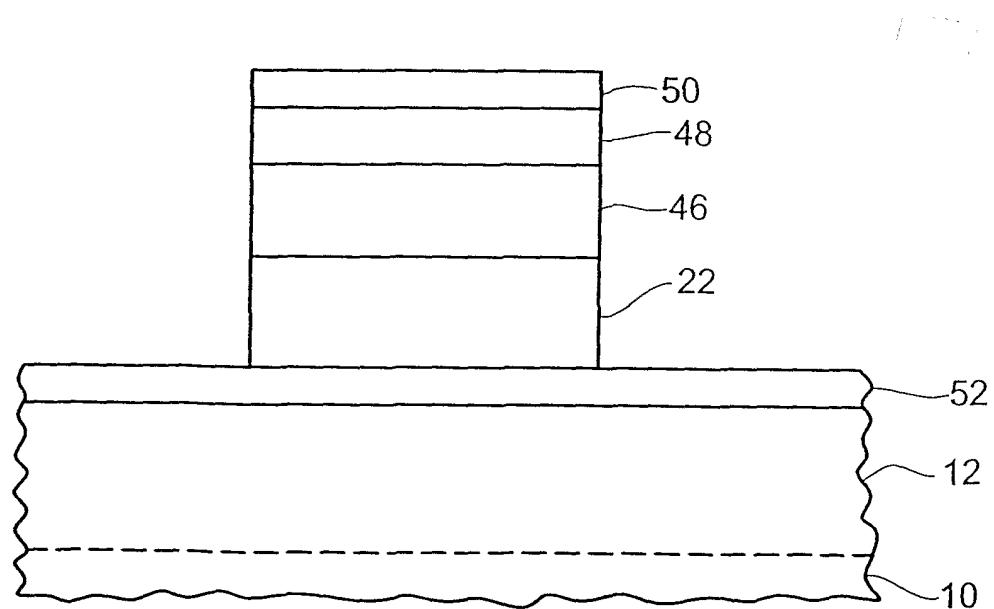


FIG 7

- 6/7 -

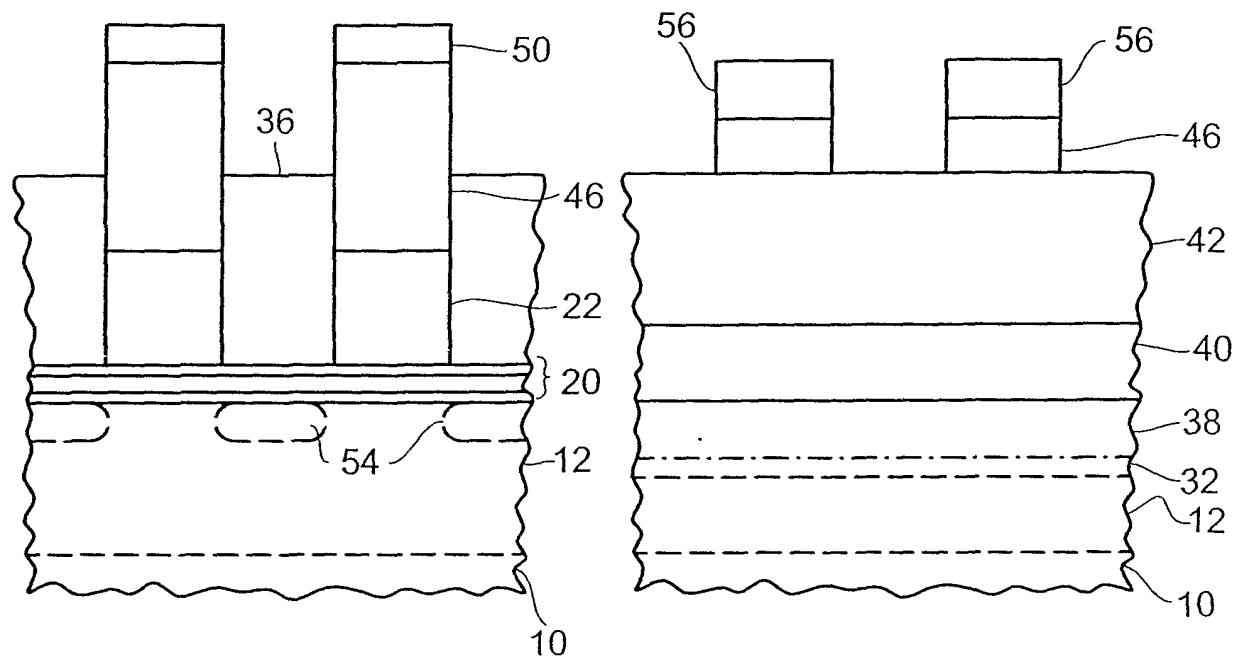


FIG 8A

FIG 8B

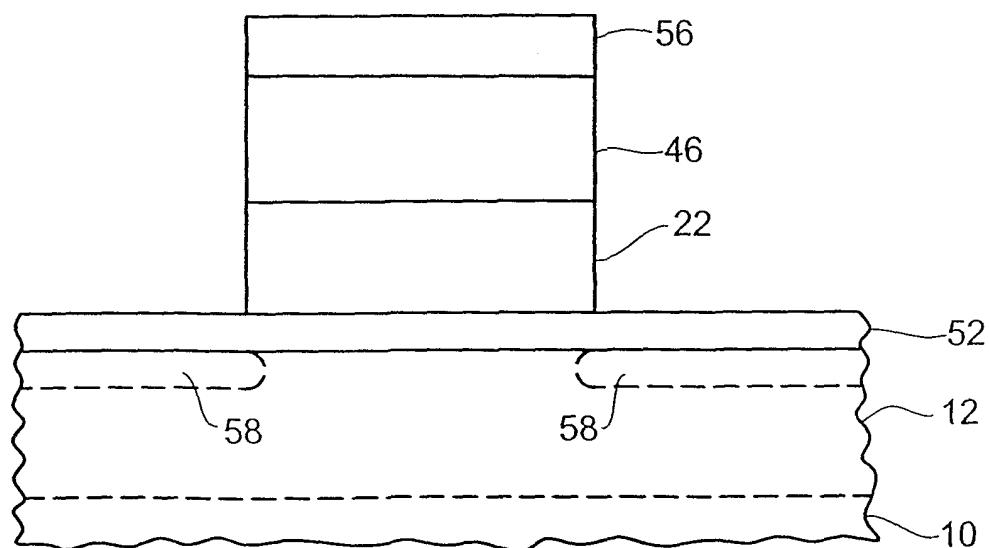


FIG 9

- 7/7 -

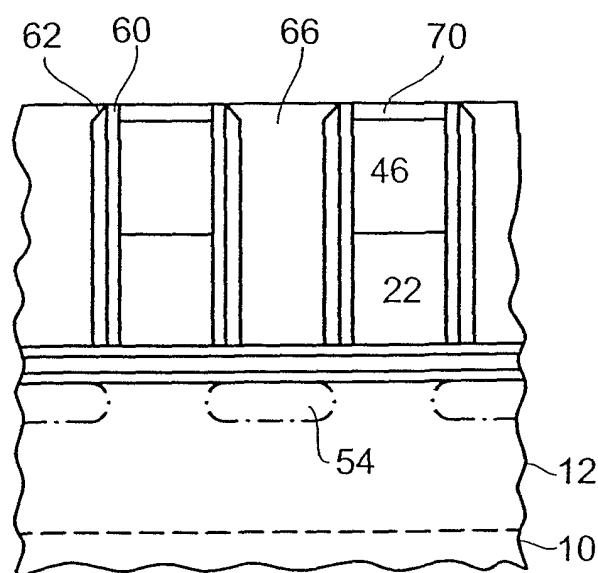


FIG 10A

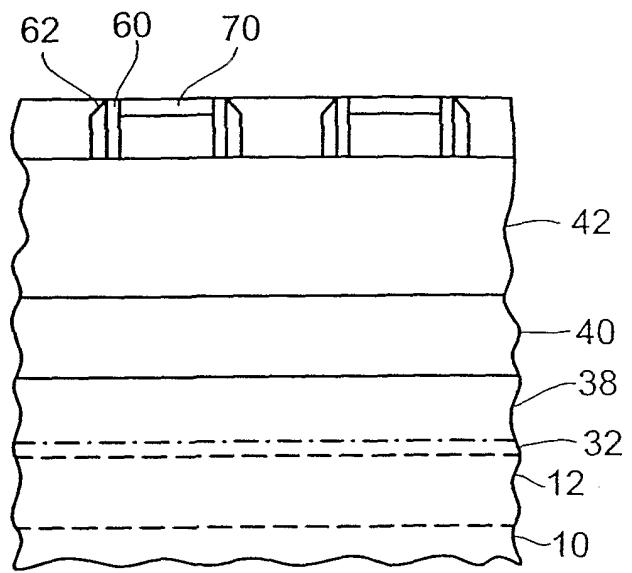


FIG 10B

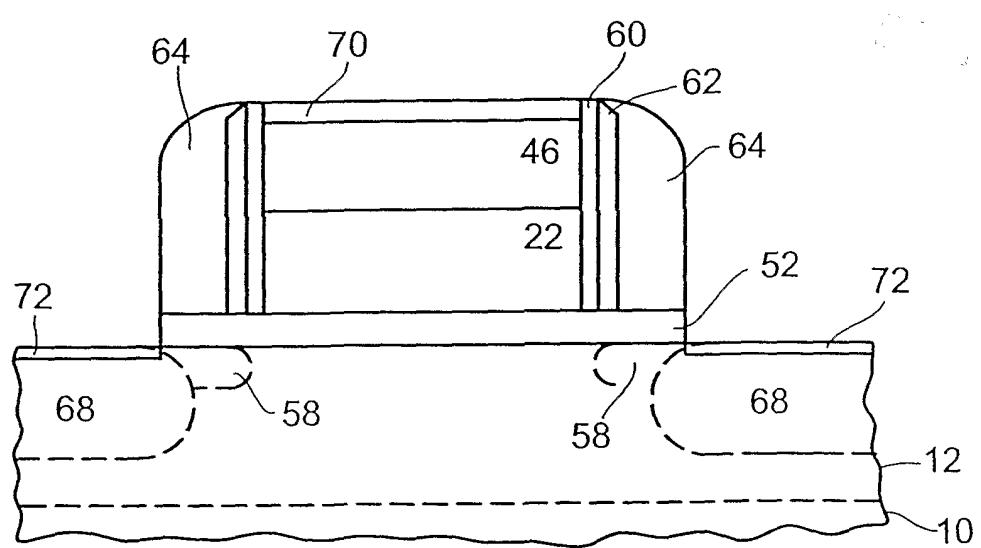


FIG 11