



## 【特許請求の範囲】

## 【請求項 1】

位相の異なる複数の入力信号を受け取って中間位相のタイミング信号を発生するタイミング信号発生回路であって、

複数の電流源、および、該複数の電流源の間に設けられ前記各入力信号により出力の電流極性を切り換える電流極性切換スイッチを有する複数の電流極性切換回路と、

重み付けされた該複数の電流極性切換回路の出力を合成した位相合成信号の電圧レベルを補正する電圧レベル補正回路とを備えることを特徴とするタイミング信号発生回路。

## 【請求項 2】

請求項 1 に記載のタイミング信号発生回路において、前記電圧レベル補正回路は、負帰還回路により構成されることを特徴とするタイミング信号発生回路。 10

## 【請求項 3】

請求項 1 または 2 に記載のタイミング信号発生回路において、さらに、

前記位相合成信号を増幅する増幅回路を備え、前記電圧レベル補正回路は、該位相合成信号の電圧レベルを該増幅回路の動作点レベル付近に補正することを特徴とするタイミング信号発生回路。

## 【請求項 4】

請求項 3 に記載のタイミング信号発生回路において、前記増幅回路は、従属接続された複数段の増幅器を備え、前記電圧レベル補正回路は、該各増幅器の出力毎に電圧レベルの補正を行うことを特徴とするタイミング信号発生回路。 20

## 【請求項 5】

請求項 3 に記載のタイミング信号発生回路において、前記増幅回路は、負帰還型の増幅器を備えることを特徴とするタイミング信号発生回路。

## 【請求項 6】

請求項 4 または 5 に記載のタイミング信号発生回路において、前記電圧レベル補正回路は、前記タイミング信号の出力電圧の平均値を検出し、該タイミング信号の出力電圧の平均値を前記増幅器の動作点レベル付近に補正することを特徴とするタイミング信号発生回路。

## 【請求項 7】

請求項 1 に記載のタイミング信号発生回路において、該タイミング信号発生回路は差動のタイミング信号を発生し、前記電圧レベル補正回路は、前記差動のタイミング信号の電圧レベルを監視する電圧レベル監視回路と、該電圧レベル監視回路の出力および基準電圧に応じて前記差動のタイミング信号の中心電圧を制御する中心電圧制御回路とを備えることを特徴とするタイミング信号発生回路。 30

## 【請求項 8】

請求項 1 に記載のタイミング信号発生回路において、前記各電流極性切換回路は、

第 1 の電源線に接続された第 1 の電流源と、

第 2 の電源線に接続された第 2 の電流源と、

前記第 1 および第 2 の電流源に接続され、電流極性を切り換える前記電流極性切換スイッチとを備えることを特徴とするタイミング信号発生回路。 40

## 【請求項 9】

請求項 8 に記載のタイミング信号発生回路において、

前記第 1 の電源線は高電位電源線であり、前記第 2 の電源線は低電位電源線であり、且つ、

前記第 1 の電流源は前記高電位電源線から前記電流極性切換スイッチに向けて電流を吐出す吐出型電流源であり、且つ、前記第 2 の電流源は、該電流極性切換スイッチから前記低電位電源線に向けて電流を吸い込む吸込型電流源であることを特徴とするタイミング信号発生回路。

## 【請求項 10】

入力信号のデータを検出および判定するデータ検出判定回路と、 50

該入力信号の変化点を検出および判定する変化点検出判定回路と、  
該データ検出判定回路および該変化点検出判定回路からの出力を受け取って位相比較を行う位相比較回路と、  
該位相比較回路の出力を受け取って前記データ検出判定回路に第1の内部クロックを供給すると共に前記変化点検出判定回路に第2の内部クロックを供給するクロック信号発生回路とを備える受信回路であって、  
前記クロック信号発生回路が、請求項1～9のいずれか1項に記載のタイミング信号発生回路であることを特徴とする受信回路。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、位相インターポレートするタイミング信号発生回路および該タイミング信号発生回路を備えた受信回路に関し、特に、複数のLSIチップ間や1つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の筐体間の信号伝送を高速化するためのタイミング信号発生回路に関する。

【0002】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、DRAM(Dynamic Random Access Memory)等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

20

【0003】

具体的に、例えば、DRAM等の主記憶装置とプロセッサとの間(LSI間)の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった筐体やボード(プリント配線基板)間の信号伝送だけでなく、半導体チップの高集積化並びに大型化等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

【0004】

30

そこで、基準クロックに同期して所定の位相差を有する複数のタイミング信号を、簡単な構成でしかも高精度に発生することのできるタイミング信号発生回路の提供が要望されている。

【0005】

【従来の技術】

LSI間の信号伝送を高速化するには、送られて来る信号に対して受信回路が正確なタイミングで動作する(データの検出および判定を行う)ことが必要である。従来、このような正確なタイミングのクロック(内部クロック)を発生させるために、帰還ループ型のクロック発生回路(位相可変タイミング信号発生回路)を用いたクロック復元回路を信号受信回路に設ける手法が知られている。ここで、クロック復元における位相可変の重みの値は、例えば、外部からの入力クロックと内部クロックとの位相比較を行う位相比較回路から発生される(例えば、特許文献1および特許文献2参照)。

40

【0006】

図1はクロック復元回路を含む受信回路の一例を概略的に示すブロック図である。図1において、参照符号101はデータ検出判定回路、102は変化点検出判定回路、103はタイミング信号発生回路(位相可変タイミング信号発生回路：位相インターポレータ)、そして、104は位相比較回路を示している。また、参照符号DILはデータ入力ライン、DOLはデータ出力ライン、DCLはデータ検出用クロックライン、BCLは変化点検出用クロックライン、そして、FLはフィードバックラインを示している。

【0007】

50

図 1 に示されるように、受信回路（クロック復元回路）は、タイミング信号発生回路 103 に対して基準クロックを与え、その入力された基準クロックに重み付き和を積分および増幅することで重み（WS）の値に対応した位相のクロック（CLKd, CLKb）を発生し、データ検出用クロック CLKd をデータ検出判定回路 101 に供給すると共に、変化点検出用クロック CLKb を変化点検出判定回路 102 に供給する。

#### 【0008】

ここで、データ検出用クロック CLKd は、入力信号の再生（検出）を行うためのタイミング信号であり、また、変化点検出用クロック CLKb は、入力信号の変化点を検出するためのタイミング信号である。なお、データ検出用クロック CLKd と変化点検出用クロック CLKb との位相差は、例えば、入力信号 1 ビットの 90° 程度に相当する位相関係になるようにされている。 10

#### 【0009】

位相比較回路 104 は、入力されたデータ検出判定回路 101 および変化点検出判定回路 102 の出力を比較処理して、フィードバックライン FL を介してフィードバック信号（制御信号）をタイミング信号発生回路 103 にフィードバック（帰還）する。

#### 【0010】

帰還ループの動作は、データ検出判定回路 101 は、タイミング信号発生回路 103 の出力であるデータ検出用クロック CLKd に基づいて入力信号を再生し、また、変化点検出判定回路 102 はタイミング信号発生回路 103 の出力である変化点検出用クロック CLKb に基づいて入力信号の変化点を検出する。 20

#### 【0011】

位相比較回路 104 は、データ検出判定回路 101 の出力と変化点検出判定回路 102 の出力とを比較し、タイミング信号（データ検出用クロック CLKd および変化点検出用クロック CLKb）が適正な位相にあるかどうかを判定し、位相を進めるか、或いは、遅らせるかの位相制御信号をタイミング信号発生回路 103 に出力する。さらに、タイミング信号発生回路 103 は、位相比較回路 104 からの位相制御信号に応じて位相補正を行い、新たな位相のタイミング信号（CLKd, CLKb）を各検出判定回路（101, 102）に出力する。

#### 【0012】

以上の動作を繰り返すことにより帰還ループは、後述する図 5 に示すように変化点検出用クロック CLKb（CLKb1～CLKb4）が入力信号の変化点付近に収束する。ここで、入力信号 1 ビットに対して 90° の位相差のあるデータ検出用クロック CLKd（CLKd1～CLKd4）は、入力信号の中央の位相関係となり、正確なタイミングで信号の再生を行うことができる。 30

#### 【0013】

以上の帰還ループを実現するためには、高精度のタイミング信号を発生することが可能なタイミング信号発生回路が必要となる。なお、クロック復元回路（クロックリカバリー回路）は、入力信号からデータ検出用のクロックを復元する点に注目して与えた名称であり、また、受信回路は、復元されたクロックを用いてデータ検出判定回路が入力信号のデータを検出および判定して出力する点に注目して与えたものである。 40

#### 【0014】

図 2 は図 1 の受信回路における従来のタイミング信号発生回路 103 の一例を示すブロック回路図であり、図 3 は図 2 のタイミング信号発生回路の動作を説明するための波形図である。図 2 において、参照符号 103a は位相合成回路（位相ミキサー）、103b はデジタル・アナログ変換器（D/A コンバータ）、そして、103c は増幅回路を示している。

#### 【0015】

位相合成回路 103a は、例えば、四相クロック（基準クロック） $\phi 0$ ,  $\phi 0X$ ,  $\phi 1$ ,  $\phi 1X$ 、並びに、D/A コンバータ 103b の出力を受け取って、重み（D/A コンバータ 103b の出力）WS を各基準クロックに与えることにより、該各基準クロックの中間 50

の位相を有する出力クロック $\theta$  ( $\theta X$ )を、増幅回路103cを介して出力する。ここで、四相クロックは、周波数が等しく位相が互いに $90^\circ$ 異なるクロックであり、クロック $\phi 0$ はクロック $\phi 0X$ と位相が $180^\circ$ 異なり、また、クロック $\phi 1$ はクロック $\phi 1X$ と位相が $180^\circ$ 異なっている。

#### 【0016】

すなわち、図2に示されるように、位相合成回路103aは、四相クロック $\phi 0$ 、 $\phi 0X$ 、 $\phi 1$ 、 $\phi 1X$ を入力とする4つの差動対トランジスタ133、134、全ての差動対トランジスタに対して共通に設けられた負荷トランジスタ131、132、および、各差動対トランジスタにそれぞれ設けられ、D/Aコンバータ103bの出力に応じてバイアス電流の値を変化させて重み付けを行う電流源トランジスタ136 (135)を備えている。ここで、差動アンプ(差動入力トランジスタ)を流れる電流の制御を行うバイアス電流源トランジスタ136は、D/Aコンバータ103bの出力により電流が制御されるトランジスタ135とカレントミラー接続されている。

#### 【0017】

さらに、位相合成回路103aにおいて、四相クロック $\phi 0$ 、 $\phi 0X$ 、 $\phi 1$ 、 $\phi 1X$ (2つの位相の差動基準クロック)に重みを付けて足し合わされた後、増幅回路103cを通ることにより、基準クロックの中間位相を得るようになっている。なお、上述したように、D/Aコンバータ103bは、位相比較回路104から位相を進めるか或いは遅らせるかを決定する位相制御信号を受け取り、重み付け信号WSを生成する。

#### 【0018】

図3は図2のタイミング信号発生回路の動作を説明するための波形図であり、位相合成回路103aの動作原理を示すものである。

#### 【0019】

図3に示されるように、図2のタイミング信号発生回路により、 $\phi 0 = \sin(t)$ 、 $\phi 1 = \cos(t)$ とすると、例えば、 $\phi 0$ に $(1-x)$ の重み付けがされ、また、 $\phi 1$ に $(x)$ の重み付けがされて、位相合成された信号(出力クロック) $\theta$ は、 $\theta = (1-x) \cdot \sin(t) + x \cdot \cos(t)$ となる。

#### 【0020】

ここで、時間=0付近の $\phi 0$ 、 $\phi 1$ が直線的に変化しているとすると、 $\phi 0 = T$ 、 $\phi 1 = T-1$ となり、出力クロック $\theta$ は、 $\theta = (1-x) \cdot T + x \cdot (T-1) = T-x$ となる。これは、重み付け量 $x$ を直線的に変化させれば、出力クロック $\theta$ の位相も直線的に変化することを示している。すなわち、基準信号 $\phi 0$ および $\phi 1$ に対して重み $1-x$ および $x$ の重み付けを行うことにより、これら基準信号 $\phi 0$ および $\phi 1$ の中間位相を有する出力クロック(位相合成信号) $\theta$ を生成することができる。

#### 【0021】

図4はクロック復元回路を含む受信回路の例を概略的に示すブロック図であり、4-way×2型のインターリーブ回路として構成したものである。図4において、参照符号111~114はデータ検出ユニット、121~124は変化点検出ユニット、103はタイミング信号発生回路、そして、104は位相比較回路を示している。

#### 【0022】

図4に示されるように、受信回路は、タイミング信号発生回路103に対して2組の差動クロック( $\phi 0$ 、 $\phi 0X$ ;  $\phi 1$ 、 $\phi 1X$ )を4位相の入力信号(四相クロック)として与え、そのタイミング信号発生回路103によりそれらの入力信号の重み付き和を積分および増幅し、重みの値に対応した位相のクロック(CLKd, CLKb)を発生している。

#### 【0023】

クロックCLKdは、データ検出ユニット(データ検出判定回路)111~114に与えられるもので、例えば、それぞれ $90^\circ$ の位相差を有する4つのデータ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4により構成される。

#### 【0024】

クロックCLKbは、変化点検出ユニット(変化点検出判定回路)121~124に与え

10

20

30

40

50

られるもので、例えば、それぞれ  $90^\circ$  の位相差を有する 4 つの変化点検出ユニット制御信号 CLKb1, CLKb2, CLKb3, CLKb4 により構成される。なお、各データ検出ユニット制御信号 CLKd1, CLKd2, CLKd3, CLKd4 と各変化点検出ユニット制御信号 CLKb1, CLKb2, CLKb3, CLKb4 とは、それぞれ  $45^\circ$  の位相差を有している。

#### 【0025】

従って、例えば、入力データライン DIL に対して  $2.5\text{ Gbps}$  の速度でデータが供給される場合、各データ検出ユニット 111～114 および変化点検出ユニット 121～124 は、それぞれ  $625\text{ MHz}$  のクロックでインターリーブ動作を行うことになる。

#### 【0026】

データ検出ユニット 111～114 は、例えば、それぞれ  $625\text{ MHz}$  のクロック（データ検出ユニット制御信号 CLKd1, CLKd2, CLKd3, CLKd4）により駆動され、入力データライン DIL に供給された入力信号のデータを検出および判定し、受信データ（再生信号）として出力する。また、データ検出ユニット 111～114 の出力は、位相比較回路 104 にも供給される。

#### 【0027】

同様に、変化点検出ユニット 121～124 は、例えば、それぞれ  $625\text{ MHz}$  のクロック（変化点検出ユニット制御信号 CLKb1, CLKb2, CLKb3, CLKb4）により駆動され、入力データライン DIL に供給された入力信号のデータの変化点を検出および判定して位相比較回路 104 に供給する。

#### 【0028】

位相比較回路 104 は、入力されたデータ検出ユニット 111～114 および変化点検出ユニット 121～124 の出力を比較処理して、フィードバックライン FL を介してフィードバック信号をタイミング信号発生回路 103 に供給（フィードバック）する。

#### 【0029】

図 5 は受信回路における各信号のタイミングを示す図であり、入力信号と、図 1 におけるデータ検出判定回路 101 に供給されるデータ検出用クロック CLKd および変化点検出判定回路 102 に供給される変化点検出用クロック CLKb の位相関係、或いは、図 4 における各データ検出ユニット 111～114 に供給されるデータ検出ユニット制御信号 CLKd1～CLKd4 および各変化点検出ユニット 121～124 に供給される変化点検出ユニット制御信号 CLKb1～CLKb4 の位相関係を示すもので、それぞれ等間隔になっている。すなわち、データ検出用クロック CLKd（CLKd1～CLKd4）と変化点検出用クロック CLKb（CLKb1～CLKb4）とは、入力信号の伝送速度の 1 ビットに対して  $90^\circ$  の位相差（ $1/2$  の位相差）を持たせて等間隔の位相関係になるようにされている。これにより、変化点検出用クロック CLKb が入力信号の変化点の位相にあるとき、データ検出用クロック CLKd が入力信号の中央の位相に来ることになる。

#### 【0030】

なお、図 5 において、参照符号 CLKd-01 は、データ検出判定回路 101（特定のデータ検出ユニット：例えば、データ検出ユニット 111）に供給されるデータ検出用クロック CLKd（データ検出ユニット制御信号 CLKd1）の任意の立ち上がりタイミングを示し、また、CLKd-02 は、そのデータ検出用クロック CLKd（データ検出ユニット制御信号 CLKd1）の立ち上がりタイミング CLKd-01 の直後の立ち上がりタイミングを示している。さらに、参照符号 CLKb-01 は、変化点検出判定回路 102（変化点検出ユニット 121）に供給される変化点検出用クロック CLKb（変化点検出ユニット制御信号 CLKb1）において、データ検出用クロック CLKd（データ検出ユニット制御信号 CLKd1）の立ち上がりタイミング CLKd-01 および CLKd-02 の間の立ち上がりタイミングを示している。

#### 【0031】

#### 【特許文献 1】

特願 2002-25724 号

10

20

30

40

50

## 【特許文献 2】

特開 2002-314516 号公報

## 【0032】

## 【発明が解決しようとする課題】

図 2 および図 3 を参照して説明したように、前述した位相合成回路 103a において、 $\phi 0 = T$ 、 $\phi 1 = T - 1$  ( $\phi 0$ 、 $\phi 1$  が直線的に変化している) とすると、出力クロック (位相合成信号)  $\theta$  は、 $\theta = T - x$  となり、重み付け量  $x$  を直線的に変化させれば出力クロック  $\theta$  の位相も直線的に変化することが分かる。

## 【0033】

しかしながら、図 2 に示す従来のタイミング信号発生回路は、近年の入力信号の高速化や電源電圧の低電圧化等により、精度のよい中間信号を得ようとした場合に問題があった。すなわち、図 2 に示す従来のタイミング信号発生回路は、例えば、差動対トランジスタ 133、134 による差動アンプ形式で動作するようになっており、負荷トランジスタ 131、132 に電流を流すことで出力クロック (位相合成信号  $\theta$ 、 $\theta X$ ) を出力するようになっている。具体的に、出力クロック  $\theta$  ( $\theta X$ ) 発生のプロセスは、例えば、次の通りである。

## 【0034】

まず、出力電圧 (合成信号の電圧) の降下は、入力トランジスタ 133 (134) がオンし、重み付けされた電流源 136 で決定する電流値が負荷トランジスタ 131 (132) に流れることで電圧が降下する。一方、出力電圧の上昇は、入力トランジスタ 133 (134) がオフし、重み付けされた電流源 136 と関係なく、負荷トランジスタ 131 (132) の持つインピーダンスおよび寄生容量等で決まる時定数により電圧が上昇する。

## 【0035】

すなわち、出力電圧は、降下する方向は重み付け電流に依存するが、上昇する方向は重み付け電流と関係が無く、そのため、波形の歪が生じる。さらに、出力電圧の上昇方向は、 $\theta = T - x$  の動作原理の式が成立しないことになり、精度のよい中間信号 (合成信号: タイミング信号) を得る上で問題があった。

## 【0036】

本発明は、上述した従来技術が有する課題に鑑み、簡単な構成でしかも高精度にタイミング信号を発生することができるタイミング信号発生回路の提供を目的とする。

## 【0037】

## 【課題を解決するための手段】

本発明の第 1 の形態によれば、位相の異なる複数の入力信号を受け取って中間位相のタイミング信号を発生するタイミング信号発生回路であって、複数の電流源、および、該複数の電流源の間に設けられ前記各入力信号により出力の電流極性を切り換える電流極性切換スイッチを有する複数の電流極性切換回路と、重み付けされた該複数の電流極性切換回路の出力を合成した位相合成信号の電圧レベルを補正する電圧レベル補正回路とを備えることを特徴とするタイミング信号発生回路が提供される。

## 【0038】

本発明の第 2 の形態によれば、入力信号のデータを検出および判定するデータ検出判定回路と、該入力信号の変化点を検出および判定する変化点検出判定回路と、該データ検出判定回路および該変化点検出判定回路からの出力を受け取って位相比較を行う位相比較回路と、該位相比較回路の出力を受け取って前記データ検出判定回路に第 1 の内部クロックを供給すると共に前記変化点検出判定回路に第 2 の内部クロックを供給するクロック信号発生回路とを備える受信回路が提供される。ここで、クロック信号発生回路は、位相の異なる複数の入力信号を受け取って中間位相のタイミング信号を発生するものであり、複数の電流源、および、該複数の電流源の間に設けられ前記各入力信号により出力の電流極性を切り換える電流極性切換スイッチを有する複数の電流極性切換回路と、重み付けされた該複数の電流極性切換回路の出力を合成した位相合成信号の電圧レベルを補正する電圧レベル補正回路とを備える。

## 【0039】

図6は本発明に係るタイミング信号発生回路の原理構成を示すブロック図であり、特に、位相合成回路の要部を概念的に示すものである。図6において、参照符号CSOは合成信号出力端子、31～34は電流極性切換回路、35は電圧レベル補正回路、そして、36は合成ノードNcs（合成信号出力線）に寄生する容量を示している。なお、図6の原理構成はシングルエンドのものを示しているが、後述するように、差動構成とすることができるとはいえない。

## 【0040】

図6に示されるように、本発明に係るタイミング信号発生回路（位相合成回路）は、図2に示す従来のタイミング信号発生回路103における位相合成回路103aに相当するものであり、異なる位相信号 $\phi 0$ 、 $\phi 1$ 、 $\phi 0X$ 、 $\phi 1X$ がそれぞれ供給された複数の電流極性切換回路31、32、33、34、および、電圧レベル補正回路35を備えている。ここで、信号 $\phi 0$ 、 $\phi 1$ 、 $\phi 0X$ 、 $\phi 1X$ は、位相が互いに $90^\circ$ 異なる四相クロックであり、例えば、クロック信号 $\phi 0$ は $0^\circ$ の位相、クロック信号 $\phi 1$ は $90^\circ$ の位相、クロック信号 $\phi 0X$ は $180^\circ$ の位相、そして、クロック信号 $\phi 1X$ は $270^\circ$ の位相を有する信号である。なお、各電流極性切換回路31～34には、例えば、図2におけるD/Aコンバータ103bの出力である重み信号（WS）が供給され、各入力信号（四相クロック $\phi 0$ 、 $\phi 1$ 、 $\phi 0X$ 、 $\phi 1X$ ）に対する重み付けが行われるようになっている。

## 【0041】

各電流極性切換回路31～34は同様の構成とされ、電流源切換スイッチ311、高電位電源線（第1の電源線）Vddと電流源切換スイッチ311との間に設けられた吐出型電流源（第1の電流源）312、および、電流源切換スイッチ311と低電位電源線（第2の電源線）Vssとの間に設けられた吸込型電流源（第2の電流源）313を備えている。この重み付けされた複数の電流極性切換回路31～34の出力は合成され、電圧レベル補正回路35による電圧レベルの補正が行われた後、合成ノードNcsから合成信号として出力される。なお、図6では、四相クロック $\phi 0$ 、 $\phi 0X$ 、 $\phi 1$ 、 $\phi 1X$ を入力信号とする4つの電流極性切換回路31～34が設けられているが、本発明のタイミング信号発生回路（位相合成回路）はこの構成に限定されないといえる。

## 【0042】

各電流極性切換回路31（32、33、34）は、例えば、入力信号 $\phi 0$ （ $\phi 0X$ 、 $\phi 1$ 、 $\phi 1X$ ）が低レベル『L』の時には合成ノードNcsに向かって電流を吐き出す方向（正の電流方向）に流し、また、入力信号 $\phi 0$ が高レベル『H』の時には合成ノードNcsから電流を吸い込む方向（負の電流方向）に流すようになっている。

## 【0043】

各電流極性切換回路31（32～34）の出力は、その電流極性切換回路31の電流源312、313に対して重み付けすることで、各入力信号 $\phi 0$ （ $\phi 1$ 、 $\phi 0X$ 、 $\phi 1X$ ）の位相を持ち、且つ、電流源312、313で規定される電流値の重みを有する電流信号を生成する。これにより、位相合成回路（信号合成回路）103aとしては、合成ノードNcsで重み付けされた各電流極性切換回路31～34の出力電流信号の和が得られる。ここで、合成ノードNcsで得られた電流信号の和は、構成デバイスや配線などの寄生容量にチャージ／ディスチャージされ、正の電流方向の時には上昇方向となる電圧信号が合成信号出力端子CSOに生成され、また、負の電流方向の時には下降方向となる電圧信号が合成信号出力端子CSOに生成される。

## 【0044】

以上において、電流極性切換回路31は、電流源（吐出型電流源および吸込型電流源）312、313、並びに、スイッチ（電流源切換スイッチ）311のみで構成されており、また、電流源312、313の出力インピーダンスは高いので合成信号出力端子CSOの電圧レベルは安定し難い。そのため、電圧レベル補正回路35により電圧レベルを特定の電圧値に規定することで、安定した電圧の位相合成信号を得ようになっている。

## 【0045】

10

20

30

40

50

このように、本発明によれば、位相合成信号の電圧は、上昇方向も降下方向も重み付け電流源の電流値で決定するため、簡単な構成でしかも高精度の中間信号（タイミング信号）を発生することができる。

#### 【0046】

#### 【発明の実施の形態】

以下、本発明に係るタイミング信号発生回路の各実施例を、添付図面を参照して詳述する。

#### 【0047】

図7は本発明に係るタイミング信号発生回路の第1実施例を示すブロック回路図である。

#### 【0048】

図7に示されるように、本第1実施例のタイミング信号発生回路（位相合成回路）において、電流極性切換回路31（32～34も同様）は、Pチャネル型MOSトランジスタ（PMOSトランジスタ）312a、312b、および、Nチャネル型MOSトランジスタ（NMOSトランジスタ）311、313a、313b、313cを備えている。

#### 【0049】

本第1実施例のタイミング信号発生回路の電流極性切換回路31において、NMOSトランジスタ311が電流源切換スイッチに対応し、PMOSトランジスタ312aが吐出型電流源に対応し、そして、NMOSトランジスタ313aが吸込型電流源に対応している。また、電圧レベル補正回路35は、高電位電源線V<sub>dd</sub>と低電位電源線V<sub>ss</sub>との間に直列に接続された抵抗素子351および352を備え、これら抵抗素子351および352で分割された電圧が合成信号出力線（合成ノードN<sub>cs</sub>、および、合成信号出力端子C<sub>SO</sub>）に印加されるようになっている。なお、図7において、合成信号出力線の寄生容量は省略されている。

#### 【0050】

ここで、重み信号（電流）W<sub>S</sub>は、ダイオード接続されたトランジスタ313cのドレインおよびゲートに供給され、このトランジスタ313cとカレントミラー接続されたトランジスタ313bおよび313aにミラーリングされる。また、トランジスタ313bを流れる電流は、トランジスタ312bを流れ、このトランジスタ312bとカレントミラー接続されたトランジスタ312aにミラーリングされる。このようにして、重み信号（電流）W<sub>S</sub>による重み付けされた電流源312aおよび313aを流れる電流は、ゲートに供給されたクロック信号（入力信号）φ<sub>0</sub>により制御される電流源切換スイッチ311により制御される。

#### 【0051】

図8～図10は図7のタイミング信号発生回路の動作を説明するための図であり、図8は電流極性切換回路31における電流源切換スイッチ311、吐出型電流源312aおよび吸込型電流源313aを示し、図9は入力信号φ<sub>0</sub>および出力信号（出力電流）outの関係を示し、そして、図10はPMOSトランジスタおよびNMOSトランジスタの動作特性（I<sub>D</sub>－V<sub>DS</sub>特性）を示している。

#### 【0052】

図8（a）および図9に示されるように、入力端子（トランジスタ311のゲート）に低レベル『L』のクロック信号（入力信号）φ<sub>0</sub>が入力されると、NMOSトランジスタ（電流源切換スイッチ）311がオフし、この電流源切換スイッチ311と高電位電源線V<sub>dd</sub>との間に設けられた吐出型電流源312aを介して出力端子out（合成ノードN<sub>cs</sub>）に向かって（正の電流方向に）電流が流れる。

#### 【0053】

ここで、吐出型電流源312aの電流値に対して、吸込型電流源313aの電流値を大きく（例えば、2倍程度）になるように、カレントミラー比を設定していた場合、トランジスタ311のゲートに高レベル『H』の入力信号φ<sub>0</sub>が入力されると、電流源切換スイッチ311がオンし、吐出型電流源312a、電流源切換スイッチ311および吸込型電流源313aを介して低電位電源線V<sub>ss</sub>に向かって（負の電流方向に）電流が流れる。そ

10

20

30

40

50

れと共に、出力端子out（合成ノードNcs）から電流切換スイッチ311および吸込型電流源313aを介して、低電位電源線Vssに向かって（負の電流方向に）電流が流れる。このとき、出力端子outに現れる電流は、吐出型電流源312aで決まる電流値で、電流の向きだけが変化する。なお、出力端子out（合成信号出力信号線）側における寄生容量36を考慮すると、入力信号φ0が低レベル『L』から高レベル『H』に変化するときには、寄生容量36に蓄積された電荷が出力端子out側から吸込型電流源313aを介して低電位電源線Vssに向かって流れることになる。

#### 【0054】

また、タイミング信号発生回路全体の動作をみると、複数の電流極性切換回路31～34の構成が同一であれば、吐出型電流源312aおよび吸込型電流源313aの電流値のみで決まる電流信号が合成ノードNcsで得られることになり、結果として、高精度な中間信号（タイミング信号）を発生することが可能になる。

#### 【0055】

次に、電圧レベル補正回路35について説明する。

#### 【0056】

まず、電流極性切換回路31中の電流源トランジスタ312a、313aの特性について考察する。図10に示されるように、ソースドレイン間電圧 $V_{DS}$ に対するドレイン電流 $I_D$ の特性は、高電位電源電圧（Vdd）および低電位電源電圧（Vss）の近傍で線形領域となって定電流性を示さない。そのため、位相合成信号の電圧レベルは、電流源トランジスタ（PMOSTランジスタ312aおよびNMOSTランジスタ313a）の飽和領域内にある必要があり、換言すると、電流源トランジスタ312a、313aの飽和領域内であればどこでもよいことになる。

#### 【0057】

ここで、電流源のインピーダンスは非常に高いため、例えば、図7に示すような簡素な抵抗分割回路（電圧レベル補正回路35）で実現することができる。なお、上述したように、位相合成信号の電圧レベルは、電流源トランジスタ312a、313aの飽和領域内であればどこでもよいから、例えば、後述する図11に示すような様々な構成を適用することが可能である。

#### 【0058】

図11は図7のタイミング信号発生回路（位相合成回路）における電圧レベル補正回路の変形例を示す図である。

#### 【0059】

図11（a）に示す電圧レベル補正回路35は、図7の電圧レベル補正回路における抵抗素子351および352をそれぞれダイオード接続したPMOSTランジスタおよびNMOSTランジスタとしたものであり、図11（b）に示す電圧レベル補正回路35は、図7の電圧レベル補正回路における抵抗素子351を電流源としたものであり、そして、図11（c）に示す電圧レベル補正回路35は、図7の電圧レベル補正回路における抵抗素子352を電流源としたものである。

#### 【0060】

図11（d）に示す電圧レベル補正回路35は、図7の電圧レベル補正回路における抵抗素子351をダイオード接続したPMOSTランジスタとしたものであり、そして、図11（e）に示す電圧レベル補正回路35は、図7の電圧レベル補正回路における抵抗素子352をダイオード接続したNMOSTランジスタとしたものである。このように、電圧レベル補正回路35は、様々な構成とすることができる。

#### 【0061】

図12は本発明に係るタイミング信号発生回路の第2実施例を示すブロック回路図であり、図13は図12のタイミング信号発生回路における電流極性切換回路の動作を説明するための図である。

#### 【0062】

図12および図13に示されるように、本第2実施例のタイミング信号発生回路（位相合

成回路)は、図6を参照して説明した位相合成回路を差動構成としたものに相当し、差動の合成信号が合成信号出力端子CSO、CSOXから取り出されるようになっている。すなわち、図6に示す位相合成回路の電流極性切換回路31における吐成型電流源312および電流源切換スイッチ311を、差動の入力信号 $\phi 0$ 、 $\phi 0X$ に対応した吐成型電流源3121、3122および電流源切換スイッチ(NMOSトランジスタ)3111、3112として構成し、吐成型電流源3121、3122とトランジスタ3111、3112のドレインとの接続ノードから重み付けされた信号を取り出して差動の合成ノードNcs、NcsXに接続するようになっている。なお、本第2実施例では、図6に示す位相合成回路の電流極性切換回路31における吸込型電流源313は共用するように設けられ、トランジスタ3111および3112のソースは共通接続され、吸込型電流源3130を介して低電位電源線Vssに接続されている。 10

#### 【0063】

図13に示す電流極性切換回路31において、正論理の入力信号 $\phi 0$ が高レベル『H』で負論理の入力信号 $\phi 0X$ が低レベル『L』のとき、トランジスタ3111はオンしてトランジスタ3112はオフする。ここで、吐成型電流源3121および3122の電流値に対して、吸込型電流源3130の電流値を大きく(例えば、2倍程度に)なるようにしておく、前述した図8(a)と同様に、トランジスタ(電流源切換スイッチ)3112がオフし、この電流源切換スイッチ3112と高電位電源線Vddとの間に設けられた吐成型電流源3122を介して出力端子out(合成ノードNcs)に向かって(正の電流方向に)電流が流れる。また、前述した図8(b)と同様に、トランジスタ(電流源切換ス 20  
イッチ)3111がオンし、吐成型電流源3121、電流源切換スイッチ3111および吸込型電流源3130を介して低電位電源線Vssに向かって電流が流れる。それと共に、出力端子out(合成ノードNcs)から電流源切換スイッチ3111および吸込型電流源3130を介して低電位電源線Vssに向かって(負の電流方向に)電流が流れる。

#### 【0064】

なお、電圧レベル補正回路35aおよび35bは、図7および図11(a)～図11(e)に示した各回路構成をそれぞれ適用することができる。

#### 【0065】

図14は本発明に係るタイミング信号発生回路の第3実施例を示すブロック回路図である。 30

#### 【0066】

図14と図6との比較から明らかなように、本第3実施例のタイミング信号発生回路(位相合成回路)は、図6の電流極性切換回路31(32～34)における電流極性切換回路311を、PMOSトランジスタ311aおよびNMOSトランジスタ311bを有するCMOSインバータで構成したものに相当する。

#### 【0067】

図15および図16は図14のタイミング信号発生回路における電流極性切換回路の動作を説明するための図である。

#### 【0068】

まず、図15(a)に示されるように、入力端子(トランジスタ311aおよび311bのゲート：インバータの入力)に低レベル『L』のクロック信号(入力信号) $\phi 0$ が入力されると、PMOSトランジスタ311aがオンしてNMOSトランジスタ311bがオフし、このトランジスタ311のソースと高電位電源線Vddとの間に設けられた吐成型電流源312を介して出力端子out(合成ノードNcs)に向かって(正の電流方向に)電流が流れ、すなわち、吐成型電流源312で規定される電流が吐き出される。 40

#### 【0069】

一方、トランジスタ311aおよび311bのゲートに高レベル『H』の入力信号 $\phi 0$ が入力されると、PMOSトランジスタ311aがオフしてNMOSトランジスタ311bがオンし、出力端子out(合成ノードNcs)から低電位電源線Vssに向かって(負の電流方向に)吸込型電流源313で規定される電流が吸い込まれる。従って、図16に 50

示されるように、出力信号（out）は、入力信号（ $\phi 0$ ）の変化により電流＝0を中心として、正の電流方向には吐出型電流源312で規定される電流値が出力され、また、負の方向には吸込型電流源313で規定される電流値が出力される。

#### 【0070】

また、タイミング信号発生回路全体でも、電流源（吐出型電流源312および吸込型電流源313）のみで決まる電流信号が合成ノードNcsで得られることになり、結果として、高精度な中間信号（タイミング信号）を発生することが可能になる。なお、合成信号出力端子CSOの電圧レベルに関しては、前述した各実施例と同様、電流源トランジスタの飽和領域内にあればよく、また、電圧レベル補正回路35は、図7および図11（a）～図11（e）に示した各回路構成を適用することができる。

10

#### 【0071】

図17は本発明に係るタイミング信号発生回路の第4実施例を示すブロック回路図である。

#### 【0072】

図17と図14との比較から明らかなように、本第4実施例のタイミング信号発生回路（位相合成回路）は、第3実施例のタイミング信号発生回路を差動化したものに相当する。すなわち、各電流極性切替回路31～34は、吐出型電流源312、吸込型電流源313および2つのインバータ（トランジスタ311a、311bおよび312a、312b）を備え、これら電流極性切替回路31～34の出力は、差動の合成ノードNcs、NcsXで合成される。なお、正論理および負論理の各信号に対する動作（電流の流れ）は上述した第3実施例と同様であり、また、電圧レベル補正回路35a、35bも図7および図11（a）～図11（e）に示した各回路構成を適用することができる。

20

#### 【0073】

図18は本発明に係るタイミング信号発生回路の第5実施例を示すブロック回路図である。

#### 【0074】

本第5実施例のタイミング信号発生回路において、電圧レベル補正回路35は、負帰還回路として構成されており、前述した図11（a）～図11（e）に示した回路に比べて、合成ノードNcs、NcsXにおける電圧レベル（差動の合成信号出力端子CSO、CSOXの中心電圧Vm）を高精度に所望の電圧レベルに合わせることができるようになっている。

30

#### 【0075】

すなわち、図18に示されるように、電圧レベル補正回路35は、差動の合成ノードNcs、NcsXにおける電圧レベル（差動合成端子電圧レベル）を監視する電圧レベル監視回路3510、および、基準電圧Vrを入力とする差動増幅器（オペアンプ）3520を備えて構成される。電圧レベル監視回路3510は、合成ノードNcsおよびNcsXに接続される抵抗素子3511および3512を備え、これらの抵抗素子3511、3512により抵抗分割された電圧をオペアンプ3520の負入力端子に与えるようになっている。なお、オペアンプ3520の正入力端子には基準電圧Vrが入力される。

#### 【0076】

ここで、2つの抵抗素子3511および3512の抵抗値を同一とすることにより、電圧レベル監視回路3510は、合成ノードNcs、NcsXの中心電圧（差動の合成信号出力端子CSO、CSOXの中心電圧Vm）を出力することになる。そして、合成信号出力端子CSO、CSOXの中心電圧Vmは、オペアンプ3520の負入力端子に入力され、この中心電圧Vmが基準電圧に比べて高い場合には、オペアンプ3520の出力は低い電位となって中心電圧Vmを降下させる方向に動作し、逆に、中心電圧Vmが元々低い場合には、オペアンプ3520の出力は高い電位となって中心電圧Vmを上昇させる方向に動作し、その結果、中心電圧Vmは基準電圧Vrに収束する。なお、中心電圧Vmは、差動の合成信号出力端子CSO、CSOXの中心値であるため、負帰還の収束と同時に差動合成端子の中心電圧レベルは、基準電圧に収束する。

40

50

## 【0077】

以上において、各電流極性切換回路31～34には、前述した様々な差動型の電流極性切換回路を適用することができるのはいうまでもない。

## 【0078】

図19は本発明に係るタイミング信号発生回路の第6実施例を示すブロック回路図である。

## 【0079】

図19と図18との比較から明らかなように、本第6実施例のタイミング信号発生回路の電圧レベル補正回路35は、上述した第5実施例におけるオペアンプ3520の出力により合成ノードNcs, NcsX（合成信号出力端子CSO, CSOX）の中心電圧Vmを直接制御するのではなく、図17に示す第4実施例の電流極性切換回路（31）における吐出型電流源312に並列に設けた電流補正用pMOSトランジスタ314を流れる電流を調整することで制御するようになっている。

10

## 【0080】

すなわち、電圧レベル監視回路3510は合成ノードNcs, NcsX（差動の合成信号出力端子CSO, CSOX）の中心電圧Vmを出力するが、この中心電圧Vmが基準電圧に比べて高い場合には、オペアンプ3520の出力は低い電位となって電流補正用pMOSトランジスタ314のゲート電圧が低くなる。これにより、電流補正用pMOSトランジスタ314に電流が流れ、電流極性切換回路31の出力から吐き出される方向の電流が増大し、合成信号出力端子CSO, CSOXの中心電圧Vmは上昇する。このとき、予め吸込型電流源313の電流比を吐出型電流源312よりも大きめに設定しておけば、電流補正用pMOSトランジスタ314に流れる電流が小さい時には中心電圧Vmのレベルが低く、逆に、電流補正用pMOSトランジスタ314に流れる電流が大きい時には中心電圧Vmのレベルが高くなるように制御することができる。すなわち、合成信号出力端子CSO, CSOXの中心電圧Vmのレベルを基準電圧に合わせる事が可能となる。

20

## 【0081】

図20は本発明に係るタイミング信号発生回路の第7実施例を示すブロック回路図である。

## 【0082】

図20と図19との比較から明らかなように、本第7実施例のタイミング信号発生回路の電圧レベル補正回路35は、上述した第6実施例におけるオペアンプ3520の出力を吐出型電流源312に並列に設けた電流補正用pMOSトランジスタ314のゲートに供給するのではなく、吸込型電流源313に並列に設けた電流補正用nMOSトランジスタ315のゲートに供給するようになっている。

30

## 【0083】

なお、本第7実施例では、オペアンプ3520の出力により制御するトランジスタがnMOSトランジスタ315となるのに応じて、オペアンプ3520の正入力端子には電圧レベル監視回路3510の出力が入力され、また、オペアンプ3520の負入力端子には基準電圧Vrが入力されるようになっている。さらに、本第7実施例では、予め吐出型電流源312の電流比を吸込型電流源313よりも大きめに設定しておき、電流補正用nMOSトランジスタ315に流れる電流が小さい時には中心電圧Vmのレベルが高く、逆に、電流補正用nMOSトランジスタ315に流れる電流が大きい時には中心電圧Vmのレベルが低くなるように制御することになる。

40

## 【0084】

図21は本発明に係るタイミング信号発生回路の第8実施例を示すブロック回路図であり、上述した図19の第6実施例と図20の第7実施例とを組み合わせたものに相当する。

## 【0085】

図22は本発明に係るタイミング信号発生回路の第9実施例を示すブロック回路図である。

## 【0086】

50

図 2 2 に示されるように、本第 9 実施例のタイミング信号発生回路において、電圧レベル補正回路 3 5 は、pMOS トランジスタ 3 5 0 1, 3 5 0 2、nMOS トランジスタ 3 5 0 3, 3 5 0 4, 3 5 0 5、および、インバータ 3 5 0 6 を備えて構成されている。ここで、各 pMOS トランジスタ 3 5 0 1, 3 5 0 2 のゲート幅をそれぞれ  $W_{p1}$ ,  $W_{p2}$  とし、また、各 nMOS トランジスタ 3 5 0 3, 3 5 0 4, 3 5 0 5 のゲート幅をそれぞれ  $W_{n1}$ ,  $W_{n2}$ ,  $W_{n3}$  とする。さらに、各 pMOS トランジスタ 3 5 0 1, 3 5 0 2 を流れる電流をそれぞれ  $I_{p1}$ ,  $I_{p2}$  とし、また、各 nMOS トランジスタ 3 5 0 3, 3 5 0 4, 3 5 0 5 を流れる電流をそれぞれ  $I_{n1}$ ,  $I_{n2}$ ,  $I_{n3}$  とする。このとき、各 pMOS トランジスタ 3 5 0 1, 3 5 0 2 のゲート幅は、 $W_{p1} = 2 \times W_{p2}$  とされ、また、各 nMOS トランジスタ 3 5 0 3, 3 5 0 4, 3 5 0 5 のゲート幅は、 $W_{n1} = W_{n2} = W_{n3}$  とされている。

#### 【0087】

図 2 2 に示す第 9 実施例のタイミング信号発生回路の電圧レベル補正回路 3 5 において、トランジスタ 3 5 0 5 のゲートに基準電圧  $V_r$  が入力されると、トランジスタ 3 5 0 5 に電流  $I_{n3}$  が流れる。トランジスタ 3 5 0 2 に流れる電流  $I_{p2}$  は、トランジスタ 3 5 0 5 の電流  $I_{n3}$  と同じ ( $I_{p2} = I_{n3}$ ) であり、トランジスタ 3 5 0 1 はトランジスタ 3 5 0 2 とカレントミラー接続され、且つ、トランジスタ 3 5 0 1 のゲート幅  $W_{p1}$  はトランジスタ 3 5 0 2 のゲート幅  $W_{p2}$  の 2 倍となっているため、トランジスタ 3 5 0 1 を流れる電流  $I_{p1}$  は、トランジスタ 3 5 0 2 を流れる電流  $I_{p2}$  の 2 倍 ( $I_{p1} = 2 \times I_{p2}$ ) となる。すなわち、トランジスタ 3 5 0 1 を流れる電流  $I_{p1}$  は、基準電圧  $V_r$  によって規定される。なお、基準電圧  $V_r$  は、例えば、 $V_{dd}/2$  として設定する。

#### 【0088】

また、トランジスタ 3 5 0 3 および 3 5 0 4 は、そのゲートが合成ノード  $N_{cs}$ ,  $N_{csX}$  (差動の合成信号出力端子  $CSO$ ,  $CSOX$ ) に接続され、合成信号出力端子の差動出力を監視しており、合成信号出力端子  $CSO$ ,  $CSOX$  の電圧に応じた電流  $I_{n1}$  および  $I_{n2}$  が流れる。ここで、トランジスタ 3 5 0 3 および 3 5 0 4 のドレインは短絡され、これらトランジスタ 3 5 0 3 および 3 5 0 4 を流れる電流の和 ( $I_{n1} + I_{n2}$ ) が得られる。合成信号出力端子  $CSO$ ,  $CSOX$  の出力は差動関係にあることからトランジスタ 3 5 0 3 および 3 5 0 4 を流れる電流の和 ( $I_{n1} + I_{n2}$ ) はほぼ直流の電流となり、この電流の和 ( $I_{n1} + I_{n2}$ ) は合成信号出力端子  $CSO$ ,  $CSOX$  の電圧によって規定される。

#### 【0089】

このように、基準電圧  $V_r$  で規定されるトランジスタ 3 5 0 1 を流れる電流  $I_{p1}$  並びに合成信号出力端子  $CSO$ ,  $CSOX$  の出力電圧によって規定されるトランジスタ 3 5 0 3 および 3 5 0 4 を流れる電流の和 ( $I_{n1} + I_{n2}$ ) は、インバータ 2 5 0 6 を介して電圧レベル補正回路 3 5 の出力として取り出され、この電圧レベル補正回路 3 5 の出力が電流極性切換回路 (3 1) における吐出型電流源 3 1 2 に並列に設けた電流補正用 pMOS トランジスタ 3 1 4 のゲートに供給 (負帰還接続) されるようになっている。

#### 【0090】

具体的に、例えば、 $I_{p1} > I_{n1} + I_{n2}$  の時、すなわち、基準電圧  $V_r >$  合成信号出力端子  $CSO$ ,  $CSOX$  の中心電圧  $V_m$  の関係にある時には、電圧レベル補正回路 3 5 の出力電圧は高い電圧となり、トランジスタ 3 1 4 を流れる電流は小さくなって、中心電圧  $V_m$  は基準電圧  $V_r$  のレベルに一致するように動作する。逆に、 $I_{p1} < I_{n1} + I_{n2}$  の時、すなわち、基準電圧  $V_r <$  中心電圧  $V_m$  の関係にある時には、電圧レベル補正回路 3 5 の出力電圧は低い電圧となり、トランジスタ 3 1 4 を流れる電流は大きくなって、中心電圧  $V_m$  は基準電圧  $V_r$  のレベルに一致するように動作する。

#### 【0091】

図 2 3 は本発明に係るタイミング信号発生回路の第 1 0 実施例を示すブロック回路図である。

#### 【0092】

図 2 3 と図 2 2 との比較から明らかなように、本第 1 0 実施例のタイミング信号発生回路における電圧レベル補正回路 3 5 は、上述した第 9 実施例のタイミング信号発生回路のように、電圧レベル補正回路の出力（インバータ 3 5 0 6 で反転した出力）を電流極性切換回路（3 1）における吐字型電流源 3 1 2 に並列に設けた電流補正用 p M O S トランジスタ 3 1 4 のゲートに供給するのではなく、抵抗素子 3 5 0 7 および 3 5 0 8 を介して合成ノード N c s , N c s X（合成信号出力端子 C S O , C S O X）の中心電圧 V m を直接制御するようになっている。

#### 【0093】

図 2 4 は本発明に係るタイミング信号発生回路の第 1 1 実施例を示すブロック回路図であり、図 2 5 は図 2 4 に示す第 1 1 実施例のタイミング信号発生回路の動作を説明するための図（増幅器の D C 特性を示す図）である。 10

#### 【0094】

図 2 4 に示されるように、本第 1 1 実施例のタイミング信号発生回路は、位相合成信号を増幅する増幅回路（増幅器）3 7 と位相合成信号の電圧レベルを補正する電圧レベル補正回路 3 5 を備えて構成される。ここで、本第 1 1 実施例は、例えば、前述した第 1 実施例～第 3 実施例のタイミング信号発生回路に対してそのまま適用することができ、さらに、例えば、第 4 実施例のような差動型のものに対しても適用することが可能である。

#### 【0095】

すなわち、電流極性切換回路 3 1 ～ 3 4 を用いた信号合成回路（タイミング信号発生回路）の場合、例えば、図 7 ～ 図 1 1 を参照した第 1 実施例の説明でも述べたように、合成信号出力端子 C S O 出力電圧レベルは、電流源トランジスタの飽和領域にあればよいので、その自由度は高い。一方、図 2 5 に示されるように、増幅器は、利得の最も得られる動作点レベルがあり、その動作点レベルは増幅器の D C 特性の入力と出力が一致する電圧（動作点電圧）である。また、動作点レベルが増幅器の入出力レベルが一致したレベルであることから、増幅器（または、増幅器に類似した回路）の入出力端子を短絡した回路で、容易に動作点レベルが得られる。 20

#### 【0096】

このように、増幅器 3 7 から見ると、入力信号レベルは動作点レベルにある必要があり、電流極性切換回路 3 1 ～ 3 4 を用いた信号合成回路の出力レベル（合成信号出力端子 C S O 出力電圧レベル）は自由度が高いため、電圧レベル補正回路 3 5 として、増幅器（イン 30  
バータ）の入出力を短絡した回路を用いることで、増幅器 3 7 と信号合成回路（電流極性切換回路 3 1 ～ 3 4）のインターフェイスとの整合を容易に取ることができる。

#### 【0097】

なお、例えば、前述した第 5 実施例～第 9 実施例のような電圧レベル補正回路 3 5 を負帰還の構成とした場合、基準電圧 V r は、増幅器の入出力を短絡した回路の出力を用いればよい。

#### 【0098】

図 2 6 は本発明に係るタイミング信号発生回路の第 1 2 実施例を示すブロック回路図であり、図 2 7 および図 2 8 は図 2 6 に示す第 1 2 実施例のタイミング信号発生回路の動作を説明するための図である。 40

#### 【0099】

図 2 6 と図 2 4 との比較から明らかなように、本第 1 2 実施例のタイミング信号発生回路は、第 1 1 実施例における増幅器 3 7 を多段（図 2 6 では、二段）とし、各増幅器 3 7 - 1 , 3 7 - 2 の出力に対してもそれぞれ電圧レベル補正回路 3 5 - 1 , 3 5 - 2 を設けるようになっている。なお、増幅器の段数は、二段に限定されないのはいうまでもない。

#### 【0100】

まず、図 2 7 を参照して、増幅器 3 7 - 1 , 3 7 - 2 として通常のインバータ回路を用いる場合の問題を説明する。図 2 7 ( a ) は、増幅器 3 7 - 1 ( 3 7 - 2 ) に適用される p M O S トランジスタ 3 7 1 および n M O S トランジスタ 3 7 2 で構成されるインバータ回路を示し、図 2 7 ( b ) はインバータ回路を適用した場合の問題を説明するための図で 50

ある。

#### 【0101】

図27(a)および図27(b)に示されるように、増幅器37-1(37-22)としての通常のインバータ回路を適用すると、インバータ回路はDC利得が非常に高く、また、動作点電圧の誤差許容範囲が非常に狭いため、入力電圧振幅が小さい場合には出力に信号が現れないことになる。すなわち、負帰還構成の電圧レベル補正回路を用いた場合には、比較的高精度な位相合成信号の電圧レベルが得られるものの、 $1/(1+A)$ (負帰還ループのオープン利得)の誤差が発生するため、その誤差が動作点電圧の誤差許容範囲を逸脱してしまう恐れがある。

#### 【0102】

そこで、図26に示す本第12実施例のタイミング信号発生回路では、低利得化した増幅器37-1, 37-2を多段に設ける。ここで、各増幅器37-1, 37-2は、図28(a)に示されるように、インバータ回路を構成するpMOSトランジスタ371およびnMOSトランジスタ372に加えて、ダイオード接続されたpMOSトランジスタ373およびnMOSトランジスタ374を備えている。これにより、増幅器37-1, 37-2を低利得化することができる。

#### 【0103】

次に、図28(a)および図28(b)を参照し、インバータ回路の低利得化に関してnMOSトランジスタに特化して動作点電圧付近の動作を説明する。ここで、各pMOSトランジスタ371, 373のゲート幅をそれぞれ $W_{p4}$ ,  $W_{p5}$ とし、また、各nMOSトランジスタ372, 374のゲート幅をそれぞれ $W_{n4}$ ,  $W_{n5}$ とすると共に閾値電圧を $V_{th}$ とする。さらに、各nMOSトランジスタ372, 374を流れる電流をそれぞれ $I_1 + \Delta i_1$ ,  $I_2 + \Delta i_2$ とし、また、各nMOSトランジスタ372, 374のゲート-ソース間電圧をそれぞれ $V_{gs1}$ ,  $V_{gs2}$ とする。このとき、各nMOSトランジスタ372, 374の相互コンダクタンス $g_{m1}$ ,  $g_{m2}$ は以下の式で表される。

#### 【0104】

$$g_{m1} = \Delta i_1 / \Delta V_{gs1}$$

$$g_{m2} = \Delta i_2 / \Delta V_{gs2}$$

ここで、nMOSトランジスタ372, 374を流れる電流 $I_1 + \Delta i_1$ ,  $I_2 + \Delta i_2$ は、pMOSトランジスタ371, 373を流れる電流のみであり、pMOSトランジスタ371, 373を定電流源とみなすと、ゲート幅 $W_{n4}$ ,  $W_{n5}$ のトランジスタ(372, 374)の微小電流変化は等しく、 $\Delta i_1 = \Delta i_2$ である。よって、以下の関係式が得られる。

#### 【0105】

$$g_{m1} \cdot \Delta V_{gs1} = g_{m2} \cdot \Delta V_{gs2}$$

また、ゲート長(L)を同一サイズとすると、利得Gは以下の式で表すことができる。

#### 【0106】

$$G = V_{out} / V_{in} = \Delta V_{gs2} / \Delta V_{gs1}$$

$$= g_{m1} / g_{m2}$$

$$= W_{n4} (V_{gs1} - V_{th}) / W_{n5} (V_{gs2} - V_{th})$$

ここでは、動作点レベル近傍のみを考察しているので、 $V_{gs1} = V_{gs2}$ であり、

$$G = W_{n4} / W_{n5}$$

となり、ゲート幅の比で利得が決定することになる。なお、pMOSトランジスタ371, 373に関しても同様であるため、図28(a)に示す増幅器37-1(37-2)は、トランジスタのゲート幅の比で利得が規定されることが分かる。

#### 【0107】

従って、図28(b)に示されるように、各トランジスタのゲート幅を調整して増幅器37-1(37-2)の利得を低下させることにより、誤差が発生しても動作点電圧の誤差

10

20

30

40

50

許容範囲を逸脱することがない。

#### 【0108】

さらに、図28(a)に示す増幅器37-1(37-2)は、ダイオード接続されたトランジスタ373, 374により、出力電圧のレベル補正も行われることになるため、図26の増幅器37-1, 37-2として図28(a)の回路を適用すれば、電圧レベル補正回路35-0, 35-1, 35-2を別に設けなくとも各増幅器の出力段毎に出力電圧レベルの補正が行われることになる。

#### 【0109】

図29は本発明に係るタイミング信号発生回路の第13実施例を示すブロック回路図である。

10

#### 【0110】

図29に示されるように、本第13実施例のタイミング信号発生回路は、各電流極性切換回路31~34として前述した第4実施例の回路を適用し、さらに、増幅回路37としても上記電流極性切換回路と同様の回路構成を適用したものである。なお、電圧レベル補正回路35-0a, 35-0b; 35-1a, 35-1bは、増幅回路37の入力側および出力側の両方に設けるようになっている。

#### 【0111】

本第13実施例のタイミング信号発生回路は、入力端子レベルおよび出力端子レベル共に電圧レベルの要求が少ないため、各回路間のインターフェースの整合が取りやすいという利点がある。

20

#### 【0112】

図30は本発明に係るタイミング信号発生回路の第14実施例を示すブロック回路図である。

#### 【0113】

図30に示されるように、本第14実施例のタイミング信号発生回路において、増幅回路37は負帰還型の増幅器として構成されている。すなわち、増幅回路37は、例えば、図28(a)に示す回路構成を有する増幅器370および負帰還用の抵抗素子375を備えている。このように、増幅回路37として負帰還増幅器を適用することにより、安定した増幅率を容易に得ることができる。

#### 【0114】

ここで、増幅回路37の入力(合成ノードNcs)の電圧を電圧レベル補正回路35により、ほぼ増幅回路37(増幅器370)の動作点レベルに合わせておけば、一段当りの増幅器の利得を上げて、増幅器の帰還作用によっても動作点レベルの補正が行われるため、出力が無くなるような事態を避けることができる。

30

#### 【0115】

さらに、帰還の無い増幅器を用いると合成ノードNcs(合成信号出力端子CSO)の電圧振幅が大きくなりすぎることあり、電流源トランジスタの飽和領域以上になってしまった場合には高精度な中間電圧の生成に影響がある。これに対して、本第14実施例のタイミング信号発生回路のように、増幅回路37を帰還構成とすることにより、増幅器370の入力電圧は出力電圧の1/(増幅器の利得)に圧縮されるため、電流源トランジスタに負担をかけるようなことが生じにくい。

40

#### 【0116】

図31は本発明に係るタイミング信号発生回路の第15実施例を示すブロック回路図である。

#### 【0117】

図31に示されるように、本第15実施例のタイミング信号発生回路において、合成ノードNcs, NcsXは、それぞれ上述した第14実施例の負帰還型の増幅回路(37)と同様の増幅回路37a, 37bおよびインバータ38a, 38bを介して合成信号出力端子CSO, CSOXに接続されている。さらに、インバータ38a, 38bの出力(合成信号出力端子CSO, CSOX)は、それぞれ抵抗および容量で構成された平均値検出回

50

路 3510a, 3510b を介してオペアンプ 350a, 350b の一方の入力に供給され、他方の入力に供給された基準電圧発生回路 39 からの基準電圧  $V_r$  と比較され、そして、オペアンプ 350a, 350b の出力が増幅回路 37a, 37b の入力に帰還されるようになっている。

#### 【0118】

すなわち、平均値検出回路 3510a, 3510b は、高周波をカットすることで信号成分の平滑化を行い、且つ、信号の平均値を得るものである。この平均値検出回路 3510a, 3510b により得られた平均値電圧は、基準電圧発生回路 39 により得られる基準電圧  $V_r$  (増幅器 370a, 370b) の動作点レベルと一致するようにオペアンプ 350a, 350b が動作し、このような帰還ループにより増幅器 370a, 370b の動作点レベルに安定する。なお、図 31 に示す回路では、一段目の増幅器 370a, 370b が帰還構成とされ、且つ、一段目の増幅器の入力が増幅器の動作点レベルにあるため、一段目の増幅器 370a, 370b の出力レベルは動作点レベルを中心に信号を出力する。そして、二段目の増幅器 38a, 38b は、一段目の増幅器 370a, 370b の動作点レベルに大きな誤差がないので、高利得の増幅が可能となる。さらに、本第 15 実施例のタイミング信号発生回路によれば、電圧レベルの検出に平均値検出回路 3510a, 3510b を用いているため、同時にデュティの補正を行うことができる。

#### 【0119】

このように、本発明に係る各実施例のタイミング信号発生回路によれば、信号合成回路は電流源だけで決まる電流値を出力し、且つ、合成信号出力端子 CSO, CSOX の電圧振幅が小さい場合でも安定した増幅を行うことができ、その結果、高精度な中間位相の生成が可能となる。

#### 【0120】

(付記 1) 位相の異なる複数の入力信号を受け取って中間位相のタイミング信号を発生するタイミング信号発生回路であって、複数の電流源の間に設けられ、前記各入力信号により出力の電流極性を切り換える複数の電流極性切換回路と、重み付けされた該複数の電流極性切換回路の出力を合成した位相合成信号の電圧レベルを補正する電圧レベル補正回路とを備えることを特徴とするタイミング信号発生回路。

#### 【0121】

(付記 2) 付記 1 に記載のタイミング信号発生回路において、前記電圧レベル補正回路は、負帰還回路により構成されることを特徴とするタイミング信号発生回路。

#### 【0122】

(付記 3) 付記 1 または 2 に記載のタイミング信号発生回路において、さらに、前記位相合成信号を増幅する増幅回路を備え、前記電圧レベル補正回路は、該位相合成信号の電圧レベルを該増幅回路の動作点レベル付近に補正することを特徴とするタイミング信号発生回路。

#### 【0123】

(付記 4) 付記 3 に記載のタイミング信号発生回路において、前記増幅回路は、従属接続された複数段の増幅器を備え、前記電圧レベル補正回路は、該各増幅器の出力毎に電圧レベルの補正を行うことを特徴とするタイミング信号発生回路。

#### 【0124】

(付記 5) 付記 3 に記載のタイミング信号発生回路において、前記増幅回路は、負帰還型の増幅器を備えることを特徴とするタイミング信号発生回路。

#### 【0125】

(付記 6) 付記 4 または 5 に記載のタイミング信号発生回路において、前記電圧レベル補正回路は、前記タイミング信号の出力電圧の平均値を検出し、該タイミング信号の出力電圧の平均値を前記増幅器の動作点レベル付近に補正することを特徴とするタイミング信号発生回路。

#### 【0126】

10

20

30

40

50

(付記 7) 付記 1 に記載のタイミング信号発生回路において、該タイミング信号発生回路は差動のタイミング信号を発生し、前記電圧レベル補正回路は、前記差動のタイミング信号の電圧レベルを監視する電圧レベル監視回路と、該電圧レベル監視回路の出力および基準電圧に応じて前記差動のタイミング信号の中心電圧を制御する中心電圧制御回路とを備えることを特徴とするタイミング信号発生回路。

【0127】

(付記 8) 付記 7 に記載のタイミング信号発生回路において、前記中心電圧制御回路は、前記差動のタイミング信号の中心電圧を直接制御することを備えることを特徴とするタイミング信号発生回路。

【0128】

(付記 9) 付記 7 に記載のタイミング信号発生回路において、前記中心電圧制御回路は、前記各電流極性切換回路における電流を調整して前記差動のタイミング信号の中心電圧を制御することを特徴とするタイミング信号発生回路。

【0129】

(付記 10) 付記 9 に記載のタイミング信号発生回路において、前記中心電圧制御回路は、前記各電流極性切換回路における電流源に対して並列に設けた電流補正用トランジスタ 314 を流れる電流を調整して前記差動のタイミング信号の中心電圧を制御することを特徴とするタイミング信号発生回路。

【0130】

(付記 11) 付記 1 に記載のタイミング信号発生回路において、前記各電流極性切換回路は、第 1 の電源線に接続された第 1 の電流源と、第 2 の電源線に接続された第 2 の電流源と、前記第 1 および第 2 の電流源に接続され、電流極性を切り換える電流極性切換スイッチとを備えることを特徴とするタイミング信号発生回路。

【0131】

(付記 12) 付記 11 に記載のタイミング信号発生回路において、前記第 1 の電源線は高電位電源線であり、前記第 2 の電源線は低電位電源線であり、且つ、前記第 1 の電流源は前記高電位電源線から前記電流極性切換スイッチに向けて電流を吐き出す吐出型電流源であり、且つ、前記第 2 の電流源は、該電流極性切換スイッチから前記低電位電源線に向けて電流を吸い込む吸込型電流源であることを特徴とするタイミング信号発生回路。

【0132】

(付記 13) 入力信号のデータを検出および判定するデータ検出判定回路と、該入力信号の変化点を検出および判定する変化点検出判定回路と、該データ検出判定回路および該変化点検出判定回路からの出力を受け取って位相比較を行う位相比較回路と、該位相比較回路の出力を受け取って前記データ検出判定回路に第 1 の内部クロックを供給すると共に前記変化点検出判定回路に第 2 の内部クロックを供給するクロック信号発生回路とを備える受信回路であって、前記クロック信号発生回路が、付記 1 ～ 12 のいずれか 1 項に記載のタイミング信号発生回路であることを特徴とする受信回路。

【0133】

【発明の効果】

以上、詳述したように、本発明に係るタイミング信号発生回路（受信回路）は、簡単な構成でしかも高精度にタイミング信号を発生することができる。

【図面の簡単な説明】

【図 1】クロック復元回路を含む受信回路の一例を概略的に示すブロック図である。

【図 2】図 1 の受信回路における従来のタイミング信号発生回路の一例を示すブロック回

10

20

30

40

50

路図である。

【図 3】図 2 のタイミング信号発生回路の動作を説明するための波形図である。

【図 4】クロック復元回路を含む受信回路の例を概略的に示すブロック図である。

【図 5】受信回路における各信号のタイミングを示す図である。

【図 6】本発明に係るタイミング信号発生回路の原理構成を示すブロック図である。

【図 7】本発明に係るタイミング信号発生回路の第 1 実施例を示すブロック回路図である。

【図 8】図 7 のタイミング信号発生回路の動作を説明するための図（その 1）である。

【図 9】図 7 のタイミング信号発生回路の動作を説明するための図（その 2）である。

【図 10】図 7 のタイミング信号発生回路の動作を説明するための図（その 3）である。 10

【図 11】図 7 のタイミング信号発生回路における電圧レベル補正回路の変形例を示す図である。

【図 12】本発明に係るタイミング信号発生回路の第 2 実施例を示すブロック回路図である。

【図 13】図 12 のタイミング信号発生回路における電流極性切換回路の動作を説明するための図である。

【図 14】本発明に係るタイミング信号発生回路の第 3 実施例を示すブロック回路図である。

【図 15】図 14 のタイミング信号発生回路における電流極性切換回路の動作を説明するための図（その 1）である。 20

【図 16】図 14 のタイミング信号発生回路における電流極性切換回路の動作を説明するための図（その 2）である。

【図 17】本発明に係るタイミング信号発生回路の第 4 実施例を示すブロック回路図である。

【図 18】本発明に係るタイミング信号発生回路の第 5 実施例を示すブロック回路図である。

【図 19】本発明に係るタイミング信号発生回路の第 6 実施例を示すブロック回路図である。

【図 20】本発明に係るタイミング信号発生回路の第 7 実施例を示すブロック回路図である。 30

【図 21】本発明に係るタイミング信号発生回路の第 8 実施例を示すブロック回路図である。

【図 22】本発明に係るタイミング信号発生回路の第 9 実施例を示すブロック回路図である。

【図 23】本発明に係るタイミング信号発生回路の第 10 実施例を示すブロック回路図である。

【図 24】本発明に係るタイミング信号発生回路の第 11 実施例を示すブロック回路図である。

【図 25】図 24 に示す第 11 実施例のタイミング信号発生回路の動作を説明するための図である。 40

【図 26】本発明に係るタイミング信号発生回路の第 12 実施例を示すブロック回路図である。

【図 27】図 26 に示す第 12 実施例のタイミング信号発生回路の動作を説明するための図（その 1）である。

【図 28】図 26 に示す第 12 実施例のタイミング信号発生回路の動作を説明するための図（その 2）である。

【図 29】本発明に係るタイミング信号発生回路の第 13 実施例を示すブロック回路図である。

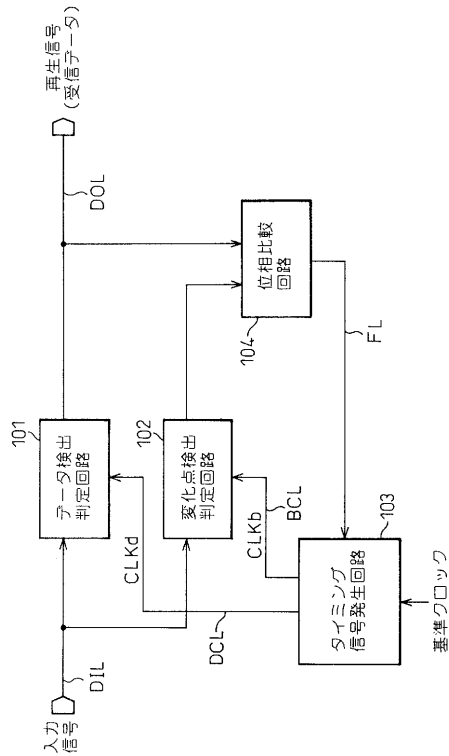
【図 30】本発明に係るタイミング信号発生回路の第 14 実施例を示すブロック回路図である。 50

【図 3 1】本発明に係るタイミング信号発生回路の第 1 5 実施例を示すブロック回路図である。

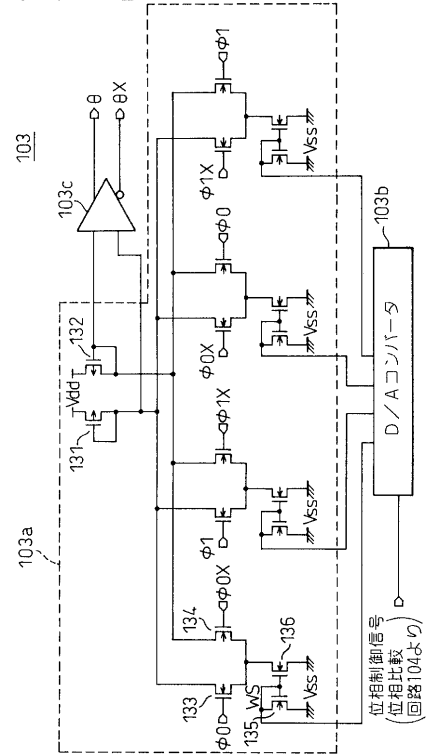
【符号の説明】

|                                                                                     |    |
|-------------------------------------------------------------------------------------|----|
| 3 1 ～ 3 4 … 電流極性切換回路                                                                |    |
| 3 5 … 電圧レベル補正回路                                                                     |    |
| 3 6 … 寄生容量                                                                          |    |
| 1 0 1 … データ検出判定回路                                                                   |    |
| 1 1 1 ～ 1 1 4 … データ検出ユニット                                                           |    |
| 1 0 2 … 変化点検出判定回路                                                                   |    |
| 1 2 1 ～ 1 2 4 … 変化点検出ユニット                                                           | 10 |
| 1 0 3 … 位相可変タイミング信号発生回路                                                             |    |
| 1 0 3 a … 位相合成回路（位相ミキサー）                                                            |    |
| 1 0 3 b … デジタル・アナログ変換器（D／Aコンバータ）                                                    |    |
| 1 0 3 c … 増幅回路                                                                      |    |
| 1 0 4 … 位相比較回路                                                                      |    |
| 3 1 1 … 電流源切換スイッチ                                                                   |    |
| 3 1 2 … 吐出型電流源（第 1 の電流源）                                                            |    |
| 3 1 3 … 吸込型電流源（第 2 の電流源）                                                            |    |
| 3 5 1 0 … 電圧レベル監視回路                                                                 |    |
| 3 5 2 0 … オペアンプ                                                                     | 20 |
| C L K b ; C L K b 1 , C L K b 2 , C L K b 3 , C L K b 4 … 変化点検出ユニット制御信号（変化点検出用クロック） |    |
| C L K d ; C L K d 1 , C L K d 2 , C L K d 3 , C L K d 4 … データ検出ユニット制御信号（データ検出用クロック） |    |
| C S O ; C S O , C S O X … 合成信号出力端子                                                  |    |
| N c s ; N c s , N c s X … 合成ノード                                                     |    |
| V d d … 高電位電源線（第 1 の電源線）                                                            |    |
| V m … 合成信号出力端子の中心電圧                                                                 |    |
| V r … 基準電圧                                                                          |    |
| V s s … 低電位電源線（第 2 の電源線）                                                            | 30 |
| $\phi 0$ , $\phi 0 X$ , $\phi 1$ , $\phi 1 X$ … クロック（四相クロック）                        |    |
| $\theta$ , $\theta X$ … 出力クロック                                                      |    |

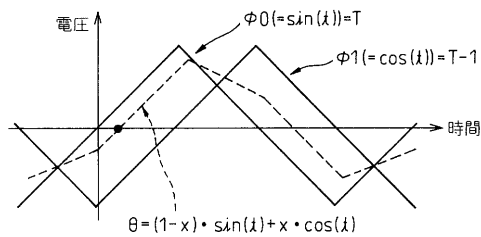
【図 1】

図 1  
クロック復元回路を含む受信回路の一例を概略的に示すブロック図

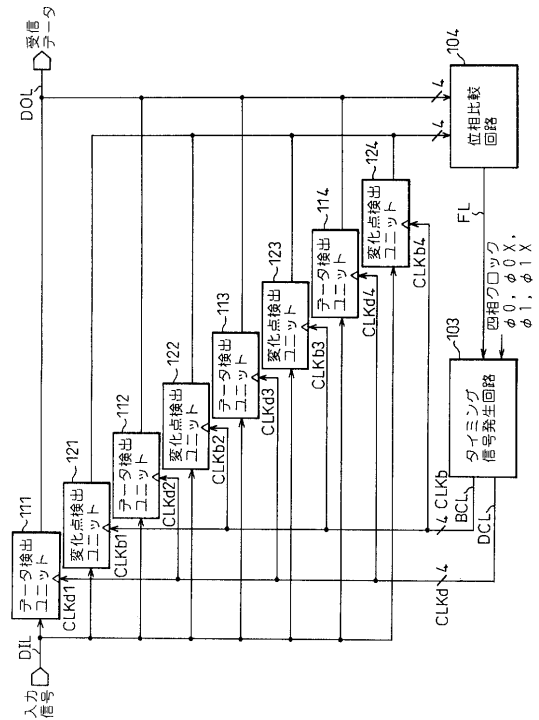
【図 2】

図 2  
図 1 の受信回路における従来のタイミング信号発生回路の一例を示すブロック回路図

【図 3】

図 3  
図 2 のタイミング信号発生回路の動作を説明するための波形図

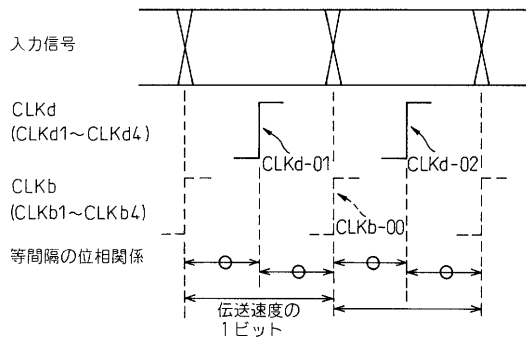
【図 4】

図 4  
クロック復元回路を含む受信回路の例を概略的に示すブロック図

【図 5】

図 5

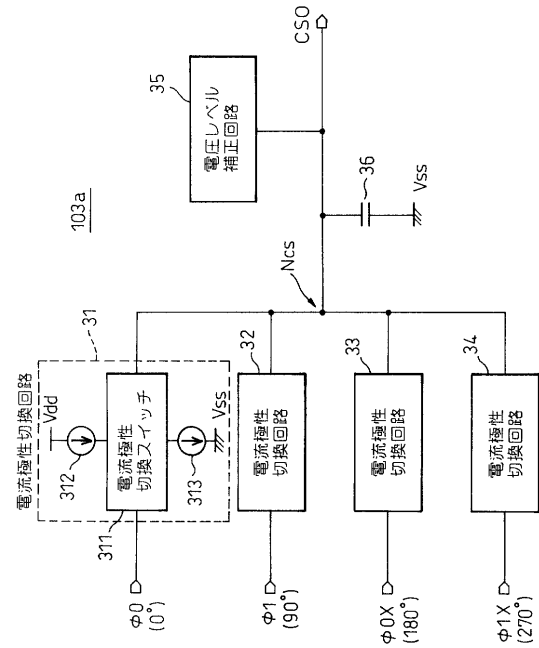
受信回路における各信号のタイミングを示す図



【図 6】

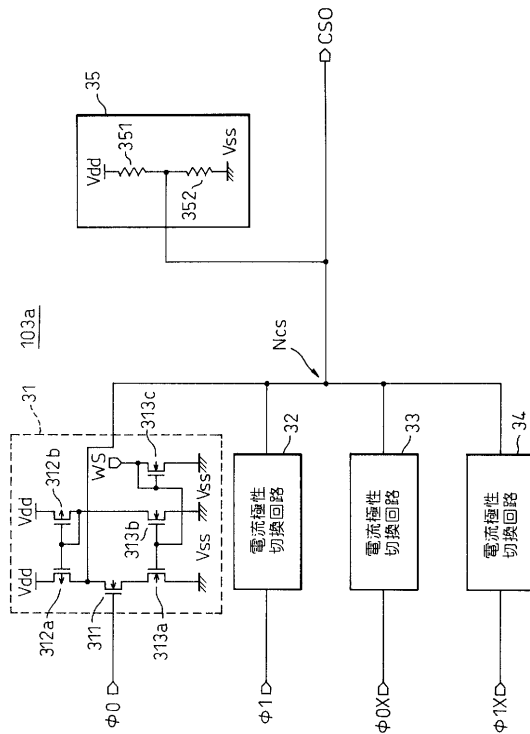
図 6

本発明に係るタイミング信号発生回路の原理構成を示すブロック図



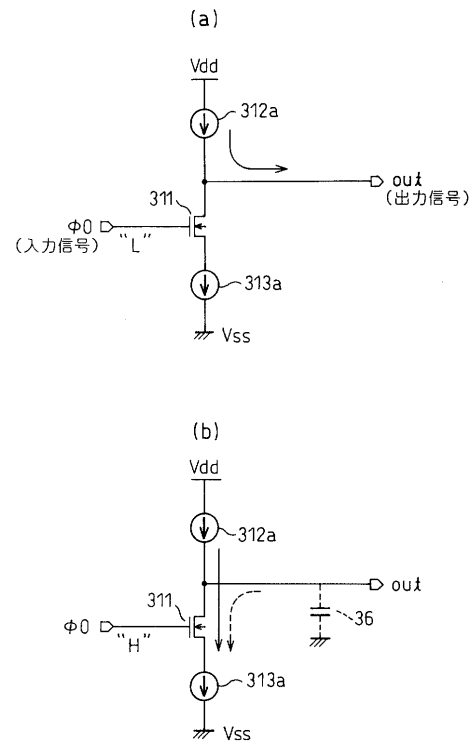
【図 7】

図 7 本発明に係るタイミング信号発生回路の第 1 実施例を示すブロック回路図



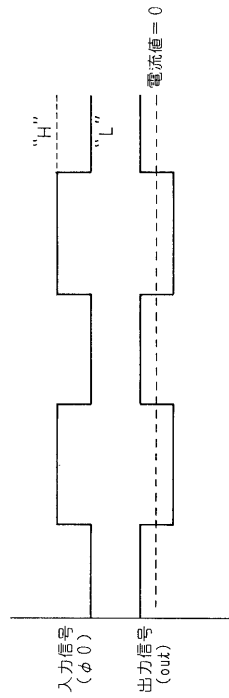
【図 8】

図 8 図 7 のタイミング信号発生回路の動作を説明するための図 (その 1)



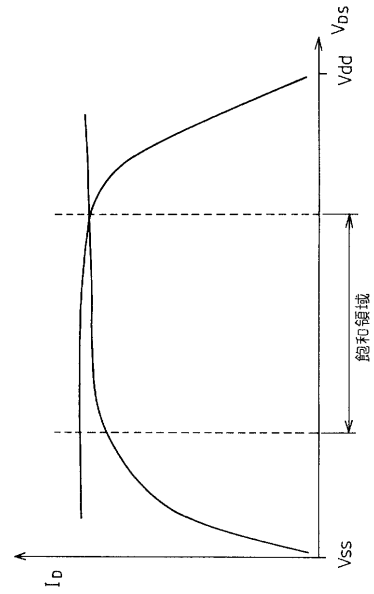
【図 9】

図 9 図 7 のタイミング信号発生回路の動作を説明するための図 (その 2)



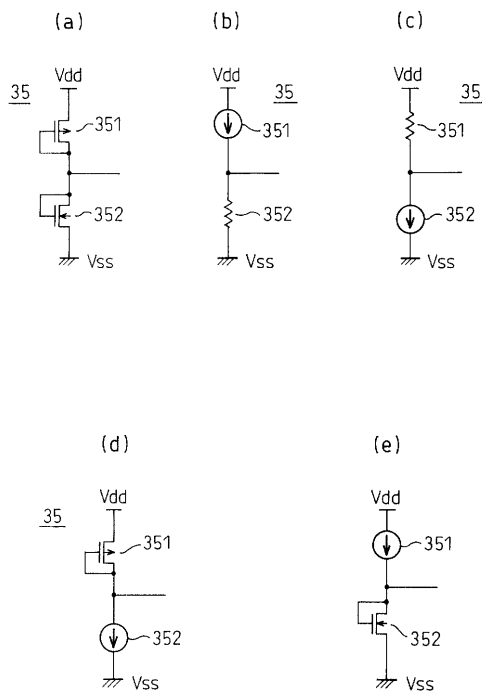
【図 10】

図 10 図 7 のタイミング信号発生回路の動作を説明するための図 (その 3)



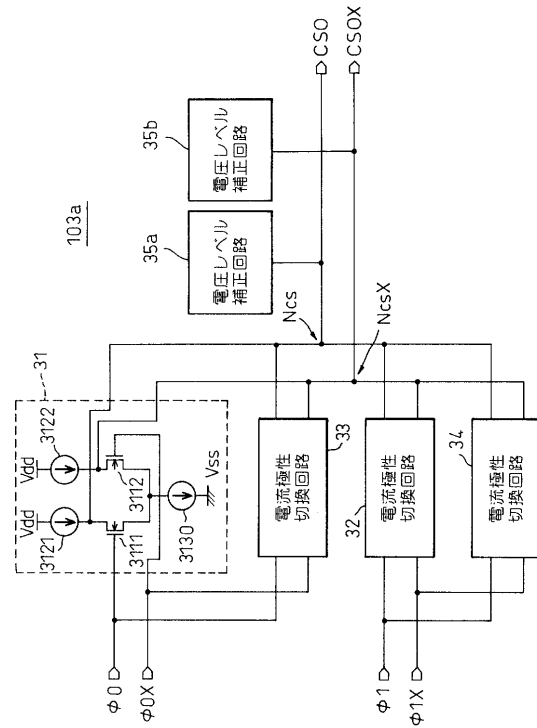
【図 11】

図 11 図 7 のタイミング信号発生回路における電圧レベル補正回路の変形例を示す図



【図 12】

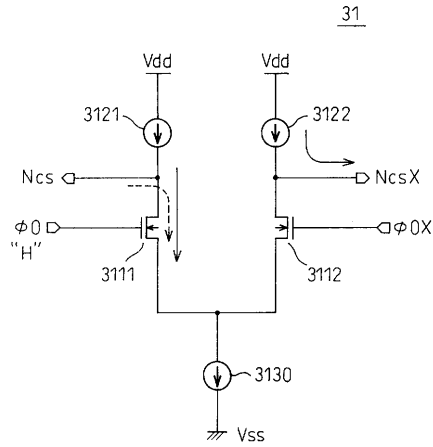
図 12 本発明に係るタイミング信号発生回路の第 2 実施例を示すブロック回路図



【図 1 3】

図 13

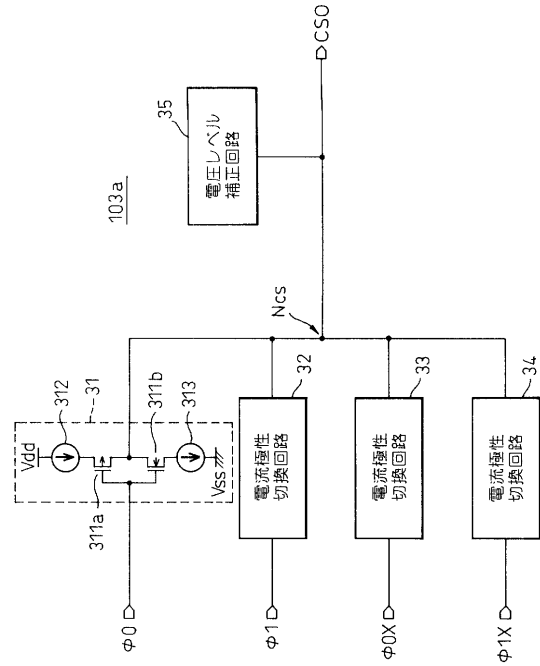
図12のタイミング信号発生回路における電流極性切換回路の動作を説明するための図



【図 1 4】

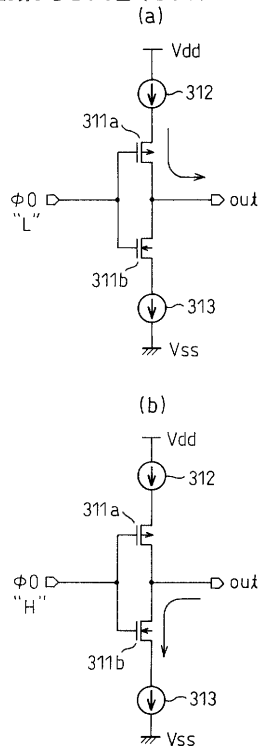
図 14

本発明に係るタイミング信号発生回路の第3実施例を示すブロック回路図



【図 1 5】

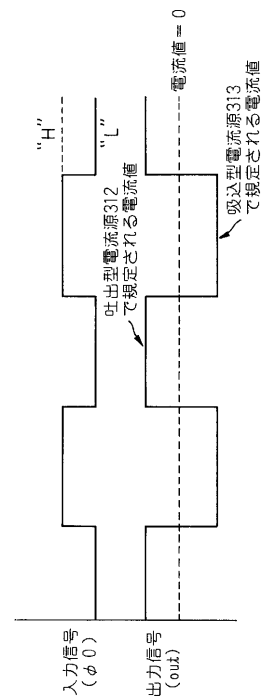
図15 図14のタイミング信号発生回路における電流極性切換回路の動作を説明するための図（その1）



【図 1 6】

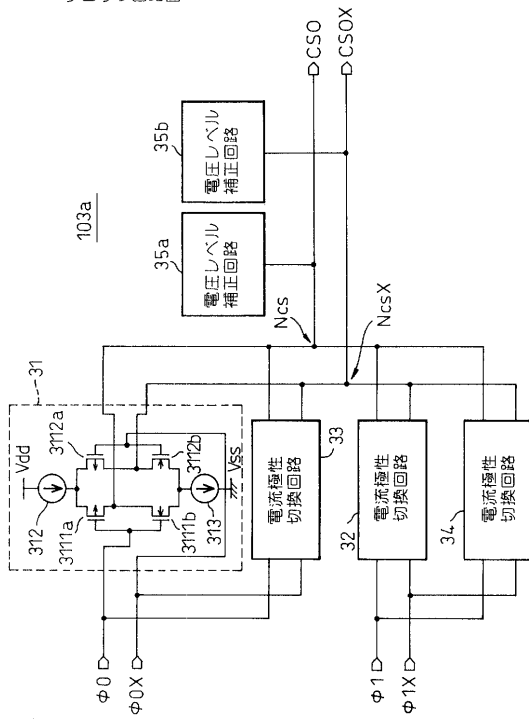
図 16

図14のタイミング信号発生回路における電流極性切換回路の動作を説明するための図（その2）



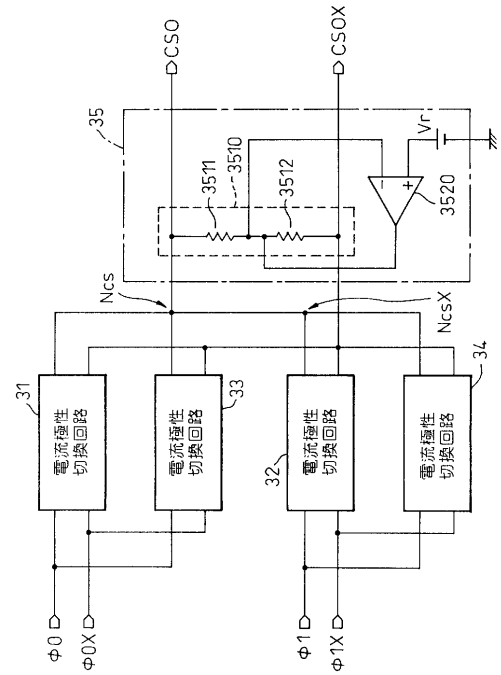
【図 17】

図17 本発明に係るタイミング信号発生回路の第4実施例を示すブロック回路図



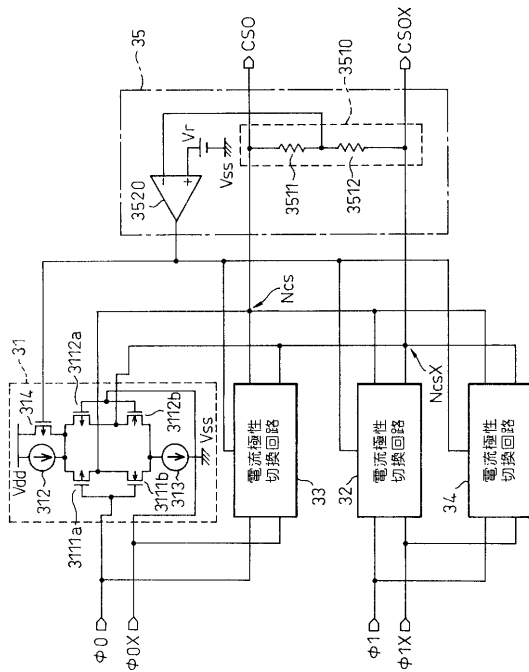
【図 18】

図18 本発明に係るタイミング信号発生回路の第5実施例を示すブロック回路図



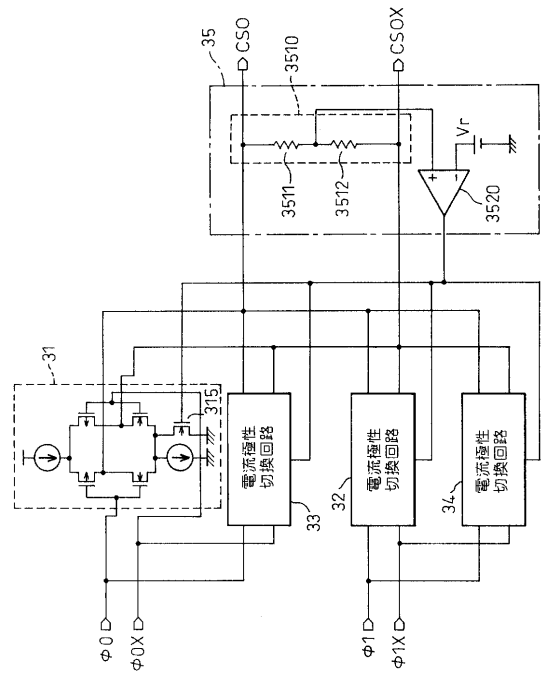
【図 19】

図19 本発明に係るタイミング信号発生回路の第6実施例を示すブロック回路図



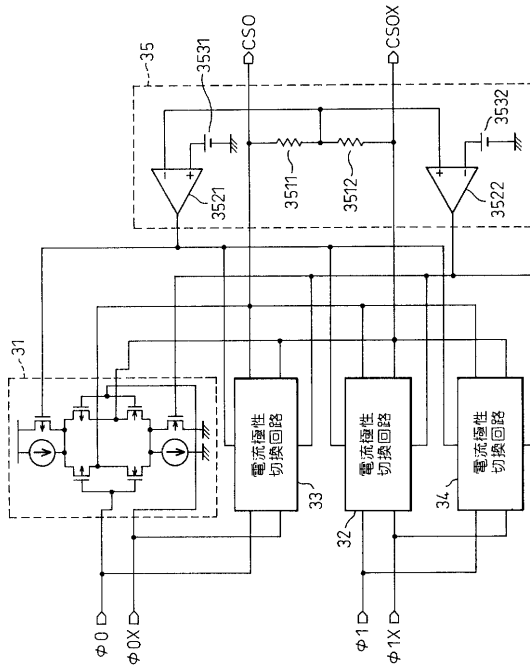
【図 20】

図20 本発明に係るタイミング信号発生回路の第7実施例を示すブロック回路図



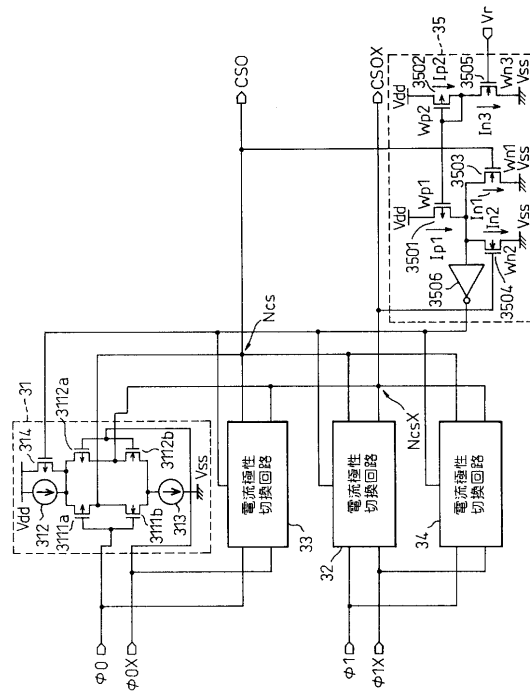
【図 2 1】

図 21 本発明に係るタイミング信号発生回路の第8実施例を示すブロック回路図



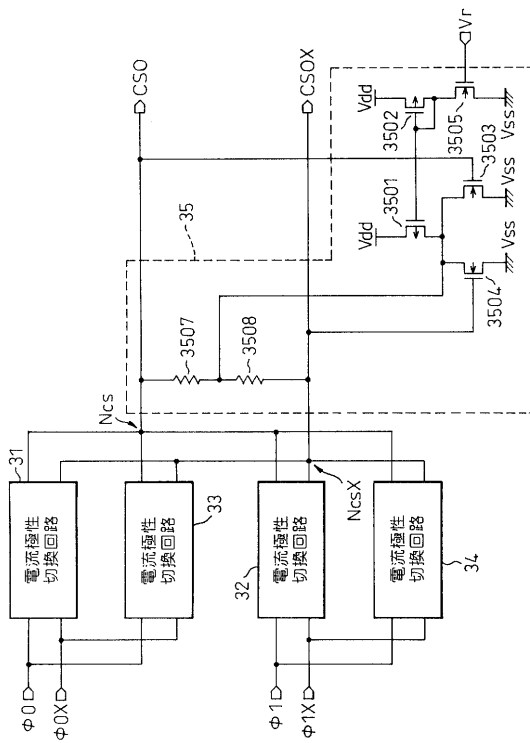
【図 2 2】

図 22 本発明に係るタイミング信号発生回路の第9実施例を示すブロック回路図



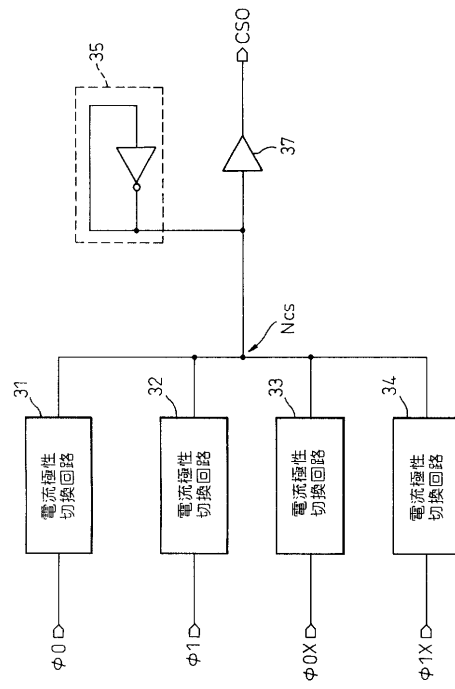
【図 2 3】

図 23 本発明に係るタイミング信号発生回路の第10実施例を示すブロック回路図



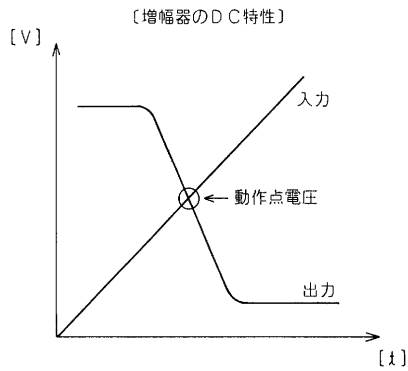
【図 2 4】

図 24 本発明に係るタイミング信号発生回路の第11実施例を示すブロック回路図



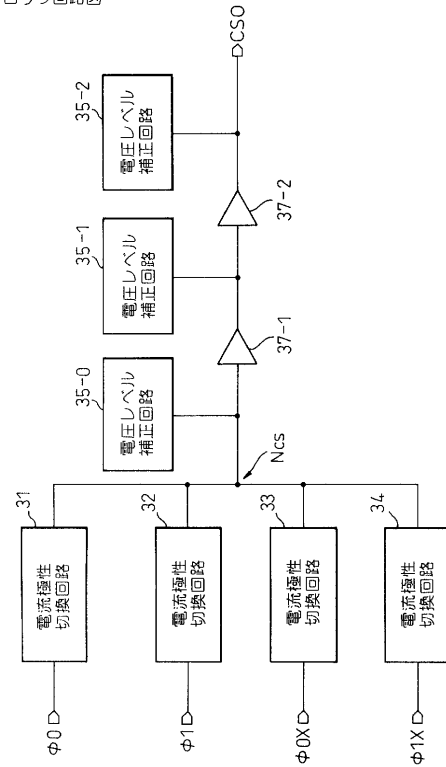
【図 2 5】

図25 図24に示す第11実施例のタイミング信号発生回路の動作を説明するための図



【図 2 6】

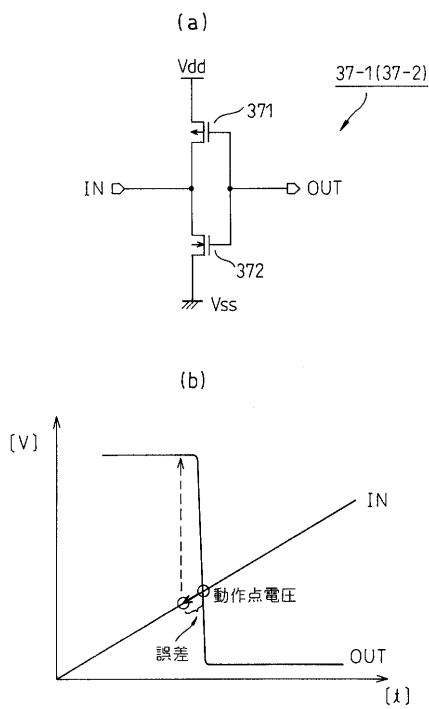
図26 本発明に係るタイミング信号発生回路の第12実施例を示すブロック回路図



【図 2 7】

図27

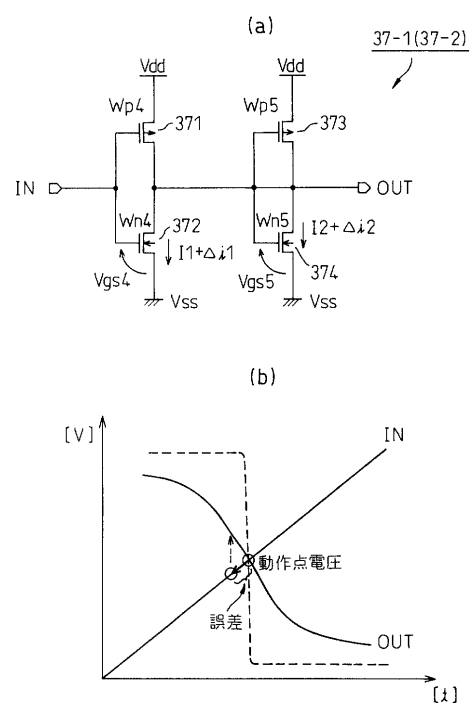
図26に示す第12実施例のタイミング信号発生回路の動作を説明するための図（その1）



【図 2 8】

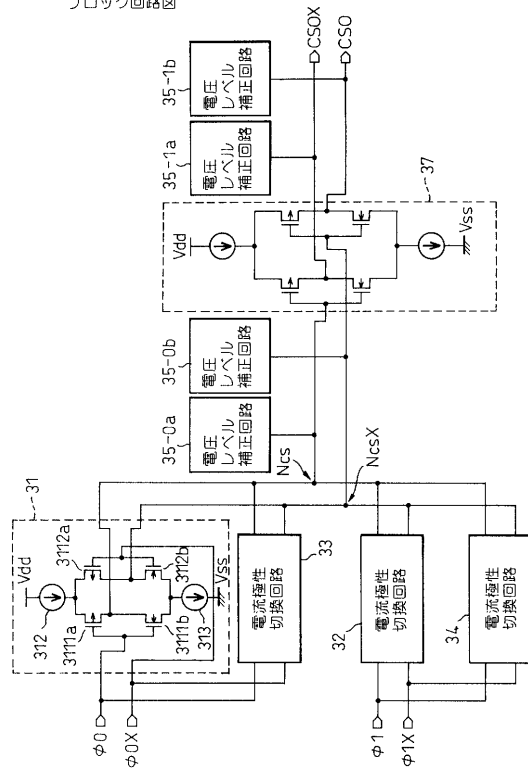
図28

図26に示す第12実施例のタイミング信号発生回路の動作を説明するための図（その2）



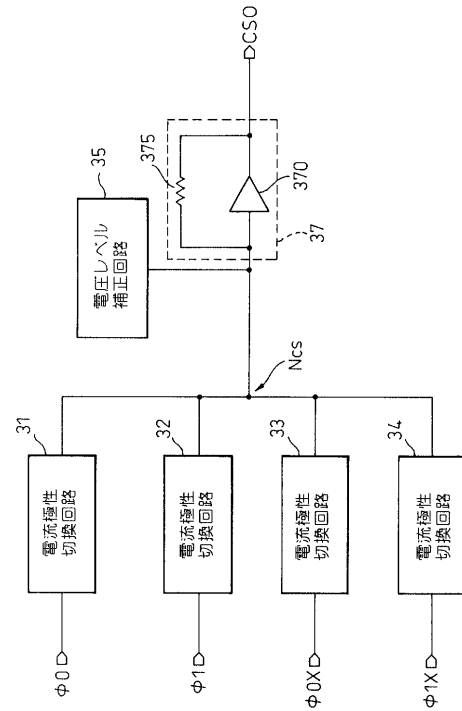
【図 29】

図29 本発明に係るタイミング信号発生回路の第13実施例を示すブロック回路図



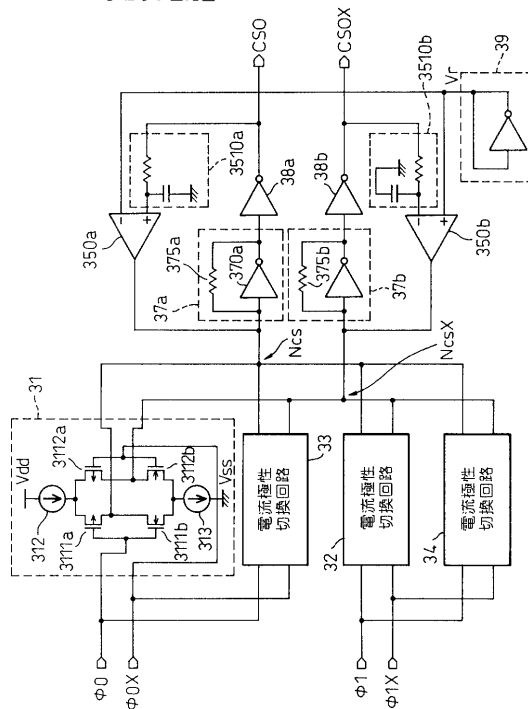
【図 30】

図30 本発明に係るタイミング信号発生回路の第14実施例を示すブロック回路図



【図 31】

図31 本発明に係るタイミング信号発生回路の第15実施例を示すブロック回路図



---

フロントページの続き

(72)発明者 千葉 孝也

北海道札幌市北区北七条西四丁目3番地1 富士通東日本デジタル・テクノロジー株式会社内

(72)発明者 田村 泰孝

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5J500 AA01 AA12 AA21 AA51 AC21 AC92 AF18 AH10 AH17 AH19  
AH25 AH29 AH39 AK00 AK01 AK04 AK05 AK09 AK18 AK34  
AS13 AT01 AT02 AT06 DN01 DN11 DN22 DN23 DP02  
5K047 AA03 AA15 GG09 GG24 MM63