



## (12) 发明专利

(10) 授权公告号 CN 101160667 B

(45) 授权公告日 2010.06.16

(21) 申请号 200680011974.3

(22) 申请日 2006.03.27

(30) 优先权数据

11/108,012 2005.04.15 US

(85) PCT申请进入国家阶段日

2007.10.12

(86) PCT申请的申请数据

PCT/US2006/011167 2006.03.27

(87) PCT申请的公布数据

W02006/113061 EN 2006.10.26

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 L·钱格 S·纳拉西姆哈

N·J·罗勒 J·W·斯莱特

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 29/94 (2006.01)

(56) 对比文件

US 2004/0155281 A1, 2004.08.12, 全文.

US 2004/0256700 A1, 2004.12.23, 说明书第4段.

US 2005/0073061 A1, 2005.04.07, 说明书第35-37, 45, 57-58 段、附图 1-4.

审查员 黄道许

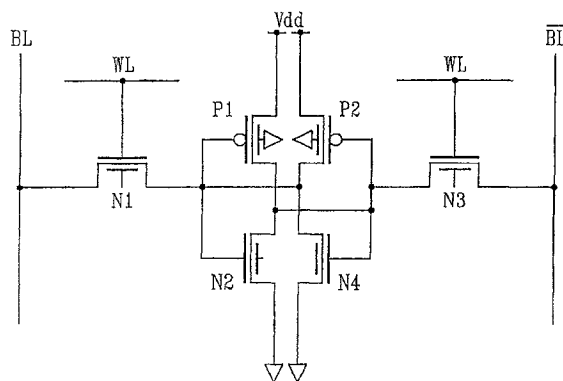
权利要求书 2 页 说明书 9 页 附图 7 页

### (54) 发明名称

改进单元稳定性和性能的混合块 SOI  
6T-SRAM 单元

### (57) 摘要

本发明提供一种 6T-SRAM 半导体结构, 包括: 具有 SOI 区域和块 Si 区域的衬底, 其中 SOI 区域和块 Si 区域具有相同或者不同的晶体取向; 将 SOI 区域与块 Si 区域分离的隔离区域; 以及位于 SOI 区域中的至少一个第一器件和位于块 Si 区域中的至少一个第二器件。SOI 区域具有在绝缘层之上的硅层。块 Si 区域还包括在第二器件下方的阱区域和到阱区域的接触, 其中该接触稳定浮体效应。阱接触也用来控制块 Si 区域中 FET 的阈值电压以优化从 SOI 和块 Si 区域 FET 的组合中构建的 SRAM 单元的功率和性能。



1. 一种 6T-SRAM 单元半导体结构,包括:

包括 SOI 区域和块 Si 区域的衬底,其中所述 SOI 区域和所述块 Si 区域具有相同或者不同的晶体取向;

将所述 SOI 区域与所述块 Si 区域分离的隔离区域;

位于所述块 Si 区域中器件下方的阱区域和到所述阱区域的接触,其中所述接触稳定浮体效应并且提供用于通过施加偏置电压来调节所述块 Si 区域中 FET 内阈值电压的手段;以及

器件配置,选自于:(a) 位于所述块 Si 区域中的两个旁栅 nFET 器件和两个下拉 nFET 器件以及位于所述 SOI 区域中的两个上拉 pFET 器件;(b) 位于所述块 Si 区域中的两个下拉 nFET 器件以及位于所述 SOI 区域中的两个旁栅 nFET 器件和两个上拉 pFET 器件;以及(c) 位于所述块 Si 区域中的两个上拉 pFET 器件以及位于所述 SOI 区域中的两个下拉 nFET 和两个旁栅 nFET。

2. 根据权利要求 1 所述的 6T-SRAM 单元半导体结构,其中存在器件配置(a)。

3. 根据权利要求 2 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域具有相同的晶体取向。

4. 根据权利要求 3 所述的 6T-SRAM 单元半导体结构,其中所述相同的晶体取向是(100)。

5. 根据权利要求 2 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域具有不同的晶体取向。

6. 根据权利要求 5 所述的 6T-SRAM 单元半导体结构,其中所述不同的晶体取向包括(100)、(110) 或者 (111)。

7. 根据权利要求 2 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域包括相同或者不同的半导体材料。

8. 根据权利要求 7 所述的 6T-SRAM 单元半导体结构,其中所述半导体材料是含 Si 的半导体材料。

9. 根据权利要求 1 所述的 6T-SRAM 单元半导体结构,其中存在器件配置(b)。

10. 根据权利要求 9 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域具有相同的晶体取向。

11. 根据权利要求 10 所述的 6T-SRAM 单元半导体结构,其中所述相同的晶体取向是(100)。

12. 根据权利要求 9 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域具有不同的晶体取向。

13. 根据权利要求 12 所述的 6T-SRAM 单元半导体结构,其中所述不同的晶体取向包括(100)、(110) 或者 (111)。

14. 根据权利要求 9 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域包括相同或者不同的半导体材料。

15. 根据权利要求 14 所述的 6T-SRAM 单元半导体结构,其中所述半导体材料是含 Si 的半导体材料。

16. 根据权利要求 1 所述的 6T-SRAM 单元半导体结构,其中存在器件配置(c)。

17. 根据权利要求 16 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域具有相同的晶体取向。

18. 根据权利要求 17 所述的 6T-SRAM 单元半导体结构,其中所述相同的晶体取向是 (100)。

19. 根据权利要求 16 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域具有不同的晶体取向。

20. 根据权利要求 19 所述的 6T-SRAM 单元半导体结构,其中所述不同的晶体取向包括 (100)、(110) 或者 (111)。

21. 根据权利要求 16 所述的 6T-SRAM 单元半导体结构,其中所述块 Si 区域和所述 SOI 区域包括相同或者不同的半导体材料。

22. 根据权利要求 21 所述的 6T-SRAM 单元半导体结构,其中所述半导体材料是含 Si 的半导体材料。

## 改进单元稳定性和性能的混合块 SOI 6T-SRAM 单元

### 技术领域

[0001] 本发明涉及半导体器件,并且更特别地涉及在具有薄的绝缘体上硅(SOI)和块 Si(bulk-Si)部分的衬底之上形成的集成半导体器件,比如互补金属氧化物半导体(CMOS)器件,其中衬底的 SOI 和块 Si 部分具有相同或者不同的晶体取向。特别地,本发明在半导体衬底的 SOI 和块 Si 区域上形成 nFET 和 pFET 器件,该半导体衬底具有在(100)、(110)或者(111)晶体平面上的表面。处理衬底的块 Si 区域以提供基本上无浮体效应的器件,该浮体效应通常出现于以 SOI 为衬底形成的器件中。更具体而言,本发明涉及具有改进的稳定性和性能的 6T-SRAM(六晶体管静态随机存取存储器)单元。

### 背景技术

[0002] 绝缘体上硅(SOI)器件提供相较于更多常规半导体器件而言的数项优点。例如,SOI 器件可以具有比执行相似任务的其它类型的器件更低的功率消耗要求。SOI 器件也可以具有比非 SOI 器件更低的寄生电容。这转换成所得电路的更快开关时间。此外,当使用 SOI 制作工艺来制造电路器件时可以避免互补金属氧化物半导体(CMOS)器件常常表现出的“闩锁(latchup)”现象。SOI 器件对于电离辐射的不利效应也不那么敏感,因此往往在电离辐射可能造成操作错误的应用中更可靠。

[0003] 一些 SOI 电路中的不足在于浮体效应。由于 SOI 器件的额外隔离,所以通常没有接触到体或者阱节点。在原理上,可以在 SOI CMOS 中利用体连结(body tie)结构以添加到浮体节点的接触,但是这会引入寄生电阻和电容,其将消除自适应阱偏置的有利影响。

[0004] 对于许多数字电路而言能够忽略这一影响。然而,如常用的 6T-SRAM 单元的某些电路阵列单元的稳定性由于浮体所引起的容差问题而降级。通常通过增加阵列中 FET 的线性阈值电压( $V_t$ )来应对这一点,但是这通常是以降低整体阵列性能为代价的。

[0005] 一种近来革新的混合取向 CMOS 技术(HOT)使用 SOI nFET 和 pFET 以及常规块 nFET 和 pFET(例如参见 M. Yang 等人在 2003 年的 IEDM 第 453 页以及美国公开第 2004 0256700 号(2004 年 12 月 23 日))。

[0006] 此外,相同或者不同的晶体取向能够用于 nFET 和 pFET 器件。不同晶体取向的使用允许独立地优化 nFET(在硅中的 nFET 在(100)取向中具有最高的迁移率和性能)和 pFET(在硅中的 pFET 在(110)取向中具有最高的迁移率和性能)的性能。此外在本领域中已知在(110)晶体平面之上形成的 nFET 器件已经降低了载流子迁移率和开关速度。在混合块 SOI CMOS 或者混合取向(HOT)块 SOI CMOS 可用的情况下,存在将一些阵列器件放置于块 CMOS 中的契机。在所有情况下,在单元的一部分中消除浮体效应将减少对增加线性  $V_t$  的需要并且将提供更好的单元稳定性和性能。此外,对于一些器件而言到阱区域的接触允许使用自适应阱偏置(例如参见 J. Tschanz 等人在 2002 年的 J. Solid State Circuits 第 1396 页中的描述),借助该自适应阱偏置,可以通过调节阱节点偏置值来控制这一区域中 FET 的  $V_t$ 。能够按阵列动态地调节  $V_t$  以减少处理器在休眠模式下的功率(通过在这一模式下提高  $V_t$ )或者增强当正在存取阵列时的性能(通过在这一模式下降低  $V_t$ )。

[0007] 鉴于上述, 需要提供一种其中利用自适应阱偏置的表现出改进的单元稳定性和性能的混合块 SOI 6T SRAM 单元。

## 发明内容

[0008] 本发明提供一种 6T SRAM 单元, 该 6T SRAM 单元包括将在具有能够被部分或者完全耗尽电荷载流子的器件沟道的 SOI 衬底区域上的场效应晶体管 (FET) 与在基本上消除浮体效应的高度掺杂阱体接触的成块 Si 区域内的 FET 相结合, 并且提供用以使用自适应阱偏置的手段, 由此提供用以利用在阱端上的施加偏置来控制块 Si 区域 FET 的阈值电压的手段。

[0009] 本发明将 HOT 结构的使用与 6T-SRAM 阵列中的器件相组合。针对位于块 Si 区域中的器件类型而产生和接触高度掺杂阱。然后针对块 Si 区域中放置的 FET 消除浮体效应, 并且提高阵列性能和稳定性, 这是因为消除了如常规 SOI 6T-SRAM 单元中的对提高线性  $V_t$  值的需要。此外, 阱或者体节点提供如下手段, 该手段用于施加偏置以针对常规块 CMOS 区域中放置的器件实施自适应阱偏置技术。此外由于阱是单极的, 所以对于实施自适应阱偏置而言没有阱到阱的泄漏或者不利电容, 这是相较于用于自适应阱偏置的常规块 CMOS 方案而言的主要优点。自适应阱偏置能够用来根据电路应用的需要而动态地减少阵列的功率消耗或者提高阵列性能。

[0010] 广而言之, 本发明提供一种 6T SRAM 单元结构, 该结构包括:

[0011] 包括 SOI 区域和块 Si 区域的衬底, 其中所述 SOI 区域和所述块 Si 区域具有相同或者不同的晶体取向;

[0012] 将所述 SOI 区域与所述块 Si 区域分离的隔离区域;

[0013] 位于所述块 Si 区域中器件下方的阱区域和到所述阱区域的接触, 其中所述接触通过施加偏置电压来稳定块 Si 区域中 FET 内的阈值电压; 以及

[0014] 器件配置, 选自于: (a) 位于块 Si 区域中的两个旁栅 (pass-gate) nFET 器件以及位于 SOI 区域中的两个下拉 nFET 器件和两个上拉 pFET 器件; (b) 位于块 Si 区域中的两个旁栅 nFET 器件和两个下拉 nFET 器件以及位于 SOI 区域中的两个上拉 pFET 器件; (c) 位于块 Si 区域中的两个下拉 nFET 器件以及位于 SOI 区域中的两个旁栅 nFET 器件和两个上拉 pFET 器件; 以及 (d) 位于块 Si 区域中的两个上拉 pFET 器件以及位于 SOI 区域中的下拉 nFET 和旁栅 nFET。

[0015] 根据本发明, 衬底的 SOI 区域包括具有如下厚度的 SOI 层, 该厚度在器件被正向偏置时能够完全或者部分地耗尽电荷载流子。块 Si 区域还可以包括至少一个电阻器、电容器、二极管或者其组合。

[0016] 能够通过利用一种包括晶片键合、掩模、蚀刻以及半导体层再生长的方法来提供上述结构。具体而言, 本发明的方法包括以下步骤: 提供衬底, 该衬底至少包括通过绝缘层来分离的第一半导体层和第二半导体层, 所述第一半导体层和所述第二半导体层具有相同或者不同的晶体取向; 保护衬底的一部分以限定 SOI 区域, 而留下衬底的另一部分不受保护, 衬底的所述不受保护的部分限定块 Si 区域; 蚀刻衬底的所述不受保护的部分以暴露第二半导体层的表面; 在第二半导体层的所述暴露的表面上再生长半导体材料, 所述半导体材料具有所述相同的晶体取向; 平坦化包含所述半导体材料的衬底, 使得第一半导体层的

上表面与半导体材料的上表面基本上共面；以及在所述 SOI 区域中形成至少一个第一器件，而在所述块 Si 区域中在所述半导体材料上形成至少一个第二器件。特别地，处理从上述组 (a)-(d) 中选择一个器件配置。

[0017] 根据本发明，能够通过如下步骤来形成在块 Si 区域中的第二器件：以第一类型的掺杂剂注入块 Si 区域以提供阱区域；在块 Si 区域的表面之上形成至少一个栅极区域；以第二类型的掺杂剂形成与至少一个栅极区域相邻的源极和漏极区域；以及形成到阱区域的接触，其中该接触稳定浮体效应并且提供可以用来调节块 Si 区域中器件阈值电压的阱接触。形成到阱区域的接触包括：蚀刻块 Si 区域的表面的一部分以提供到阱区域的过孔；以及以导电材料填充到阱区域的过孔。

[0018] 根据本发明，六晶体管静态随机存取存储器 (6T-SRAM) 中的所选器件被放置于块 Si 区域中，而将其它晶体管留在 SOI 区域中。具体而言考虑四种情况（见上文的 (a)-(d)）。在第一情况下，在块 Si 区域中放置仅两个 nFET 旁栅器件或者存取器件。在第二情况下，两个旁栅 nFET 器件和两个下拉 nFET 器件均在块 Si 区域中。在第三情况下，仅两个下拉 nFET 器件在块 Si 区域中。在这三种情况下，块区域的晶体取向将最有可能为 (100) 以得到最优 nFET 器件性能。在第四也就是最后的情况下，两个上拉 pFET 器件将在块 Si 区域中。在第四情况下，块区域的晶体取向将最可能为 (110) 或者 (111) 以得到硅器件中最优的 nFET 器件性能。更一般而言，在其它半导体材料系统（比如其它 IV 族元素以及 III-V 和 II-VI 族化合物）中，HOT 工艺使最优晶体方向能够用于 nFET 和 pFET 器件。针对浮体 SOI 比对块器件而言的相同问题对于这些情况也将适用。

## 附图说明

[0019] 图 1A-1F 是图示了在形成 CMOS 器件中使用的基本处理步骤的表示图（横截面图），该 CMOS 器件包含具有体接触的高性能 SOI 沟道 MOSFET 半导体器件。

[0020] 图 2A-2C 是可以键合在一起并且在图 1A-1F 中描述的方法中使用的各种晶片的表示图。

[0021] 图 3 是 SOI 衬底中常规 6T SRAM 单元的示意性表示图（现有技术）。用于所有晶体管的体节点是浮动的。所有晶体管通常在 (100) 晶体取向硅中。

[0022] 图 4A-4D 是本发明的混合块-SOI 6T 单元的示意性表示图，其中在示意图中有到电源电压 (V<sub>dd</sub>) 接地的阱接触时示出了块区域中的 FET 器件而在省略这样的阱接触时示出了 SOI 区域中的浮体器件。

## 具体实施方式

[0023] 现在通过参照以下讨论以及本发明的附图来具体地描述本发明，其提供一种用于相较于常规 SOI 技术而言提高混合块 SOI 技术中 SRAM 元件稳定性和性能的方法。在附图中，相似的和对应的单元通过相同的标号来指代。注意到出于说明的目的而提供本发明的附图，因此这些附图没有按比例绘制。

[0024] 图 1A 图示了可以在本发明中利用的衬底 10 即混合衬底。如图所示，衬底 10 包括表面电介质层 18、第一半导体层 16、绝缘层 14 和第二半导体层 12。

[0025] 衬底 10 的表面电介质层 18 是通过热工艺（即氧化、氮化或者氮氧化工艺）或者

沉积而在键合之前存在于初始晶片之一中或者在晶片键合之后形成在第一半导体层 16 之上的氧化物、氮化物、氮氧化物或者其它绝缘层。无论表面电介质层 18 的来源如何,表面电介质层 18 都具有从约 3nm 到约 500nm 的厚度,其中从约 5nm 到约 20nm 的厚度更为典型。

[0026] 第一半导体层 16 包括任何半导体材料,该半导体材料例如包括 Si、SiC、SiGe、SiGeC、Ge 合金、GaAs、InAs、InP 以及其它 III-V 或者 II-VI 族化合物半导体。第一半导体层 16 也可以包括预形成的 SOI 衬底的 SOI 层或者分层的半导体例如 Si/SiGe。在一个非常优选的实施例中,第一半导体层 16 包括含 Si 半导体材料。第一半导体层 16 具有与第二半导体层 12 相同或者不同的晶体取向,该晶体取向优选地在 (100) 晶体平面中。虽然优选 (100) 晶体取向,但是第一半导体层 16 可以具有 (111) 晶体平面、(110) 晶体平面或者其它晶体平面,只要第一半导体层 16 不是如下含 Si 材料,该含 Si 材料随后被处理以在 (110) 晶体平面上提供 nFET 器件。

[0027] 第一半导体层 16 的厚度可以根据用来形成衬底 10 的初始晶片而变化。然而通常第一半导体层 16 具有从约 5nm 到约 100nm 的初始厚度,该厚度然后可以变薄为 40nm 或者更少的厚度。通过平坦化、研磨、湿蚀刻、干蚀刻或者其任何组合来使第一半导体层 16 变薄到所需厚度。在优选实施例中,通过氧化和湿蚀刻来使第一半导体层 16 变薄以实现所需厚度从而针对本发明的目的来提供薄的绝缘体上硅衬底的上部含 Si 层。

[0028] 位于第一半导体层 16 与第二半导体层 12 之间的绝缘层 14 具有视用来产生衬底 10 的初始晶片而定的可变厚度。然而通常绝缘层 14 具有从约 1nm 到约 500nm 的厚度,其中从约 1nm 到约 50nm 的厚度更为典型。绝缘层 14 是在键合之前形成于一个或者两个晶片上的氧化物或者其它相似的绝缘体材料。

[0029] 第二半导体层 12 包括可以与第一半导体层 16 相同或者不同的任何半导体材料。因此,第二半导体层 12 可以包括例如 Si、SiC、SiGe、SiGeC、Ge 合金、GaAs、InAs、InP 以及其它 III-V 或者 II-VI 族化合物半导体。第二半导体层 12 也可以包括预形成的 SOI 衬底的 SOI 层或者分层的半导体例如 Si/SiGe。在本发明的一个非常优选实施例中,第二半导体层 12 包括含 Si 半导体材料。第二半导体层 12 具有与第一半导体层 16 相同或者不同的晶体取向,优选地在 (100) 晶体平面中。虽然优选 (100) 晶体取向,但是第二半导体层 12 可以具有 (111) 晶体平面、(110) 晶体平面或者其它晶体平面,只要第二半导体层 12 不是如下含 Si 材料,该含 Si 材料随后被处理以在 (110) 晶体表面上提供 nFET 器件。

[0030] 第二半导体层 12 的厚度可以根据用来形成衬底 10 的初始晶片而变化。然而通常第二半导体层 12 具有从约 5nm 到约 200nm 的厚度,其中从约 5nm 到约 100nm 的厚度更为典型。

[0031] 图 1A 中所示衬底 10 包括键合在一起的两个半导体晶片。在制作衬底 10 中使用的两个晶片可以包括:两个 SOI 晶片(见图 2A),其中表示为 1 的一个晶片包括第一半导体层 16,而表示为 2 的另一晶片包括第二半导体层 12;SOI 晶片(表示为 2)和块半导体晶片(表示为 1;见图 2B);或者 SOI 晶片(表示为 2)和块晶片(表示为 1),该块晶片包括离子注入区域 11,比如 H<sub>2</sub> 注入区域,该注入区域可以用来在键合过程中分裂至少一个晶片的一部分。

[0032] 通过先使两个晶片相互紧密接触、可选地将外力施加到接触的晶片、然后在能够将两个晶片键合在一起的条件之下加热两个接触的晶片来实现键合。可以在有外力或者

没有外力时执行加热步骤。典型地在从约 2 小时至 20 小时的时间段中在从约 200℃ 至约 1050℃ 的温度下在惰性氛围中执行加热步骤。更典型地在从约 2 小时至 20 小时的时间段中在从约 200℃ 至约 400℃ 的温度下执行键合。术语“惰性氛围”在本发明中用来表示其中利用惰性气体如 He、Ar、N<sub>2</sub>、Xe、Kr 或者其混合物的环境。在键合过程中使用的优选氛围是 N<sub>2</sub>。

[0033] 在利用两个 SOI 晶片的实施例中,可以利用平坦化工艺如化学机械抛光 (CMP) 或者研磨和蚀刻,在键合之后去除至少一个 SOI 晶片的一些材料层。平坦化工艺在达到表面电介质层 18 时停止。

[0034] 在其中一个晶片包括离子注入区域的实施例中,离子注入区域在键合过程中形成有孔区域,该有孔区域使晶片在离子注入区域以上的部分脱离,留下例如在图 1A 中示出的键合晶片。注入区域通常包括 H<sub>2</sub> 离子,其中利用本领域技术人员公知的离子注入条件将这些离子注入到晶片的表面中。

[0035] 在待键合的晶片不含电介质层的实施例中,可以通过热工艺如氧化或者通过常规沉积工艺如化学气相沉积 (CVD)、等离子增强 CVD、原子层沉积、化学溶液沉积以及其它相似的沉积工艺在键合晶片之上形成表面电介质层 18。

[0036] 现在参照图 1B,然后在图 1A 的衬底 10 的预定部分上形成掩模 20 以便保护衬底 10 的一部分而留下衬底 10 的另一部分不受保护。衬底 10 中受保护的部分限定了衬底的 SOI 区域 22,而衬底 10 中不受保护的部分限定了块 Si 区域 24。在一个实施例中,通过将光刻胶掩模施加到衬底 10 的整个表面而在表面电介质层 18 的预定部分上形成掩模 20。在施加光刻胶掩模之后,通过光刻来对掩模进行构图,该光刻包括将光刻胶暴露于辐射图案以及利用抗蚀显影剂对图案进行显影这些步骤。例如在图 1B 中示出了包括在衬底 10 的预定部分上形成的掩模 20 的所得结构。

[0037] 在另一实施例中,掩模 20 是利用光刻和蚀刻来形成和构图的氮化物或者氮氧化物层。可以在限定衬底 10 的块 Si 区域 24 之后去除氮化物或者氮氧化物掩模 20。

[0038] 在衬底 10 之上形成掩模 20 之后,对该结构进行一个或者多个蚀刻步骤以便暴露块 Si 区域 24 中第二半导体层 12 的表面。具体而言,在本发明的这一点使用的一个或者多个蚀刻步骤去除了表面电介质层 18 中不受保护的部分以及下面的第一半导体层 16 的部分和将第一半导体层 16 与第二半导体层 12 分离的绝缘层 14 的部分。可以利用单个蚀刻工艺来执行蚀刻或者可以利用多个蚀刻步骤。在本发明的这一点使用的蚀刻可以包括干蚀刻工艺,比如反应离子蚀刻、离子束蚀刻、等离子蚀刻或者激光蚀刻,也可以包括其中利用化学蚀刻剂的湿蚀刻工艺,或者其任何组合。在本发明的优选实施例中,在有选择地去除块 Si 区域 24 中表面电介质层 18、第一半导体层 16 和绝缘层 14 的未受保护部分时,使用反应离子蚀刻 (RIE)。例如在图 1C 中示出了在已经执行蚀刻工艺之后的所得结构。注意到在这一蚀刻步骤之后暴露受保护的 SOI 区域 22 即表面电介质层 18、第一半导体层 16 和绝缘层 14 的侧壁。如图所示,层 18、16 和 14 的暴露侧壁与掩模 20 的最外沿对准。

[0039] 然后利用常规抗蚀剂剥离工艺从图 1C 中所示结构中去除掩模 20,然后通常但并非总是在暴露侧壁上形成衬垫或者间隔物 25。通过沉积和蚀刻来形成可选的衬垫或者间隔物 25。衬垫或者间隔物 25 包括绝缘材料如例如氧化物。

[0040] 在形成可选的衬底或者间隔物 25 之后,在块 Si 区域 24 中的暴露的第二半导体层

12 上形成半导体材料 26。根据本发明,半导体材料 26 具有与第二半导体层 12 的晶体取向相同的晶体取向。例如在图 1D 中示出了所得结构。

[0041] 半导体材料 26 可以包括能够利用有选择的外延生长方法来形成的任何含 Si 半导体,比如 Si、应变 Si、SiGe、SiC、SiGeC 或者其组合。在一些优选实施例中,半导体材料 26 包括 Si。在本发明中,半导体材料 26 可以称为再生长半导体材料 26。

[0042] 接着对图 1D 中所示结构进行平坦化工艺如化学机械抛光 (CMP) 或者研磨,使得半导体材料 26 的上表面与第一半导体层 16 的上表面基本上共面。注意在这一平坦化工艺过程中去除了表面电介质层 18 中先前受保护的部分。

[0043] 在提供基本上平坦的表面之后,通常形成隔离区域 27 如浅沟槽隔离区域以便将 SOI 区域 22 与块 Si 区域 24 相隔离。利用本领域技术人员公知的处理步骤来形成隔离区域 27,这些步骤例如包括限定和蚀刻沟槽、可选地将沟槽与扩散阻挡层排成一行以及用沟道电介质如氧化物填充沟槽。在沟槽填充之后,可以平坦化该结构以及可以执行可选的致密化工艺步骤以使沟槽电介质致密化。

[0044] 例如在图 1E 中示出了所得的包含隔离区域 27 的基本上平坦的结构。如图所示,图 1E 的结构包括在 SOI 区域 22 内的暴露的第一半导体层 16 以及在块 Si 区域 24 内的再生长的半导体材料 26,其中第一半导体层 16 和半导体材料 26 具有相同或者不同的晶体取向。在本发明的一个实施例中,层 16 和层 26 具有相同的晶体取向。在本发明的一个实施例中,层 16 和 26 优选地具有在 (100) 晶体平面中的表面。

[0045] 参照图 1F 以及在下一工艺步骤中,处理 SOI 区域 22 以提供 SOIMOSFET 以及处理块 Si 区域 24 以提供具有基本上消除浮体效应的体接触的器件并且提供用以调节块 Si 区域 24 中 FET 阈值电压的手段。

[0046] 在处理 SOI 区域 22 和块 Si 区域 24 之前,可以在衬底 10 内形成器件隔离区域 27'。通过结合常规阻挡掩模来利用常规干蚀刻工艺如反应离子蚀刻 (RIE) 或等离子体蚀刻有选择地蚀刻衬底中的沟槽,能够提供器件隔离区域 27'。器件隔离区域 27' 在块 Si 区域 24 和 SOI 区域 22 内提供隔离并且与将块 Si 区域 24 与 SOI 区域 22 相分离的隔离区域 27 相似。可选地,器件隔离区域 27' 可以是使用硅局部氧化工艺来形成的场隔离区域。

[0047] 可以利用常规阻挡掩模技术来单独地处理 SOI 区域 22 和块 Si 区域 24。阻挡掩模可以包括常规软和 / 或硬掩模材料并且能够使用沉积、光刻和蚀刻来形成。在优选实施例中,阻挡掩模包括光刻胶。能够通过将匀厚 (blanket) 光刻胶层施加到衬底 10 的表面、将光刻胶层暴露于辐射图案、然后使用常规抗蚀显影剂将图案显影到光刻胶层中来产生光刻胶阻挡掩模。

[0048] 可选地,阻挡掩模能够是硬掩模材料。硬掩模材料包括可以通过化学气相沉积 (CVD) 和有关方法来沉积的电介质。通常,硬掩模组成包括氧化硅、碳化硅、氮化硅、氮碳化硅和其它相似材料。旋涂电介质也可以用作硬掩模材料,包括但不限于硅倍半氧烷、硅氧烷和硼磷硅玻璃 (BPSG)。

[0049] 可以通过将 p 型或者 n 型掺杂剂有选择地注入衬底 10 的块 Si 区域 24 中而在成块 Si 区域 24 中形成阱区域 37、38,其中如上所述衬底 10 的 SOI 区域 22 可以受阻挡掩模保护。在图 1F 中所示例子中,注入 pFET 块 Si 器件区域 35 以提供 n 型阱 37 而注入 nFET 块 Si 器件区域 36 以提供 p 型阱 38。

[0050] 也可以在 SOI 区域 22 中有选择地注入 SOI 层。在图 1F 中所示例子中,注入 pFET SOI 区域 41 以提供 n 型沟道区域而注入 nFET SOI 区域 42 以提供 p 型沟道区域。

[0051] 然后能够通过先在衬底表面之上匀厚沉积栅极电介质层、然后在栅极电介质层之上沉积栅极导体层而在 SOI 区域 22 和块 Si 区域 24 内形成栅极导体堆叠 28、29。栅极电介质层可以包括任何常规栅极电介质材料如  $\text{SiO}_2$  或者任何高 k 栅极电介质材料如  $\text{HfO}_2$ 。栅极导体层可以包括任何导电材料如掺杂多晶硅。然后使用常规沉积、光刻和蚀刻工艺来蚀刻栅极导体层和栅极电介质层以在衬底 10 的 SOI 区域 22 和块 Si 区域 24 内提供栅极导体堆叠 28、29,如图 1F 中所示。可选地,可以使用阻挡掩模来分别在 SOI 区域 22 内提供栅极导体堆叠 28 而在块 Si 区域 24 内提供栅极导体堆叠 29。

[0052] 在图 1F 中所示实施例中以及在接下来的一连串工艺步骤过程中,然后在 SOI 区域 22 内有选择地形成 SOI MOSFET 器件,而块 Si 区域 24 受硬或者软阻挡掩模保护。例如,能够在注入之前形成构图的光刻胶所提供的阻挡掩模以在 SOI 区域 22 内为利用一个掺杂剂类型进行掺杂的栅极导体和 / 或源极 / 漏极扩散区 40 预先选择衬底区域。能够重复阻挡掩模施加和注入过程以利用不同的掺杂剂类型如 n 型或者 p 型掺杂剂来掺杂栅极导体堆叠 28、源极 / 漏极扩散区域 40、源极 / 漏极扩展区域或者晕环 (halo) 区域 (未示出) 的所选导电材料。在每次注入之后,可以使用常规光刻胶剥离化学过程来去除阻挡掩模抗蚀剂。在一个优选实施例中,可以重复构图和注入工艺步骤以提供至少一个 pFET 器件 41 和至少一个 nFET 器件 42,其中通过隔离区域 27' 来分离 pFET 41 和 nFET 器件 42。

[0053] 在注入之前,邻近于栅极导体堆叠 28 形成间隔物 6,其中可以调节间隔物的宽度以补偿 p 型和 n 型掺杂剂的不同扩散速率。此外,可以处理在 SOI 区域 22 内的 pFET 和 nFET 器件以提供硅化物区域或者在超薄沟道 MOSFET 中通常利用的任何其它常规结构。在 SOI 区域 22 内形成器件 41、42 之后,可以从块 Si 区域 24 剥离硬掩模,然后在衬底 10 的 SOI 区域 22 之上形成另一硬掩模,留下块 Si 区域 24 被暴露。

[0054] 然后处理块 Si 区域 24 以在块 Si 衬底上提供与 SOI 衬底相比具有增强性能的器件。例如,可以处理块 Si 区域 24 以提供在半导体制造中通常普遍的器件,比如:电阻器;电容器,包括去耦合电容器、平面式电容器和深沟槽电容器;二极管;以及存储器器件,比如动态随机存取存储器 (DRAM) 和嵌入式动态随机存取存储器 (eDRAM)。在优选实施例中,块 Si 区域 24 包括体接触 50、51。在一个例子中,如图 1F 中所示,处理块 Si 区域 24 以提供具有体接触 50、51 的 MOSFET。

[0055] 在图 1F 中所示实施例中,处理块 Si 区域 24 以提供各具有体接触 50、51 的至少一个 p 型 MOSFET 35 和至少一个 n 型 MOSFET 36,其中通过器件隔离区域 27' 将 p 型 MOSFET 35 与 n 型 MOSFET 36 相分离。与在 SOI 区域 22 内形成的器件相似,可以利用构图阻挡掩模有选择地注入块 Si 区域 24 以提供 p 型 MOSFET 35 和 n 型 MOSFET 36。

[0056] 在注入之后,然后将体接触 50、51 形成到衬底 10 的块 Si 区域 24 内的至少一个器件。到块 Si 区域 24 内各 MOSFET 器件 35、36 的体接触 50、51 与器件的阱区域电接触并且通过隔离区域 26 与 MOSFET 的源极和漏极区域 40 相分离。

[0057] 可以使用光刻、蚀刻和沉积来形成体接触 50、51。更具体地,可以通过对衬底 10 中块 Si 区域 24 内的一部分进行构图并且蚀刻暴露的表面以形成到至少一个 MOSFET 35、36 的至少一个阱区域 37、38 的过孔来形成体接触 50、51。蚀刻工艺可以是定向蚀刻如反应离

子蚀刻。在过孔形成之后,然后通过使用常规处理如 CVD 或者电镀将导电材料沉积到过孔中来形成体接触 50、51。在形成体接触 50、51 中使用的导电材料可以是掺杂多晶硅或者导电金属。导电金属可以包括但不限于钨、铜、铝、银、金及其合金。在优选实施例中,到 nFET SOI 器件 36 的体接触 51 是 p 型掺杂多晶硅而到 pFET SOI 器件 35 的体接触 50 是 n 型掺杂多晶硅。

[0058] 注意到在 SOI 区域 22 内形成的器件和在衬底 10 的块 Si 区域 24 内形成的器件均形成于具有相同或者不同晶体取向的表面之上。在一个优选实施例中,在 SOI 区域 22 内的器件和在块 Si 区域 24 内形成的器件均形成于具有 (100) 晶体平面的表面上。在另一优选实施例中,在 SOI 区域 22 内的 nFET 和 pFET 器件形成于具有 (100) 晶体平面的表面上,而在块 Si 区域 24 内形成的 pFET 器件均形成于具有 (110) 晶体平面的表面上。在另一优选实施例中,在 SOI 区域 22 内的 pFET 器件形成于具有 (110) 晶体平面的表面上,而在块 Si 区域 24 内形成的 nFET 和 pFET 器件均形成于具有 (100) 晶体平面的表面上。

[0059] 考虑类型 A 混合 CMOS 以及相反而言的类型 B 混合 CMOS,该类型 A 混合 CMOS 包括块 Si 区域 24 中的 nFET 器件以及 SOI 区域 22 中的 pFET 器件,该类型 B 混合 CMOS 包括块 Si 区域 24 中的 pFET 器件以及 SOI 区域 22 中的 nFET 器件,其中所有器件处于 (100) 晶体取向。也考虑类型 A HOT CMOS 以及相反而言的类型 B HOTCMOS,该类型 A HOT CMOS 包括块 Si 区域 24 中的 (100) 晶体取向的 nFET 器件以及 SOI 区域 22 中的 (110) 或者 (111) 晶体取向的 pFET 器件,该类型 B HOT CMOS 包括块 Si 区域 24 中的 (110) 或者 (111) 晶体取向的 pFET 器件以及 SOI 区域 22 中的 (100) 晶体取向的 nFET 器件。

[0060] 图 3 示出了其中所有体(或者阱)节点不被接触并且因此浮动的常规 SOI 6T-SRAM 单元的示意图。在图 4A-4D 中示出了将在图 1F 中概括的物理结构中实施的本发明的四种最有可能的 6T-SRAM 单元情况。注意到使用上述处理步骤来实现在图 4A-4D 中示意性示出的单元布局。在上文中,在 SOI 区域 22 和块 Si 区域 24 内的 FET 包括共计六个晶体管,这些晶体管的配置将在下文中更具体地加以描述。

[0061] 图 4A 示出了类型 A 混合 CMOS 中 6T-SRAM 单元的示意图。nFET N1 和 N3 放置于块 CMOS 区域 24 中。所有晶体管放置于 100 硅中。由于在旁栅中不再有浮体效应,所以这一配置具有稳定性益处。此外,成块放置旁栅(nFET N2 和 N3)增加了 pFET 下拉与 nFET 旁栅电流驱动之比( $\beta$ ),因为体效应增加了旁栅  $V_t$ 。在 SOI 区域中维持 nFET 下拉为这些器件维持了 SOI 的速度优点。

[0062] 图 4B 示出了类型 A 混合 CMOS 或者类型 A HOT CMOS 中 6T-SRAM 单元的示意图。nFET N1、N2、N3 和 N4 放置于块 CMOS 中。nFET 都在 (100) 晶体取向的硅中, pFET 可以是 (110) 或者 (100) 晶体取向的硅。由于在旁栅和下拉 nFET 器件中没有浮体效应,所以这一实施例具有最好的单元稳定性。更快的 pFET(来自 SOI 或者归因于 (110) 晶体取向的硅迁移率提高)也提高了稳定性并且对单元读性能几乎没有影响。

[0063] 图 4C 示出了类型 A 混合 CMOS 中 6T-SRAM 单元的示意图。下拉 nFET N2 和 N4 放置于块 CMOS 中。所有晶体管在 (100) 晶体取向的硅中。利用块下拉 nFET,消除了造成 SOI 中  $V_t$  问题的主要因素,但是旁栅仍然有助于维持 SOI 速度优点,因为旁栅上的减少结电容减少了位线电容。

[0064] 图 4D 示出了类型 A 混合 CMOS 或者类型 A HOT CMOS 中 6T-SRAM 单元的示意图。

pFET P1 和 P2 放置于块 CMOS 中并且可以是 100 或者 110 硅。尽管最可能相较于先前列举的实施例而言对单元稳定性有不那么明显的影响,但是块放置 pFET 上拉器件将提高稳定性。

[0065] 在图 4A-4D 中呈现的所有实施例中,阱节点可以附加到可以动态地调节阱偏置值的偏置电源。这允许使用自适应阱偏置方案。通过施加阱偏置,块区域中器件的  $V_t$  是可调的。这一  $V_t$  控制是一种用以针对更高的性能(低  $V_t$ )或者优化的功率消耗(高  $V_t$ )有选择地调节电路的很有用的技术。

[0066] 尽管已经参照其优选实施例特别地示出和描述了本发明,但是本领域技术人员将理解可以在不脱离本发明的精神和范围的情况下做出形式和细节上的前述以及其它变化。因此本意在于使本发明不限于描述和图示的准确形式及细节而落入所附权利要求的范围内。

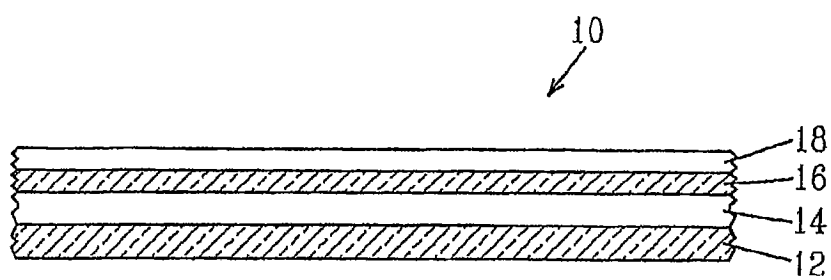


图 1A

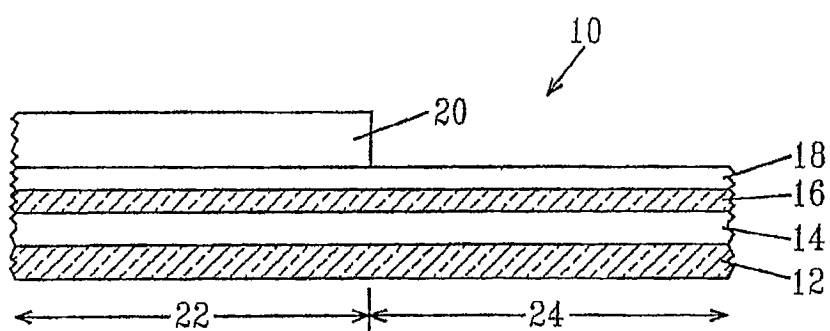


图 1B

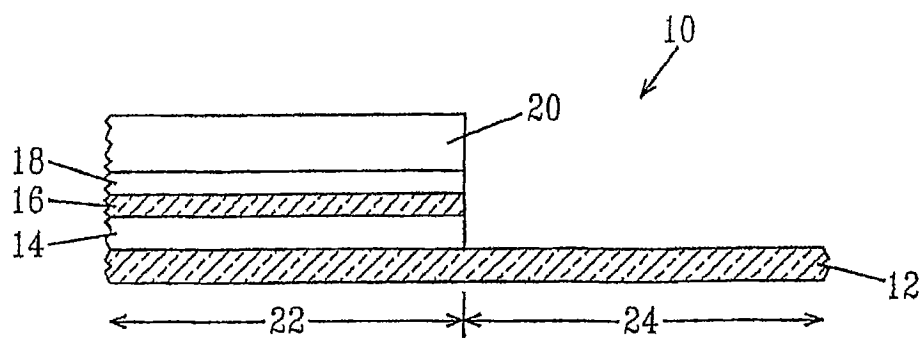


图 1C

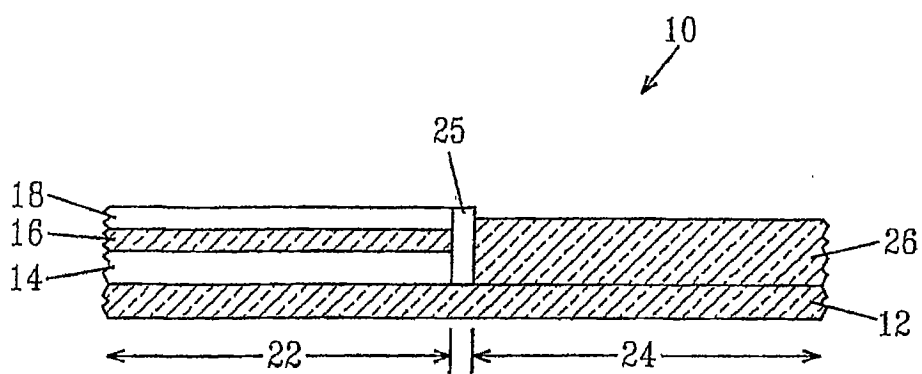


图 1D

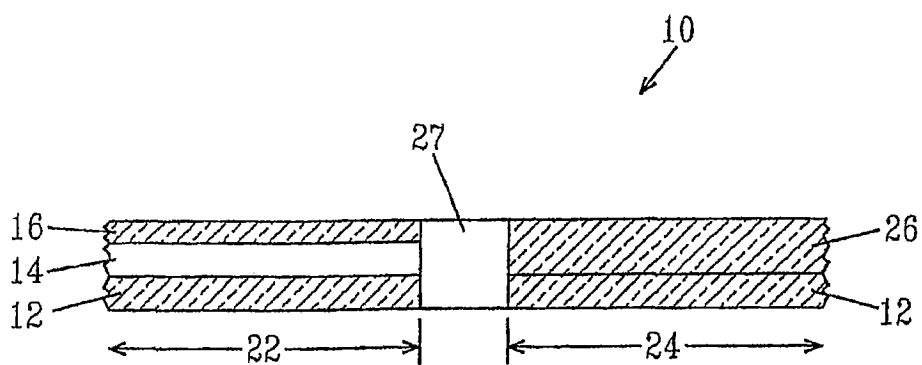


图 1E

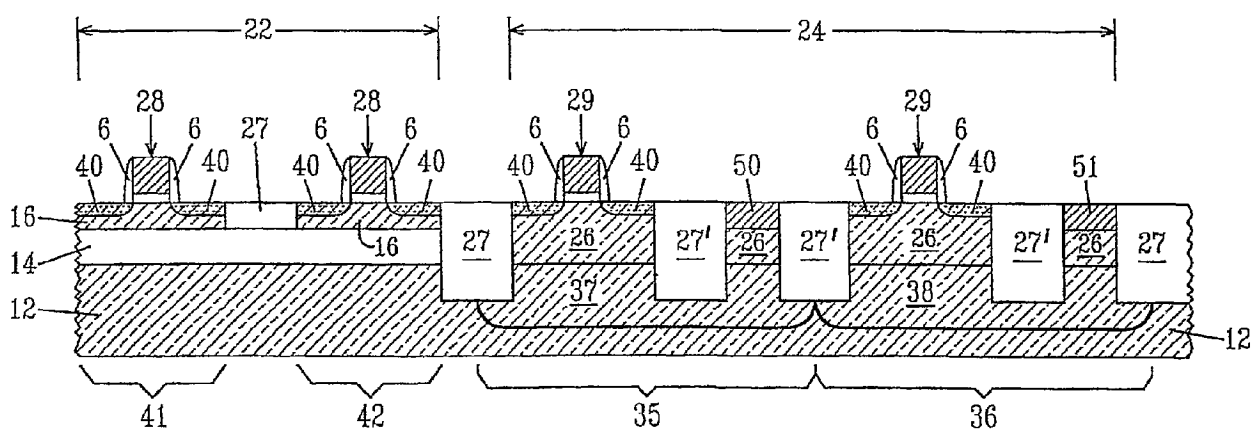


图1F

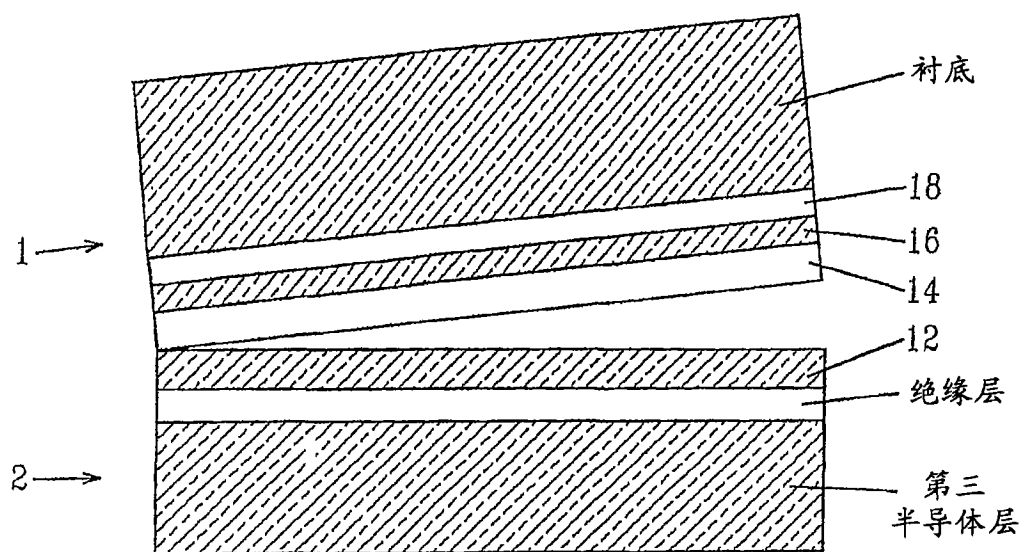


图 2A

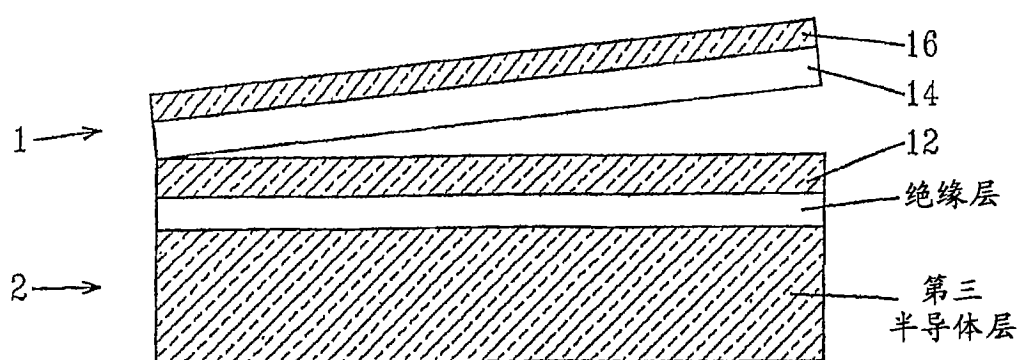


图 2B



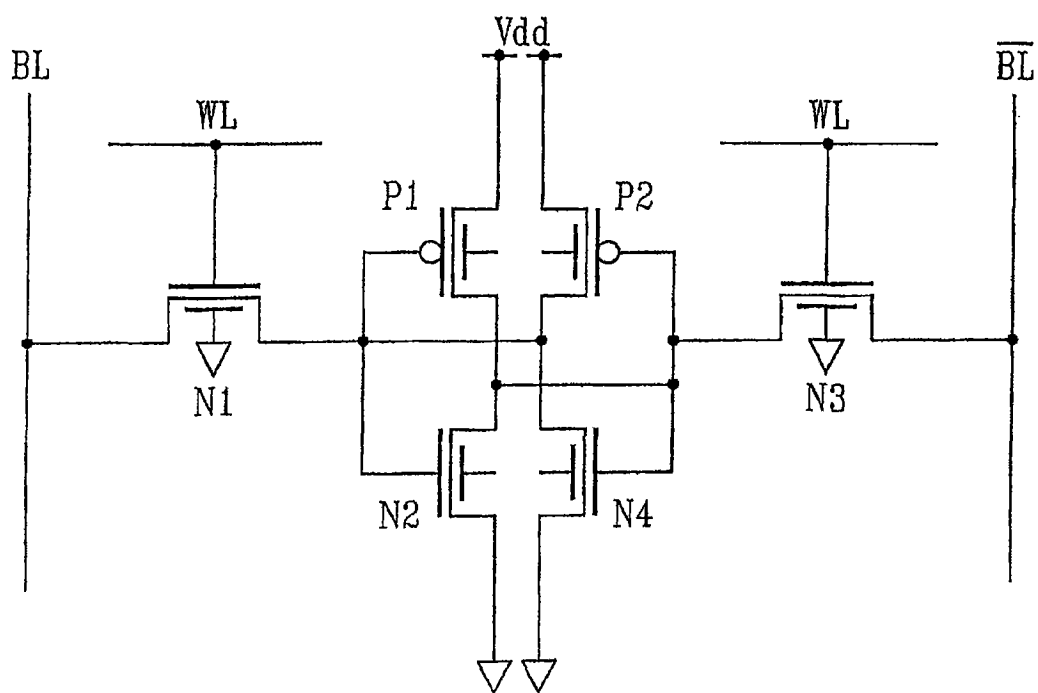


图 4A

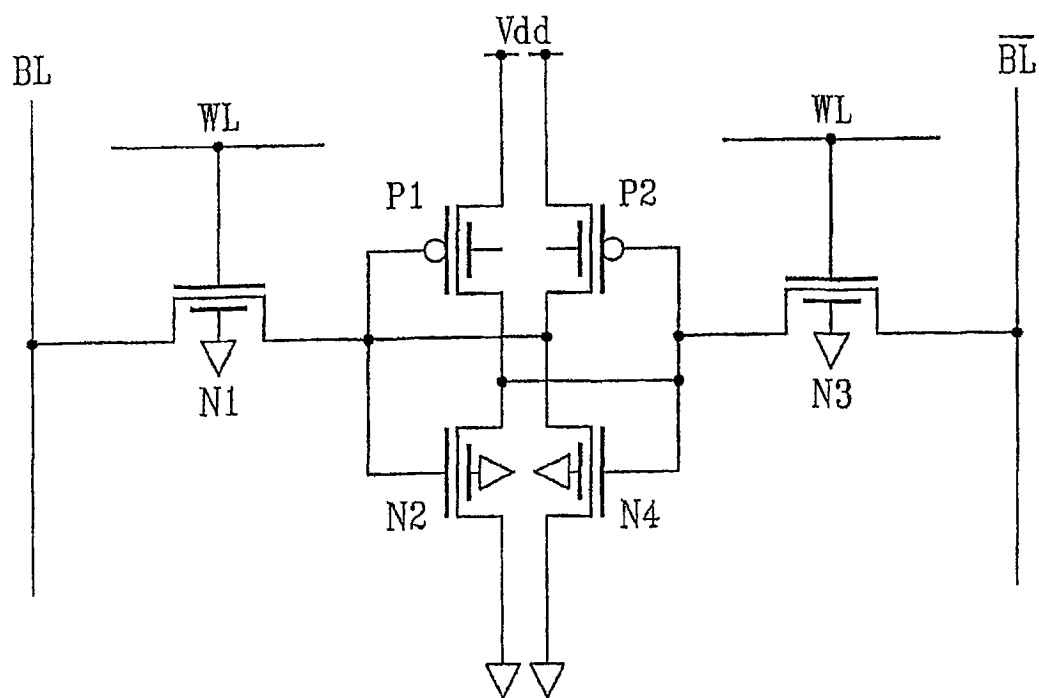


图 4B

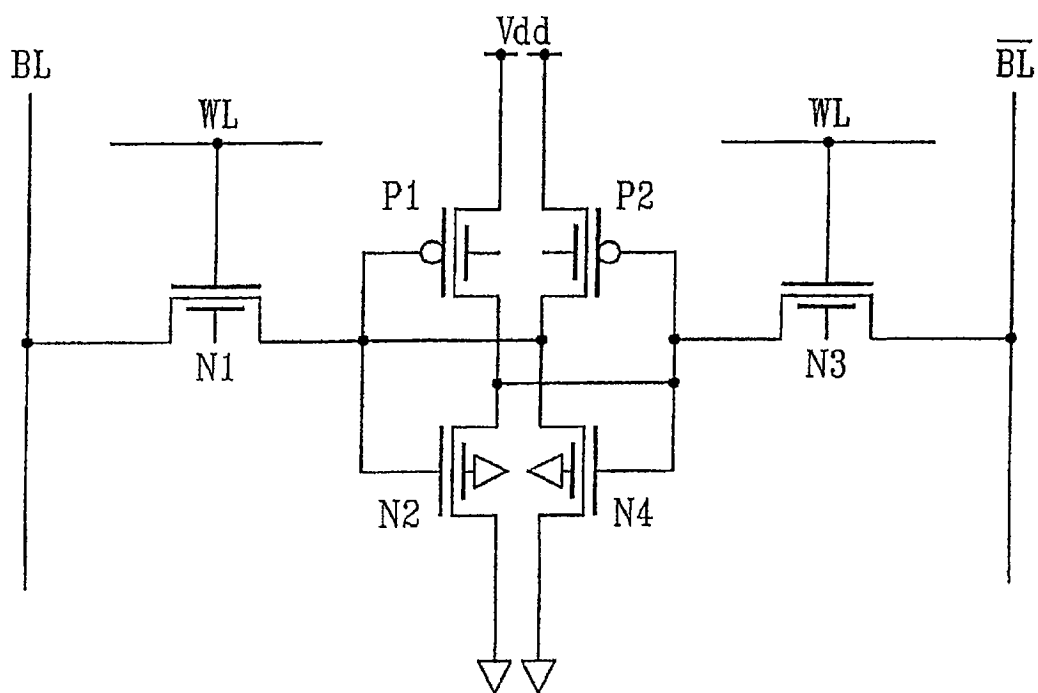


图 4C

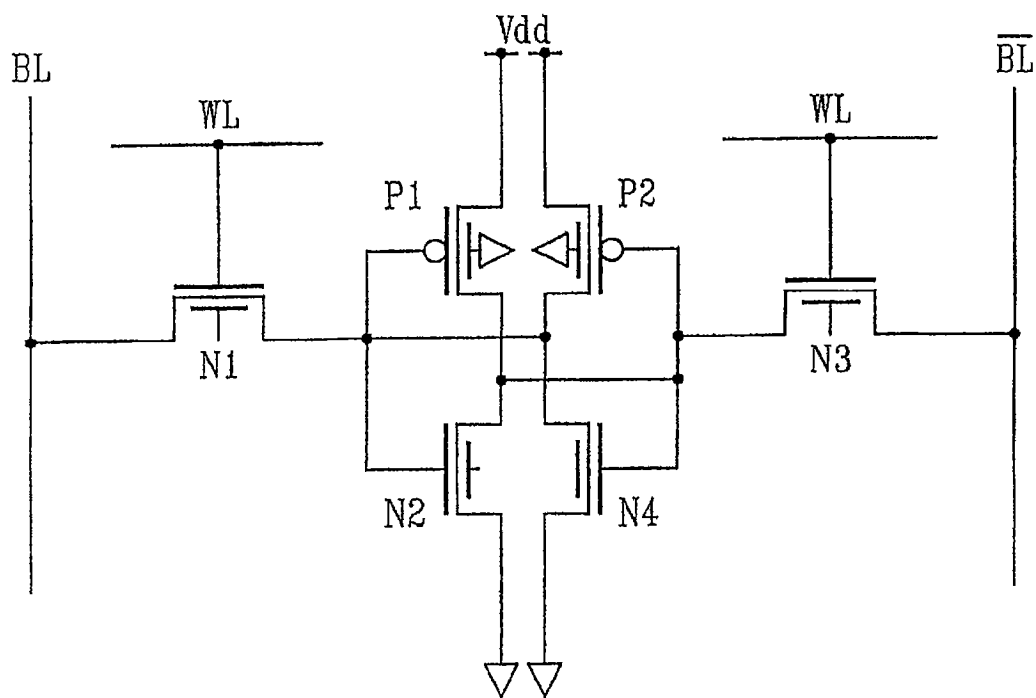


图 4D