



(12) 发明专利申请

(10) 申请公布号 CN 104348454 A

(43) 申请公布日 2015. 02. 11

(21) 申请号 201410369698. 4

(22) 申请日 2014. 07. 30

(30) 优先权数据

2013-157366 2013. 07. 30 JP

(71) 申请人 本田技研工业株式会社

地址 日本东京都

(72) 发明人 谷高真一 山内久美子 小堀俊光

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 张莉

(51) Int. Cl.

H03K 17/08 (2006. 01)

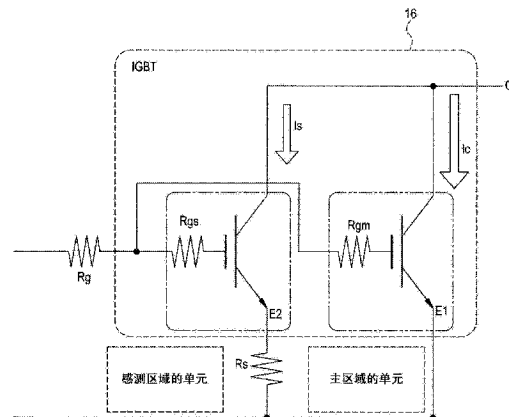
权利要求书1页 说明书6页 附图5页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,其对向感测侧单元的浪涌电流的各种异常现象的产生进行抑制,并抑制对半导体装置的负面影响。一种半导体装置,其特征在于,具备:主区域的多个单元、感测区域的多个单元以及对各单元进行驱动的晶体管,在晶体管中的主区域的栅极电阻值与感测区域的栅极电阻值分别为 Rgm、Rgs,晶体管中的主区域的寄生电容与感测区域的寄生电容分别为 Cgm、Cgs 时,根据 CR 延迟比 $D = (Cgs/Cgm) * (Rgs/Rgm)$,则感测区域的栅极切断时间比主区域的栅极切断时间设定得更早。



1. 一种半导体装置,具备:主区域的多个单元、感测区域的多个单元以及对各所述单元进行驱动的晶体管,所述半导体装置的特征在于,

在所述晶体管中的所述主区域的栅极电阻值与所述感测区域的栅极电阻值分别为 R_{gm} 、 R_{gs} ,所述晶体管中的所述主区域的寄生电容与所述感测区域的寄生电容分别为 C_{gm} 、 C_{gs} 时,

根据 CR 延迟比 $D = (C_{gs}/C_{gm}) * (R_{gs}/R_{gm})$,所述感测区域的栅极切断时间比所述主区域的栅极切断时间设定得更早。

2. 根据权利要求 1 所述的半导体装置,其特征在于,

所述主区域的单元数与所述感测区域的单元数分别为 N_m 、 N_s ,关于所述 CR 延迟比 D ,CR 延迟比 $D = (N_s/N_m) * (R_{gs}/R_{gm})$ 成立。

3. 根据权利要求 1 所述的半导体装置,其特征在于,

所述主区域的面积与所述感测区域的面积分别为 S_m 、 S_s ,关于所述 CR 延迟比 D ,CR 延迟比 $D = (S_s/S_m) * (R_{gs}/R_{gm})$ 成立。

4. 根据权利要求 1 至 3 的任意一项所述的半导体装置,其特征在于,

所述 CR 延迟比 D 被设定为 $0 < D < 1$ 。

5. 根据权利要求 1 至 3 的任意一项所述的半导体装置,其特征在于,

所述晶体管由具备集电极端子、栅极端子以及至少两个发射极端子的绝缘栅双极型晶体管 IGBT 构成。

6. 根据权利要求 4 所述的半导体装置,其特征在于,

所述晶体管由具备集电极端子、栅极端子以及至少两个发射极端子的绝缘栅双极型晶体管 IGBT 构成。

半导体装置

技术领域

[0001] 本发明涉及一种具备电压 / 电流感测功能的半导体装置。

背景技术

[0002] 从防止过电流等观点出发,提出了具备电流检测功能的半导体装置。在这种装置中,也从过电流检测精度等观点出发,将在单一的半导体基板上形成有实现主要功能的区域(主区域)以及对流过该主区域的电流进行检测的区域(感测区域)这两个区域的装置,为主要的开发对象。

[0003] 专利文献 1、2 公开了一种能够根据在主区域的单元中流过的电流(主电流)与在感测区域的单元中流过的电流(感测电流)的分流比,来对在主区域的单元中流过的电流进行检测的、具有电流检测功能的半导体装置。若主电流与感测电流的分流比是已知的,则能够根据被测定出的感测电流值来检测主电流值。

[0004] 根据上述的半导体装置,由于主电流与感测电流的分流比是预先高精度地获得的,因此在现实中电流流过装置时,能够根据该分流比来高精度地检测出真实的主电流值。

[0005] 在先技术文献

[0006] 专利文献

[0007] 专利文献 1 :日本特开 2005-050913 号公报

[0008] 专利文献 2 :日本特开 2003-229572 号公报

[0009] 发明要解决的课题

[0010] 但是,在对这种半导体装置的栅极进行控制的情况下,特别是在进行电流的接通断开控制时,存在流过主区域的电流的举动与流过感测区域的电流的举动不同的情况。具体来讲,由于过渡性的、突发性的异常高电流(浪涌电流)流过感测区域,因此导致检测出异常高电压(浪涌电压)。在这种情况下,高精度地检测出主电流值变得困难。

[0011] 如专利文献 1 所公开的那样,主区域内的单元群的栅极电极以及感测区域内的单元群的栅极电极与共同的驱动电路连接,理论上讲,两个区域的栅极电极同时被进行接通 - 断开控制。但是,在实际的控制中,产生响应延迟,并且在主区域与感测区域之间电流流入的定时不同。在这种情况下,还会担心浪涌电流流过感测区域从而电流检测精度显著降低。

[0012] 为了解决上述的问题,提出了在对感测区域的电位进行检测的电阻与对半导体装置进行驱动的驱动器之间设置所谓的 RC 过滤器,并对浪涌电压、浪涌电流的产生进行抑制的技术。但是,由于 RC 过滤器,导致本来应检测的过电流、短路的检测产生延迟,存在对半导体装置进行保护的控制变得困难的可能性。在考虑这种可能性的情况下,由于降低了半导体装置的输出,因此存在不得不牺牲某种程度的损失的情况。

发明内容

[0013] 本发明提供一种对如浪涌电流这样的过渡性异常的产生进行抑制,并确保原本的

电流检测功能的半导体装置。

[0014] 解决课题的手段

[0015] 为了实现上述目的,本发明的第一方案是一种半导体装置,具备:主区域的多个单元、感测区域的多个单元以及对所述各单元进行驱动的晶体管(例如,后述的实施方式中的晶体管16),在所述晶体管中的所述主区域的栅极电阻值与所述感测区域的栅极电阻值分别为 R_{gm} 、 R_{gs} ,所述晶体管中的所述主区域的寄生电容与所述感测区域的寄生电容分别为 C_{gm} 、 C_{gs} 时,根据CR延迟比 $D = (C_{gs}/C_{gm}) * (R_{gs}/R_{gm})$,所述感测区域的栅极切断时间比所述主区域的栅极切断时间设定得更早。

[0016] 本发明的第二方案在于,在第一方案的结构中,所述主区域的单元数与所述感测区域的单元数分别为 N_m 、 N_s ,关于所述CR延迟比 D ,CR延迟比 $D = (N_s/N_m) * (R_{gs}/R_{gm})$ 成立。

[0017] 本发明的第三方案在于,在第一方案的结构中,所述主区域的面积与所述感测区域的面积分别为 S_m 、 S_s ,关于所述CR延迟比 D ,CR延迟比 $D = (S_s/S_m) * (R_{gs}/R_{gm})$ 成立。

[0018] 本发明的第四方案在于,在第一至第三方案的任一方案的结构中,所述CR延迟比 D 被设定为 $0 < D < 1$ 。

[0019] 本发明的第五方案在于,在第一至第四方案的任一方案的结构中,所述晶体管由具备集电极端子(例如,后述的实施方式中的集电极端子C)、栅极端子(例如,后述的实施方式中的栅极端子G)以及至少两个发射极端子(例如,后述的实施方式中的发射极端子E1、E2)的IGBT构成。

[0020] 发明效果

[0021] 根据方案一至三所述的半导体装置,能够对如流向感测区域的单元中的浪涌电流这样的异常现象的产生进行抑制。

[0022] 根据方案四至五所述的的半导体装置,能够具体并且容易地设计出对浪涌电压/电流等异常现象的产生进行抑制的半导体装置。

附图说明

[0023] 图1是本发明的一个实施方式的半导体装置的等效电路图。

[0024] 图2是表示对断开时的半导体装置的各部分的电流或者电压值进行检测的结果的曲线图。

[0025] 图3是表示由于RC过滤器而产生的问题的曲线图。

[0026] 图4是示意性地表示晶体管的寄生电阻的详细情况的等效电路图。

[0027] 图5是图2中的虚线四角区域的放大曲线图,是表示与各种传感器侧内部栅极电阻 R_{gs} 的值对应的浪涌的变化的曲线图。

[0028] 图6是表示与CR延迟比 D 对应的浪涌电流的值的图表。

[0029] 符号说明:

[0030] 10 半导体装置

[0031] 12 驱动电路

[0032] 16 晶体管

[0033] 18 RC过滤器

具体实施方式

[0034] 下面,基于附图来对与本发明有关的半导体装置的合适的实施方式进行详细地说明。

[0035] 图 1 表示本发明的一个实施方式的半导体装置的等效电路图。本实施方式的半导体装置 10 包括:通过从另外设置的驱动电路 12 中供给的驱动电流而被驱动的晶体管 16、主区域的单元群(多个单元)、感测区域的单元群(多个单元)(参照图 4)。虽然在本实施方式中,晶体管 16、主区域的单元群以及感测区域的单元群通过一般的制造工序而形成在半导体基板上,但其具体的结构、配置场所、制法等并不特别限定。

[0036] 在驱动电路 12 设置有:驱动端子 12a,其向晶体管 16 提供驱动电流;和电位检测端子 12b,其检测后述的感测电压(电位)。

[0037] 在本实施方式的半导体装置 10 中附加栅极电阻 R_g 、感测电阻 R_s 、和包含过滤器电阻 R_1 以及电容器 C_1 在内的 RC 过滤器 18。在本实施方式中,在上述的半导体基板上装载由各个个别部件构成的栅极电阻 R_g 、感测电阻 R_s 、过滤器电阻 R_1 、电容器 C_1 。但是,上述各部件的具体形式、配置场所并不特别限定。

[0038] 在本实施方式中,晶体管 16 由 IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)构成。IGBT 是将 MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化层半导体场效应晶体管)组装在栅极电极的双极型晶体管。但是,晶体管 16 的种类并不特别限定,也可以使用 MOSFET 来代替 IGBT。

[0039] 驱动电路 12 的驱动端子 12a 通过对栅极电压 V_g 进行调整的栅极电阻 R_g ,来与晶体管 16 的栅极端子 G 连接。晶体管 16 的集电极端子 C 与提供主要电力的电源连接。晶体管 16 的发射极端子 E 包含:主侧发射极端子 E_1 ,其与主区域内的单元连接;和感测侧发射极端子 E_2 ,其与感测区域内的单元连接。

[0040] 感测侧发射极端子 E_2 与感测电阻 R_s 以及 RC 过滤器 18 连接。如后面所述,感测电阻 R_s 是对施加到感测区域内的单元的感测电压进行测定的电阻。RC 过滤器 18 包含过滤器电阻 R_1 以及电容器 C_1 ,对浪涌电压、浪涌电流的产生进行抑制。在本实施方式中,RC 过滤器 18,由与输入信号串联的过滤器电阻 R_1 以及与输出信号(输出电流)并联的电容器 C_1 ,按照所谓的 1 次低通滤波器的形式而被构成。但是,RC 过滤器 18 的形式并不被特别限定,此外,也可以利用使用了线圈、运算放大器的其他形式的过滤器。

[0041] 在如上所述的本实施方式中,晶体管 16 的发射极端子 E 包含:主侧发射极端子 E_1 ,其与主区域内的单元连接;和感测侧发射极端子 E_2 ,其与感测区域内的单元连接,可以解释为包含至少两个发射极端子。也就是说,半导体装置 10 对于晶体管 16 中的集电极发射极电流,不仅从主侧发射极端子 E_1 中取出用于主要功能的主电流 I_c ,还取出相当于该主电流的几千~几万分之一(大小并不限定)的感测电流 I_s 。并且,将由感测电流 I_s 流过的感测电阻 R_s 产生的电压作为感测电压,由驱动电路 12 的电位检测端子 12b 进行检测,由驱动电路 12 进行监视。通过该监视,能够掌握感测电流 I_s 的举动。

[0042] 也就是说,由于根据晶体管 16 的设计规格,能够预先掌握主电流 I_c 与感测电流 I_s 的大小之比,因此能够掌握主电流 I_c 的举动,掌握过电流、短路等异常情况的产生,从而能够向驱动电路 12 进行反馈。掌握了异常情况的产生的驱动电路 12 进行过电流的切断等处

置,并能够保护晶体管 16。

[0043] 然而,在进行半导体装置 10 的电源的切断、也就是主电流的断开时,有时会产生问题。图 2 的曲线图表示断开时的半导体装置 10 的各部分的电流或者电压的值。在电流导通时,向晶体管 16 的栅极端子 G 施加规定的电压 V_g (例如 15V)。通过利用来自驱动电路 12 的控制信号来将栅极端子 G 的电压 V_g 设为零,从而晶体管 16 成为断开状态(高电阻状态),主电流 I_c 为零,并且集电极-发射极之间的电压 V_{ce} 增大。

[0044] 此时,原本感测区域侧也示出同样的举动,感测电压 V_s 、感测电流 I_s 应为零。但是,如图 2 的虚线部所示,感测电压 V_s 表示突发性的异常高电压(浪涌电压)的情况较多,这与主电流 I_c 的举动不同,感测区域的电压、电流未正确地反映主区域的电压、电流的举动,存在半导体装置 10 的控制动作的正确性降低的担心。

[0045] 产生这种现象的主要原因被认为是由于主区域的单元中的栅极断开的定时与感测区域的栅极断开的定时之间的偏差(一般来讲传感器侧会产生延迟)。

[0046] 作为上述这种问题的解决方案,认为有接下来的(1)以及(2)这样的对策,基于该对策,如图 1 所示,感测电阻 R_s 与 RC 过滤器 18 被设置在半导体装置 10。

[0047] (1) 通过使 RC 过滤器(滤波器电路)18 存在于感测电阻 R_s 与驱动电路 12 之间,从而抑制浪涌电压/电流。

[0048] (2) 改变感测电阻 R_s 来缓和检测能力。

[0049] 在上述对策的情况下,已知例如滤波器电路的设置之前,即使在由于浪涌电压/电流的产生,导致若实际主电流的约 1.5 倍的电流流过,则驱动电路 12 误认的情况下,也可以通过设置滤波器电路,来抑制误差直到实际主电流的约 1.3 倍的电流识别为止。

[0050] 但是,上述(1)以及(2)的对策也具有以下这样的问题。

[0051] 对于(1),若以抑制浪涌为目的来增大 RC 过滤器 18 的时间常数 $\tau (= R_1 * C_1)$,则感测电流的响应产生延迟,输出电流的变化比实际的电流变化延迟。这意味着由于 RC 过滤器 18,导致本来应检测的过电流、短路的检测产生延迟,意味着对晶体管 16 进行保护的控制变得困难。

[0052] 也就是说,由于如 RC 过滤器 18 这样的滤波器电路的设置,导致存在本来应检测的过电流、短路这样的异常的检测产生延迟的担心。作为防止该情况的方法,考虑有(2)中的感测电阻 R_s 的调整。

[0053] 图 3 是用于对这种状况进行说明的曲线图。这里,不运用晶体管 16 的开关功能,而始终施加栅极电压 V_g ,将晶体管 16 维持在接通状态,从而使主电流 I_c 增大直到晶体管 16 的破坏为止。

[0054] 若使感测电阻 R_s 变化,则进行切断的固定检测电压时的电流值也变化,这意味着栅极切断时间(检测时间)也变化。如图 3 所示,通过使感测电阻 R_s 的值变化,从而栅极切断时间不同。在图中所示的具体例子中,在 $R_s = 3.6 \Omega$ 与 $R_s = 2.7 \Omega$ 之间,产生约 100ns 的栅极切断时间的延迟,在该延迟之间,主电流约增大 100A。

[0055] 因此,越缩小感测电阻 R_s ,达到检测电压为止的电流越大,并且栅极切断时间越增大。也就是说,通过缩小感测电阻 R_s ,从而产生到切断为止的延迟,达到破坏的风险增大。另一方面,若增大感测电阻 R_s ,则虽然感测电流整体变小,但根据(感测电流)×(感测电阻)得出的感测电压 V_s 增加,主电流 I_c 被检测为过大,额外的切断动作频发的风险提高。

[0056] 针对上述问题,经过发明者的专心研究,着眼于向晶体管 16 的内部寄生附加的栅极布线的电阻(寄生电阻)。进一步地,发明者反复进行研究,特别着眼于在寄生电阻中存在与主电流有关的寄生电阻以及与感测电流有关的寄生电阻。并且,发明者发现在两种寄生电阻的平衡破坏的情况,特别是在与感测电流有关的寄生电阻变得过高的情况下,感测区域的单元群的切断延迟,其结果导致在感测区域中容易产生浪涌。

[0057] 使用图 4 来对上述事实进行说明。图 4 是示意性地表示晶体管 16 的寄生电阻的详细等效电路图。在晶体管 16 中,存在与主电流流过的路径(从集电极端子 C 起到主侧发射极端子 E1 的路径)有关的主侧内部栅极电阻(主区域的栅极电阻值)Rgm、与感测电流流过的路径(从集电极端子 C 起到感测侧发射极端子 E2 的路径)有关的传感器侧内部栅极电阻(感测区域的栅极电阻值)Rgs。两个内部栅极电阻 Rgm、Rgs 是所谓的寄生电阻,是晶体管中不可避免地产生的。

[0058] 图 5 是图 2 中的虚线四角区域的放大曲线图,是表示与各种传感器侧内部栅极电阻 Rgs 的值对应的浪涌的变化的曲线图。本曲线图是根据晶体管 16 内部的传感器侧内部栅极电阻 Rgs 的值,通过模拟来对断开时的浪涌的举动变动进行确认而成的。“CR 比”是指后述的“CR 延迟比”,传感器侧内部栅极电阻 Rgs 小的晶体管的 CR 比也小,并且断开时的浪涌明显地减少。

[0059] 对于上述现象,发明者进行了以下研究。在主区域与感测区域中流过的电流(主电流与感测电流)、施加的电压(主电压与感测电压)之间存在较大差,对于如浪涌这样的异常现象,感测区域侧容易反应。因此,主区域与感测区域各自的 RC 时间常数的关系必然为 $CR(\text{主区域}) > CR(\text{感测区域})$,其结果,认为通过使感测区域的断开动作相对于主区域较早,从而能够对感测区域中的电压/电流浪涌进行抑制。其原因是推断在感测区域的断开动作比主区域的断开动作晚的情况下,存在应流入主区域的电流流入到了感测区域的担心。

[0060] 在这样的条件下,向传感器侧的过度的电流流入被抑制(详细来讲是每单位单元的电流流入被抑制),其结果能抑制浪涌。这里,若将与主电流流过的路径有关的、寄生在晶体管 16 中的寄生电容设为主侧内部电容(主区域的寄生电容)Cgm,将与感测电流流过的路径有关的、寄生在晶体管 16 的寄生电容设为传感器侧内部电容(感测区域的寄生电容)Cgs,则根据上述的关系, $Cgm \cdot Rgm > Cgs \cdot Rgs$ 成立。

[0061] 若将上式变形,则 $(Cgm/Cgs) \cdot (Rgm/Rgs) > 1$ 成立。若将此进一步变形,则 $(Cgs/Cgm) \cdot (Rgs/Rgm) < 1$ 成立。

[0062] 这里,在将感测区域的 CR 与主区域的 CR 的比定义为 CR 延迟比 D 的情况下,由于 $D = (Cgs \cdot Rgs) / (Cgm \cdot Rgm) = (Cgs/Cgm) \cdot (Rgs/Rgm)$,因此下述 (1) 式成立。

[0063] $0 < D = (Cgs/Cgm) \cdot (Rgs/Rgm) < 1 \quad \dots (1)$

[0064] 此外,虽然 Cgs/Cgm 的比是感测区域的寄生电容与主区域的寄生电容的比,但若所有主区域、所有感测区域中的每个单元的寄生电容都相等,则 Cgs/Cgm 和感测区域的单元数与主区域的单元数的比相等。因此,在感测区域的单元数为 Ns,主区域的单元数为 Nm 的情况下,下述 (2) 式成立。

[0065] $0 < D = (Ns/Nm) \cdot (Rgs/Rgm) < 1 \quad \dots (2)$

[0066] 进一步地,若所有主区域、感测区域中的每个单元的面积相等,则在感测区域的面

积为 S_s , 主区域的面积为 S_m 的情况下, 下述 (3) 式成立。

$$[0067] \quad 0 < D = (S_s/S_m) * (R_{gs}/R_{gm}) < 1 \quad \dots (3)$$

[0068] 例如, 在主区域的面积 S_m 为 2000, 感测区域的面积 S_s 为 1 的情况下, 面积比 (S_s/S_m) 为 $1/2000$ 。通过着眼于容易调整的面积比以及寄生电阻的比, 来对晶体管 16 进行设计, 从而能够容易地抑制浪涌电压 / 电流的产生。

[0069] 图 6 是表示与 CR 延迟比 D 对应的浪涌电流的值的图表。这里, 认为 CR 延迟比 $D = 1$ 是理论上进行比较的两个半导体 (主区域的半导体与感测区域的半导体) 中的哪个反应迟缓的边界值。可以了解到在 CR 延迟比小于 1 的情况下, 以浪涌电流突入时为基准, 由于感测电流较早断开, 因此向感测区域的浪涌电流迅速减少。另一方面, 在 CR 延迟比大于 1 的情况下, 由于感测电流的断开延迟, 因此浪涌电流增加。

[0070] 如上所述, 在本发明中, 对分别寄生在感测区域的单元与主区域的单元中的内部栅极电阻、主区域与感测区域的寄生电容之比或者单元数之比或者面积比进行调整, 来抑制电流浪涌的产生。也就是说, 通过按照 1) 将感测区域的内部栅极电阻与现有设计相比减小, 或者 / 以及 2) 使主区域的寄生电容按照相对于感测区域的寄生电容变大的方式来进行设计, 从而能够相对地提早感测区域的单元的栅极切断时间。

[0071] 也就是说, 若根据 CR 延迟比 $D = (C_{gs}/C_{gm}) * (R_{gs}/R_{gm}) = (N_s/N_m) * (R_{gs}/R_{gm}) = (S_s/S_m) * (R_{gs}/R_{gm})$ 进行设计, 以使得感测区域的栅极切断时间比主区域的栅极切断时间早, 则能够抑制浪涌等异常现象的产生。此外, 通过将 CR 延迟比 D 设计为 $0 < D < 1$, 则能够具体并且容易地实现一种不容易产生异常现象的半导体装置的设计。

[0072] 在形成在单一的半导体基板上的所有单元均由共同的驱动电路 12、晶体管 16 驱动, 并且形成的单元均必属于主区域或者感测区域的任意一个的情况下, 上述 (1) 式对于由单一的半导体基板形成的半导体芯片成立。例如即使形成虚拟单元, 在确认了虚拟单元属于主区域或者感测区域中的哪个之后, 只要在 (1) 式的研究时进行考虑即可。

[0073] 根据本发明, 由于能够不依赖于 RC 过滤器等滤波器电路, 而直接地抑制浪涌, 因此没有检测延迟, 能够可靠地保护半导体装置。此外, 在使用过滤器的情况下, 也能够降低过滤器常量, 进行部件数量以及安装面积的削减, 并且能够实现对于过电流、短路等异常进行检测的能力的维持 / 提高。

[0074] 另外, 本发明并不限定于上述实施方式, 还能够进行适当变形、改进等。另外, 上述实施方式中的各结构要素的材质、形状、尺寸、数值、形态、数量、配置位置等只要能够实现本发明, 则可以是任意的值, 并不受限定。

[0075] 产业上的可利用性

[0076] 根据与本发明有关的半导体装置, 由于能够对向感测侧单元的浪涌电流的各种异常的产生进行抑制, 因此能够抑制对半导体装置的负面影响, 并能够适用于各种领域。

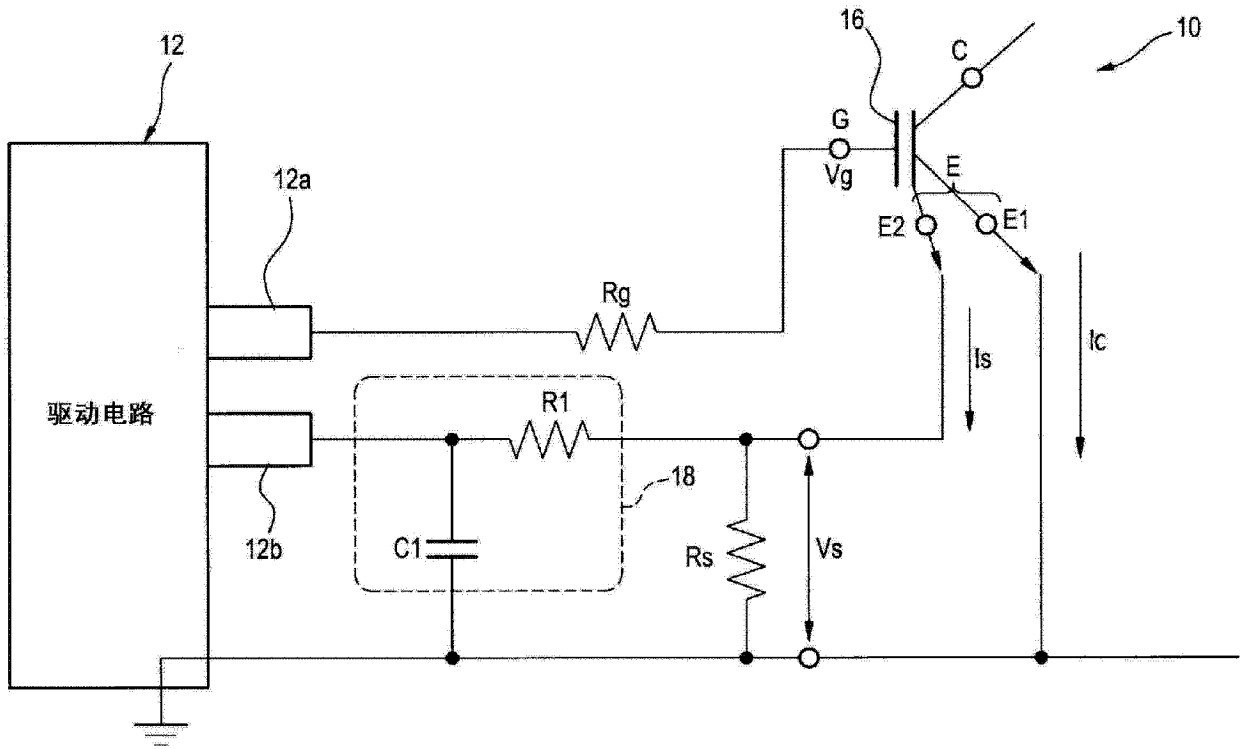


图 1

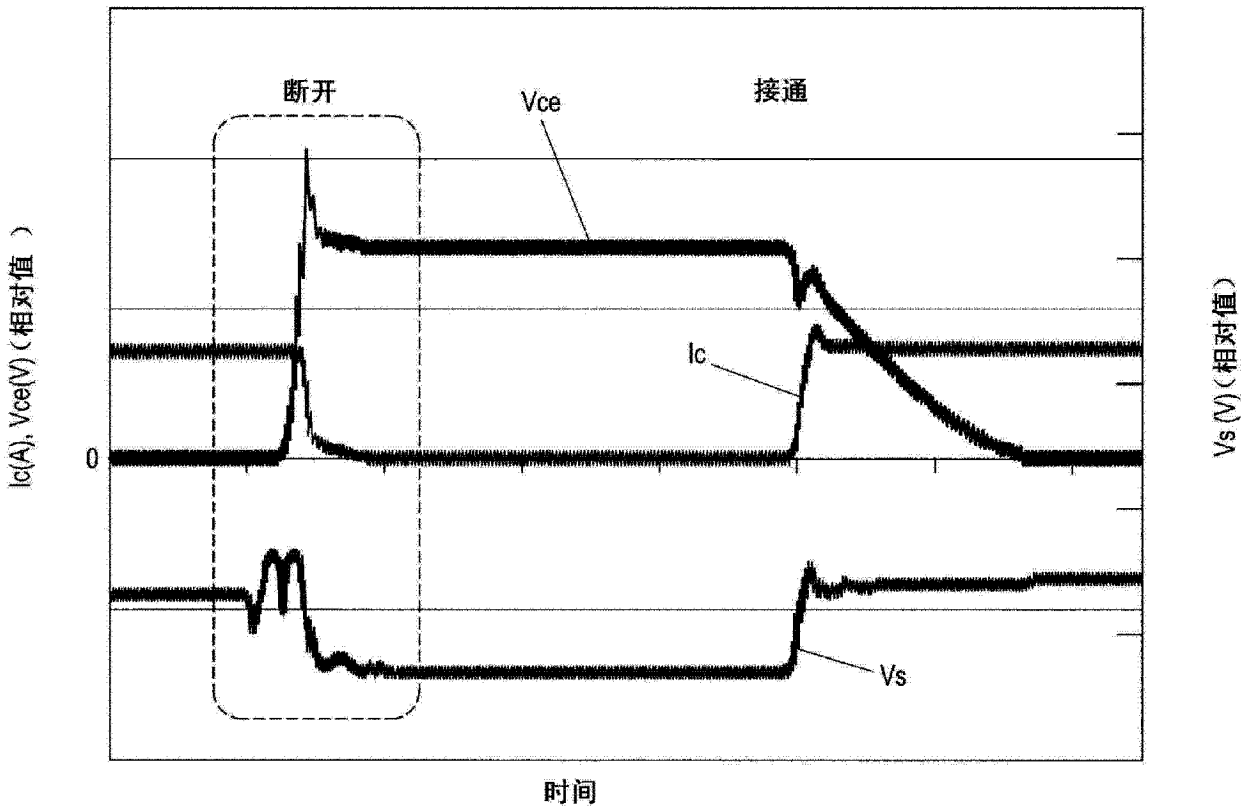


图 2

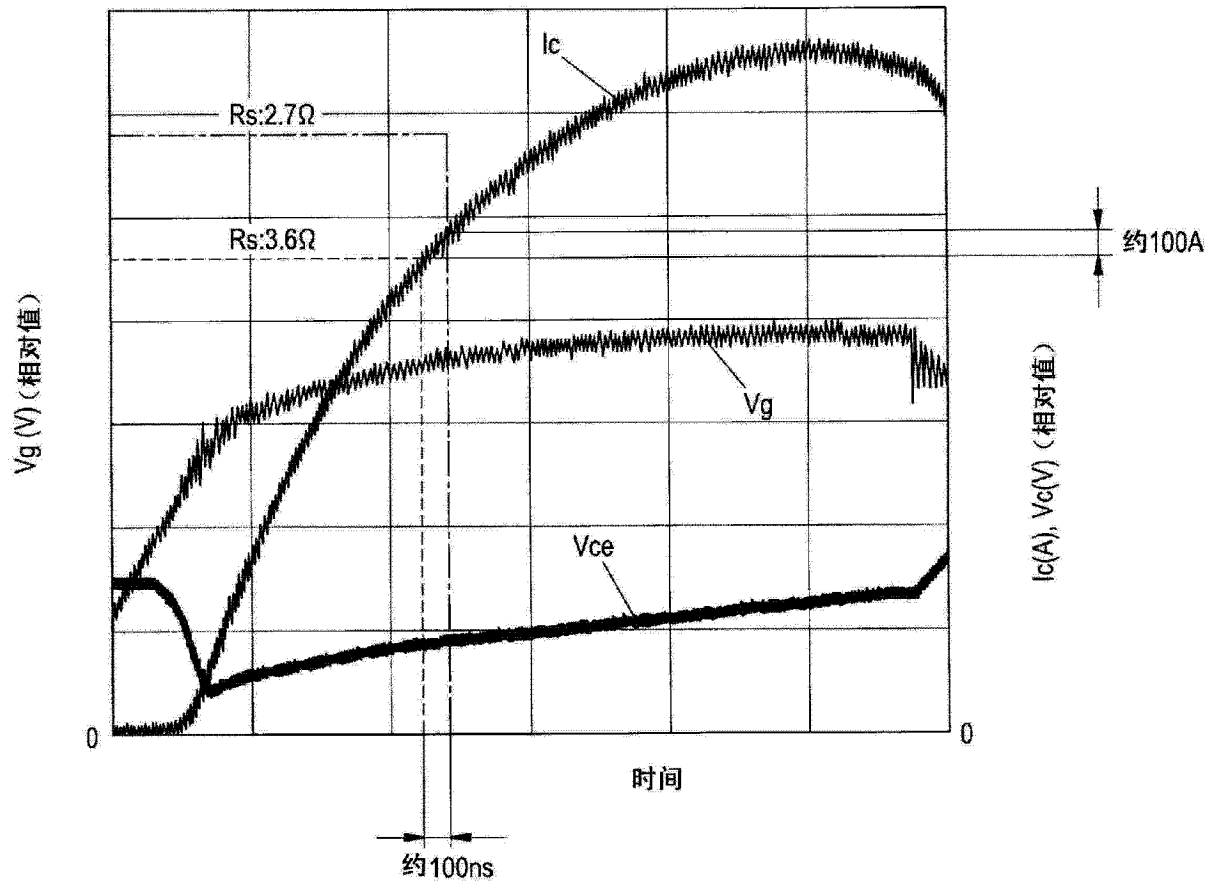


图 3

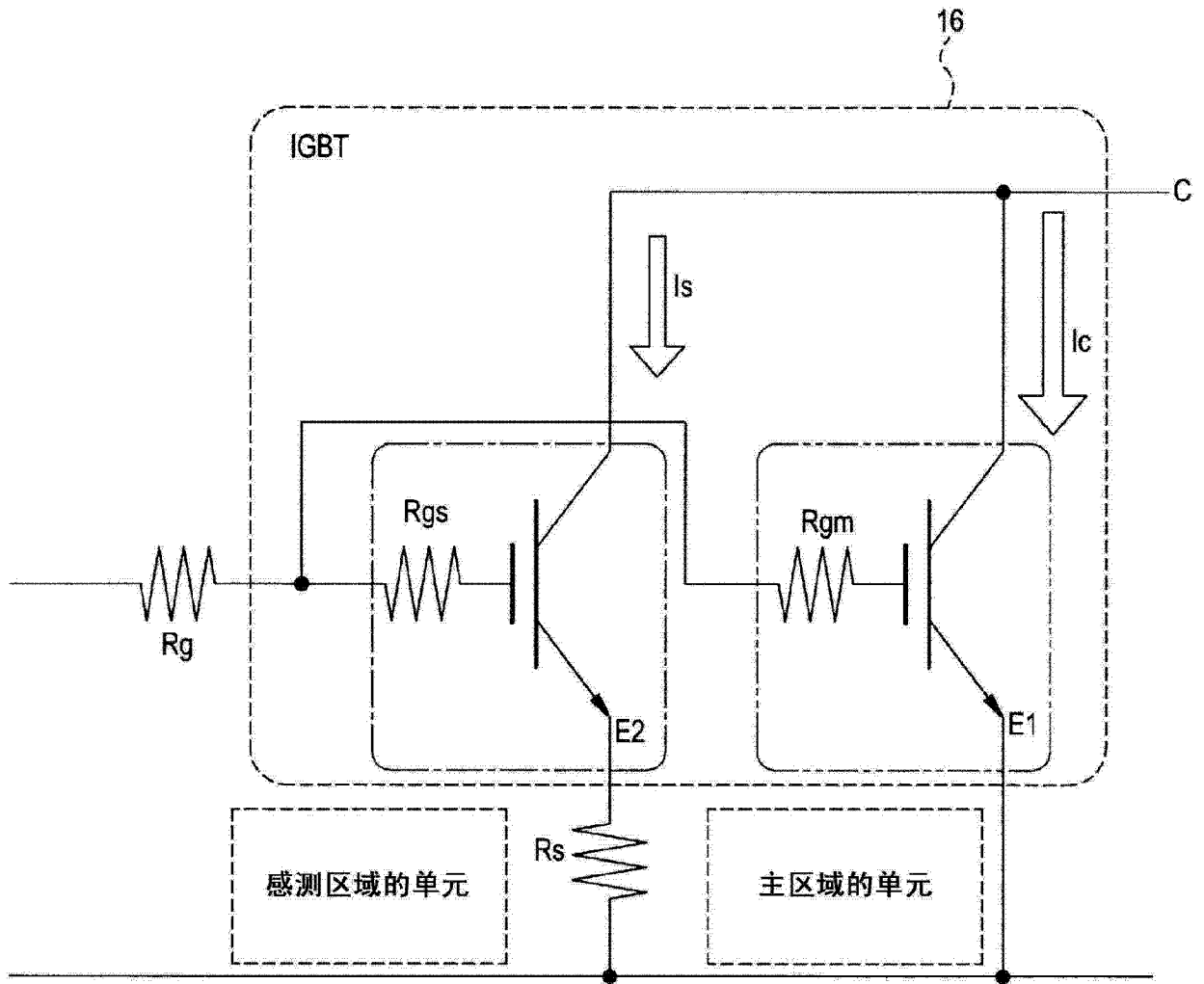


图 4

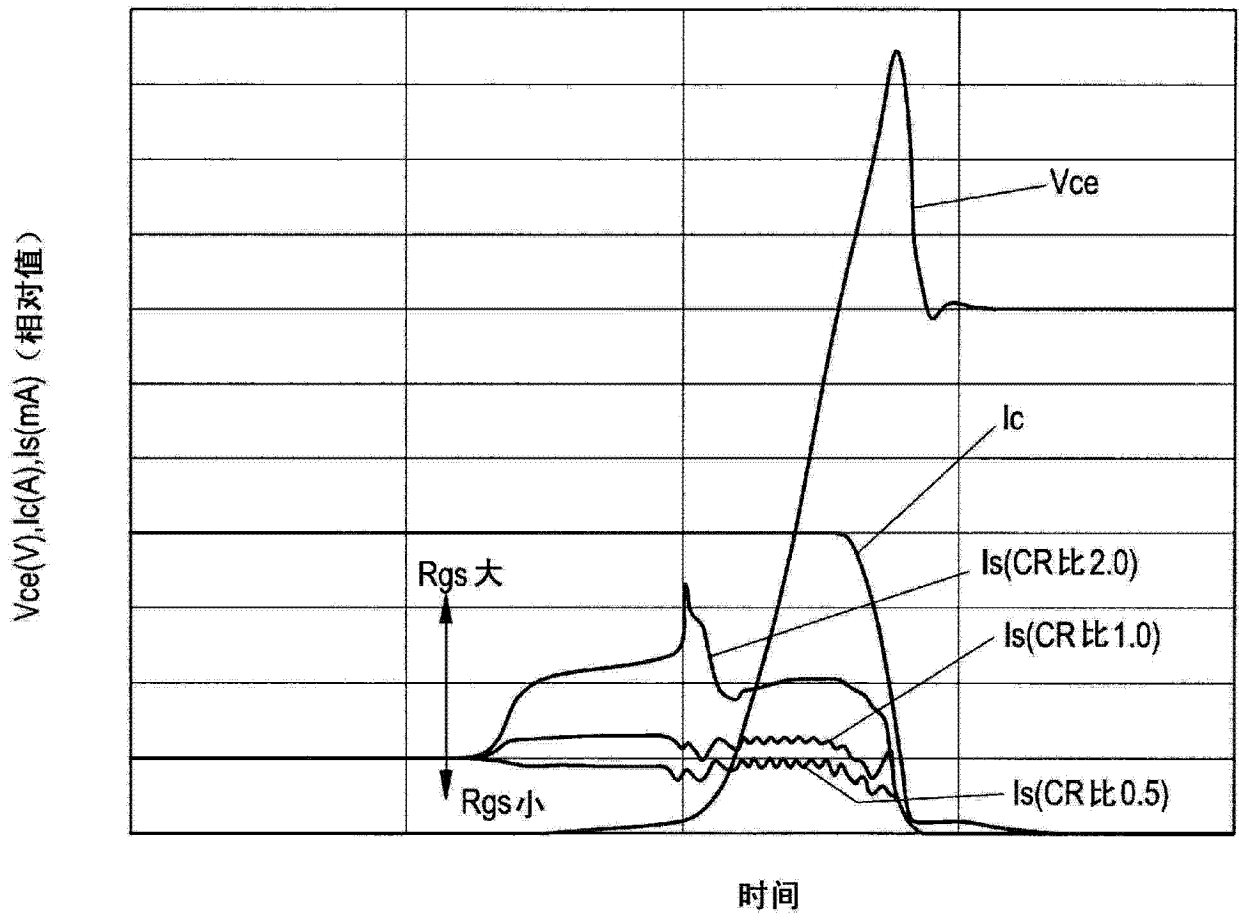


图 5

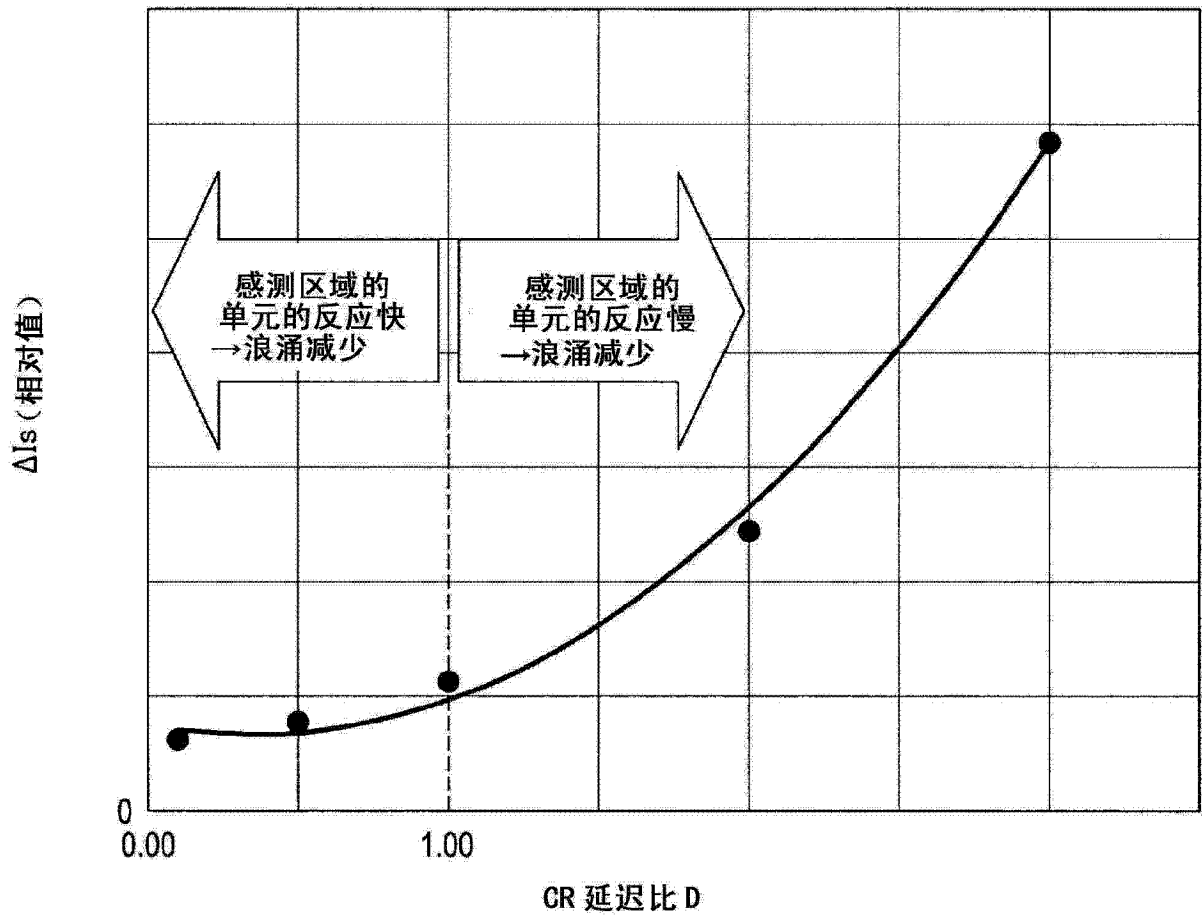


图 6