

(21)申請案號：100108924

(22)申請日：中華民國 100 (2011) 年 03 月 16 日

(51)Int. Cl. : **H01L21/50 (2006.01)**

H01L23/02 (2006.01)

(30)優先權：2010/09/28 美國

12/892.003

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：林宗賢 LIN, CHUNGHSIEN (TW)；朱家驊 CHU, CHIAHUA (TW)；朱立晟 CHU, RICHARD (TW)；謝元智 HSIEH, YUANCHIH (TW)；鄭鈞文 CHENG, CHUNWEN (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 38 頁

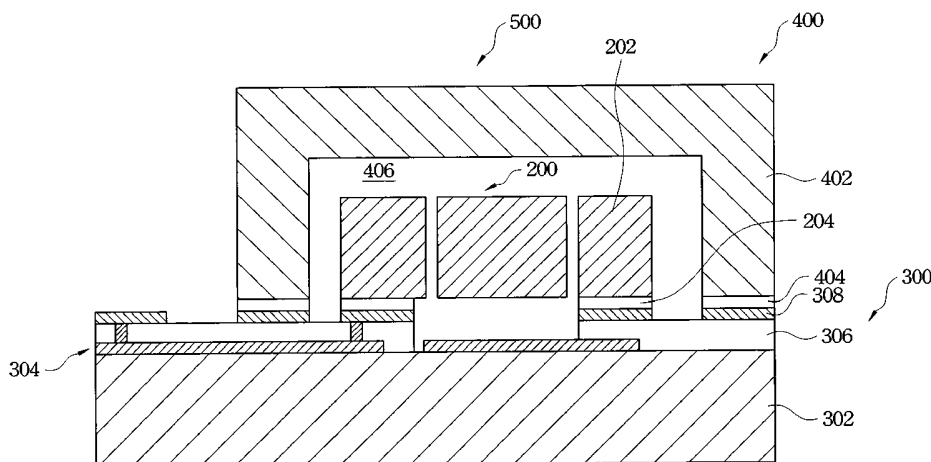
(54)名稱

微機電系統元件及其製造方法

MICRO-ELECTRO-MECHANICAL SYSTEMS DEVICE AND METHOD FOR FABRICATING THE SAME

(57)摘要

本揭露提供製造包含有基材之多層接合層之微機電系統(MEMS)元件的方法。在一實施例中，此方法包含提供包含有第一接合層之 MEMS 基材；提供包含第二接合層之半導體基材；以及提供包含第三接合層之覆蓋層。上述方法更包含在第一與第二接合層將 MEMS 基材接合至半導體基材，且在第二與第三接合層將覆蓋層接合至半導體基材，藉以將 MEMS 基材密封於覆蓋層與半導體基材之間。本揭露亦提供藉由上述方法所製造之 MEMS 元件。



200 : MEMS 基材

202：基材

204：第一接合層

300：半導體基材

302：基材

304 : MLI

306：隔離層

308：第二接合層

400：覆蓋層

402：隔離特徵

404：第三接合層

406：空腔

500 : MEMS 元件

(21)申請案號：100108924

(22)申請日：中華民國 100 (2011) 年 03 月 16 日

(51)Int. Cl. : **H01L21/50 (2006.01)**

H01L23/02 (2006.01)

(30)優先權：2010/09/28 美國

12/892,003

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：林宗賢 LIN, CHUNGHSIEN (TW)；朱家驊 CHU, CHIAHUA (TW)；朱立晟 CHU, RICHARD (TW)；謝元智 HSIEH, YUANCHIH (TW)；鄭鈞文 CHENG, CHUNWEN (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 38 頁

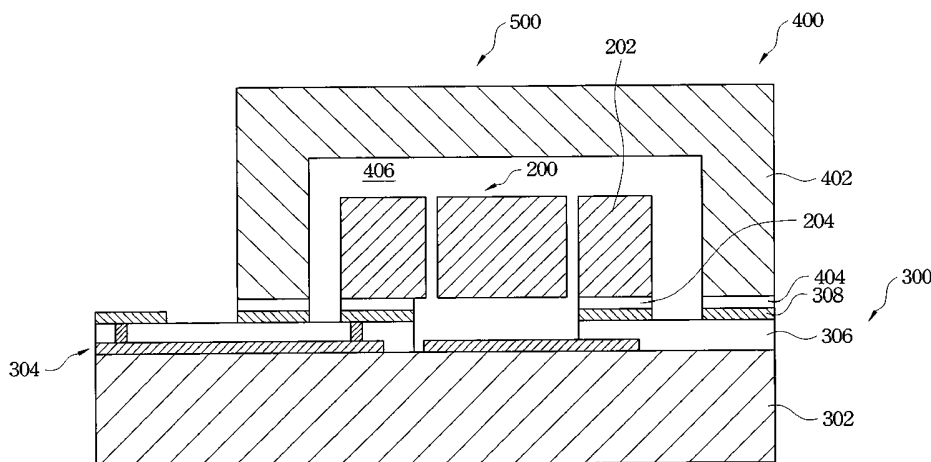
(54)名稱

微機電系統元件及其製造方法

MICRO-ELECTRO-MECHANICAL SYSTEMS DEVICE AND METHOD FOR FABRICATING THE SAME

(57)摘要

本揭露提供製造包含有基材之多層接合層之微機電系統(MEMS)元件的方法。在一實施例中，此方法包含提供包含有第一接合層之 MEMS 基材；提供包含第二接合層之半導體基材；以及提供包含第三接合層之覆蓋層。上述方法更包含在第一與第二接合層將 MEMS 基材接合至半導體基材，且在第二與第三接合層將覆蓋層接合至半導體基材，藉以將 MEMS 基材密封於覆蓋層與半導體基材之間。本揭露亦提供藉由上述方法所製造之 MEMS 元件。



200：MEMS 基材

202：基材

204：第一接合層

300：半導體基材

302：基材

304：MLI

306：隔離層

308：第二接合層

400：覆蓋層

402：隔離特徵

404：第三接合層

406：空腔

500：MEMS 元件

六、發明說明：

【發明所屬之技術領域】

本揭露一般是有關於一種微機電系統 (Micro-Electro-Mechanical Systems ; MEMS) 元件及其製造方法，且特別是有關於一種包含有基材之多層接合層的 MEMS 元件及其製造方法。

【先前技術】

晶圓層級封裝 (Wafer Level Packaging ; WLP) 技術提供半導體元件晶圓層級之封裝。WLP 係應用在包含三維 (3D) 積體電路 (IC)、晶片尺寸封裝 (Chip Scale Package ; CSP) 元件以及 MEMS 的各種技術中。使用 WLP 技術的潛在優勢包含強化電氣特性 (Electrical Properties)、提供增加之密度、縮減元件尺寸、縮減成本以及允許晶圓層級之額外測試。然而，對於 WLP 技術及其提供之晶圓製造與封裝程序之整合存在有許多的限制。封裝方法 (例如保護元件並提供內連接至外部世界) 可能無法相容於用來形成元件之製造程序。例如，特定接合材料無法相容於某些製造程序 [例如互補式金屬氧化物半導體 (Complementary Metal-Oxide Semiconductor ; CMOS)]。此外，習知之 WLP 解析度已經受限於覆蓋 (Capping) 薄 MEMS 層、已經增加了洩漏路徑 (Leakage Pathways)、並具有不利的接合效應。

【發明內容】

本發明之目的在提供一種 MEMS 元件及其製造方法，

藉由單一介面而以單一結構覆蓋層覆蓋厚的微結構，藉此提供具有較少洩漏路徑之堅固元件。此外，本發明之 MEMS 元件及其製造方法更允許使用 CMOS 相容材料(例如鋁，其中鋁在 CMOS 製程中係為標準材料)。

根據本發明之一態樣，提供一種製造微機電系統元件之方法。此方法包：含提供包含第一接合層之 MEMS 基材；提供包含第二接合層之半導體基材；提供包含第三接合層之覆蓋層；在上述第一與第二接合層將 MEMS 基材接合至半導體基材；以及在第二與第三接合層將覆蓋層接合至半導體基材，以將 MEMS 基材密封於覆蓋層與半導體基材之間。

根據本發明之另一態樣，提供一種製造微機電系統元件之方法。此方法包含：提供包含第一接合層之 MEMS 元件；提供包含第二接合層之 CMOS 元件；提供包含第三接合層之覆蓋層；在上述第一與第二接合層將 MEMS 元件接合至 CMOS 元件，藉以電性耦合 MEMS 元件至 CMOS 元件；以及在第二與第三接合層將覆蓋層接合至 CMOS 元件，以將 MEMS 元件密封於覆蓋層與 CMOS 元件之間。

根據本發明之再一態樣，提供一種微機電系統元件。此元件包含具有第一接合層之 MEMS 基材、具有第二接合層之半導體基材、以及具有第三接合層之覆蓋層。上述半導體基材係藉由接合第一與第二接合層而電性耦合至 MEMS 基材。此外，覆蓋層則藉由接合第二與第三接合層而耦合至上述半導體基材，且 MEMS 基材係密封於覆蓋層與半導體基材之間。

本發明之第一個優點為，在減少洩漏路徑的同時，藉由多層接合層以允許在基材之間產生堅固的電性與機械介面。第二個優點為，透過多個接合製程提供基材之間的機械及/或電性連接，並提供一空腔及密封以覆蓋 MEMS 元件，進而可區隔接合的不同需求。第三個優點為，藉由使用本揭露中之接合方法，可允許使用傳導性之最佳化材料、接合強度之最佳化材料、或不同於密封考量之其他目的之最佳化材料。

第四個優點為，藉由使用本揭露中之接合方法，可允許使用 CMOS 相容材料(例如鋁，其中鋁在 CMOS 製程中係為標準材料)。因此，在一實施例中，可在不需追加任何製程層於 CMOS 基材之情況下達成晶圓層級之接合。再者，本發明之第五個優點為，藉由使用本揭露之方法，可允許藉由單一介面而以單一結構覆蓋層覆蓋厚的微結構，因此可提供具有較少洩漏路徑之堅固元件。

【實施方式】

可以理解的是，本揭露以下提供許多不同之實施例或範例，其係用以施行各種實施例的不同特徵。特定之元件和配置的範例係描述如下，藉以簡化本揭露。當然，此些僅做為範例而並非用來限制本發明。此外，為了簡化及清楚說明起見，本揭露重複使用參考數字及/或符號於各範例中，然而此重複本身並非規定所討論之各實施例及/或配置之間必須有任何的關聯。

可以理解的是，元件之多個處理步驟及/或特徵可僅做

簡要之描述，其中此些處理步驟及/或特徵為熟悉此技藝者所熟知。此外，當施行本發明時，可加入額外之處理步驟或特徵，且可移除及/或改變以下特定之處理步驟或特徵。因此，可理解的是，以下之描述僅係用來做為範例，而並非欲建議一個或多個步驟或特徵是必需的。

進一步可理解的是，本揭露一般係有關於 WLP，其中 WLP 係與基材之封裝有關。此處所描述之基材可採用各種之型式，上述之型式包含但不侷限於具有由以 CMOS 為基礎(CMOS-Based)之程序所形成之 IC 的晶圓(或晶圓的一部分)、晶粒(Die)、MEMS 結構、覆蓋基材、具有形成於其間之 CMOS 元件與 MEMS 元件的單一基材、以及類似之元件或結構。再者，如上所述，描述於此之特定實施例僅係做為例示性實施例，而並非欲限制本發明之範圍。例如，與基材係一 MEMS 基材、CMOS 基材或類似之元件有關之實施例僅係做為例示性實施例，而並非欲將本揭露限制於任何特定之技術中。

請參照第 1 圖，其係繪示根據一實施例之製造包含有基材之多層接合層之 MEMS 元件之方法的流程圖。方法 100 開始於區塊 102，以提供包含第一接合層之 MEMS 基材。包含 MEMS 元件之基材在此可稱之為 MEMS 基材。因此，上述所提供之 MEMS 基材其中包含有 MEMS 元件或 MEMS 元件之一部分。MEMS 基材可為包含 MEMS 元件、特徵及/或功能之矽晶圓。MEMS 基材可為晶圓或包含 MEMS 特徵及功能之晶圓(包含晶圓之一部分)的組合。MEMS 基材可選擇性地或額外地包含其他元素(Elementary)

半導體，例如鍺(Germanium)。MEMS 基材亦可包含複合(Compound)半導體，例如碳化矽(Silicon Carbide)、砷化鎵(Gallium Arsenic)、砷化銦(Indium Arsenide)、磷化銦(Indium Phosphide)或類似之化合物。

上述 MEMS 基材包含第一接合層。在一實施例中，第一接合層包含矽。第一接合層成分之範例包含非晶(Amorphous)矽、多晶矽(Polysilicon)、非晶矽與多晶矽之組合、摻雜有一種或多種摻質之矽、以及其他適當之實質矽基(Silicon-Based)成分。可藉由物理氣相沉積(PVD)、化學氣相沉積(CVD)、蒸鍍(Evaporation)、電子束蒸鍍(Electron Beam Evaporation; E-gun)、離子束、能量束、上述技術之組合、及/或其他適當之沉積製程來形成第一接合層。其他用來形成第一接合層之製造技術可包含圖案化上述第一接合層之微影蝕刻(Photolithography)製程及/或蝕刻技術。在一實施例中，形成第一接合層，且接著或同時以摻質摻雜上述第一接合層。為了強化相關元件之電氣性能[例如降低偏壓(Bias)]，可進行上述之摻雜。例示性摻質包含硼(Boron)、磷(Phosphorus)、砷及/或其他此技術領域所熟知之適當摻質。

在一實施例中，第一接合層或其中一部分係包含於 MEMS 元件之中。在另一實施例中，在完成 MEMS 元件之製造之後，在 MEMS 基材之上形成上述之第一接合層。在一實施例中，第一接合層可為如以上所述之實質矽基層。例如，上述之實質矽基層可包含非晶矽及/或多晶矽。在另一實施例中，第一接合層可為實質鋁(Aluminum)基層。在

其他實施例中，第一接合層可包含鈦(Titanium)、鎳(Nickel)、矽、上述元素之合金、或上述材料之組合。

方法 100 繼續進行至區塊 104，以提供包含第二接合層之半導體基材。上述所提供之半導體基材包含如具有金屬絕緣半導體場效電晶體(Metal-Insulator-Semiconductor Field Effect Transistor; MISFET)之 IC 的半導體元件，其中 MISFET 包含互補式金屬氧化物半導體場效電晶體(MOSFET)(簡稱為 CMOS)、CMOS 影像感測器(CMOS Imaging Sensor; CIS)、MEMS、及/或其他適當之主動及/或被動元件。在一實施例中，半導體基材包含藉由以 CMOS 為基礎之程序所設計與形成的 IC(或 IC 中之一部分)。此設計在此可稱之為 CMOS 基材或 CMOS 元件。上述 CMOS 基材可為具有一個或多個半導體元件之任何基材(例如晶圓)，其中上述之半導體元件係藉由以 CMOS 為基礎的技術而實施，且形成於上述任何基材之上。包含使用其他半導體製造技術而形成於其中之元件的半導體基材亦可包含在所述之方法與本揭露的範圍內。在一範例中，半導體基材係一矽晶圓。上述半導體基材可選擇性地或額外地包含其他元素半導體，例如鍺。上述半導體基材亦可包含複合半導體，例如碳化矽、砷化鎵、砷化銦、磷化銦或類似之化合物。上述半導體基材典型地包含多個形成於其上之特徵，此些特徵提供半導體元件或半導體元件的一部分。

上述半導體基材料包含第二接合層。在一實施例中，第二接合層包含鋁。第二接合層成分之範例包含具有銅之鋁合金、具有銅與矽之鋁合金、及/或其他適當之實質矽基

成分。可藉由 CVD、PVD[濺鍍(Sputtering)]、電鍍(Plating)、及/或其他適當製程來形成上述第二接合層。其他用來形成第二接合層之製造技術可包含圖案化上述第二接合層之微影蝕刻製程及/或蝕刻技術。在一實施例中，第二接合層或其中一部分係為半導體元件之多層內連線(Multilayer Interconnect; MLI)結構的一部分。上述 MLI 包含設置在多層金屬層之水平傳導特徵(金屬線)，以及垂直傳導特徵[例如接觸窗(Contacts)與介層窗(Vias)]。介層窗係配置以連接位在不同金屬層之二金屬線。接觸窗係配置以連接金屬線與基材。

在一實施例中，形成上述第二接合層以做為設置在 CMOS 基材上之半導體元件的一部分(例如 MLI 的一部分)。在一實施例中，第二接合層可如以上所述為實質鋁基層。在其他實施例中，第二接合層可包含鈦、鎳、銅、金、銀、銦、錫(Tin)、矽、上述元素之合金、或上述材料之組合。在又一實施例中，第二接合層可為實質矽基層。

方法 100 接著進行至區塊 106，以提供包含第三接合層之覆蓋層(Cap)。在一實施例中，上述覆蓋層包含隔離(Stand-Off)特徵，藉此封閉並提供一空腔(Cavity)給被封閉之 MEMS 元件。在一實施例中，上述覆蓋層並未包含 IC。上述覆蓋層可包含矽或其他元素半導體，例如鍺。上述覆蓋層亦可包含複合半導體，例如碳化矽、砷化鎵、砷化銦、磷化銦或類似之化合物。

上述覆蓋層包含第三接合層。在一實施例中，第三接合層包含矽。第三接合層成分之範例包含非晶矽、多晶矽、

非晶矽與多晶矽之組合、摻雜有一種或多種摻質之矽、以及其他適當之實質矽基成分。可藉由 PVD、CVD、蒸鍍、E-gun、離子束、能量束、上述技術之組合、及/或其他適當之沉積製程來形成第三接合層。其他用來形成第三接合層之製造技術可包含圖案化上述第三接合層之微影蝕刻製程及/或蝕刻技術。在其他實施例中，上述第三接合層可包含鍺。

方法 100 接著進行至區塊 108，以進行上述半導體基材與 MEMS 基材之間的接合製程。特別的是，在區塊 102 中所提供之 MEMS 基材之第一接合層係與在區塊 104 中所提供之半導體基材之第二接合層接合。在實施以上之步驟後，上述半導體基材與 MEMS 基材係實體地接合(例如耦合)。可藉由固相(Solid-Phase)反應來提供上述之接合。在一範例中，共晶(Eutectic)接合或擴散(Diffusion)接合技術接合上述第一與第二接合層。在一實施例中，上述之接合提供介於半導體基材與 MEMS 基材(或形成於其上之元件)之間的導電介面(Electrical Interface)，其中上述半導體基材與 MEMS 基材係位在一個或多個接合區域(例如介於基材之間之實體介面的區域)。在一實施例中，將位在一接合區域之一個或多個接合層形成於非傳導層(例如絕緣層)之上，且在上述區域中並未提供導電介面。在一範例中，第一接合層與第二接合層可分別包含鈦鋁合金與鋁、分別包含鎳與鋁、分別包含矽與鋁、或分別包含矽與鈦。

方法 100 接著進行至區塊 110，以進行上述半導體基材與覆蓋層之間的接合製程。特別的是，在區塊 104 中所

提供之半導體基材之第二接合層係與在區塊 106 中所提供之覆蓋層之第三接合層接合。在實施以上之步驟後，上述半導體基材與覆蓋層係實體地接合(例如耦合)。可藉由固相反應來提供上述之接合。在一範例中，共晶接合或黏著(Adhesive)接合技術接合上述第二與第三接合層。在一實施例中，將位在一接合區域之一個或多個接合層形成於非傳導層(例如絕緣層)之上，且在上述區域中並未提供導電介面。上述覆蓋層將 MEMS 基材密封於介於覆蓋層與半導體基材之間的空腔內。在一範例中，第二接合層與第三接合層可分別包含鋁與鍍、分別包含鋁銅合金與鍍、分別包含金合金與矽、分別包含銀合金與矽、分別包含鈷合金與矽、或分別包含錫合金與矽。

以上所述描寫於區塊 108 與 110 中之接合製程可在混合氣體(Forming Gas)存在及/或其他控制環境下進行。例示性之混合氣體包含氬氣(Argon)、氮氣(Nitrogen; N_2)、氫氣(Hydrogen; H_2)、氮氣/氫氣混合、及/或其他適當氣體。混合氣體可為上述之接合層去氧化(De-Oxidize)。在一實施例中，介於第一與第二接合層之間之接合製程的製程參數包含介於約攝氏(Celsius)250 度與約攝氏 700 度之間的製程溫度、介於約 10 千牛頓(kN)與約 90 kN 之間的製程壓力、以及介於約 5 分鐘與約 30 分鐘之間的製程時間。在一實施例中，介於第二與第三接合層之間之接合製程的製程參數包含介於約 200°C 至約 500°C 之間的製程溫度、介於約 10 kN 至約 90 kN 之間的製程壓力、以及少於約 15 分鐘的製程時間。

在一實施例中，在上述接合製程之前進行表面清潔。表面清潔可包含濕蝕刻、乾蝕刻或上述之組合。在一實施例中，進行接合後熱處理製程(Post-Bonding Thermal Process)[例如退火(Anneal)]。

方法 100 可用來進行各種實施例。例如，在一實施例中，提供實質矽基接合層於 MEMS 基材上，並提供實質鋁基接合層於 CMOS 基材上。此些基材與接合層係使用以上所述之方法而接合在一起。在另一實施例中，實質矽基接合層係設置在 CMOS 基材上，且實質鋁基接合層係設置在 MEMS 基材上。此些基材與相應之接合層係使用以上所述之方法而接合在一起。在又一實施例中，在此所描述之方法可應用至多個 MEMS 基材、多個 CMOS 基材、及/或上述之組合的接合。(應注意的是，當於本揭露中描述將方法與元件應用至二基材之接合，此方法與元件可擴大至接合任何數量之基材料。)

請參照第 2A 至 2G 圖，其係繪示根據本揭露之觀點之 MEMS 元件於各種製造階段的剖面示意圖。第 2A 圖係繪示包含基材 202 與第一接合層 204 的 MEMS 基材 200。在一實施例中，MEMS 基材 200 與第一接合層 204 係實質描述於以上與方法 100 之區塊 102 相關的說明中。

特別的是，MEMS 基材 200 包含 MEMS 元件或其中的一部分。MEMS 基材可為包含有 MEMS 元件、特徵及/或功能的矽晶圓。MEMS 基材可為晶圓或晶圓(包含部分之晶圓)之組合，其中上述之晶圓包含 MEMS 特徵與功能。基材 202 可包含矽或選擇性地或額外地包含其他元素半導體，

例如鍺。基材 202 亦可包含複合半導體，例如碳化矽、砷化鎵、砷化銦、磷化銦或類似之化合物。

在一實施例中，第一接合層 204 包含矽。第一接合層成分之範例包含非晶矽、多晶矽、非晶矽與多晶矽之組合、摻雜有一種或多種摻質之矽、以及其他適當之實質矽基成分。可藉由 PVD、CVD、蒸鍍、E-gun、離子束、能量束、上述技術之組合、及/或其他適當之沉積製程來形成第一接合層 204。為了強化相關元件之電氣性能(例如降低偏壓)，可進行上述之摻雜。例示性摻質包含硼、磷、砷及/或其他此技術領域所熟知之適當摻質。

在一實施例中，第一接合層 204 或其中之一部分可為如上所述之實質矽基層。例如，實質矽基層可包含非晶矽及/或多晶矽。在一實施例中，第一接合層 204 係一非晶矽層，其中此非晶矽層係以熱製程(例如退火製程)預先處理(例如在接合之前)。熱製程可將此非晶矽層或其中一部分轉換成多晶矽層。在其他之實施例中，第一接合層可為實質鋁基層。在其他之實施例中，第一接合層可包含鈦、鎳、矽、上述元素之合金、或上述材料之組合。在一實施例中，形成第一接合層，且接著或同時以摻質摻雜上述第一接合層。

在一實施例中，基材 202 具有大於約 5 微米(Microns)的厚度，且在其他實施例中，基材 202 具有大於約 50 微米的厚度。相較於習知方法與技術，本揭露之優點是允許厚的 MEMS 結構的覆蓋，其中習知方法與技術被限制在薄的 MEMS 層，例如小於約 5 微米的層。

第 2B 圖係繪示圖案化之後的第一接合層 204。上述之圖案係設計用來實體及/或電性連接一半導體基材，例如位在多個接合區域之 CMOS 基材。第一接合層 204 的蝕刻可包含微影蝕刻製程及/或蝕刻技術，藉以圖案化接合層。

在一實施例中，在接合製程之前清潔 MEMS 基材及/或 CMOS 基材。上述清潔製程可包含濕蝕刻/清潔及/或乾蝕刻製程。例示性之濕蝕刻/清潔製程包含暴露至氫氟 (Hydrofluoric; HF) 酸中，其中 HF 酸包含稀釋的 HF。例示性之乾蝕刻製程包含氫氣濺鍍與電漿蝕刻製程。清潔製程可包含如去離子水 (De-ionized Water) 清洗與乾燥製程 [例如旋轉脫水 (Spin Dry)] 之其他適當製程。上述之清潔可為接合層去氧化。

第 2C 圖係繪示 MEMS 基材 200 接合至半導體基材 300，其中在一實施例中，半導體基材 300 包含基材 302、MLI 304、隔離層 306 [例如層間介電 (InterLayer Dielectric; ILD) 層]、及第二接合層 308。特別的是，MEMS 基材 200 之第一接合層 204 係接合至半導體基材 300 的第二接合層 308。上述之接合產生提供基材實體耦合的接合區域，上述之基材實體耦合可包含基材之間的機械及/或電性耦合。在一實施例中，一個或多個接合區域 (例如第 2D 圖中之接合區域 309a) 提供介於半導體基材 300 與 MEMS 基材 200 之間，或介於形成於其上之元件之間的導電介面。

在一實施例中，半導體基材 300 與第二接合層 308 係實質描述於以上與方法 100 之區塊 104 相關的說明中。特別的是，上述所提供之半導體基材 300 包含如具有 MISFET

之 IC 的半導體元件，其中 MISFET 包含 MOSFET(簡稱為 CMOS)、CIS、MEMS、及/或其他適當之主動及/或被動元件。在一實施例中，半導體基材 300 包含藉由以 CMOS 為基礎之程序所設計與形成的 IC(或 IC 中之一部分)。此設計在此可稱之為 CMOS 基材或 CMOS 元件。上述 CMOS 基材可為具有一個或多個半導體元件之任何基材(例如晶圓)，其中上述之半導體元件係藉由形成於上述任何基材之上之以 CMOS 為基礎的技術而加以實施(例如設計或製造)。包含使用其他半導體製造技術而形成於其中之元件的半導體基材亦可包含在所述之方法與本揭露的範圍內。

在一範例中，基材 302 係一矽晶圓。上述基材 302 可選擇性地或額外地包含其他元素半導體，例如鍺。上述基材 302 亦可包含複合半導體，例如碳化矽、砷化鎵、砷化銦、磷化銦或類似之化合物。上述半導體基材 300 典型地包含多個形成於其上之特徵，此些特徵提供半導體元件或半導體元件的一部分。

在一實施例中，第二接合層 308 包含鋁。第二接合層成分之範例包含具有銅之鋁合金、具有銅與矽之鋁合金、及/或其他適當之實質矽基成分。可藉由 CVD、PVD(濺鍍)、電鍍、及/或其他適當製程來形成上述具有實質矽基成分的第二接合層。其他用來形成第二接合層之製造技術可包含圖案化上述第二接合層之微影蝕刻製程及/或蝕刻技術。在一實施例中，第二接合層 308 或其中一部分係為半導體元件之 MLI 結構 304 的一部分。上述 MLI 結構 304 包含設置在多層金屬層之水平傳導特徵(金屬線)，以及垂直傳導特

徵(例如接觸窗與介層窗)。介層窗係配置以連接位在不同金屬層之二金屬線。接觸窗係配置以連接金屬線與基材。

在一實施例中，形成上述第二接合層以做為設置在 CMOS 基材上之半導體元件的一部分(例如 MLI 的一部分)。在一實施例中，第二接合層 308 可如以上所述為實質鋁基層。在其他實施例中，第二接合層 308 可包含鈦、鎳、銅、金、銀、銦、錫、上述元素之合金、或上述材料之組合。在又一實施例中，第二接合層 308 可為實質矽基層。

如第 2C 圖所示，第二接合層 308 係一圖案化層。上述之圖案係設計用來連接(例如電性與實體連接)位在多個接合區域之 MEMS 基材。第 2C 圖亦繪示第二接合層 308 包含有設置在隔離層 306 之上的部分 308b。隔離層 306 可包含如氧化矽(Silicon Oxide)、氮化矽(Silicon Nitride)、氮氧化矽(Silicon Oxynitride)、旋塗式玻璃(Spin-On Glass；SOG)、低介電係數之材料、氟化矽酸鹽玻璃(Fluoride-Doped Silicate Glass；FSG)、摻雜氟之氧化矽、黑鑽石材料[Black Diamond®；位於加州聖克拉拉之應用材料公司(Applied Materials of Santa Clara, California)的產品]、乾膠(Xerogel)、氣凝膠(Aerogel)、非結晶氟化碳(Amorphous Fluorinated Carbon)、聚對二甲苯基(Parylene)、苯環丁烯(Bis-Benzocyclobutenes；BCB)、SiLK[位於密西根州密德蘭之陶氏化學(Dow Chemical, Midland, Michigan)的產品]、以及其他適當材料之介電材料。隔離層 306 可用如旋轉塗佈(Spin-On Coating)、CVD 及/或其他適當製程來形成。

可在一實施例中，藉由商業化之晶圓接合機(Bonder)

進行上述之接合，以在第一與第二接合層之間形成共晶接合或擴散接合。在一實施例中，接合之製程溫度係介於約攝氏 250 度與約攝氏 700 度之間。在一實施例中，製程時間係介於約 5 分鐘至約 30 分鐘之間。在一實施例中，製程壓力(接合壓力)係介於約 10 kN 至約 90 kN 之間。上述製程參數僅做為例示性之範例。可在受控制之氛圍(Atmosphere)中(例如在混合氣體存在之情況下)進行上述之接合。例子示性混合氣體包含氫氣、氮氣、氫氣、氦(Helium; He)、氮氣/氫氣混合、及上述氣體之組合。對準製程典型地係在上述接合之前進行。

第 2D 圖係繪示耦合之第一接合層 204 與第二接合層 308，使得能夠提供介於上述二層之間的介面(例如接合區域)。在一範例中，第一接合層 204 與第二接合層 308 可分別包含鈦鋁合金與鋁、分別包含鎳與鋁、分別包含矽與鋁、或分別包含矽與鈦。

藉由上述第一接合層 204 與第二接合層 308 所形成之接合區域可額外地提供導電介面至機械性耦合。例如，接合區域 309a 係繪示一電子耦合，但是接合區域 309b 僅繪示一機械性耦合。上述第二接合層 308 係設置在半導體基材 300 的隔離層 306 之上。接著可對已接合之 MEMS 基材 200 與半導體基材 300 進行退火。退火製程之例示性製程狀況包含介於約攝氏 400 度與約攝氏 500 度之間的溫度。

第 2D 圖亦繪示基材 202 之蝕刻，藉以形成慣性質量(Proof Mass)206，其中慣性質量 206 可提供用來量測與 MEMS 元件相關之變數的參考質量。基材 202 可藉由此技

術領域所熟知之各種圖案化與蝕刻技術加以蝕刻，例如各種深反應離子蝕刻(Dep Reactive Ion Etch；DRIE)、微影蝕刻圖案化以及蝕刻技術其中一者。

第 2E 圖係繪示半導體基材 300 與覆蓋層 400 的接合，在一實施例中，上述之覆蓋層 400 包含隔離特徵 402 與第三接合層 404。特別的是，覆蓋層 400 之第三接合層 404 係接合至半導體基材 300 的第二接合層 308。隔離特徵 402 可配置用以提供一適當之空腔 406，藉此封閉 MEMS 基材 200。上述之接合產生接合區域，其中接合區域提供上述 MEMS 基材 200 與覆蓋層 400 實體/機械耦合，以將 MEMS 基材 200 密封於空腔 406 之內，其中空腔 406 係由耦合之覆蓋層 400 與半導體基材 300 所產生。

在一實施例中，覆蓋層 400 與第三接合層 404 係實質描述於以上與方法 100 之區塊 106 相關的說明中。特別的是，上述覆蓋層 400 並未包含 IC。覆蓋層 400 可包含矽或其他元素半導體，例如鍺。覆蓋層 400 亦可包含複合半導體，例如碳化矽、砷化鎵、砷化銦、磷化銦或類似之化合物。

在一實施例中，第三接合層 404 包含矽。第三接合層成分之範例包含非晶矽、多晶矽、非晶矽與多晶矽之組合、摻雜有一種或多種摻質之矽、以及其他適當之實質矽基成分。可藉由 PVD、CVD、蒸鍍、E-gun、離子束、能量束、上述技術之組合、及/或其他適當之沉積製程來形成第三接合層。其他用來形成第三接合層之製造技術可包含圖案化上述第三接合層之微影蝕刻製程及/或蝕刻技術。在其他實

施例中，上述第三接合層可包含鍺。在一實施例中，上述第三接合層 404 包含矽、鍺或上述元素之組合。

可在一實施例中，藉由商業化之晶圓接合機進行上述之接合，以影響介於上述第二與第三接合層之間的共晶接合。在一實施例中，接合之製程溫度係介於約攝氏 200 度與約攝氏 500 度之間。在一實施例中，製程時間係小於約 15 分鐘。在一實施例中，製程壓力係介於約 10 kN 至約 90 kN 之間。上述製程參數僅做為例示性之範例。可在受控制之氛圍中(例如在混合氣體存在之情況下)進行上述之接合。例子示性混合氣體包含氫氣、氮氣、氫氣、氫、氮氣/氫氣混合、及上述氣體之組合。對準製程典型地係在上述接合之前進行。在其他之實施例中，覆蓋層可藉由附著結合而接合至半導體基材，例如介於 BCB/聚亞醯胺樹脂 (Polyimide; PI)接合層之間。

第 2F 圖係繪示耦合之第二接合層 308 與第三接合層 404，以及後續在一範例中藉由晶粒鋸(Saw)408 對覆蓋層 400 之一部分進行裁切。在一實施例中，第二接合層 308 與第三接合層 404 可分別包含鋁與鍺、分別包含鋁銅合金與鍺、分別包含金合金與矽、分別包含銀合金與矽、分別包含銅合金與矽、或分別包含錫合金與矽。

第 2G 圖係繪示包含接合至半導體基材 300 之 MEMS 基材 200 的 MEMS 元件 500，藉以提供介於上述基材以及接合至半導體基材 300 之覆蓋層 400 之間的電性及/或機械耦合，進而將 MEMS 基材 200 密封於空腔 406 之中。

請參照第 3 圖，其係繪示包含有接合至半導體基材 300

之 MEMS 基材 200 的另一 MEMS 元件 600，藉以提供介於上述基材以及接合至半導體基材 300 之覆蓋層 400 之間的電性及/或機械耦合，進而將 MEMS 基材 200 密封於空腔 406 之中。如以上所述與第 1 以及第 2A 至 2G 圖有關之類似的程序、結構語特徵完全可應用在本實施例中，故相同之描述將不再加以重複。在此實施例中，MEMS 基材 200 並未包含明顯之接合層，取而代之的是，基材 202 係擴散接合至半導體基材 300 之隔離層 306。在一實施例中，基材 202 包含矽，而隔離層 306 係包含氧化矽。在一實施例中，接合製程參數包含介於約攝氏 20 度與約攝氏 200 度之間的製程溫度、小於約 10 分鐘的製程時間、以及小於 5 kN 之製程壓力。

請參照第 4 圖，其係繪示包含有接合至半導體基材 300 之 MEMS 基材 200 的另一 MEMS 元件 700，藉以提供介於上述基材以及接合至半導體基材 300 之覆蓋層 400 之間的電性及/或機械耦合，進而將 MEMS 基材 200 密封於空腔 406 之中。如以上所述與第 1 以及第 2A 至 2G 圖有關之類似的程序、結構語特徵完全可應用在本實施例中，故相同之描述將不再加以重複。在此實施例中，半導體基材 300 包含內連線 310，其中內連線 310 係設置貫穿基材 302，且連接至 MLI 304 的底層。

相較於習知之技藝，以上所述之一個或多個實施例可提供許多之優點。在減少洩漏路徑的同時，本揭露之多層接合層允許在基材之間產生堅固的電性與機械介面。第一接合製程提供基材之間之機械及/或電性連接，且其他接合

製程提供空腔並密封以覆蓋上述之 MEMS 元件，進而區隔接合的不同需求。本揭露中之接合方法允許使用傳導性之最佳化材料、接合強度之最佳化材料或不同於密封考量之其他目的之最佳化材料。此外，本揭露中之接合方法允許使用 CMOS 相容材料(例如鋁，其中鋁在 CMOS 製程中係為標準材料)。因此，在一實施例中，可在不需追加任何製程層於 CMOS 基材之情況下達成晶圓層級之接合。再者，本封裝結構允許厚微結構藉由單一介面而以單一結構覆蓋層覆蓋此厚微結構，而提供具有較少洩漏路徑之堅固元件。

雖然本揭露中所介紹之實施例可描述及/或介紹沉積於基材之上的單一接合層，然而以上所述並非絕對必須的，且可圖案化任何數量之多數層，以形成介於基材之間一個或多個接合區域。

因此，本揭露提供製造包含有基材之多層接合層之 MEMS 元件的方法。在一實施例中，此方法包含提供包含第一接合層之 MEMS 基材；提供包含第二接合層之半導體基材；以及提供包含第三接合層之覆蓋層。上述方法更包含在第一與第二接合層將 MEMS 基材接合至半導體基材，且在第二與第三接合層將覆蓋層接合至半導體基材，藉以將 MEMS 基材密封於覆蓋層與半導體基材之間。

本揭露亦提供 MEMS 元件。在一實施例中，上述元件包含具有第一接合層之 MEMS 基材，以及具有第二接合層之半導體基材，其中 MEMS 基材係藉由接合第一與第二接合層而電性耦合至半導體基材。上述元件更包含具有第三接合層之覆蓋層，其中覆蓋層係藉由接合第二與第三接合

層而耦合至半導體基材，MEMS 基材係密封於上述覆蓋層與半導體基材之間。

雖然本揭露之實施例已經詳述如上，熟悉此技藝者應可理解，在不脫離之精神和範圍內，當可做各種的更動、替代和潤飾。因此，此些更動、替代和潤飾係欲包含在如以下申請專利範圍所定義之本揭露的範圍內。在此些申請專利範圍中，手段加功能之用語係欲包含在此所描述以執行所提及之功能的結構、結構性之等價物以及等價的架構。

【圖式簡單說明】

為了能夠對本揭露之觀點有最佳之理解，請參照上述之詳細說明並配合相應之圖式。要強調的是，根據工業之標準常規，附圖中之各種特徵並未依比例繪示。事實上，為討論的清楚起見，可任意地放大或縮小各種特徵之尺寸。相關圖式內容說明如下。

第 1 圖係繪示根據一實施例之製造包含有基材之多層接合層之 MEMS 元件之方法的流程圖。

第 2A 至 2G 圖係繪示根據本揭露之觀點之 MEMS 元件於各種製造階段的剖面示意圖。

第 3 圖係繪示根據本揭露之另一實施例之 MEMS 元件的剖面示意圖。

第 4 圖係繪示根據本揭露之又一實施例之 MEMS 元件的剖面示意圖。

【主要元件符號說明】

100：方法	102：區塊
104：區塊	106：區塊
108：區塊	110：區塊
200：MEMS 基材	202：基材
204：第一接合層	206：慣性質量
300：半導體基材	302：基材
304：MLI	306：隔離層
308：第二接合層	308b：部分
309a：接合區域	309b：接合區域
400：覆蓋層	402：隔離特徵
404：第三接合層	406：空腔
408：晶粒鋸	500：MEMS 元件
600：MEMS 元件	700：MEMS 元件

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100108924

※申請日：100.3.16 ※IPC 分類：H01L 21/50 2006.01

一、發明名稱：(中文/英文)

H01L 23/02 2006.01

微機電系統元件及其製造方法

MICRO-ELECTRO-MECHANICAL SYSTEMS

DEVICE AND METHOD FOR FABRICATING THE SAME

二、中文發明摘要：

本揭露提供製造包含有基材之多層接合層之微機電系統(MEMS)元件的方法。在一實施例中，此方法包含提供包含有第一接合層之 MEMS 基材；提供包含第二接合層之半導體基材；以及提供包含第三接合層之覆蓋層。上述方法更包含在第一與第二接合層將 MEMS 基材接合至半導體基材，且在第二與第三接合層將覆蓋層接合至半導體基材，藉以將 MEMS 基材密封於覆蓋層與半導體基材之間。本揭露亦提供藉由上述方法所製造之 MEMS 元件。

三、英文發明摘要：

The present disclosure provides a method for fabricating a MEMS device including multiple bonding of substrates. In an embodiment, a method includes providing a micro-electro-mechanical systems (MEMS) substrate including a first bonding layer, providing a semiconductor substrate including a second bonding layer, and providing a

cap including a third bonding layer. The method further includes bonding the MEMS substrate to the semiconductor substrate at the first and second bonding layers, and bonding the cap to the semiconductor substrate at the second and third bonding layers to hermetically seal the MEMS substrate between the cap and the semiconductor substrate. A MEMS device fabricated by the above method is also provided.

七、申請專利範圍：

1. 一種製造微機電系統元件之方法，包含：

提供包含一第一接合層之一微機電系統基材；

提供包含一第二接合層之一半導體基材；

提供包含一第三接合層之一覆蓋層；

在該第一接合層與該第二接合層將該微機電系統基材接合至該半導體基材；以及

在該第二接合層與該第三接合層將該覆蓋層接合至該半導體基材，以將該微機電系統基材密封於該覆蓋層與該半導體基材之間。

2. 如請求項 1 所述之製造微機電系統元件之方法，其中該半導體基材包含一積體電路，該積體電路係使用一互補式金屬氧化物半導體製程所形成。

3. 如請求項 1 所述之製造微機電系統元件之方法，其中將該微機電系統基材接合至該半導體基材之步驟係藉由擴散接合來進行。

4. 如請求項 1 所述之製造微機電系統元件之方法，其中該第二接合層係該半導體基材之一多層內連線的一部分，且其中該微機電系統基材與該覆蓋層係接合至該多層內連線的一頂層。

5. 如請求項 4 所述之製造微機電系統元件之方法，更包含形成一內連線，其中該內連線係貫穿該半導體基材而連接至該多層內連線的一底層。

6. 一種製造微機電系統元件之方法，包含：

提供包含一第一接合層之一微機電系統元件；

提供包含一第二接合層之一互補式金屬氧化物半導體元件；

提供包含一第三接合層之一覆蓋層；

在該第一接合層與該第二接合層將該微機電系統元件接合至該互補式金屬氧化物半導體元件，藉以電性耦合該微機電系統元件至該互補式金屬氧化物半導體元件；以及

在該第二接合層與該第三接合層將該覆蓋層接合至該互補式金屬氧化物半導體元件，以將該微機電系統元件密封於該覆蓋層與該互補式金屬氧化物半導體元件之間。

7. 一種微機電系統元件，包含：

一微機電系統基材，其中該微機電系統基材具有一第一接合層；

一半導體基材，其中該半導體基材具有一第二接合層，該半導體基材係藉由接合該第一接合層與該第二接合層而電性耦合至該微機電系統基材；以及

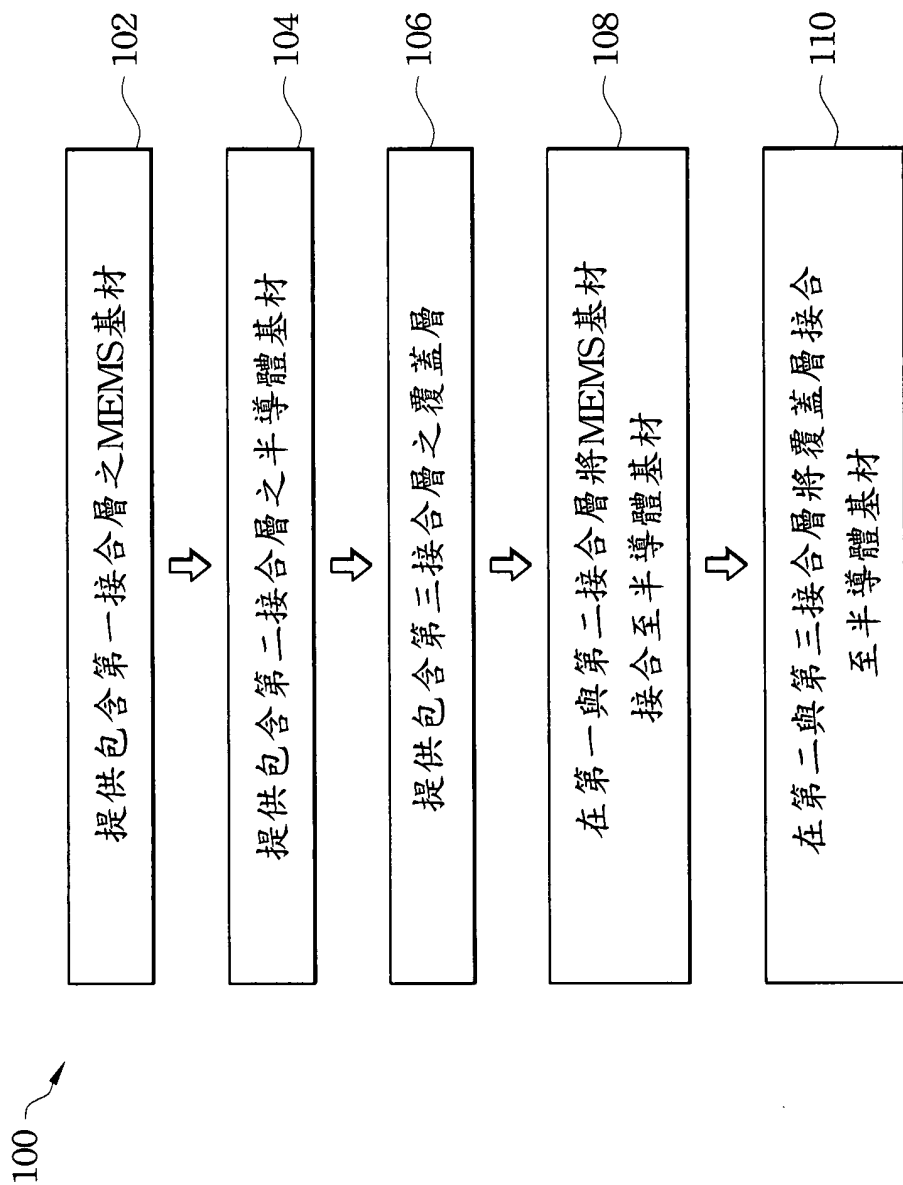
一覆蓋層，其中該覆蓋層具有一第三接合層，該覆蓋層係藉由接合該第二接合層與該第三接合層而耦合至該半

導體基材，該微機電系統基材係密封於該覆蓋層與該半導體基材之間。

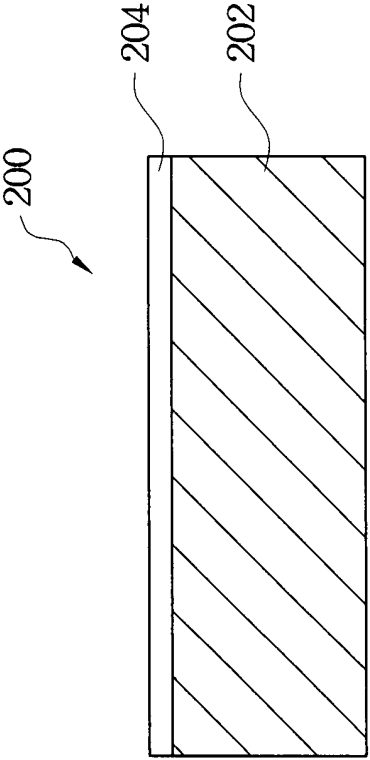
8. 如請求項 7 所述之微機電系統元件，其中該第二接合層係一多層內連線的一部分，且其中該微機電系統基材與該覆蓋層係接合至該多層內連線的一頂層。

9. 如請求項 8 所述之微機電系統元件，更包含一內連線，其中該內連線係貫穿該半導體基材而連接至該多層內連線的一底層。

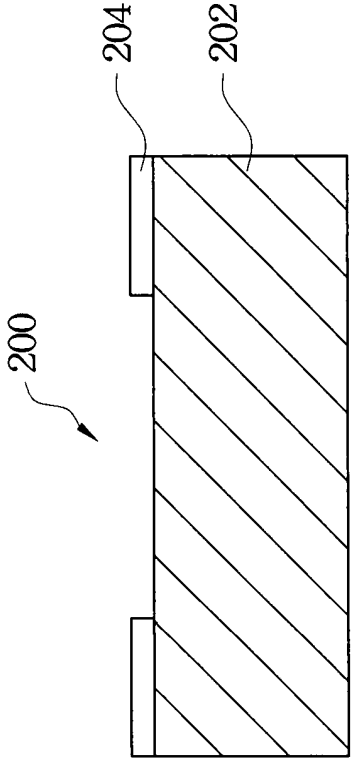
10. 如請求項 7 所述之微機電系統元件，其中該微機電系統基材具有大於約 50 微米之一厚度，且該半導體基材包含一積體電路，該積體電路具有至少一互補式金屬氧化物半導體特徵。



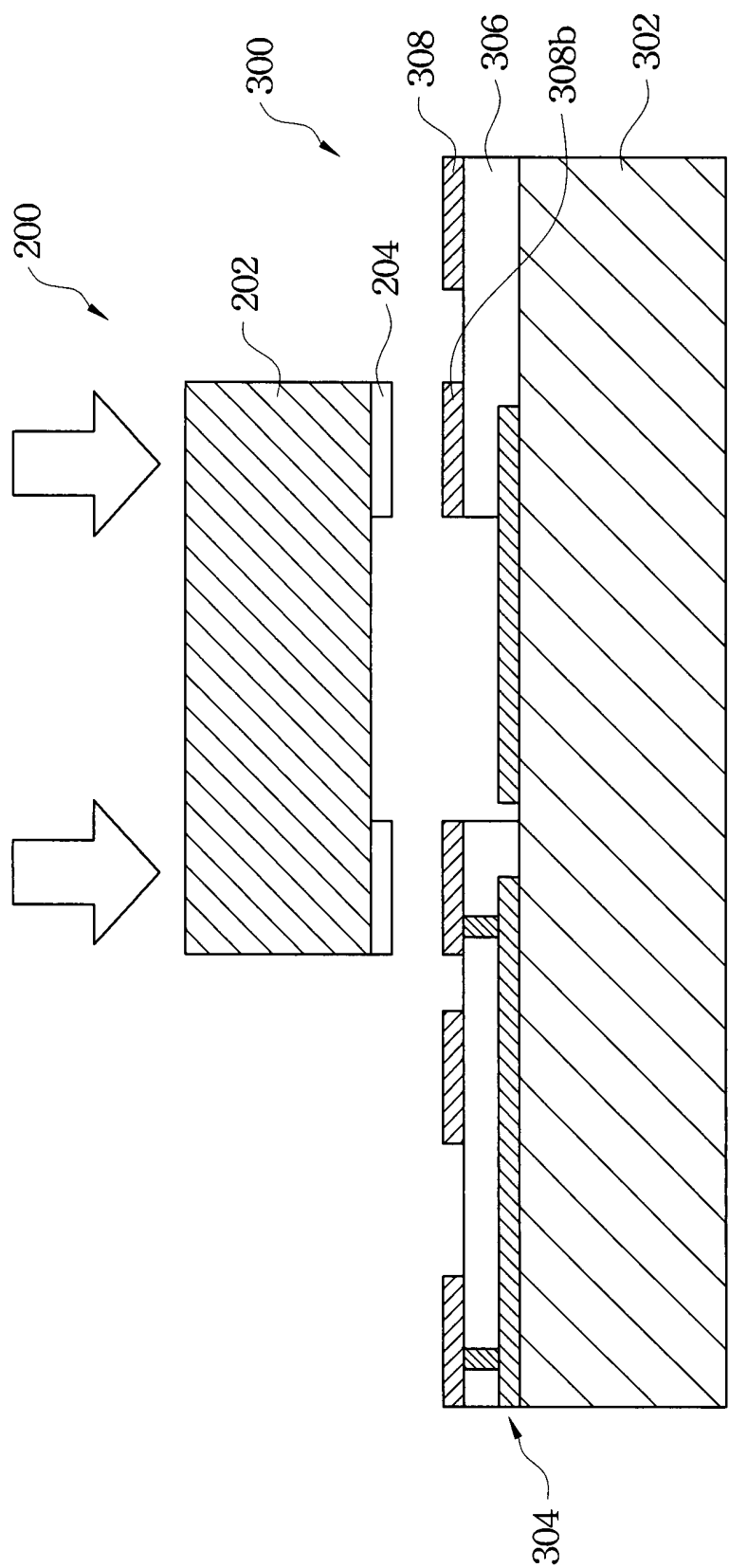
第 1 圖



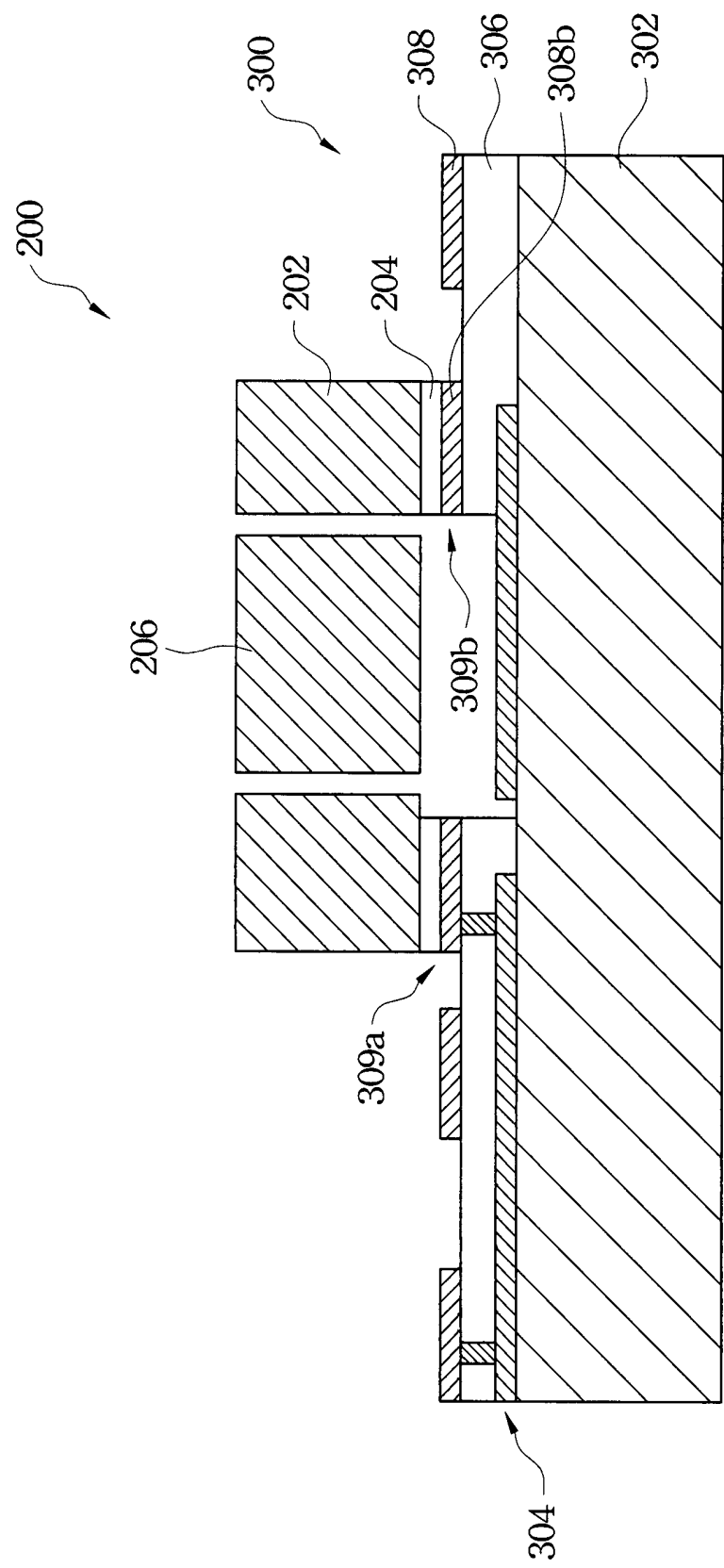
第 2A 圖



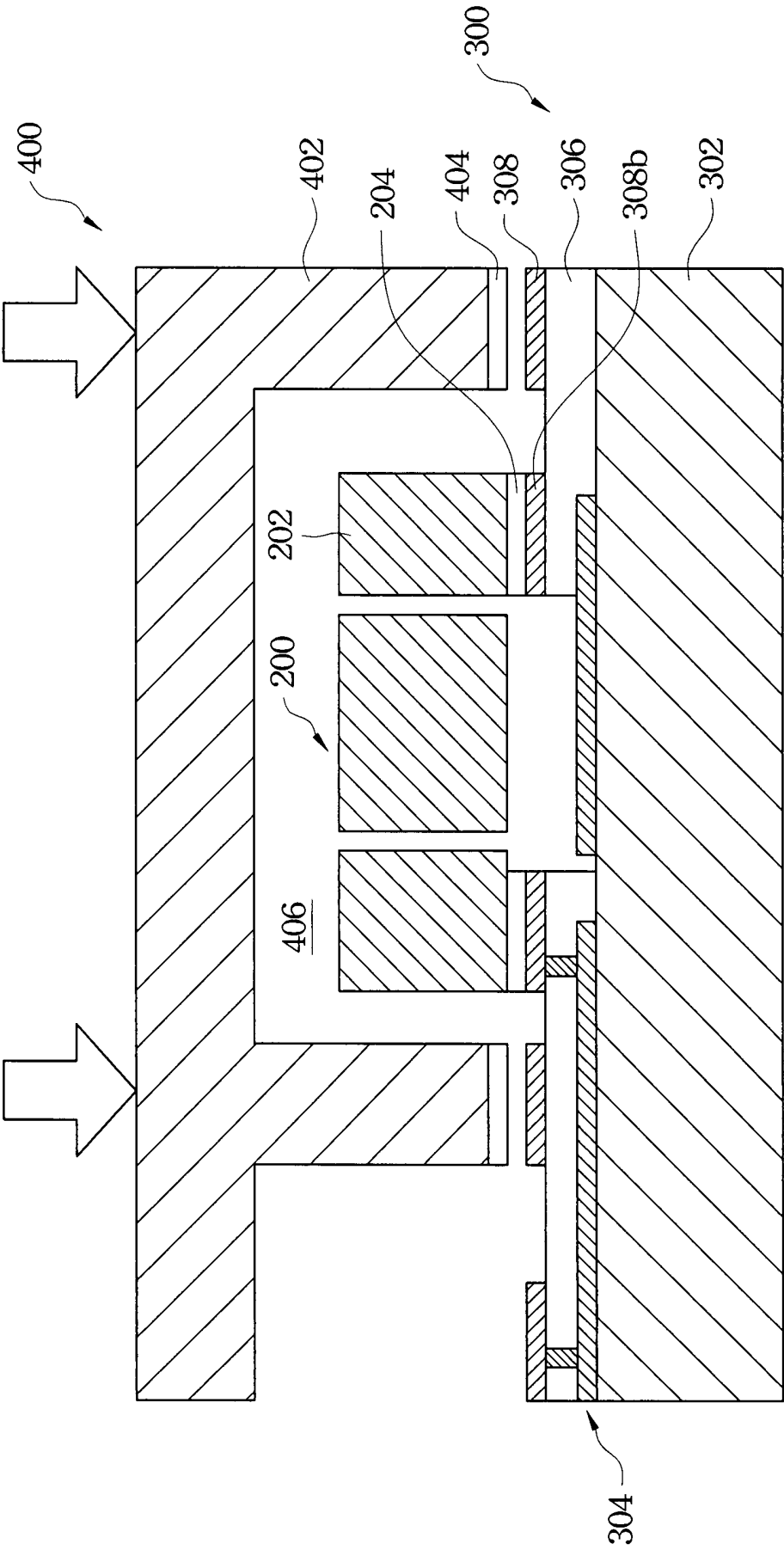
第 2B 圖



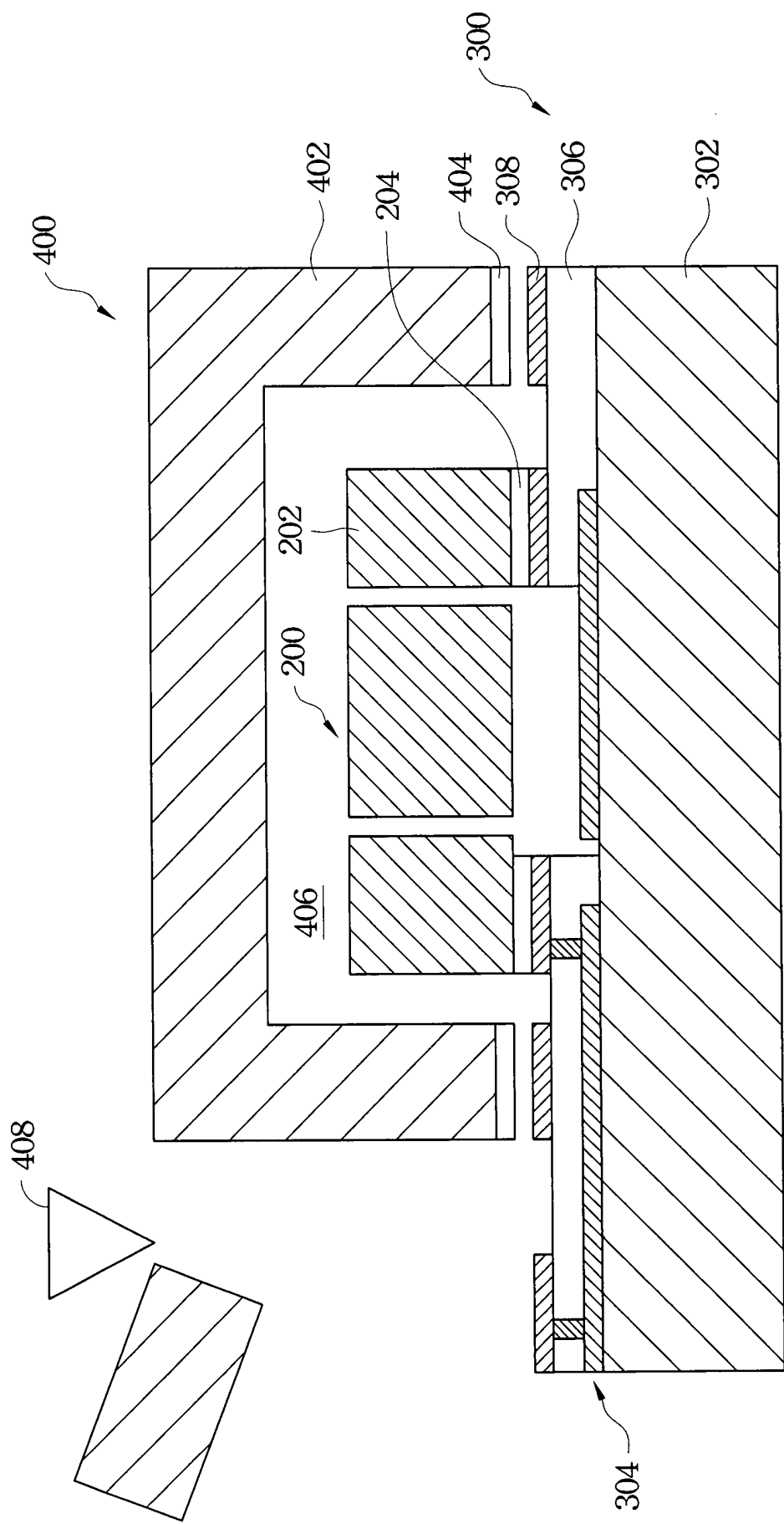
第 2C 圖



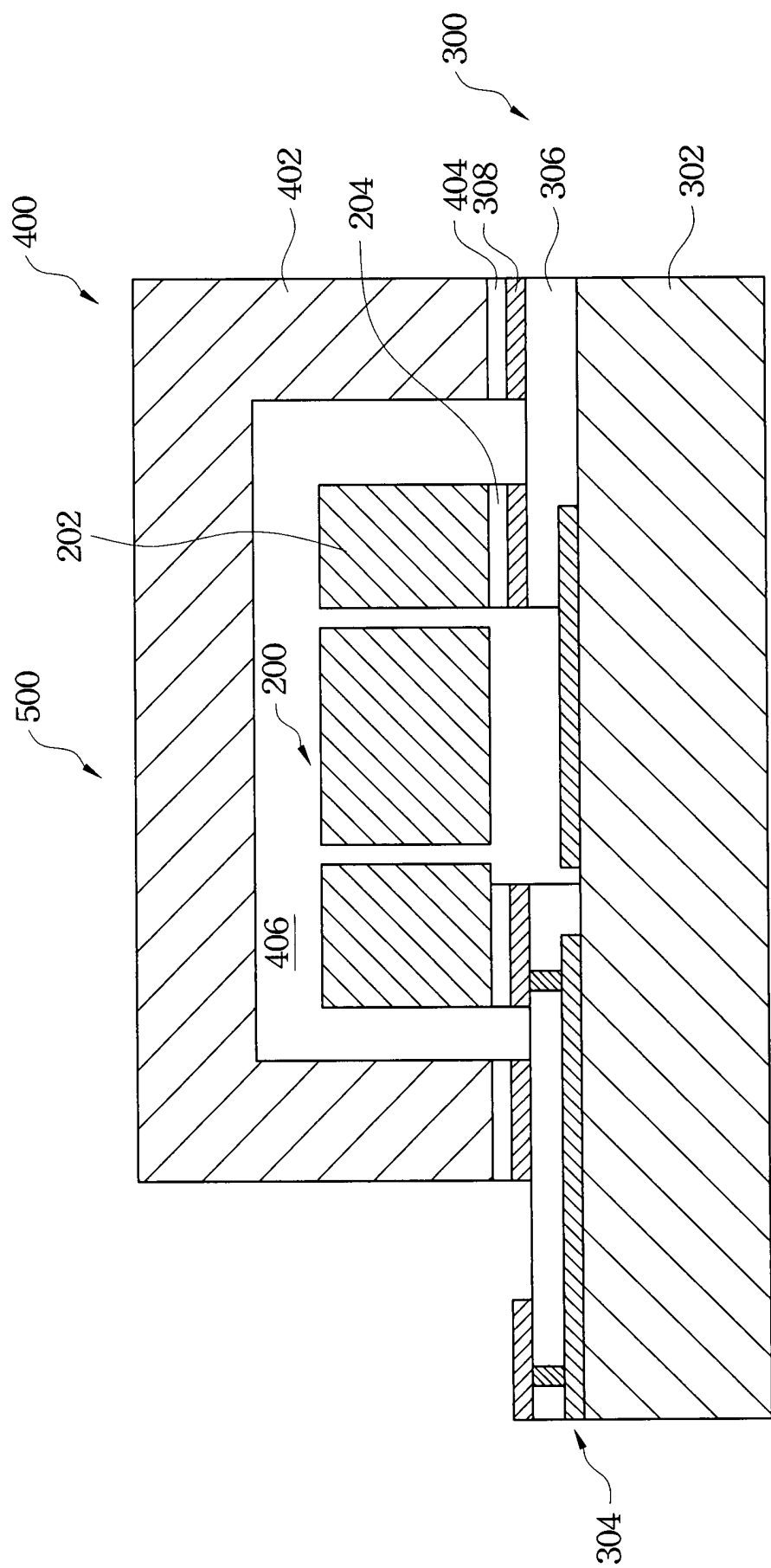
第 2D 圖



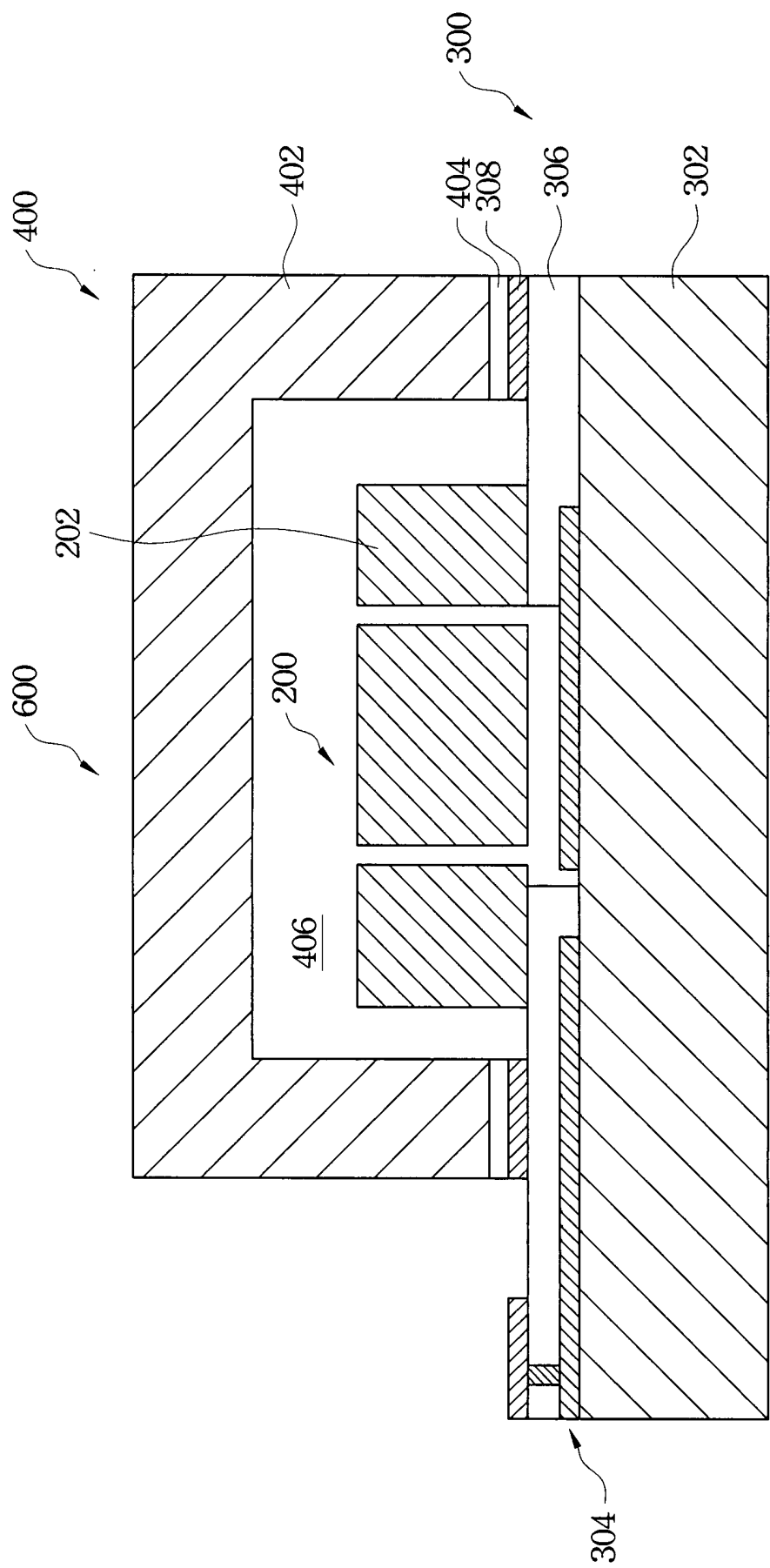
第 2E 圖



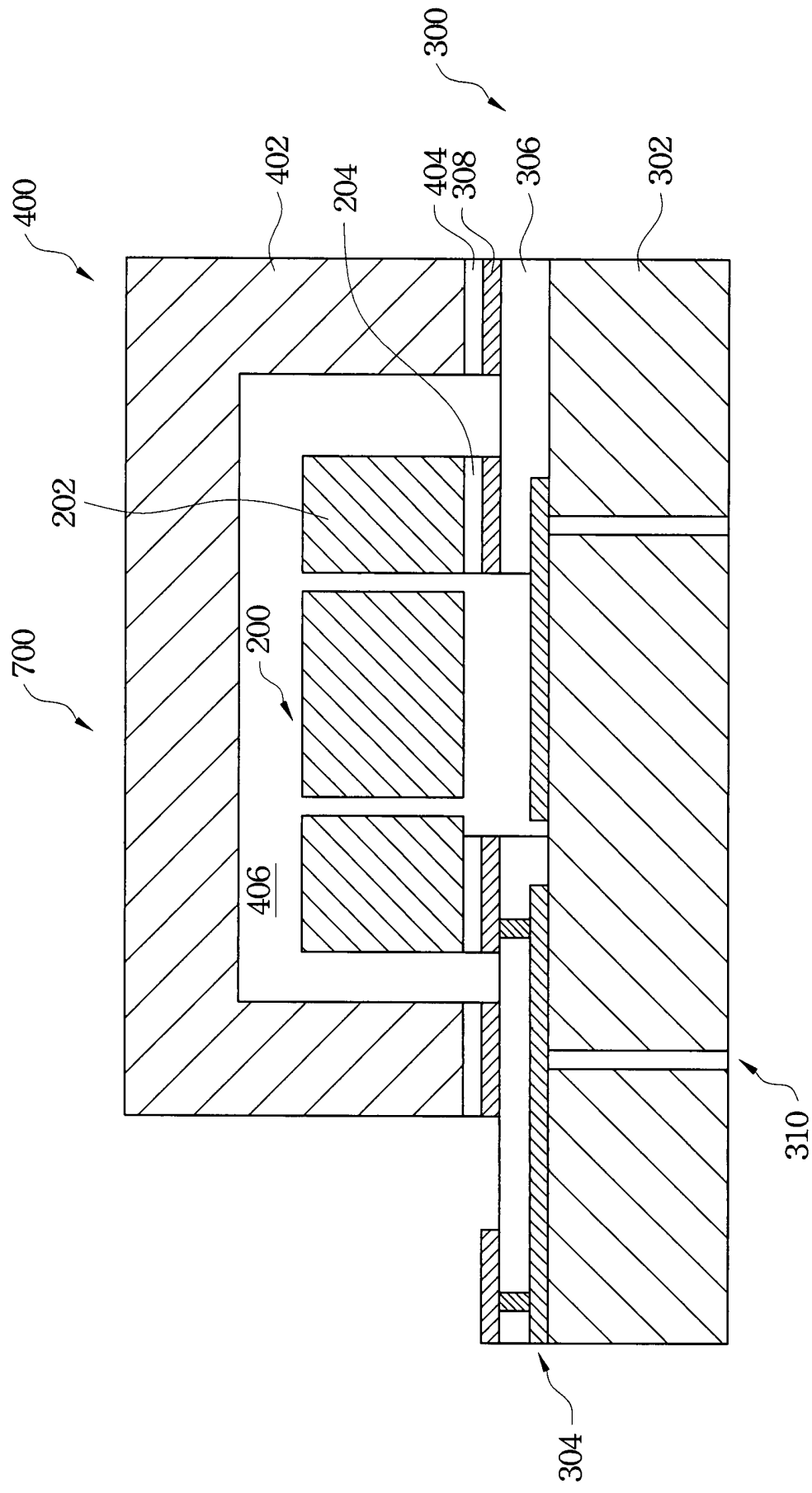
第 2F 圖



第 2G 圖



第 3 圖



第 4 圖

四、指定代表圖：

(一)本案指定代表圖為：第 (2G) 圖。

(二)本代表圖之元件符號簡單說明：

200：MEMS 基材	202：基材
204：第一接合層	300：半導體基材
302：基材	304：MLI
306：隔離層	308：第二接合層
400：覆蓋層	402：隔離特徵
404：第三接合層	406：空腔
500：MEMS 元件	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：