

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/82

H01L 21/70



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98124071.2

[45] 授权公告日 2004 年 3 月 24 日

[11] 授权公告号 CN 1143379C

[22] 申请日 1998. 12. 29 [21] 申请号 98124071.2

[30] 优先权

[32] 1997. 12. 29 [33] US [31] 998856

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 伯特兰·弗莱特纳

罗伯特·普莱塞尔

莫尼卡·格舍德勒

审查员 郭 强

[74] 专利代理机构 北京市柳沈律师事务所

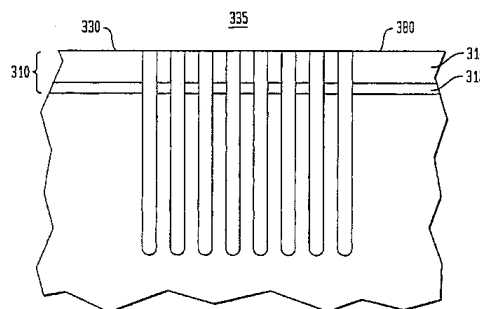
代理人 黄 敏

权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称 减少基层腐蚀的方法

[57] 摘要

本发明涉及一种在半导体制造过程中减少基层腐蚀的方法，其中，提供改进的硬掩模，以在半导体制造过程中减少基层腐蚀。硬掩模包括在第一和第二硬掩模层之间的腐蚀停止层。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种在沟槽形成之后提供一平坦的基层叠层并填充的方法，包括如下步骤：

5 提供衬底；

在衬底上形成基层叠层；

在该基层叠层上形成硬掩模，其中，该硬掩模包括一在第一和第二硬掩模层之间的腐蚀停止层；

通过该硬掩模和基层叠层进行腐蚀，以在衬底上形成沟槽；

10 用多晶硅填充该沟槽；

有选择地去除第二硬掩模层直到多晶硅及腐蚀停止层，以使多晶硅仍突起在腐蚀停止层上；

抛光该多晶硅突起，以在腐蚀停止层上提供一平坦的表面；

15 去除该腐蚀停止层和第一硬掩模层，以使该多晶硅突起延伸到基层叠层之上；以及

抛光该多晶硅突起，以在基层叠层上提供一平坦的表面。

2. 根据权利要求1所述的方法，其中，所述在基层叠层上形成硬掩模的步骤包括以下步骤：

形成所述第一硬掩模层；

20 在该第一硬掩模层上形成所述腐蚀停止层；以及

利用相对于该腐蚀停止层可选择地除去的材料，在该腐蚀停止层上形成所述第二硬掩模层。

3. 根据权利要求1所述的方法，其中，所述第一和第二硬掩模可以可选地相对于多晶硅除去。

25 4. 根据权利要求1所述的方法，其中，所述第一和第二硬掩模包括硅玻璃。

5. 根据权利要求1所述的方法，其中，所述第一和第二硬掩模包括不同的材料。

30 6. 根据权利要求1所述的方法，其中，所述硬掩模包括相对于基层叠层为80比1或更高的选择性。

7. 根据权利要求1所述的方法，其中，所述第一和第二硬掩模包括相

同的材料。

8. 根据权利要求1所述的方法, 其中, 所述通过硬掩模层和基层叠层进行腐蚀和用多晶硅填充沟槽的步骤还通过下述步骤实现:

在所述第二硬掩模层上绘制抗蚀剂, 以确定沟槽的位置;

- 5 通过该硬掩模层和基层叠层进行腐蚀, 以在衬底上相对于这些沟槽位置形成沟槽; 以及

在这些沟槽中沉淀多晶硅, 并去除多晶硅向下直至所述第一硬掩模层。

9. 根据权利要求8所述的方法, 其中, 所述去除腐蚀停止层和第二硬掩模层的步骤包括去除该腐蚀停止层和第二硬掩模层、选择地直到多晶硅,

- 10 以在基层叠层上提供平坦的表面。

10. 根据权利要求8所述的方法, 其中, 所述在基层叠层上形成硬掩模的步骤包括以下步骤:

形成所述第一硬掩模层;

在该第一硬掩模层上形成所述腐蚀停止层; 以及

- 15 利用相对于该腐蚀停止层可选择地除去的材料, 在该腐蚀停止层上形成所述第二硬掩模层。

11. 根据权利要求8所述的方法, 其中, 所述第一和第二硬掩模包括硅玻璃。

- 20 12. 根据权利要求8所述的方法, 其中, 所述第一和第二硬掩模包括不同的材料。

13. 根据权利要求8所述的方法, 其中, 所述硬掩模包括相对于基层叠层为80比1或更高的选择性。

14. 根据权利要求8所述的方法, 其中, 所述第一和第二硬掩模包括相同的材料。

减少基层腐蚀的方法

5 技术领域

本发明一般涉及半导体制造，特别涉及减少基层薄膜腐蚀的方法。

背景技术

在集成电路(IC)或芯片的制造中，通过腐蚀进入硅衬底产生特征，其中
10 硅衬底可以包括或不包括一个或多个器件层。这些特征用于形成器件或器件的部分。诸如深槽(DT)的一种类型特征，例如，用于形成存储单元的槽式电容器。一般情况下，在用于形成随机存取存储器(RAM)集成电路(IC)或芯片的工艺中，在衬底的阵列区中腐蚀深槽阵列。然后从这些槽形成槽式电容器。这种槽式电容器用于产生存储单元阵列，其通过字线和位线互连
15 以形成存储器 IC。

图 1A-1D 表示用于形成槽式电容器阵列的一部分工艺。如图 1A 所示，在衬底 101 表面上形成常规基层叠层 110。基层叠层包括，例如，基层氧化物 112 和基层氮化物 114 的序列层。基层叠层的上面是包括，例如 TEOS 的硬掩模层 116。硬掩模层用作形成 DTs 的硬掩模。在硬掩模上淀积一层光
20 刻胶(未示出)并构图，从而选择暴露要形成 DTs 的阵列区内部的区域。然后用活性离子腐蚀(RIE)腐蚀衬底，形成 DTs。

RIE 以在阵列区 135 中高于在非阵列(场)区 130 中的速率腐蚀硬掩模层，结果在场和阵列区之间产生大台阶。然后，至少在形成节电介质之后，用例如重掺杂多晶硅(poly)150 填充槽。由于多晶硅是保形的，所以在 RIE
25 过程中产生的图形同样转移到多晶硅层。

在图 1B 中，进行化学机械抛光(CMP)以提供平坦表面。CMP 对硬掩模层是选择的，在不会有效地除去硬掩模的情况下除去多晶硅。正如所看到的那样，CMP 腐蚀阵列区中的多晶硅，从而在其中形成凹陷。这称为表面凹陷(dishing)。由于存在大台阶，所以在 CMP 之后多晶硅残余物保留在阵列的边缘 160 上。剥落硬掩模层之后，如图 1C 所示，多晶硅“耳状物” 165
30 突出在 DTs 中的基层氮化层上。由于在形成图形的预先 CMP 步骤过程中多

晶硅残余物保留在边缘上，所以在阵列边缘的耳状物比在中部或平直部分162中的耳状物高。例如，在边缘的耳状物的高度可以大于大约2500Å，而平直部分的耳状物的高度可以在从约0到1500Å的范围。

需要修整CMP除去多晶硅耳状物。但是，如图1D所示，修整CMP
5 引起阵列区中的基层氮化层的腐蚀。另外，基层氮化物腐蚀在边缘比在阵列区的平直部分严重。这种腐蚀引起栅阈值电压的变化，而且，在一些设计中，增加了掩埋带电阻，并且不利地影响成品率。

从前面的论述中显然看出，希望提供用在腐蚀DTs中的改进的基层叠层。

10

发明内容

本发明涉及集成电路的制造。特别是，本发明提供用于形成深槽的改进技术。

本发明的目的在于提供一种在沟槽形成之后提供一平坦的基层叠层并
15 填充的方法，包括如下步骤：提供衬底；在衬底上形成基层叠层；在该基层叠层上形成硬掩模，其中，该硬掩模包括一在第一和第二硬掩模层之间的腐蚀停止层；通过该硬掩模和基层叠层进行腐蚀，以在衬底上形成沟槽；用多晶硅填充该沟槽；有选择地去除第二硬掩模层直到多晶硅及腐蚀停止层，以使多晶硅仍突起在腐蚀停止层上；抛光该多晶硅突起，以在腐蚀停
20 止层上提供一平坦的表面；去除该腐蚀停止层和第一硬掩模层，以使该多晶硅突起延伸到基层叠层之上；以及抛光该多晶硅突起，以在基层叠层上提供一平坦的表面。

按照本发明的方法，上述在基层叠层上形成硬掩模的步骤包括以下步骤：形成所述第一硬掩模层；在该第一硬掩模层上形成所述腐蚀停止层；
25 以及利用相对于该腐蚀停止层可选择地除去的材料，在该腐蚀停止层上形成所述第二硬掩模层。

在本发明的方法中，第一和第二硬掩模可以可选地相对于多晶硅除去。

在本发明的方法中，第一和第二硬掩模包括硅玻璃。

在本发明的方法中，第一和第二硬掩模包括不同的材料。

30 在本发明的方法中，硬掩模包括相对于基层叠层约为80比1或更高的选择性。

在本发明的方法中，第一和第二硬掩模包括相同的材料。

在本发明的方法中，上述通过硬掩模层和基层叠层进行腐蚀和用多晶硅填充该沟槽的步骤还通过下述步骤实现：在所述第二硬掩模层上绘制抗蚀剂，以确定沟槽的位置；通过该硬掩模层和基层叠层进行腐蚀，以在衬底上相对于这些沟槽位置形成沟槽；以及在这些沟槽中沉淀多晶硅，并去除多晶硅向下直至所述第一硬掩模层。

附图说明

图 1A-1D 表示形成深槽的常规技术；

10 图 2 表示槽式电容器 DRAM 单元；和

图 3A-3H 表示根据本发明的一个实施例形成深槽的工艺。

具体实施方式

本发明涉及 ICs 的制造。一般，在诸如硅晶片的半导体衬底上并列处理多个 ICs。其它类型的半导体晶片也可以使用。形成 ICs 之后晶片被切割，将它们分成独立的芯片。然后芯片封装并集成为，例如用户产品。这些产品包括，例如，个人计算机，蜂窝电话，和其它电子产品。

为了讨论的目的，本发明结合形成一部分芯片来说明。特别是，本发明结合形成用在诸如 DRAM 单元的存储单元中的槽式电容器来说明。但是，20 本发明适用于一般 ICs 的制造，其包括随机存取存储器(RAMs)，动态 RAMs(DRAMs)，同步 DRAMs(SDRAMs)，和静态 RAMs(SRAMs)。其它 ICs 包括逻辑器件，例如可编程序逻辑阵列，专用 ICs(ASICs)，和合并逻辑 DRAMs(埋入式 DRAMs)。

参见图 2，其中示出了槽式电容器 DRAM 单元。这种 DRAM 单元在，25 例如，Nesbit et al., 带有自对准掩埋带(BEST)的 0.6 μm 256Mb 槽式 DRAM 单元，IEDM93-627 中有说明，在这里引用以供参考。如图所示，DRAM 单元包括形成在衬底 101 中的槽式电容器 260。一般，用多晶硅 261 填充槽，其中多晶硅 261 是用 n-掺杂剂重掺杂的。用作电容器电极的多晶硅称为“存储节”。任意地，用 n-型掺杂剂掺杂的掩埋板 265 围绕槽的下部分。掩埋板30 形成电容器的第二电极。在槽的上部分中的是用于减少寄生漏电流的轴环

168. 节电介质 263 将电容器的两平板分离开。提供包括 n-型掺杂剂的掩埋阱 270, 以连接阵列中的 DRAM 单元的掩埋板。掩埋阱的上面是 p-阱 273。p-阱用于减少垂直漏电流。

DRAM 单元还包括晶体管 110。晶体管包括栅 212 和扩散区 213 和 214, 5 它们包括 n-型掺杂剂。扩散区作为源和漏。源和漏的设计取决于晶体管的操作。晶体管与电容器的连接是通过称为“节扩散区”的扩散区 225 实现的。栅, 也称为“字线”, 一般包括多晶硅 366 和氮化物 368 层。或者, 层 357 是包括在多晶硅层上的硅化物的多晶硅硅化物层, 诸如钼硅化物 (MoSi_x), 钽硅化物 (TnSi_x), 钨硅化物 (WSi_x), 钛硅化物 (TiSi_x), 或钴硅化物 10 (CoSi_x), 以减少字线电阻。

在一个实施例中, 多晶硅硅化物层包括在多晶硅上的 WSi_x 。氮化物衬垫 369 覆盖栅叠层和衬底。氮化层 368 和氮化物衬垫用作对后来工艺的腐蚀或抛光停止层。

提供浅沟槽隔离 (STI) 280 以隔离 DRAM 单元和其它单元或器件。如图 15 所示, 在槽上形成字线 220, 并通过 STI 与之隔离。字线 220 称为“通过字线”。这种结构称为折叠式位线结构。也可以使用其它结构, 例如开口或开口折叠式位线结构或单元设计。

在字线上形成层间绝缘层 289。在层间绝缘层上形成导电层, 表示位线。在层间绝缘层中提供位线接触开口 286, 以使源 213 与位线 290 接触。

20 多个这种单元构形为阵列。此单元阵列通过字线和位线互连。对单元的存取是通过激活相应字线和位线的单元实现的。

图 3A-3H 表示形成槽式电容器阵列的工艺。提供其中形成有槽式电容器的衬底。该衬底, 例如, 是硅晶片。也可以使用其它半导体衬底, 诸如, 砷化镓, 锗, 绝缘体上的硅 (SOI), 或其它半导体材料。该衬底, 例如, 可 25 以是用预定导电性的掺杂剂轻掺杂或重掺杂的, 以达到所要求的电特性。

在衬底的表面上形成基层叠层 310。基层叠层 310, 例如, 是如图 1A 中所述的常规基层叠层。如图所示, 基层叠层包括基层氧化层 312 和基层停止层 314。基层氧化物是使用诸如热氧化的公知技术形成在衬底的表面上的。基层氧化物足够厚以减少应力和提高基层停止层与衬底的粘附性。基 30 层氧化层的典型厚度约为 10nm。

5 基层氧化物的上面是基层停止层。基层停止层包括对用于填充槽的材料具有足够选择性的材料。在一个实施例中，基层腐蚀停止层包括氮化硅(Si_3N_4)，这是由于它具有对用于填充槽的多晶硅的相对低的腐蚀率。一般，多晶硅和腐蚀停止层之间的腐蚀选择性大约为 60: 1。对于抛光来说，选择性大约为 300: 1。氮化层是通过，例如，低压化学气相淀积(LPCVD)形成的。也可以使用用于淀积氮化层的其它技术。一般，基层氮化层约为 200-220nm。

10 在基层氮化物上面形成硬掩模层 315。根据本发明，硬掩模层包括在第一和第二硬掩模层 316 和 320 之间的腐蚀停止层 318。第一和第二硬掩模层包括足够致密或硬的以经受住在形成深槽过程中 RIE 的离子轰击的材料。另外，腐蚀掩模应该具有高于基层腐蚀停止层的湿腐蚀率。一般，选择性约大于 80。在一个实施例中，硬掩模层包括非掺杂硅酸盐玻璃，例如 TEOS。其它合适的硬掩模材料，例如硼掺杂的硅酸盐玻璃(BSG)或可动流的氧化物，也可以使用。另外，还应该明白，第一和第二硬掩模层不必用相同的材料形成。通过在第一和第二硬掩模层之间提供腐蚀停止层，在 DT 腐蚀过程中产生的图形不会在后来的工艺中反射，由此提高成品率。

参见图 3B，使用常规平板印刷技术构图栅叠层。这样的技术包括在基层叠层上淀积光刻胶层，由此用曝光源和掩模选择曝光。取决于是否使用正的或负的抗蚀剂，抗蚀剂层的暴露或未暴露部分在显影过程中被去掉，留下未保护的基层叠层的区域。未保护区域对应于要形成槽的区域。

20 进行腐蚀，例如活性离子腐蚀(RIE)，以在未被抗蚀剂保护的区域中的基层叠层中产生开口。开口暴露下面的衬底。RIE 继续腐蚀衬底以产生 DT305。RIE 以高于在场区 330 中的速率在阵列区域 135 中腐蚀第二硬掩模层 320，从而在其间产生不平坦图形。由于第二硬掩模层足够厚，所以未暴露腐蚀停止层 318。第二硬掩模层的典型厚度约为 200-220nm。实际厚度是可以变化的，这取决于，例如 RIE 工艺和/或形成的 DTs 的深度。

随意地，形成围绕槽的下部分的扩散区，作为掩埋板。掩埋板的形成是通过各种现有技术实现的，例如提供掺杂剂从其扩散进入衬底的源。然后在槽中形成电容器的节电介质。

30 参见图 3C，淀积多晶硅 350 以填充 DT。多晶硅过量填充槽以保证完全填满。多晶硅过量填充导致覆盖衬底表面的多晶硅过量。由于多晶硅是保形的，所以下面的图形反射到淀积层中。这样，多晶硅的表面包括在阵

列区 335 上的凹陷。

参见图 3D, 用例如 CMP 抛光过量多晶硅。CMP 对第二掩模层是选择的。由于在阵列和场区之间存在大台阶, 所以在 CMP 之后多晶硅残余物保留在阵列的边缘 360 上。

5 在图 3E 中, 去掉对多晶硅和第二腐蚀停止层选择的第二掩模。这一般是通过湿腐蚀实现的。如图所示, 第二基层掩模的去除将突出在 DT 中的基层氮化层上的多晶硅“耳状物” 365 留下。由于在形成图形的预先 CMP 步骤过程中多晶硅残余物保留在边缘上, 所以在阵列边缘 360 的耳状物的高度比在中部或平直部分 362 中的高。

10 参见图 3F, 通过例如 CMP 抛光衬底表面。CMP 的目的是去掉多晶硅耳状物。CMP 是对腐蚀停止层 318 选择的, 结果得到相对平坦的上表面。腐蚀停止层足够厚以作为 CMP 腐蚀停止层。腐蚀停止层的典型厚度约为 20nm。

CMP 可以腐蚀阵列区中的一部分腐蚀停止层, 如图所示。但是, 第一掩模层 316 足够厚以保护基层停止层 314 不暴露。第一掩模层的厚度大约为例如 200-220nm。但是, 第一掩模层的厚度也可以改变, 这取决于 CMP 运行特性。

参见图 3G, 去掉腐蚀停止层和第一掩模层。腐蚀停止层的去除是通过, 例如湿腐蚀实现的。湿腐蚀也可用于去掉第一硬掩模, 它对停止层 314 和多晶硅是选择的。由此使多晶硅耳状物留在停止层 314 上。如图所示, 多晶硅耳状物的高度相对相等。

使用基层停止层作为抛光停止层, 用 CMP 去掉多晶硅耳状物。如图 3H 所示, CMP 导致基本平坦的表面 380。由于多晶硅耳状物的高度相对相等的事实, 所以 CMP 没有过量腐蚀阵列区中的腐蚀停止层。这样, 由本发

25 明提供的掩模层减少了由 DT 腐蚀产生的图形的不利影响。

在这一点上, 进行诸如 RIE 的腐蚀, 使多晶硅凹入槽中。然后通过淀积和构图形成轴环, 例如, 绝缘层。形成轴环之后, 使用常规技术制造 DRAM 的剩余部分, 例如在 Nesbit et al., 带有自对准掩埋带(BEST)的 $0.6\mu\text{m}^2$ 256Mb 槽式 DRAM 单元, IDEM 93-627 中所述的, 在这里引用以供参考。这包括,

30 例如, 填充槽, 形成掩埋带, 确定隔离区以形成 STI, 淀积包括栅叠层的各种层, 并构图这些层, 以形成表示字线的栅导体, 淀积层间绝缘层, 产生

接触开口，和形成位线。

前面已经通过参照各个实施例具体表示和说明了本发明，本领域技术人员应该理解，在不脱离本发明的范围的情况下可以作出各种修改和改变。因此本发明的范围不应该参考上述来确定，而是应该以权利要求书和其等

5

效范围确定。

图 1A

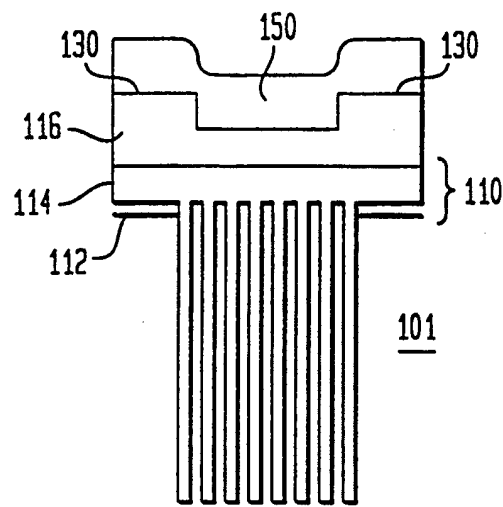


图 1C

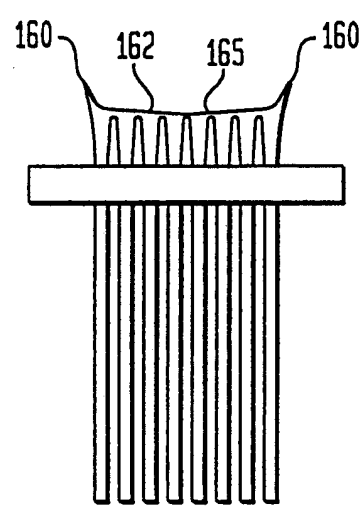


图 1B

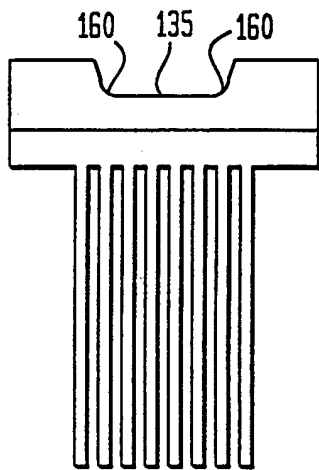


图 1D

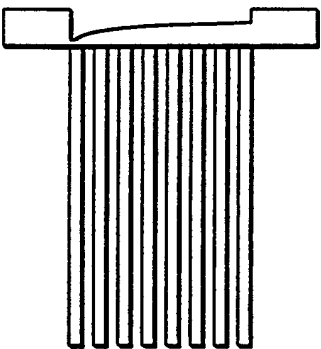


图 2

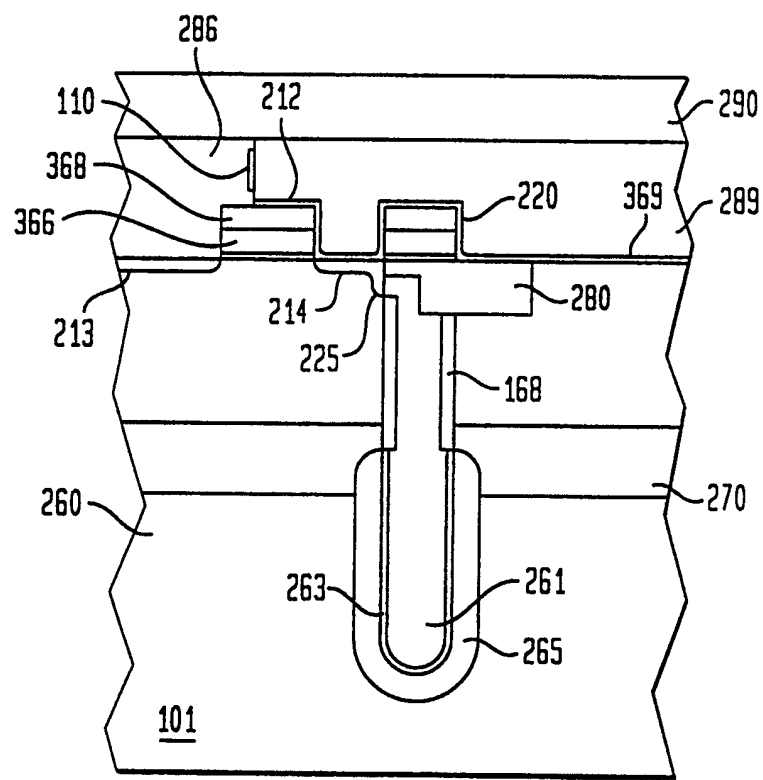


图 3A

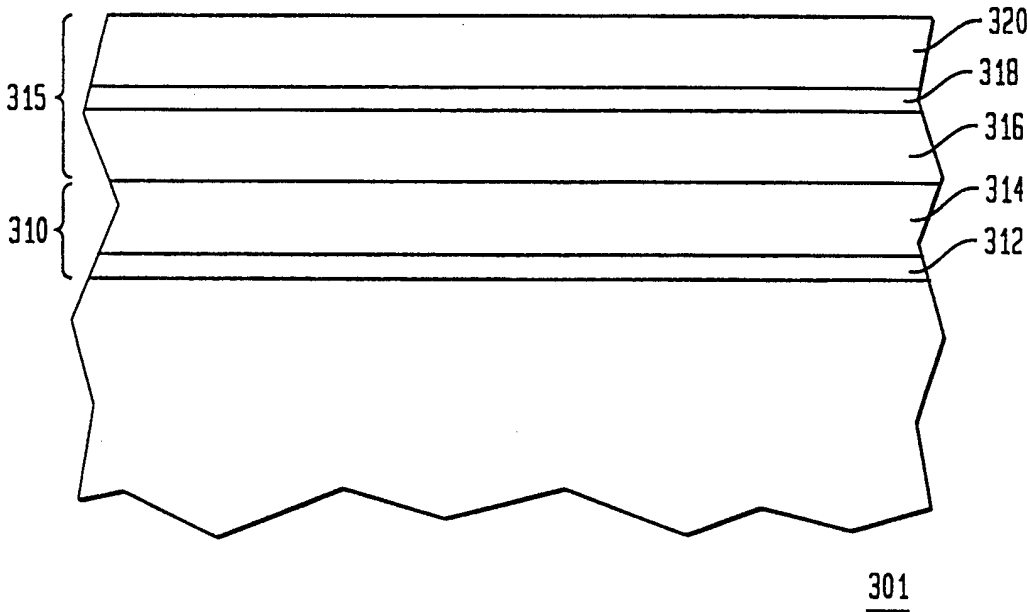
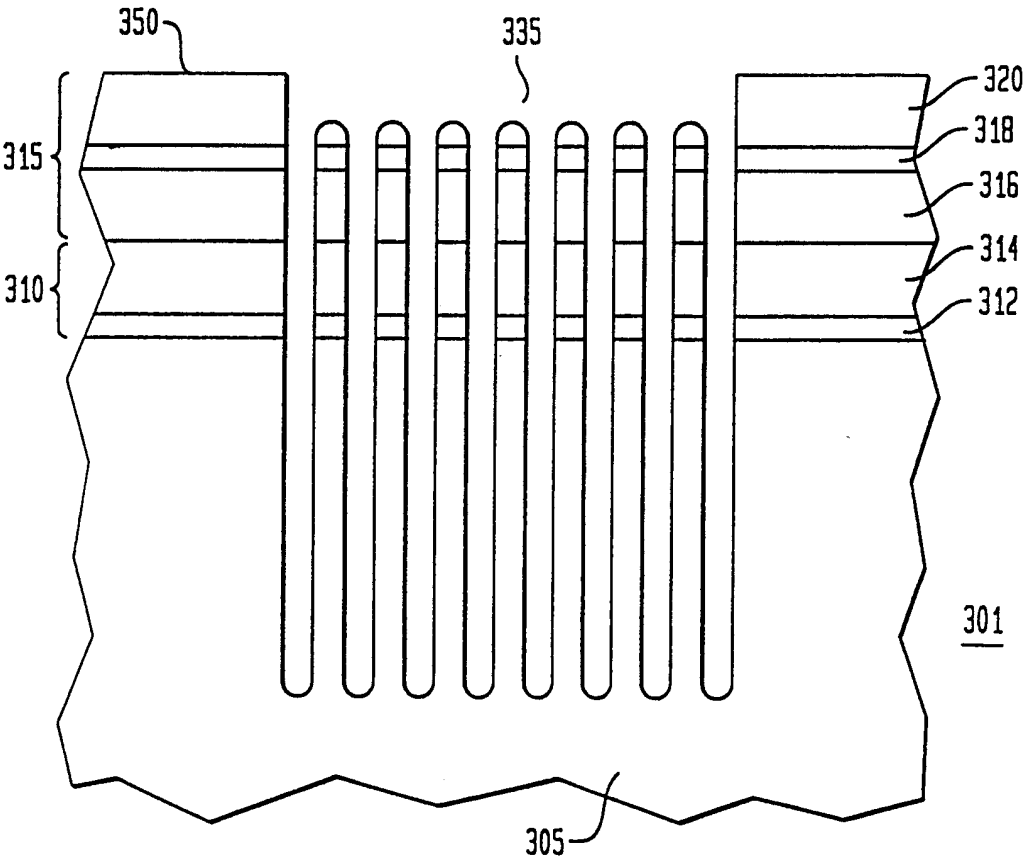


图 3B



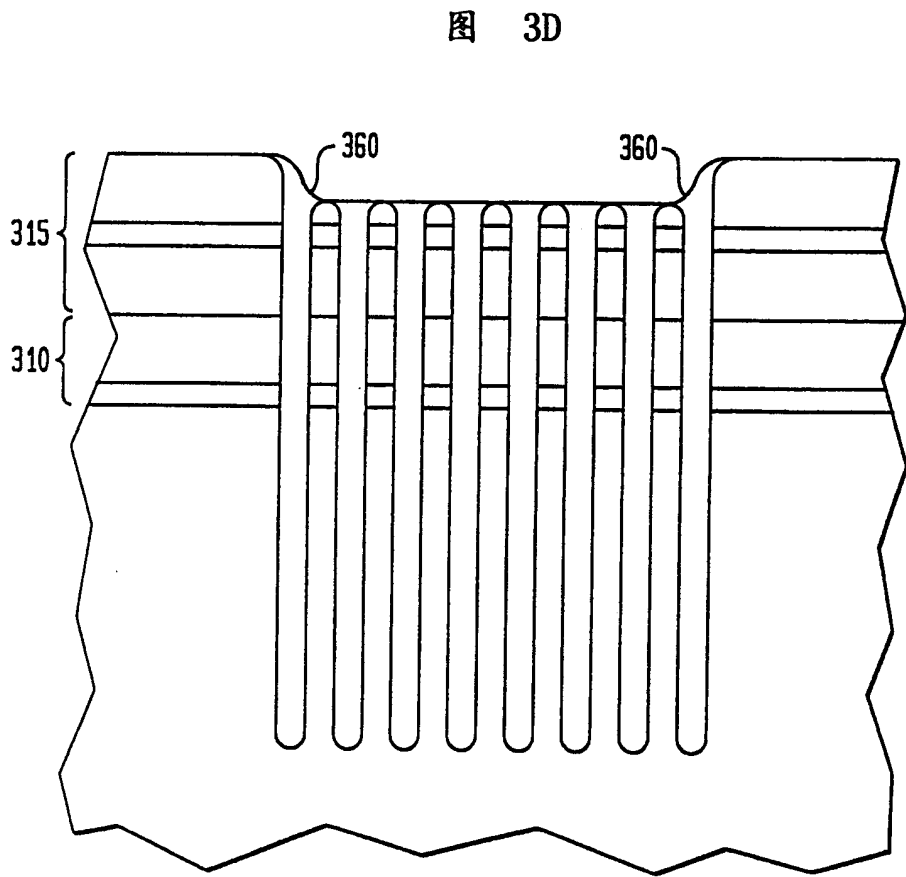
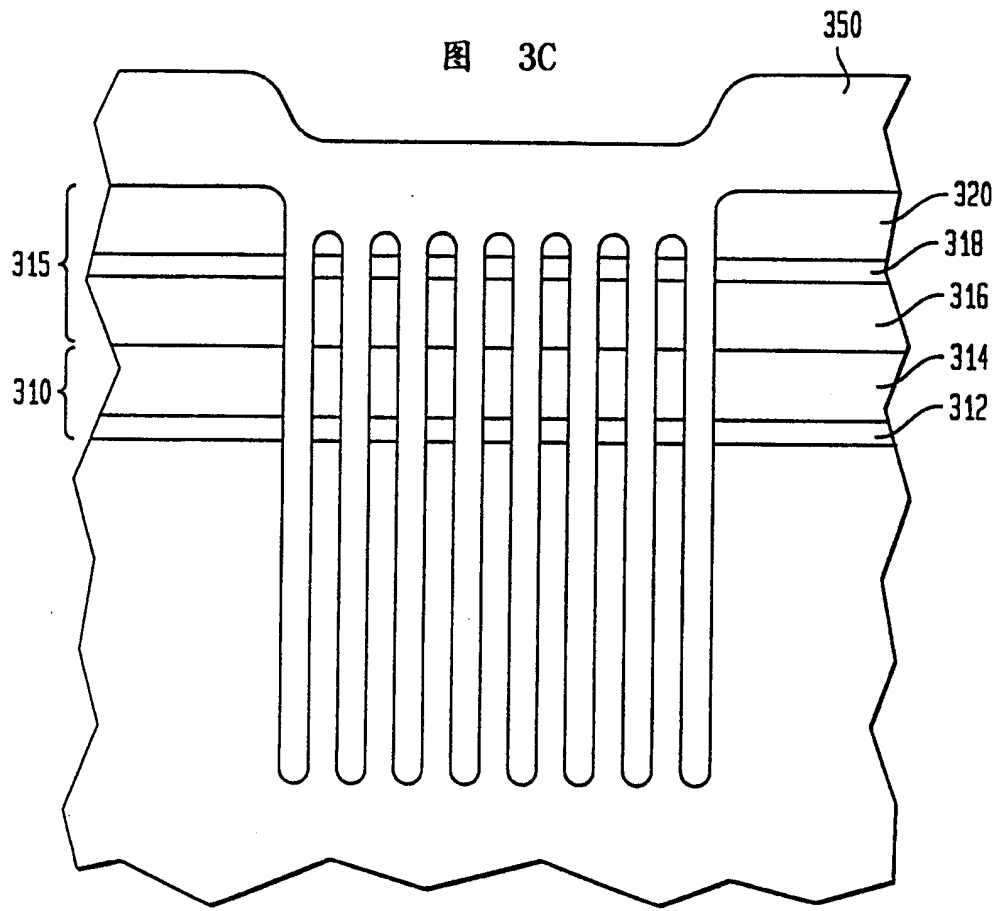


图 3E

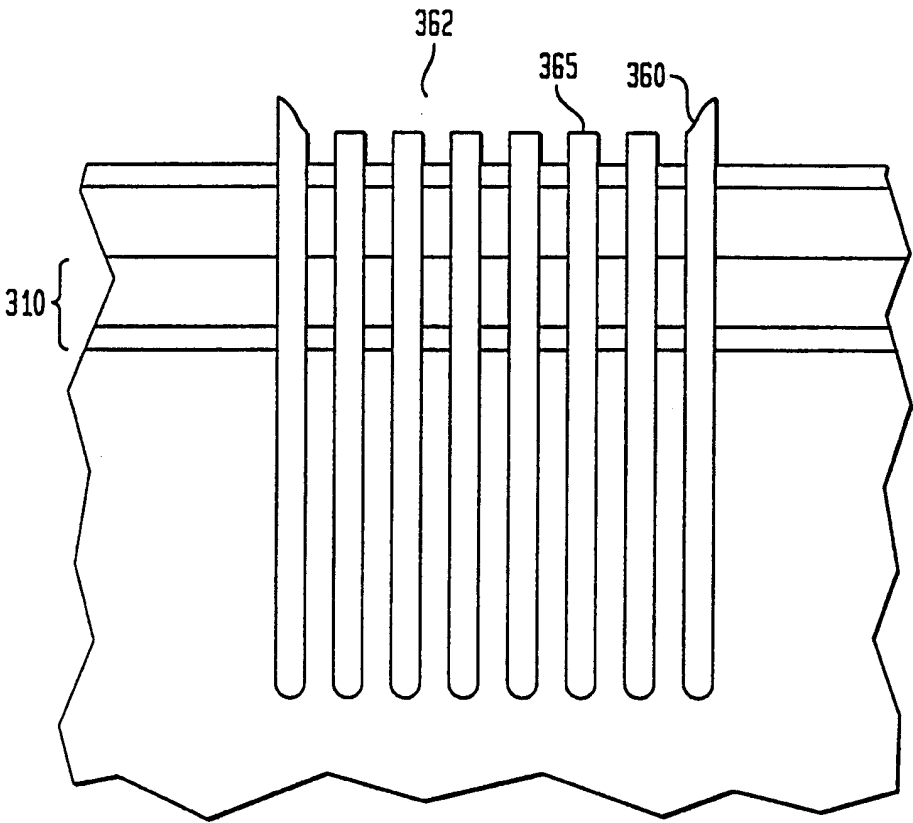


图 3F

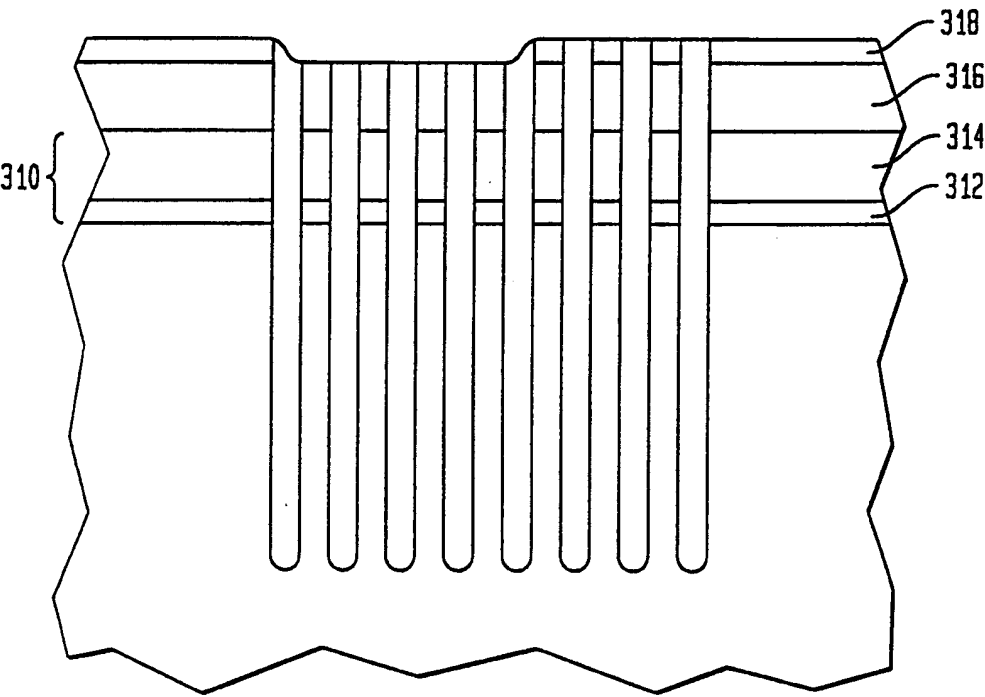


图 3G

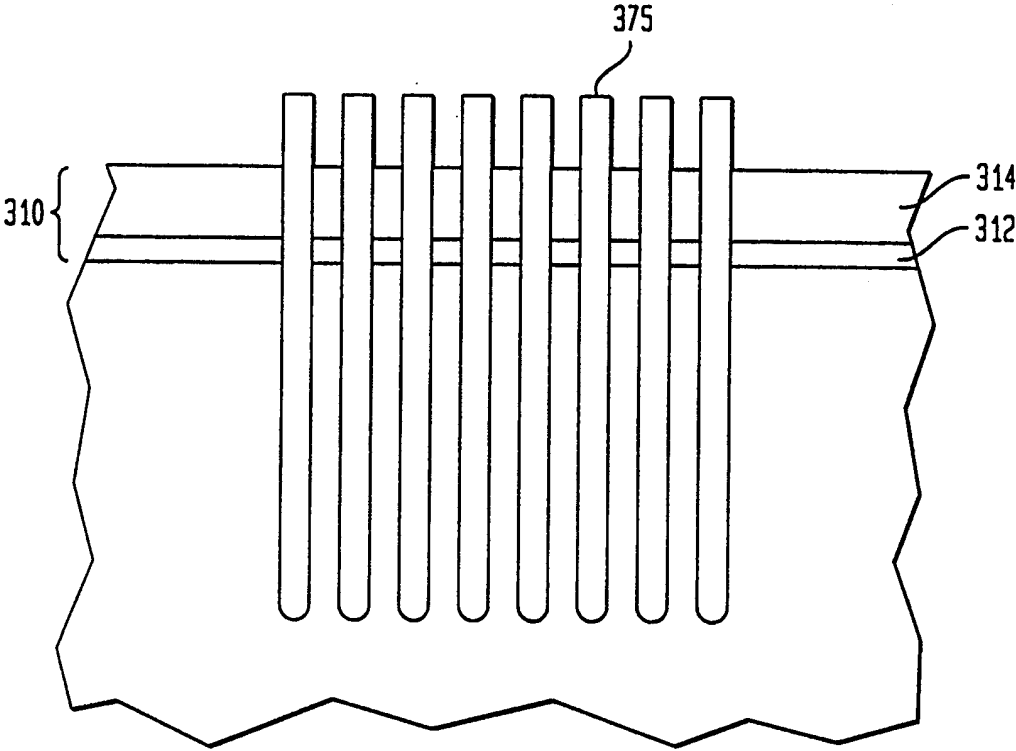


图 3H

