



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월27일
(11) 등록번호 10-1952954
(24) 등록일자 2019년02월21일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)

(21) 출원번호 10-2012-0019810
(22) 출원일자 2012년02월27일
심사청구일자 2017년01월24일
(65) 공개번호 10-2012-0100753
(43) 공개일자 2012년09월12일
(30) 우선권주장
JP-P-2011-047879 2011년03월04일 일본(JP)
(56) 선행기술조사문헌
JP2010251731 A*
JP2007123861 A*
KR1020110015374 A*
JP2010062549 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
오노 신지
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사또 유이찌
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고에즈까 준이찌
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 6 항

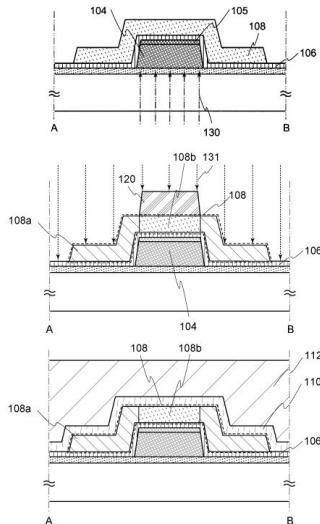
심사관 : 이홍민

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

본 발명은 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치의 제작 방법을 제공하는 것을 과제로 한다.

산화물 반도체층에 접하며 가열됨으로써 산소를 방출할 수 있는 절연막을 형성하고, 게이트 전극 또는 게이트 전극과 겹치는 영역에 형성된 금속층에 광을 조사함으로써, 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 산소를 첨가한다. 이로써, 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위가 저감되어, 과제를 달성할 수 있다.

대 표 도

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계와;

상기 기판 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계와;

상기 게이트 전극과 중첩되도록, 상기 산화물 반도체층과 접하며 가열됨으로써 산소가 방출되는 절연층을 형성하는 단계와;

상기 절연층과 중첩되도록 상기 절연층 위에 금속층을 형성하는 단계와;

적어도 상기 금속층에 광 조사 처리를 실시함으로써, 상기 절연층으로부터 상기 산화물 반도체층에 상기 산소가 첨가되는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 10

제9항에 있어서,

상기 금속층으로서 400nm 이상 1000nm 이하의 파장 영역에서 60% 이상의 광 흡수율을 갖는 층이 형성되는, 반도체 장치의 제작 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

절연 표면을 갖는 기판 위에 섬 형상의 금속층을 형성하는 단계와;

상기 섬 형상의 금속층 위에 가열됨으로써 산소가 방출되는 절연층을 형성하는 단계와;

상기 절연층과 접하는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에 게이트 절연층을 형성하는 단계와;

상기 섬 형상의 금속층 및 상기 절연층과 중첩되도록 상기 게이트 절연층 위에 게이트 전극을 형성하는 단계와;

적어도 상기 섬 형상의 금속층에 광 조사 처리를 실시함으로써, 상기 절연층으로부터 상기 산화물 반도체층에 상기 산소가 첨가되는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 14

제13항에 있어서,

상기 섬 형상의 금속층으로서 400nm 이상 1000nm 이하의 광 영역에서 60% 이상의 광 흡수율을 갖는 층이 형성되는, 반도체 장치의 제작 방법.

청구항 15

제9항 또는 제13항에 있어서,

상기 절연층은 산소 또는 산소와 아르곤의 혼합 가스를 이용하는 스퍼터링법에 의해 형성되는, 반도체 장치의 제작 방법.

청구항 16

제9항 또는 제13항에 있어서,

상기 산화물 반도체층 내의 산소 결손의 수 및 계면 준위의 수는 상기 산화물 반도체층에 상기 산소를 첨가함으로써 저감되는, 반도체 장치의 제작 방법.

발명의 설명**기술 분야**

본 발명은 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0001] 실리콘을 반도체층으로서 사용한 트랜지스터 등의 반도체 소자(이하에서는 실리콘 반도체 소자라고 약기함)는 다양한 반도체 장치에 사용되며, 반도체 장치를 제작하는 경우에 필수적인 기술이다. 또한, 대형 반도체 장치를 제작하기 위해서는 기판으로서 유리 등 대형화에 적합한 재료를 사용하고, 반도체층으로서 대면적으로 형성할 수 있는 박막 실리콘을 사용하는 방법이 널리 채용되고 있다.

[0003] 이와 같은 박막 실리콘을 사용한 반도체 소자에서는 기판의 내열 온도 이하로 반도체층을 형성할 필요가 있기 때문에, 비교적 낮은 온도로 형성할 수 있는 비정질 실리콘이나 폴리실리콘이 널리 사용되고 있다.

[0004] 비정질 실리콘은 대면적으로 성막(成膜)할 수 있으며, 비교적 저렴하고 간단한 가공으로 균일한 소자 특성을 갖는 반도체 소자를 형성할 수 있다는 장점을 갖기 때문에, 태양 전지 등 큰 면적을 필요로 하는 반도체 장치에서 널리 사용되고 있다. 한편, 비정질 구조 때문에 결정 입자에서 전자가 산란되므로, 전자 이동도가 낮다는 단점을 갖는다.

[0005] 이 단점을 보완하기 위해서, 비정질 실리콘에 레이저 등을 조사하여 국소적으로 용해하고 재결정화함으로써 결정화시키거나, 촉매 원소를 사용함으로써 결정화시키는 처리를 실시하여 이동도를 향상시킨 것이 폴리실리콘이다.

며, 큰 면적 및 캐리어 이동도를 양립할 필요가 있는 액정 디스플레이 등의 반도체 장치에서 널리 사용되고 있다.

[0006] 이와 아울러, 근년에 들어 폴리실리콘의 장점인 고이동도와 비정질 실리콘의 장점인 균일한 소자 특성을 겸비한 새로운 반도체층 재료로서, 반도체 특성을 나타내는 금속 산화물인 산화물 반도체가 주목을 받고 있다.

[0007] 산화물 반도체를 반도체층에 사용한 트랜지스터 등의 반도체 장치(이하에서는 산화물 반도체 장치라고 약기함)로서는 예를 들어, 특허문현 1에 제시된 바와 같이 산화주석, 산화인듐, 산화아연 등을 사용한 박막형 트랜지스터가 제안되어 있다.

선행기술문현

특허문현

[0008] (특허문현 0001) 일본국 특개2007-123861호 공보

발명의 내용

해결하려는 과제

[0009] 이와 같이 산화물 반도체 장치는 다양한 장점을 갖는 한편, 전기적 특성이 변동되기 쉽고 신뢰성이 낮다는 문제점이 알려져 있다. 예를 들어, 바이어스열 스트레스 시험(BT 시험) 전후에서 트랜지스터의 임계값 전압이 변동되어 버린다. 또한, 본 명세서에서 임계값 전압이란 트랜지스터를 온 상태로 하는 데 필요한 게이트 전압을 가리킨다.

[0010] 산화물 반도체 장치의 전기적 특성이 쉽게 변동되는 원인 중 하나로서는 산화물 반도체층 내의 산소 결손이나, 산화물 반도체층과 게이트 절연막 계면의 격자 부정합에 기인한 계면 준위(표면 준위라고도 함)의 영향을 들 수 있다.

[0011] 산화물 반도체층 내의 산소 결손이나 계면 준위는 캐리어(잉여 전자)를 생성하기 때문에, 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위가 많아질수록 임계값 전압이 변동되기 쉬워진다는 과제가 있다.

[0012] 본 발명은 이와 같은 기술적 배경을 바탕으로 이루어진 것이다. 따라서, 본 발명은 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치의 제작 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0013] 본 발명은 상술한 문제를 해결하기 위해서, 산화물 반도체층에 접하며 가열됨으로써 산소를 방출할 수 있는 절연막을 형성하고, 게이트 전극 또는 게이트 전극과 겹치는 영역에 형성된 금속층에 광 조사 처리를 실시한다. 이로써, 게이트 전극과 겹치는 영역의 절연층이 가열되기 때문에, 가열된 절연층으로부터 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 산소가 첨가된다.

[0014] 즉, 본 발명의 일 형태는 절연 표면을 갖는 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 가열됨으로써 산소를 방출할 수 있는 절연층을 형성하고, 절연층에 접하는 산화물 반도체층을 형성하고, 게이트 전극에 광 조사 처리를 실시하여, 게이트 전극과 겹치는 영역의 절연층으로부터 산화물 반도체층 내에 산소를 첨가함으로써, 게이트 전극과 겹치는 영역의 산화물 반도체층 내의 산소 결손 및 계면 준위를 저감하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0015] 또한, 본 발명의 일 형태는 절연 표면을 갖는 기판 위에 산화물 반도체층을 형성하고, 산화물 반도체층 위에 가열됨으로써 산소를 방출할 수 있는 절연층을 형성하고, 절연층 위에 게이트 전극을 형성하고, 게이트 전극에 광 조사 처리를 실시하여, 게이트 전극과 겹치는 영역의 절연층으로부터 산화물 반도체층 내에 산소를 첨가함으로써, 게이트 전극과 겹치는 영역의 산화물 반도체층 내의 산소 결손 및 계면 준위를 저감하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0016] 상기 본 발명의 일 형태에 따르면, 광 조사 처리에 의해 게이트 전극이 선택적으로 가열됨과 함께 게이트 전극과 겹치는 영역의 절연층도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 탈리된다. 그리고, 절연층은 산

화물 반도체층과 접하여 형성되어 있기 때문에, 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 탈리된 산소를 첨가할 수 있고, 이로써 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위를 저감하는 효과를 나타낸다.

[0017] 따라서, 본 발명의 일 형태를 사용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0018] 또한, 본 발명의 일 형태는 게이트 전극의 절연층과 접하는 면에, 질화몰리브덴, 질화텅스텐, 질화티타늄, 질화탄탈, 질화알루미늄 중 어느 하나 이상을 갖는 산화 억제층을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0019] 상기 본 발명의 일 형태에 따르면, 절연층과 접하는 면의 게이트 전극에서, 광 조사 처리에 의해 절연층으로부터 방출된 산소로 인하여 게이트 전극이 산화되는 것을 억제할 수 있다.

[0020] 반도체 장치의 크기를 축소하는 경우에는, 게이트 전극과 반도체층 사이의 절연층의 두께를 얇게 하는 것이 중요하지만, 게이트 전극이 산화되어 저항값이 높은 금속 산화막이 형성되면, 절연층이 두껍게 되는 경우가 있다.

[0021] 따라서, 상기 본 발명의 일 형태에 의해, 게이트 전극의 산화를 억제하는 산화 억제층을 형성함으로써, 소형화된 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0022] 또한, 본 발명의 일 형태는 절연 표면을 갖는 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층에 접하며 가열됨으로써 산소를 방출할 수 있는 절연층을 게이트 전극과 겹치도록 형성하고, 절연층 위에 게이트 전극 및 절연층과 겹치는 금속층을 형성하고, 금속층에 광 조사 처리를 실시하여, 금속층과 겹치는 영역의 절연층으로부터 상기 산화물 반도체층 내에 산소를 첨가함으로써, 상기 게이트 전극과 겹치는 영역의 상기 산화물 반도체층 내의 산소 결손 및 계면 준위를 저감하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0023] 또한, 본 발명의 일 형태는 절연 표면을 갖는 기판 위에 섬 형상의 금속층을 형성하고, 금속층 위에 가열됨으로써 산소를 방출할 수 있는 절연층을 형성하고, 절연층에 접하는 산화물 반도체층을 형성하고, 산화물 반도체층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 금속층 및 절연층과 겹치는 게이트 전극을 형성하고, 금속층에 광 조사 처리를 실시하여, 금속층과 겹치는 영역의 절연층으로부터 산화물 반도체층 내에 산소를 첨가함으로써 게이트 전극과 겹치는 영역의 산화물 반도체층 내의 산소 결손 및 계면 준위를 저감하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0024] 상기 본 발명의 일 형태에 따르면, 광 조사 처리에 의해 금속층이 선택적으로 가열됨과 함께 금속층과 겹치는 영역의 절연층도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 탈리된다. 그리고, 절연층은 산화물 반도체층과 접하여 형성되어 있기 때문에, 금속층과 겹치는 영역의 산화물 반도체층 내에 탈리된 산소를 첨가할 수 있고, 이로써 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위를 저감하는 효과를 나타낸다.

[0025] 또한, 금속층은 게이트 전극과 같이 반도체 장치의 동작에 직접 관여하는 것이 아니기 때문에, 저항값이나 막 두께에 대한 제한 없이 광 조사 처리에 의해 효율적으로 발열하는 재료를 사용할 수 있다. 이로써, 임계값 전압의 변동이 적은 신뢰성이 높은 반도체 재료를 더 낮은 비용으로 제작할 수 있다.

[0026] 또한, 상기 금속층은 절연층을 가열하는 기능 이외에, 게이트 전극과 겹치는 영역의 산화물 반도체층으로 외광이 입사되는 것을 억제하는 역할(소위 차광막의 역할)을 한다. 이로써, 외부로부터 광이 입사되는 것에 기인한 특성 변동이 억제된 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0027] 또한, 본 발명의 일 형태는 금속층으로서 400nm 이상 1000nm 이하의 파장 영역에서 60% 이상의 광 흡수율을 갖는 층을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0028] 상기 본 발명의 일 형태에 따르면, 금속층이 조사광을 효율적으로 흡수하여 발열할 수 있기 때문에, 에너지가 낮은 광 조사에 의해, 게이트 전극과 겹치는 영역의 산화물 반도체층 내에 산소를 효율적으로 첨가할 수 있다. 이로써, 광 조사에 이용하는 장치의 소비 전력을 저감할 수 있게 되고 유지보수의 빈도도 적게 할 수 있다.

[0029] 따라서, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 더 낮은 비용으로 제작할 수 있다.

[0030] 또한, 본 발명의 일 형태는 절연층을 산소 또는 산소와 아르곤의 혼합 가스를 사용한 스퍼터링법에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0031] 상기 본 발명의 일 형태에 따르면, 절연층 내에 충분한 산소 원자가 함유되기 때문에, 광 조사 처리를 실시하여 절연층을 가열함으로써, 게이트 전극과 겹치는 영역의 산화물 반도체층 내의 산소 결손이나 계면 준위를 효과적으로 저감할 수 있다.

[0032] 따라서, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0033] 또한, 본 명세서 등에서, ‘A 위에 B가 형성되어 있다’고 명시적(明示的)으로 기재된 경우에는, A 위에 B가 직접 접촉하여 형성되어 있는 것에 한정되지 않는다. 직접 접하지 않는 경우, 즉 A와 B 사이에 다른 대상물이 개재(介在)되는 경우도 포함하는 것으로 한다. 여기서, A 및 B는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 막, 또는 층 등)로 한다.

[0034] 따라서, 예를 들어, 층 A의 위 또는 층 A 위에 층 B가 형성되어 있다고 명시적으로 기재된 경우에는, 층 A 위에 직접 접触하여 층 B가 형성되어 있는 경우와, 층 A 위에 직접 접触하여 다른 층(예를 들어, 층 C나 층 D 등)이 형성되어 있고, 그 위에 직접 접触하여 층 B가 형성되어 있는 경우를 포함하는 것으로 한다. 또한, 다른 층(예를 들어, 층 C나 층 D 등)은 단층이거나 복수 층이라도 좋다.

[0035] 또한, 본 명세서에 기재되는 ‘제 1’, ‘제 2’, ‘제 3’ 등의 서수사는 구성 요소의 혼동을 피하기 위해서 불인 것이며, 수(數)적으로 한정하는 것이 아님을 부기한다.

[0036] 또한, 본 명세서에서 제시하는 트랜지스터의 ‘소스’나 ‘드레인’의 기능은 서로 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 서로 바뀔 수 있다. 따라서, 본 명세서에서는 ‘소스’나 ‘드레인’이라는 용어는 바꿔 사용할 수 있다.

발명의 효과

[0037] 본 발명에 따르면, 게이트 전극과 겹치는 영역의 산화물 반도체층 내의 산소 결손이나 계면 준위가 저감된 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0038] 도 1a 및 도 1b는 실시형태 1에 기재된 반도체 장치의 구성을 설명하기 위한 도면.

도 2a 내지 도 2d는 실시형태 1에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 3a 내지 도 3c는 실시형태 1에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 4는 실시형태 1에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 5a 및 도 5b는 실시형태 2에 기재된 반도체 장치의 구성을 설명하기 위한 도면.

도 6a 내지 도 6c는 실시형태 2에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 7a 및 도 7b는 실시형태 2에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 8a 및 도 8b는 실시형태 3에 기재된 반도체 장치의 구성을 설명하기 위한 도면.

도 9a 내지 도 9c는 실시형태 3에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 10a 및 도 10b는 실시형태 3에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 11a 및 도 11b는 실시형태 4에 기재된 반도체 장치의 구성을 설명하기 위한 도면.

도 12a 내지 도 12c는 실시형태 4에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 13은 실시형태 4에 기재된 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 14a 내지 도 14c는 본 발명에 따른 반도체 장치를 사용한 전자 기기의 형태를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0039] 실시형태에 대해서 도면을 사용하여 상세하게 설명하기로 한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되

는 것이 아니다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명을 생략한다.

[0040] (실시형태 1)

[0041] 본 실시형태에서는 개시된 발명의 일 형태에 따른 반도체 장치의 제작 방법에 대해서 도 1a 내지 도 4를 사용하여 설명하기로 한다.

[0042] <본 실시형태에 따른 반도체 장치의 구성>

[0043] 도 1a 및 도 1b는 본 실시형태의 방법에 의해 제작된 반도체 장치의 구성예인, 하부 게이트(bottomgate) 구조의 트랜지스터(150)이며, 도 1a는 트랜지스터(150)의 상면도이고, 도 1b는 도 1a의 일점 쇄선부 A-B의 단면 개략도이다. 또한, 도 1a의 상면도에 대해서는 구조를 이해하기 쉽게 하기 위해서 패턴 형성된 막 및 충만을 기재하였다. 본 실시형태에서는 트랜지스터(150)는 캐리어가 전자인 n채널형 트랜지스터인 것으로서 제작 방법을 설명하지만, n채널형에 한정되는 것이 아니다.

[0044] 도 1a 및 도 1b에 도시된 트랜지스터(150)는 기판(100)과, 기판(100) 위에 형성된 하지층(102)과, 하지층(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 산화 억제층(105)과, 하지층(102), 게이트 전극(104), 및 산화 억제층(105) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 절연층(106) 및 산화물 반도체층(108) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 구조이다.

[0045] <본 실시형태에 따른 반도체 장치의 제작 방법>

[0046] 트랜지스터(150)의 제작 방법에 대해서 도 2a 내지 도 4를 사용하여 이하에서 설명하기로 한다.

[0047] 우선, 기판(100)을 마련하고, 기판(100) 위에 하지층(102)을 형성한다(도 2a 참조).

[0048] 기판(100)은 절연 표면을 갖는 기판이라면 좋고, 예를 들어 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등의 무(無)알칼리 유리 기판을 사용하면 좋다. 이들 유리 기판은 대면적화에 적합하여 G10 사이즈($2850\text{mm} \times 3050\text{mm}$)나 G11 사이즈($3000\text{mm} \times 3320\text{mm}$) 등까지 제작되어 있기 때문에, 본 발명의 일 형태에 따른 반도체 장치를 낮은 비용으로 대량생산할 수 있다. 그 외에도 기판(100)으로서, 석영 기판이나 사파이어 기판 등의 절연체로 이루어진 절연성 기판, 실리콘 등의 반도체 재료로 이루어진 반도체 기판의 표면을 절연 재료로 피복한 것, 금속이나 스테인레스 등의 도전체로 이루어진 도전성 기판의 표면을 절연 재료로 피복한 것을 사용할 수 있다. 또한, 기판(100)의 두께에 대해서는 특별한 한정은 없지만, 반도체 장치의 박형화 및 경량화의 관점에서 보면, 3mm 이하가 바람직하고, 더 바람직하게는 1mm 이하가 좋다.

[0049] 또한, 이후의 공정에서 실시하는 광 조사 처리시에 기판(100)을 통하여 광 조사 처리를 실시하는 경우에는 투광성을 갖는 기판이 바람직하다. 구체적으로는, 400nm 내지 700nm의 광 영역에서의 광 투과율이 70% 이상인 기판을 사용하는 것이 바람직하다. 더 바람직하게는 400nm 내지 700nm의 광 영역에서의 광 투과율이 90% 이상인 기판을 사용하는 것이 좋다.

[0050] 일례를 들면, 두께가 0.7mm이며, 400nm 내지 700nm의 광 영역에서의 광 투과율이 80% 이상인 무알칼리 유리를 기판(100)으로서 사용하면 좋다.

[0051] 하지층(102)은 기판(100)으로부터 불순물이 확산되는 것을 방지하는 것이며, 플라즈마 CVD법 등의 CVD법, PVD법, 및 스퍼터링법 등의 기지(既知)의 방법을 이용하여, 산화실리콘(SiO_2), 질화실리콘(SiN), 산화질화실리콘(SiON), 질화산화실리콘(SiNO), 산화알루미늄(AlO_2), 질화알루미늄(AlN), 산화질화알루미늄(AlON), 질화산화알루미늄(AlNO) 등을 형성하면 좋다. 또한, 하지층(102)은 단층 구조, 적층 구조 중 어느 쪽이라도 좋고, 적층 구조로 하는 경우에는 상술한 막을 조합하여 형성하면 좋다.

[0052] 또한, 상술한 산화질화실리콘이란 조성이 질소보다 산소의 함유량이 많은 것이며, 예를 들어, 산소가 50at.% 이상 70at.% 이하, 질소가 0.5at.% 이상 15at.% 이하, 실리콘의 25at.% 이상 35at.% 이하, 수소가 0at.% 이상 10at.% 이하의 범위로 함유된 것을 가리킨다. 상술한 범위는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나, 수소 전방 산란법(HFS: Hydrogen Forward Scattering Spectrometry)을 이용하여 측정한 경우의 범위이다. 또한, 구성 원소의 함유 비율은 그 합계가 100at.%를 넘지 않는 값을 취한다.

[0053] 하지층(102)의 두께는 특별히 한정되지 않지만, 예를 들어 10nm 이상 500nm 이하로 하는 것이 바람직하다. 막 두께가 10nm보다 얇으면, 성막 장치에 따른 기판면 내의 막 두께 분포에 의해, 하지층(102)이 형성되지 않는 영역이 발생할 가능성이 있다. 또한, 막 두께가 500nm보다 두꺼우면, 성막 시간이나 생산 비용의 증가가 초래될 우려가 있다.

[0054] 일례를 들면, 플라즈마 CVD법을 이용하여 100nm의 산화실리콘이나 질화실리콘을 형성하여 하지층(102)으로서 사용하면 좋다.

[0055] 또한, 하지층(102)이 갖는 불순물 확산 방지 효과를 갖는 층이 기판(100)의 표면에 이미 형성되어 있는 경우에는 하지층(102)을 형성하지 않는 구성으로 하여도 좋다. 또한, 이후의 공정에서 형성하는 산화물 반도체층(108)과 기판(100) 사이에 하지층(102)과 같은 불순물 확산 방지 효과를 갖는 층이 형성되어 있는 경우에도 하지층(102)을 형성하지 않는 구성으로 하여도 좋다.

[0056] 다음에, 하지층(102) 위에 게이트 전극(104) 및 산화 억제층(105)을 형성한다(도 2b 참조). 게이트 전극(104) 및 산화 억제층(105)은 하지층(102) 위에 게이트 전극(104)으로서 기능하는 층 및 산화 억제층(105)으로서 기능하는 층을 형성한 후에, 상기 층을 포토레지스트 마스크를 이용한 드라이 에칭법이나 웨트 에칭법 등의 기지의 방법을 이용하여 선택적으로 제거함으로써 형성할 수 있다. 또한, 본 명세서 등에서는 게이트 전극(104)과 산화 억제층(105)을 구분하여 따로 기재하지만, 이것은 설명하기 쉽게 하기 위해서 편의상 구분한 것이며, 산화 억제층(105)을 게이트 전극(104)의 일부로서 생각하여도 좋다.

[0057] 게이트 전극(104)으로서는 예를 들어 스퍼터링법이나 증착법 등의 기지의 방법을 이용하여 형성된 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd)을 주성분으로 하는 금속막이나 합금막, 또는 이들 금속이나 합금의 질화막 중 어느 하나 이상을 포함한 층을 사용하면 좋다.

[0058] 게이트 전극(104)의 두께는 특별히 한정되지 않지만, 예를 들어 10nm 이상 500nm 이하로 하는 것이 바람직하다. 막 두께가 10nm보다 얇으면, 성막 장치에 기인한 기판면 내의 막 두께 분포에 의해, 게이트 전극(104)이 형성되지 않는 영역이 발생할 가능성이 있다. 또한, 막 두께가 500nm보다 두꺼우면, 성막 시간이나 생산 비용의 증가를 초래하는 것이 우려된다.

[0059] 일례를 들면, 스퍼터링법을 이용하여 텅스텐을 300nm의 두께로 형성하여 게이트 전극(104)으로서 사용하면 좋다.

[0060] 또한, 알루미늄이나 구리 등 광 반사율이 높은 원소를 게이트 전극(104)으로서 사용하는 경우에는 이후의 공정에서 실시되는 광 조사 처리시에 조사된 광의 반사를 억제하기 위해서 광 흡수율이 높은 층을 광 조사면에 형성할 필요가 있다. 구체적으로는, 400nm 내지 1000nm의 광 영역에서의 광 반사율이 50% 이상인 층(이하에서 고반사율층이라고 약기함)을 게이트 전극(104)의 일부로서 사용하는 경우, 고반사율층과 하지층(102) 사이 및 고반사율층과 산화 억제층(105) 사이 중 한쪽 또는 양쪽 모두에 400nm 내지 1000nm의 광 영역에서의 광 흡수율이 60% 이상인 층(이하에서, 고흡수율층이라고 약기함)을 형성하는 것이 바람직하다.

[0061] 일례를 들면, 스퍼터링법을 이용하여 막 두께가 300nm인 알루미늄의 상면 및 하면에 막 두께가 100nm인 텅스텐이나 티타늄을 형성한 적층 구조나, 막 두께가 300nm인 알루미늄의 한 면(이후의 공정에서 광 조사 처리를 실시할 때 광이 입사되는 면)에 막 두께가 100nm인 텅스텐이나 티타늄을 형성한 적층 구조 등을 게이트 전극(104)으로서 사용하면 좋다. 또한, 알루미늄과 같이 내열성이 낮은 금속을 게이트 전극(104)의 일부로서 사용하는 경우에는, 본 명세서에 기재된 반도체 장치는 게이트 전극(104)의 내열 온도 이하로 형성할 필요가 있다.

[0062] 산화 억제층(105)으로서는 예를 들어 스퍼터링법이나 증착법 등의 기지의 방법을 이용하여 형성된 질화몰리브덴, 질화텅스텐, 질화티타늄, 질화탄탈 중 어느 하나 이상을 갖는 층을 사용할 수 있다.

[0063] 산화 억제층(105)의 두께는 특별히 한정되지 않지만, 예를 들어 5nm 이상 100nm 이하로 하는 것이 바람직하다. 막 두께가 5nm보다 얇으면, 성막 장치에 따른 기판면 내의 막 두께 분포에 의해, 산화 억제층(105)이 형성되지 않는 영역이 발생할 가능성이 있다. 또한, 상술한 산화 억제층(105)이 게이트 전극(104)의 재료와 비교하여 저항값이 높은 것인 경우, 막 두께를 100nm 이하로 하여 저항값 증가를 억제하는 것이 바람직하다.

[0064] 일례를 들면, 스퍼터링법을 이용하여 질화티타늄을 30nm의 두께로 형성하여 산화 억제층(105)으로서 사용하면 좋다.

[0065] 산화 억제층(105)을 형성함으로써, 이후의 공정에서 실시하는 광 조사 처리시에, 가열된 절연층(106)으로부터 탈리된 산소로 인한 게이트 전극(104)의 산화를 억제할 수 있다. 반도체 장치의 크기를 축소하는 경우에는, 게

이트 전극과 반도체층 사이의 절연층의 두께를 얇게 하는 것이 중요하지만, 게이트 전극이 산화되어 저항값이 높은 금속 산화막이 형성되면, 절연층이 두껍게 되어 전기 특성에 악영향을 미치는 가능성이 있다. 그러나, 산화 억제층(105)을 형성함으로써, 특히 반도체 장치를 소형화하는 경우에서, 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0066] 또한, 본 명세서에 기재된 모든 실시형태에서 산화 억제층(105)이 형성되어 있지만, 산화 억제층은 반드시 필요한 것이 아니므로 게이트 전극(104)의 재질이나 게이트 전극(104)과 산화물 반도체층(108) 사이의 절연층에 허용되는 막 두께 변화 범위 등을 감안하여 적절히 선택하면 좋다.

[0067] 다음에, 하지층(102), 게이트 전극(104) 및 산화 억제층(105) 위에 절연층(106)을 형성한다(도 2c 참조). 또한, 절연층(106)으로서는 가열됨으로써 산소를 방출할 수 있는 층을 사용할 필요가 있다. 여기서 말하는 ‘가열됨으로써 산소를 방출할 수 있다’란 TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석에서, 300°C 이하의 가열을 실시하여 산소 원자로 환산한 산소의 방출량이 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상인 것을 가리킨다.

[0068] 절연층(106)으로서는 예를 들어, 플라즈마 CVD법 등의 CVD법, PVD법, 및 스퍼터링법 등의 기지의 방법을 이용할 수 있고, 산화실리콘, 산화알루미늄, 산화하프늄, 하프늄실리케이트, 하프늄알루미네이트, 산화지르코늄, 산화이트륨, 산화란탄, 산화세륨을 주성분으로 하는 단일막 또는 적층막을 형성하여 사용하면 좋다.

[0069] 가열됨으로써 산소를 방출할 수 있는 절연층(106)을 형성하는 방법으로서는 성막 분위기 내의 산소 농도를 높게 유지할 수 있는 스퍼터링법을 이용하는 것이 바람직하다. 산소 또는 산소와 희(稀)가스(아르곤 등)의 혼합 가스를 성막 가스로서 사용하여 스퍼터링법에 의해 성막함으로써, 가열됨으로써 산소를 방출할 수 있는 절연층(106)을 형성할 수 있다. 또한, 산소와 희가스의 혼합 가스를 사용하는 경우에는 산소와 희가스의 혼합 비율에서의 산소의 비율을 높게 하여 형성하는 것이 바람직하고, 바람직하게는 총 가스 중에서 차지하는 산소의 농도를 6% 이상 100% 미만으로 하는 것이 좋다. 이로써, 산소가 충분히 함유된 절연층(106)을 형성할 수 있기 때문에, 광 조사 처리를 실시하여 절연층(106)을 가열할 때, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층(108) 내의 산소 결손이나 계면 준위를 더 효과적으로 저감할 수 있다.

[0070] 또한, 여기서 말하는 ‘산소가 충분히 함유되어 있다’란 TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석에서, 300°C 이하의 가열을 실시하여 산소 원자로 환산한 산소의 방출량이 $1 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3 \times 10^{20} \text{ atoms/cm}^3$ 이상인 것을 가리킨다.

[0071] 또한, 가열됨으로써 산소를 방출할 수 있는 절연층(106)으로서 산소가 과잉 함유된 산화실리콘($\text{SiO}_x (X > 2)$)을 타깃 재료로서 사용하여 스퍼터링법에 의해 형성하여도 좋다. 산소가 과잉 함유된 산화실리콘($\text{SiO}_x (X > 2)$)이란 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 함유한 것이다. 또한, 단위 체적당 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법에 의해 측정한 값이다. 이와 같은 타깃 재료를 사용한 경우, 총 가스 중에서 차지하는 산소 농도는 상술한 산소 농도에 한정되지 않는다.

[0072] 절연층(106)의 두께는 예를 들어 0.1nm 이상 500nm 이하로 하는 것이 바람직하다. 막 두께가 0.1nm보다 얇으면, 절연층(106)이 게이트 전극(104)과 산화물 반도체층(108) 사이의 절연성을 유지하는 것이 어려워진다. 또한, 절연층(106)이 두꺼울수록 단채널 효과가 현저하게 나타나며, 임계값 전압이 음 측으로 이동하기 쉬운 경향이 된다.

[0073] 가열됨으로써 산소를 방출할 수 있는 절연층(106)을 형성함으로써, 이후의 공정에서 실시하는 광 조사 처리에 의해 게이트 전극(104)이 가열되고, 이에 따라 게이트 전극(104)과 겹치는 영역의 절연층(106)이 가열되어 산소가 방출된다. 이로써, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층(108) 내의 산소 결손이나 계면 준위를 저감할 수 있다. 따라서, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0074] 일례를 들면, 성막 분위기 내에 산소와 아르곤의 혼합 가스를 도입하여 총 가스 중에서 차지하는 산소 농도를 6% 이상으로 유지한 상태로 스퍼터링법에 의해 산화실리콘을 30nm의 막 두께로 형성하여 절연층(106)으로서 사용하면 좋다. 스퍼터링법에 의해 형성된 층은 수소나 질소 등의 원소가 적기 때문에 바람직하다.

[0075] 다음에, 절연층(106)에 접하는 산화물 반도체층(108)을 형성한다(도 2d 참조). 산화물 반도체층(108)은 절연층(106) 위에 산화물 반도체층(108)으로서 기능하는 층을 형성한 후에 상기 층을 포토레지스트 마스크를 이용한 드라이 에칭법이나 웨트 에칭법 등의 기지의 방법을 이용하여 선택적으로 제거함으로써 형성할 수 있다.

[0076] 산화물 반도체층(108)으로서 기능하는 층으로서는 예를 들어 스퍼터링법 등을 이용하여 형성된, 적어도 In, Ga, Sn, 및 Zn 중에서 선택된 1종류 이상의 원소를 함유한 층을 사용하면 좋다. 예를 들어, 4원계 금속 산화물인 In-Sn-Ga-Zn-0계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, Sn-Al-Zn-0계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체나, In-Ga-0계 재료, 1원계 금속 산화물인 In-0계 산화물 반도체, Sn-0계 산화물 반도체, Zn-0계 산화물 반도체 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 In, Ga, Sn, 및 Zn 이외의 원소, 예를 들어 SiO_2 를 함유시켜도 좋다.

[0077] 예를 들어, In-Ga-Zn-0계 산화물 반도체란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체를 의미하고, 그 조성비는 불문한다.

[0078] 또한, 일례를 들면, 산화물 반도체층(108)으로서 In-Zn-0계 층을 형성하는 경우에는, 사용하는 타깃의 조성비는 원자수 비율로 In: Zn = 50: 1 내지 1: 2(mol수 비율로 환산하면 In_2O_3 : ZnO = 25: 1 내지 1: 4), 바람직하게는 In: Zn = 20: 1 내지 1: 1(mol수 비율로 환산하면 In_2O_3 : ZnO = 10: 1 내지 1: 2), 더 바람직하게는, In: Zn = 15: 1 내지 1.5: 1(mol수 비율로 환산하면 In_2O_3 : ZnO = 15: 2 내지 3: 4)로 한다. 예를 들어, In-Zn-0계 산화물 반도체의 형성에 사용되는 타깃은 원자수 비율이 In: Zn: O = X: Y: Z인 경우에 $Z > 1.5X + Y$ 로 한다.

[0079] 또한, 산화물 반도체층(108)으로서 기능하는 층으로서, 화학식 $\text{InM}_3(\text{ZnO})_m$ ($m > 0$)으로 표기되는 박막을 사용할 수 있다. 여기서, M은 Zn, Ga, Al, Mn, 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.

[0080] 산화물 반도체층(108)으로서 기능하는 층의 형성에 사용하는 타깃으로서는 예를 들어 In_2O_3 : Ga_2O_3 : ZnO = 1: 1: 1[mol수 비율]이나 In_2O_3 : Ga_2O_3 : ZnO = 1: 1: 2[mol수 비율]의 조성비를 갖는 금속 산화물 타깃을 사용하면 좋다.

[0081] 산화물 반도체층(108)으로서 기능하는 층의 성막에 사용하는 금속 산화물 타깃은 타깃 내의 산화물 반도체의 상대 밀도를 80% 이상, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상으로 하는 것이 좋다. 상대 밀도가 높은 산화물 반도체 타깃을 사용함으로써, 치밀한 구조의 산화물 반도체층(108)을 형성할 수 있다.

[0082] 또한, 스퍼터링 가스로서는 희가스(대표적으로는 아르곤), 산소, 또는 희가스와 산소의 혼합 가스를 사용하면 좋다. 또한, 수소, 물, 수산기, 수소화물 등의 불순물이 농도 ppm 정도(바람직하게는 농도 ppb 정도)까지 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0083] 산화물 반도체층(108)으로서 기능하는 층을 형성할 때 사용하는 스퍼터링 가스로서는 예를 들어, 스퍼터링 장치에 40sccm의 유량(산소 유량 비율 100%)으로 산소를 공급하면서 성막하면 좋다.

[0084] 산화물 반도체층(108)으로서 기능하는 층을 형성할 때는 예를 들어 감압 상태로 유지된 처리실 내에 기판을 유지하고, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 한다. 그리고, 처리실 내의 잔류 수분을 제거하면서 수소, 물, 수산기, 수소화물 등의 불순물이 제거된 고순도 가스를 도입하고 상술한 금속 산화물 타깃을 사용하여 형성한다. 기판을 가열하면서 형성함으로써, 막 내에 함유된 불순물을 저감할 수 있다. 또한, 스퍼터링에 기인한 막의 손상도 경감된다. 또한, 기판 가열 처리는 게이트 전극(104) 및 산화 억제층(105)의 내열 온도 이하로 실시할 필요가 있다.

[0085] 산화물 반도체층(108)으로서 기능하는 층을 성막하기 전에, 스퍼터링 장치에 잔존한 수분 등을 제거하기 위해서 예열(preheat) 처리를 실시하면 좋다. 예열 처리로서는, 처리실 내를 감압하에서 200°C 이상 600°C 이하로 가열하는 방법이나, 가열하면서 질소나 불활성 가스의 도입과 배기를 반복하는 방법 등이 있다. 예열 처리를 마치고 나면, 기판 또는 스퍼터링 장치를 냉각한 후, 대기로 노출시키지 않고 성막한다. 이 경우의 타깃 냉각액은 물이 아니라 유지(油脂) 등을 사용하면 좋다. 가열하지 않고 질소 도입과 배기를 반복하더라도 일정한 효과를 얻을 수 있지만, 가열하면서 반복하는 것이 더 좋다.

[0086] 또한, 성막하기 전, 또는 성막 도중, 또는 성막 후에 스퍼터링 장치에 잔존한 수분 등을 제거하는 방법으로서는 처리실에 설치되는 진공 펌프로서 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오펌프(cryopump), 이온 펌프, 티타늄 서블리메이션 펌프(titanium sublimation pump) 등을 사용하면 좋다. 또한, 터보 펌프에 콜드 트랩을 구비한 것을 사용하여도 좋다. 상술한 펌프를 이용하여 배기한 처리실은 수소나 물

등이 제거되어 있기 때문에, 산화물 반도체층(108)의 불순물 농도를 저감할 수 있다.

[0087] 산화물 반도체층(108)으로서 기능하는 층의 성막 조건으로서는 예를 들어 기판과 타깃 사이의 거리가 170mm, 압력이 0.4Pa, 직류(DC) 전력이 0.5kW, 분위기가 산소(산소 유량 비율 100%) 분위기 등이라는 조건을 적용할 수 있다. 또한, 직류(DC) 펄스 전원을 사용하면, 파티클(particle)을 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 다만, 적용하는 산화물 반도체 재료나 용도 등에 따라 적절한 두께는 달라지기 때문에, 그 두께는 사용하는 재료나 용도에 따라 적절히 선택하면 좋다.

[0088] 또한, 산화물 반도체층(108)으로서 기능하는 층의 두께는 3nm 이상 50nm 이하로 하는 것이 바람직하다. 이것은 산화물 반도체층(108)을 지나치게 두껍게 하면(예를 들어, 두께를 100nm 이상으로 하면), 단채널 효과의 영향이 커져서 작은 크기의 트랜지스터에서 노멀리 온(normally on) 상태가 될 우려가 있기 때문이다. 여기서 말하는 ‘노멀리 온 상태’란 게이트 전극에 전압을 인가하지 않아도 채널부가 존재하여, 트랜지스터에 전류가 흘러 버리는 상태를 가리킨다.

[0089] 상술한 공정으로 형성한 산화물 반도체층(108)으로서 기능하는 층을 포토레지스트 마스크를 이용한 드라이 에칭법이나 웨트 에칭법 등의 기지의 방법을 이용하여 선택적으로 제거하여 패턴 형성함으로써, 산화물 반도체층(108)을 형성할 수 있다. 드라이 에칭에 사용할 수 있는 에칭 가스로서는 예를 들어, 염소를 함유한 가스(염소계 가스, 예를 들어 염소(Cl₂), 삼염화붕소(BCl₃), 사염화실리콘(SiCl₄), 사염화탄소(CCl₄) 등) 등이 있다. 또한, 불소를 함유한 가스(불소계 가스, 예를 들어 사불화탄소(CF₄), 육불화황(SF₆), 삼불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수소(HBr), 산소(O₂)나, 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용하여도 좋다.

[0090] 또한, 웨트 에칭에 사용할 수 있는 에칭액으로서는 예를 들어, 인산과 아세트산과 질산을 섞은 용액, 암모니아과수(ammonia hydrogen peroxide mixture)(31wt% 과산화수소수: 28wt% 암모니아수: 물 = 5: 2: 2) 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO. INC 제조) 등의 에칭액을 사용하여도 좋다.

[0091] 다음에, 게이트 전극(104)에 광 조사 처리(130)를 실시한다(도 3a 참조). 입사광은 게이트 전극(104)에 흡수되어, 게이트 전극(104)이 선택적으로 가열된다. 이에 따라, 게이트 전극과 겹치는 영역의 절연층(106)도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 방출된다. 방출된 산소의 일부는 게이트 전극(104)과 겹치는 영역을 중심으로 산화물 반도체층(108) 내에 첨가된다. 또한, 본 실시형태에서는 게이트 전극(104) 부분에 광 조사 처리(130)를 실시하지만, 기판 전체 면에 광 조사 처리(130)를 실시하여도 좋다. 또한, 본 실시형태에서는 도 3a와 같이 하면 측으로부터 광 조사 처리(130)를 실시하지만, 이것에 한정되지 않고 상면 측(즉, 도 3a의 산화물 반도체층(108) 측)이나 양면 측으로부터 광 조사 처리(130)를 실시하여도 좋다. 또한, 게이트 전극(104)을 가열하는 방법으로서, 자성(磁性)을 갖는 금속을 사용하여 게이트 전극(104)을 형성하고, 마이크로파 등의 전자기파를 조사하여 유도 가열에 의해 게이트 전극(104)을 가열하여도 좋다. 자성을 갖는 금속으로서는 예를 들어, 철(Fe), 코발트(Co), 니켈(Ni), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텐븀(Tm), 바나듐(V), 크롬(Cr), 망간(Mn), 구리(Cu), 아연(Zn), 팔라듐(Pd), 백금(Pt)을 주성분으로 하는 금속 막이나 합금막 중 어느 하나 이상을 포함한 층을 사용하면 좋다.

[0092] 산화물 반도체층(108)은 이온 결합성이 강하기 때문에, 자기 보상 효과에 의해 산소 결손이 쉽게 생긴다. 또한, 산소 결손은 일부가 도너가 되어 캐리어인 전자가 발생되어 버린다. 그러므로, 게이트 전극(104)과 겹치는 영역의 절연층(106)과의 계면 근방(소위 채널 형성 영역)에 산소 결손이 발생하면, 트랜지스터의 임계값 전압이 음 방향으로 이동해 버린다(소위 노멀리 온 상태).

[0093] 그래서, 상술한 광 조사 처리(130)를 실시하여 게이트 전극(104)과 겹치는 영역의 산화물 반도체층(108) 내에 산소를 첨가함으로써, 상기 영역의 산소 결손을 저감할 수 있기 때문에, 임계값 전압이 음 측으로 이동하는 것을 억제할 수 있다.

[0094] 또한, 상술한 광 조사 처리(130)에 의해, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층(108) 내의 산소 결손이나 계면 준위를 저감할 수 있기 때문에, 반도체 장치의 동작 등에 기인하여 생길 수 있는 전하 등이 절연층(106)과 채널 형성 영역의 계면에 포획되는 것을 충분히 억제할 수 있다.

[0095] 또한, 절연층(106) 내의 산소의 일부는 게이트 전극(104) 측에도 방출되기 때문에, 게이트 전극(104)의 표면이 산화되는 것으로 인하여 절연층의 막 두께가 증가되는 것이 우려되지만, 본 실시형태와 같이 산화 억제층(105)을 형성함으로써, 게이트 전극(104)의 표면 산화를 억제할 수 있다.

[0096] 또한, 본 실시형태에서는 산화 억제층(105)은 도 3a에 도시된 바와 같이 게이트 전극(104)의 상면에 형성되어 있지만, 이것에 한정되지 않는다. 예를 들어, 게이트 전극(104)의 상면뿐만 아니라 게이트 전극(104)의 측면에 형성되어 있어도 좋다.

[0097] 광 조사 처리(130)로서는 예를 들어, 레이저 발진 장치를 사용할 수 있다. 레이저 광으로서는, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 기체 레이저, 단결정의 YAG, YVO₄, 포르스테라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 또는 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에, 도편트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종류 또는 복수 종류가 첨가된 것을 매질로 하는 레이저, 유리 레이저, 류비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 또는 금 증기 레이저 중 1종류 또는 복수 종류로부터 발진되는 것을 이용할 수 있다. 또한, 레이저 매체가 고체인 고체 레이저를 사용하면, 메인테이너스 프리(maintenance free) 상태를 오래 유지할 수 있다는 장점이나, 출력이 비교적 안정된다는 장점을 갖는다.

[0098] 또한, 레이저 발진 장치 이외로서는, 플래시 램프(크세논 플래시 램프, 크립톤 플래시 램프 등), 크세논 램프, 메탈 할라이드 램프로 대표되는 방전등, 할로겐 램프, 텅스텐 램프로 대표되는 발열등을 사용할 수 있다. 플래시 램프는 단시간(0.1밀리초 이상 10밀리초 이하)에 강도가 매우 높은 광을 반복적으로 대면적에 조사할 수 있기 때문에, 기판(100)의 면적에 상관없이, 효율적으로 가열할 수 있다. 또한, 발광시키는 시간의 간격을 바꿈으로써 게이트 전극(104)의 가열도 제어할 수 있다. 또한, 플래시 램프는 발광 대기시의 소비 전력이 낮고 장수명이기 때문에, 러닝 코스트(running cost)를 낮게 억제할 수 있다.

[0099] 일례를 들면, 광 조사 처리(130)로서 발광 시간이 1밀리초인 크세논 플래시 램프를 이용하여 게이트 전극(104)을 가열하면 좋다.

[0100] 다음에, 산화물 반도체층(108) 위의 게이트 전극(104)과 겹치는 영역에 마스크(120)를 형성한 후에, 산화물 반도체층(108)을 포함하는 영역에 불순물 첨가 처리(131)를 실시한다. 이로써, 산화물 반도체층(108) 중 상부에 마스크(120)가 형성되지 않은 영역에는 불순물이 첨가되어, 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a)이 형성됨과 함께, 채널 형성 영역(108b)이 자기 정합적으로 형성된다(도 3b 참조). 마스크(120)는 저저항 영역을 형성한 후에 적절히 제거하면 좋다.

[0101] 마스크(120)로서는 예를 들어, 산화물 반도체층(108) 위에 기지의 레지스트 재료를 형성하고 포토 마스크를 이용하여 노광 처리를 실시한 후에 드라이 에칭법이나 웨트 에칭법 등의 기지의 방법을 이용하여 필요없는 부분을 선택적으로 제거함으로써 형성할 수 있다. 또한, 마스크(120)의 두께는 특별히 한정되지 않지만, 예를 들어, 0.3 μm 이상 5 μm 이하로 하는 것이 바람직하다. 막 두께가 0.3 μm보다 얇으면, 불순물 첨가 처리시에 불순물이 반도체층(108)에 첨가될 우려가 있다. 또한, 막 두께가 5 μm보다 두꺼우면 성막 시간이나 생산 비용의 관점에서 바람직하지 않다.

[0102] 불순물 첨가 처리(131)로서 첨가하는 불순물은 예를 들어, 아르곤(Ar), 크립톤(Kr), 크세논(Xe) 등의 희가스, 질소(N), 인(P), 비소(As), 안티몬(Sb) 등의 15족 원소 중에서 선택된 원소 중 적어도 1종류 이상을 사용하고, 이온 도핑 장치나 이온 주입 장치를 이용하여 실시할 수 있다. 이온 도핑 장치의 대표적인 예로서는, 프로세스 가스를 플라즈마 여기하여 생성된 모든 이온종(iion species)을 피처리체에 조사하는 비질량분리형 장치가 있다. 상기 장치에서는 플라즈마 내의 이온종을 질량분리하지 않고 피처리체에 조사한다. 한편, 이온 주입 장치는 질량분리형 장치이다. 이온 주입 장치에서는, 플라즈마 내의 이온종을 질량분리하여 어느 특정의 질량을 갖는 이온종을 피처리체에 조사한다.

[0103] 일례를 들면, 불순물 첨가 처리(131)로서 이온 도핑 장치를 이용하여 아르곤(Ar) 가스를 산화물 반도체층(108)이 형성된 부분을 포함하는 영역에 조사하면 좋다. 아르곤을 원료 가스로 사용하는 경우에는, 일례를 들면 가속 전압을 0.1kV 내지 100kV의 범위로 하고, 도즈량을 1×10^{14} ions/cm² 내지 1×10^{17} ions/cm²의 범위로 하여 조사함으로써, 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a)을 형성하면 좋다. 저저항 영역(108a)의 저항률은 1×10^{-4} Ω · cm 이상 3Ω · cm 이하, 바람직하게는 1×10^{-3} Ω · cm 이상 3 × 10⁻¹ Ω · cm 이하가 바람직하다. 이로써, ON 전류값의 저하를 억제하여 ON/OFF 비율을 높게 할 수 있다. 아르곤은 불활성 가스이기 때문에, 이온 첨가시에 기체 분위기를 제어하거나 온도를 제어하기 용이하며, 작업 효율이나 안전성을 향상시킬 수 있다.

[0104] 또한, 상술한 광 조사 처리(130)를 실시하면, 게이트 전극(104) 전체가 가열되기 때문에, 본 실시형태에 제시되는 하부 게이트 구조의 반도체 장치에서는 게이트 전극(104)의 측면 부분에 형성된 절연층(106)으로부터도 산소

가 방출된다. 그러므로, 산화물 반도체층(108) 중 저저항 영역(108a)이 형성되는 영역에도 산소가 첨가되어 상기 영역의 저항값이 증가될 우려가 있다. 그러나, 상기 영역에도 불순물 첨가 처리(131)를 실시하여 저항값을 충분히 낮게 하기 때문에, 전기 특성에 대한 악영향(예를 들어 저저항 영역(108a)의 고저항에 기인한 온 전류의 저하 등)은 방지할 수 있다.

[0105] 또한, 본 실시형태에서는 산화물 반도체층(108)에 불순물 첨가 처리(131)를 실시하였지만, 이것은 반드시 필요한 것이 아니다. 이후의 공정에서 형성하는 소스 전극(114a) 및 드레인 전극(114b)을 산화물 반도체층(108)에 전기적으로 접속하였을 때 오직 접촉이 형성된다면, 불순물 첨가 처리(131)를 실시하지 않아도 좋다.

[0106] 다음에, 절연층(106) 및 산화물 반도체층(108) 위에 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)을 형성한다(도 3c 참조).

[0107] 제 1 층간 절연층(110)으로서는 예를 들어, 플라즈마 CVD법 등의 CVD법, PVD법, 및 스퍼터링법 등을 이용하여, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 질화산화알루미늄 등의 절연막을 단층 구조 또는 적층 구조로 형성하여 사용하면 좋다.

[0108] 제 2 층간 절연층(112)으로서는 예를 들어, 스판코팅법 등의 도포법, 스크린 인쇄법 등의 인쇄법, 및 디스펜서법 등의 도포법 등을 이용하여 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드 등의 유기 절연성 재료나 실록산 수지를 형성하여 사용하면 좋다. 또한, 실록산수지란 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si) 및 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서는 유기기(예를 들어 알킬기나 아릴기)나 플루오로기를 사용하여도 좋다.

[0109] 또한, 제 2 층간 절연층(112)은 제 1 층간 절연층(110) 위에 형성되어 있는 요철을 평탄화하는 것을 목적으로 한 층이며, 제 2 층간 절연층(112)에 의해 평탄화 처리를 함으로써 트랜지스터(150) 위에 전극이나 배선 등을 적합하게 형성할 수 있다.

[0110] 또한, 제 2 층간 절연층(112)은 반드시 필요한 것이 아니라 제 1 층간 절연층(110)을 형성한 후의 표면 요철 상태에 따라 형성할지 여부를 판단하면 좋다. 또한, 본 실시형태에서는 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)은 단층 구조로 형성되어 있지만, 2층 이상의 적층 구조라도 좋다.

[0111] 일례를 들면, 플라즈마 CVD법에 의해 산화알루미늄을 300nm의 두께로 형성하여 제 1 층간 절연층으로서 사용하고, 이 후 스판코팅법에 의해 폴리이미드를 1.5 μ m의 막 두께로 형성하고, 가열처리를 실시하여 폴리이미드를 경화시켜 제 2 층간 절연층(112)으로서 사용하면 좋다.

[0112] 다음에, 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 일부에 개구부를 형성한 후에 개구부를 통하여 저저항 영역(108a)과 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 형성한다(도 4 참조).

[0113] 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)에 개구부를 형성하는 방법으로서는 포토레지스트 마스크를 이용한 드라이 에칭법이나 웨트 에칭법 등의 기지의 방법을 이용하여 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)을 선택적으로 제거하면 좋다.

[0114] 소스 전극(114a) 및 드레인 전극(114b)은 스퍼터링법이나 증착법 등에 의해 도전층을 성막한 후, 포토레지스트 마스크를 이용한 드라이 에칭법이나 웨트 에칭법 등의 기지의 방법을 이용하여 원하는 형상으로 에칭하여 형성할 수 있다. 또한, 액적 토출법, 인쇄법, 전해 도금법 등에 의해 소정의 장소에 선택적으로 도전층을 형성하여, 소스 전극(114a) 및 드레인 전극(114b)으로 하여도 좋다. 이 외에는 리플로우(reflow)법이나 다마신(damascene)법을 이용하여도 좋다. 소스 전극(114a) 및 드레인 전극(114b)을 형성하는 도전층은 알루미늄(Al), 금(Au), 구리(Cu), 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr) 등의 금속, 및 Si, Ge, 또는 그 합금, 또는 그 질화물을 사용하여 형성한다. 또한, 이들의 적층 구조로 하여도 좋다.

[0115] 일례를 들면, 스퍼터링법에 의해 티타늄 50nm, 알루미늄 500nm, 티타늄 50nm를 순차적으로 적층한 후에, 포토레지스트 마스크를 이용한 드라이 에칭법에 의해 패턴 형성하여, 소스 전극(114a) 및 드레인 전극(114b)으로서 사용하면 좋다.

[0116] 상술한 공정을 거쳐서, 도 1b에 도시된 바와 같이 기판(100) 위에 형성된 하지층(102)과, 하지층(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 산화 억제층(105)과, 하지층(102), 게이트 전극(104), 및 산화 억제층(105) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 절연층(106) 및 산화물 반도체층(108) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층

(112)과, 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 하부 게이트형 트랜지스터(150)인 반도체 장치를 제작할 수 있다.

[0117] 또한, 도시되어 있지 않지만, 게이트 전극(104)은 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 일부를 개구하여 형성된 콘택트 홀에 의해, 도전성을 갖는 배선을 통하여 제 2 층간 절연층 위에 전기적으로 리드(electrically led)되어 있다.

[0118] 또한, 산화물 반도체층(108)은 일반적인 실리콘 웨이퍼에서의 캐리어 농도($1 \times 10^{14}/\text{cm}^3$ 정도)와 비교하여 충분히 작은 캐리어 농도 값(예를 들어, $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만)을 취한다. 또한, 드레인 전압이 1V 내지 10V인 범위 내의 전압일 때, 오프 전류(게이트와 소스 사이의 전압을 0V 이하로 한 경우에 소스와 드레인 사이에 흐르는 전류)를 채널 길이가 $10 \mu\text{m}$ 이며 산화물 반도체층의 총 막 두께가 30nm인 경우에, $1 \times 10^{-13}\text{A}$ 이하, 또는 오프 전류 밀도(오프 전류를 트랜지스터의 채널 폭으로 나눈 값)를 $10\text{aA}(\text{a}(아토))$ 는 10^{-18} 배를 나타냄)/ μm 이하, 더 바람직하게는 $1\text{aA}/\mu\text{m}$ 이하, 더 바람직하게는 $100\text{zA}(\text{z}(젭토))$ 는 10^{-21} 배를 나타냄)/ μm 이하로 할 수 있다. 또한, 오프 전류값과 드레인 전압값을 알 수 있으면, 음의 법칙을 이용하여 트랜지스터가 오프 상태일 때의 저항값(오프 저항 R)을 산출할 수 있고, 채널 형성 영역의 단면적 A 와 채널 길이 L 을 알 수 있으면, 식 $\rho = RA/L$ (R 는 오프 저항)을 이용하여 오프 저항률 ρ 를 산출할 수도 있다. 오프 저항률은 $1 \times 10^9 \Omega \cdot \text{m}$ 이상(또는 $1 \times 10^{10} \Omega \cdot \text{m}$ 이상)이 바람직하다. 여기서 단면적 A 는 채널 형성 영역의 막 두께를 d 로 하고 채널 폭을 W 로 한 경우에 식 $A = dW$ 를 이용하여 산출할 수 있다.

[0119] 비정질 실리콘을 사용한 트랜지스터의 오프 전류가 10^{-12}A 정도인 한편, 산화물 반도체를 사용한 트랜지스터의 오프 전류는 그 1/10000 이하이다. 그러므로, 매우 우수한 오프 전류 특성을 갖는 트랜지스터(150)를 얻을 수 있다.

[0120] <본 실시형태에 의해 제작되는 반도체 장치의 효과>

[0121] 상술한 공정에 의해 제작된 도 1a 및 도 1b에 도시된 트랜지스터(150)는 광 조사 처리에 의해 게이트 전극(104)이 선택적으로 가열됨과 함께 게이트 전극과 겹치는 영역의 절연층(106)도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 탈리된다. 그리고, 절연층(106)은 산화물 반도체층(108)과 접하여 형성되어 있기 때문에, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 절연층(106)으로부터 탈리된 산소를 첨가할 수 있다. 이로써, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위를 저감할 수 있다.

[0122] 따라서, 본 실시형태에서 제시한 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0123] (실시형태 2)

[0124] 본 실시형태에서는 실시형태 1과 상이한 구성을 갖는 반도체 장치에 대해서, 도 5a 내지 도 7b를 사용하여 설명하기로 한다. 또한, 이하에서 설명하는 발명의 구성에 관해서, 실시형태 1과 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명을 생략한다.

[0125] <본 실시형태에 따른 반도체 장치의 구성>

[0126] 도 5a 및 도 5b는 본 실시형태의 방법에 의해 제작된 반도체 장치의 구성예인, 상부 게이트(topgate) 구조의 트랜지스터(550)이며, 도 5a는 트랜지스터(550)의 상면도이고, 도 5b는 도 5a의 일점 쇄선부 C-D의 단면 개략도이다. 또한, 도 5a의 상면도에 대해서는 구조를 이해하기 쉽게 하기 위해서 패턴 형성된 막 및 층만을 기재하였다. 본 실시형태에서는 트랜지스터(550)는 캐리어가 전자인 n채널형 트랜지스터인 것으로서 제작 방법을 설명하지만, n채널형에 한정되는 것이 아니다.

[0127] 도 5a 및 도 5b에 도시된 트랜지스터(550)는 기판(100)과, 기판(100) 위에 형성된 하지층(102)과, 하지층(102) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 산화물 반도체층(108) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 산화 억제층(105) 및 게이트 전극(104)과, 절연층(106), 산화 억제층(105), 및 게이트 전극(104) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 제 1 층간 절연층(110), 제 2

층간 절연층(112), 및 절연층(106)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 구조이다.

[0128] <본 실시형태에 따른 반도체 장치의 제작 방법>

[0129] 트랜지스터(550)의 제작 방법에 대해서 도 6a 내지 도 7b를 사용하여 이하에서 설명하기로 한다.

[0130] 우선, 기판(100)을 마련하고, 기판(100) 위에 하지층(102)을 형성한 후에 하지층(102) 위에 산화물 반도체층(108)을 형성하고, 하지층(102) 및 산화물 반도체층(108) 위에 가열됨으로써 산소를 방출할 수 있는 절연층(106)을 형성한다(도 6a 참조). 기판(100), 하지층(102), 절연층(106), 및 산화물 반도체층(108)의 재질, 특성, 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0131] 다음에, 절연층(106) 위에 산화 억제층(105) 및 게이트 전극(104)을 형성한다(도 6b 참조). 산화 억제층(105) 및 게이트 전극(104)의 재질, 특성, 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0132] 다음에, 게이트 전극(104)에 광 조사 처리(130)를 실시한다(도 6c 참조). 이로써, 실시형태 1과 마찬가지로 게이트 전극(104)과 겹치는 영역의 산화물 반도체층(108) 내에 산소가 첨가된다. 또한, 본 실시형태에서는 게이트 전극(104) 부분에 광 조사 처리(130)를 실시하지만, 기판 전체 면에 광 조사 처리(130)를 실시하여도 좋다. 또한, 본 실시형태에서는 도 6c에 도시된 바와 같이 상면 측으로부터 광 조사 처리(130)를 실시하지만, 이것에 한정되지 않고 하면 측(즉, 도 6c의 기판(100)면 측)이나 양쪽 면 측으로부터 광 조사 처리(130)를 실시하여도 좋다. 광 조사 처리(130)에 이용하는 장치나 조사 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0133] 다음에, 산화물 반도체층(108)을 포함하는 영역에 불순물 첨가 처리(131)를 실시하여, 산화물 반도체층(108) 내에 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 형성한다(도 7a 참조). 불순물 첨가 처리(131)에 이용하는 장치나 첨가 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0134] 본 실시형태에서는 산화물 반도체층(108) 위에 게이트 전극(104)이 형성되어 있기 때문에, 게이트 전극(104)을 불순물 첨가 처리(131)를 실시할 때의 마스크로서 사용할 수 있다. 그러므로, 산화물 반도체층(108) 중 상부에 게이트 전극(104)이 형성되지 않은 영역에만 불순물이 첨가되어, 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a)이 형성됨과 함께, 채널 형성 영역(108b)을 자기 정합적으로 형성할 수 있다(도 7a 참조). 이로써, 제작 공정을 간략화할 수 있다. 따라서, 더 낮은 비용으로 반도체 장치를 제작할 수 있다.

[0135] 다음에, 게이트 전극(104), 산화 억제층(105), 및 절연층(106) 위에 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)을 형성한다(도 7b 참조). 또한, 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 재질, 특성, 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0136] 또한, 본 실시형태에서는 절연층(106), 산화 억제층(105), 및 게이트 전극(104) 위에 제 1 층간 절연층(110)을 형성하였지만, 반드시 형성할 필요는 없다. 또한, 본 실시형태에서는 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)은 단층 구조로 형성되어 있지만, 2층 이상의 적층 구조라도 좋다. 층간 절연층을 어떤 재질이나 구조로 하는지는 트랜지스터(550)의 사용 용도나 필요한 특성을 감안하여 제작자가 적절히 선택하면 좋다.

[0137] 상술한 공정을 거쳐서, 도 5b에 도시된 바와 같이, 기판(100) 위에 형성된 하지층(102)과, 하지층(102) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 하지층(102) 및 산화물 반도체층(108) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 산화 억제층(105) 및 게이트 전극(104)과, 절연층(106), 산화 억제층(105), 및 게이트 전극(104) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 제 1 층간 절연층(110), 제 2 층간 절연층(112), 및 절연층(106)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 상부 게이트형 트랜지스터(550)인 반도체 장치를 제작할 수 있다.

[0138] 또한, 도시되어 있지 않지만, 게이트 전극(104)은 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 일부를 개구하여 형성된 콘택트 홀에 의해, 도전성을 갖는 배선을 통하여 제 2 층간 절연층 위에 전기적으로 리드되어 있다.

[0139] <본 실시형태에 의해 제작되는 반도체 장치의 효과>

[0140] 상술한 공정에 의해 제작된 도 5a 및 도 5b에 도시된 트랜지스터(550)는 광 조사 처리(130)에 의해 게이트 전극(104)이 선택적으로 가열됨과 함께 게이트 전극(104)과 겹치는 영역의 절연층(106)도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 탈리된다. 그리고, 절연층(106)은 산화물 반도체층(108)과 접하여 형성되어 있기 때문에, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 절연층(106)으로부터 탈리된 산소를 첨가할 수 있다. 이로써, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위를 저감할 수 있다.

[0141] 따라서, 본 실시형태에 제시된 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0142] 또한, 산화물 반도체층(108)에 불순물 첨가 처리(131)를 실시하는 경우에서, 게이트 전극(104)은 절연층(106)을 가열하기 위해서 이용될 뿐만 아니라 산화물 반도체층(108)에 저저항 영역(108a) 및 채널 형성 영역(108b)을 형성하기 위한 마스크로서의 역할도 겸비할 수 있기 때문에, 반도체 장치의 제작 공정을 간략화할 수 있다.

[0143] 따라서, 본 실시형태에 제시된 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 더 낮은 비용으로 제작할 수 있다.

[0144] (실시형태 3)

[0145] 본 실시형태에서는 실시형태 1과 상이한 구성을 갖는 반도체 장치에 대해서 도 8a 내지 도 10b를 사용하여 설명하기로 한다. 또한, 이하에서 설명하는 발명의 구성에 관해서, 실시형태 1과 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명을 생략한다.

[0146] <본 실시형태에 따른 반도체 장치의 구성>

[0147] 도 8a 및 도 8b는 본 실시형태의 방법에 의해 제작된 반도체 장치의 구성예인, 하부 게이트 구조의 트랜지스터(850)이며, 도 8a는 트랜지스터(850)의 상면도이고, 도 8b는 도 8a의 일점 쇄선부 E-F의 단면 개략도이다. 또한, 도 8a의 상면도에 대해서는 구조를 이해하기 쉽게 하기 위해서 패턴 형성된 막 및 층만을 기재하였다. 본 실시형태에서는 트랜지스터(850)는 캐리어가 전자인 n채널형 트랜지스터인 것으로서 제작 방법을 설명하지만, n 채널형에 한정되는 것이 아니다.

[0148] 도 8a 및 도 8b에 도시된 트랜지스터(850)는 기판(100)과, 기판(100) 위에 형성된 하지층(102)과, 하지층(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 산화 억제층(105)과, 하지층(102), 게이트 전극(104), 및 산화 억제층(105) 위에 형성된 게이트 절연층(802)과, 게이트 절연층(802) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 산화물 반도체층(108) 및 게이트 절연층(802) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 금속층(804)과, 절연층(106) 및 금속층(804) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 절연층(106), 제 1 층간 절연층(110), 및 제 2 층간 절연층(112)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 구조이다.

[0149] <본 실시형태에 따른 반도체 장치의 제작 방법>

[0150] 트랜지스터(850)의 제작 방법에 대해서 도 9a 내지 도 10b를 사용하여 이하에서 설명하기로 한다.

[0151] 우선, 기판(100)을 마련하고, 기판(100) 위에 하지층(102)을 형성한 후에 하지층(102) 위에 게이트 전극(104) 및 산화 억제층(105)을 형성하고, 하지층(102), 게이트 전극(104), 및 산화 억제층(105) 위에 게이트 절연층(802)을 형성한다(도 9a 참조).

[0152] 기판(100), 하지층(102), 게이트 전극(104), 및 산화 억제층(105)의 재질, 특성, 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0153] 게이트 절연층(802)으로서는 예를 들어, 플라즈마 CVD법 등의 CVD법, PVD법, 및 스퍼터링법 등의 기지의 방법을 이용하여, 산화실리콘(SiO_2), 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2), 하프늄실리케이트($HfSiO_2$), 하프늄알루미네이트($HfAlO$), 산화지르코늄(ZrO_2), 산화이트륨(Y_2O_3), 산화란탄(La_2O_3), 산화세륨(CeO_2)을 주성분으로 하는 단일막 또는 적층막을 형성하여 사용하면 좋다.

[0154] 또한, 플라즈마 CVD법 등의 CVD법, PVD법, 및 스퍼터링법 등의 기지의 방법을 이용하여, 질화실리콘(SiN), 산화질화실리콘($SiON$), 질화산화실리콘($SiNO$), 질화하프늄실리케이트($HfSiON$), 질화하프늄알루미네이트($HfAlON$)를

주성분으로 하는 단일막 또는 적층막을 형성하여 사용하여도 좋다. 게이트 절연층(802)은 가열됨으로써 산소를 방출할 수 있는 막에 한정되지 않고, 다양한 종류의 막을 사용할 수 있기 때문에, 다양한 고유전율 재료를 사용할 수 있다.

[0155] 일례를 들면, 스퍼터링법을 이용하여 질화하프늄실리케이트를 10nm의 두께로 성막하여, 게이트 절연층(802)으로서 사용하면 좋다. 스퍼터링법으로 형성된 층은 수소나 질소 등의 원소가 적기 때문에 바람직하다.

[0156] 다음에, 게이트 절연층(802) 위에 산화물 반도체층(108)을 형성하고, 게이트 절연층(802) 및 산화물 반도체층(108) 위에 절연층(106)을 형성하고, 절연층(106) 위에 금속층(804)을 게이트 전극(104)과 겹치도록 형성한다(도 9b 참조). 절연층(106) 및 산화물 반도체층(108)의 재질, 특성, 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0157] 금속층(804)으로서는 예를 들어 스퍼터링법이나 증착법 등의 기지의 방법을 이용하여 형성된 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd)을 주성분으로 하는 금속막이나 합금막, 또는 이들 금속이나 합금의 질화막 중 어느 하나 이상을 포함한 층을 사용하면 좋다. 또한, 금속층(804)은 이후의 공정에서 실시하는 광 조사 처리(130)에 의해, 게이트 전극(104)과 겹치는 영역에 산소를 첨가하는 기능을 하기 위해서, 게이트 전극(104)과 겹치도록 형성할 필요가 있다.

[0158] 또한, 상기 재료 외에도 400nm 이상 1000nm 이하의 광장 영역에서 60% 이상의 광 흡수율을 갖는 재료를 사용할 수 있다. 예를 들어, 플라즈마 CVD법 등의 CVD법, PVD법, 및 스퍼터링법 등의 기지의 방법을 이용하여, 산화티타늄, 산화몰리브덴, 산화크롬, 산화코발트, 산화구리, 산화니켈, 산화마그네슘 등의 금속 산화막을 사용하여도 좋다. 금속층(804)은 트랜지스터(850)의 동작에 직접 기여하지 않기 때문에, 저항값 등의 전기 특성을 고려하지 않고 상술한 광 흡수 특성을 갖는 다양한 재료를 사용할 수 있다. 그러므로, 광 조사 처리(130)에 의해 조사된 광을 효율적으로 열로 변환할 수 있다. 따라서, 저(低)에너지의 광 조사에 의해, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 산소를 효율적으로 첨가할 수 있기 때문에, 광 조사에 이용하는 장치의 소비전력을 저감할 수 있게 되고 유지보수의 빈도도 저감할 수 있다. 또한, 금속층(804)을 제 2 게이트 전극으로서 사용하고, 듀얼 게이트 구조의 반도체 장치로 하여도 좋다.

[0159] 일례를 들면, 스퍼터링법을 이용하여 산화몰리브덴을 200nm의 두께로 형성하여 금속층(804)으로서 사용하면 좋다.

[0160] 다음에, 금속층(804)에 광 조사 처리(130)를 실시한다(도 9c 참조). 입사광은 금속층(804)에 흡수되어, 금속층(804)이 선택적으로 가열된다. 이에 따라, 금속층(804)과 겹치는 영역의 절연층(106)도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 방출된다. 금속층(804)은 게이트 전극(104)과 겹치고 산화물 반도체층(108)과 접하여 형성되어 있기 때문에, 방출된 산소의 일부는 게이트 전극(104)과 겹치는 영역을 중심으로 산화물 반도체층(108) 내에 첨가된다. 또한, 본 실시형태에서는 금속층(804) 부분에 광 조사 처리(130)를 실시하지만, 기판 전체 면에 광 조사 처리(130)를 실시하여도 좋다. 광 조사 처리(130)에 이용하는 장치나 조사 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0161] 다음에, 금속층(804)을 마스크로 하여 불순물 첨가 처리(131)를 실시하여, 산화물 반도체층(108) 내에 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 형성한다(도 10a 참조). 불순물 첨가 처리(131)에 이용하는 장치나 첨가 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0162] 다음에, 절연층(106) 및 금속층(804) 위에 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)을 형성하고, 절연층(106), 제 1 층간 절연층(110), 및 제 2 층간 절연층(112)의 일부에 개구부를 형성한 후, 개구부를 통하여 저저항 영역(108a)과 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 형성한다(도 10b 참조). 또한, 제 1 층간 절연층(110), 제 2 층간 절연층(112), 소스 전극(114a), 및 드레인 전극(114b)의 재질, 특성, 형성 방법이나 개구부의 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0163] 또한, 본 실시형태에서는 절연층(106) 및 금속층(804) 위에 제 1 층간 절연층(110)을 형성하였지만, 반드시 형성할 필요는 없다. 또한, 본 실시형태에서는 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)은 단층 구조로 형성되어 있지만, 2층 이상의 적층 구조로 하여도 좋다. 층간 절연층을 어떤 재질이나 구조로 하는지는 트랜지스터(850)의 사용 용도나 필요한 특성을 감안하여 제작자가 적절히 선택하면 좋다.

[0164] 상술한 공정을 거쳐서, 도 8b에 도시된 바와 같이, 기판(100)과, 기판(100) 위에 형성된 하지층(102)과, 하지층

(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 산화 억제층(105)과, 하지층(102), 게이트 전극(104), 및 산화 억제층(105) 위에 형성된 게이트 절연층(802)과, 게이트 절연층(802) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 산화물 반도체층(108) 및 게이트 절연층(802) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 금속층(804)과, 절연층(106) 및 금속층(804) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 절연층(106), 제 1 층간 절연층(110), 및 제 2 층간 절연층(112)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 하부 게이트 형 트랜지스터(850)인 반도체 장치를 제작할 수 있다.

[0165] 또한, 도시되어 있지 않지만, 게이트 전극(104)은 게이트 절연층(802), 절연층(106), 제 1 층간 절연층(110), 및 제 2 층간 절연층(112)의 일부를 개구하여 형성된 콘택트 홀에 의해, 도전성을 갖는 배선을 통하여 제 2 층간 절연층 위에 전기적으로 리드되어 있다.

[0166] <본 실시형태에 의해 제작되는 반도체 장치의 효과>

[0167] 상술한 공정에 의해 제작된 도 8a 및 도 8b에 도시된 트랜지스터(850)는 광 조사 처리(130)에 의해 금속층(804)이 선택적으로 가열됨과 함께 금속층(804)과 겹치는 영역의 절연층(106)도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 탈리된다. 그리고, 절연층(106)은 산화물 반도체층과 접하여 형성되어 있고, 게이트 전극(104)은 금속층(804)과 겹치도록 형성되어 있기 때문에, 절연층(106)으로부터 탈리된 산소는 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 첨가된다. 그러므로, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위를 저감할 수 있다.

[0168] 따라서, 본 실시형태에 제시된 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0169] 또한, 금속층(804)은 게이트 전극(104)과 달리 반도체 장치의 동작에 직접 관여하는 것이 아니기 때문에, 저항 값이나 막 두께에 대한 제한 없이 광 조사 처리(130)에 의해 효율적으로 발열하는 재료를 금속층(804)에 사용할 수 있다. 그러므로, 광 조사 처리(130)를 저에너지화할 수 있다. 이로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 더 낮은 비용으로 제작할 수 있다.

[0170] 또한, 산화물 반도체층(108)에 불순물 첨가 처리(131)를 실시하는 경우에, 금속층(804)은 절연층(106)을 가열하기 위해서 이용될 뿐만 아니라 산화물 반도체층(108)에 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 형성하기 위한 마스크로서의 역할도 겹비할 수 있기 때문에, 반도체 장치의 제작 공정을 간략화할 수 있다.

[0171] 따라서, 본 실시형태에 제시된 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 더 낮은 비용으로 제작할 수 있다.

[0172] 또한, 금속층(804)은 게이트 전극(104)과 겹치는 영역의 산화물 반도체로 외광이 입사되는 것을 억제하는 역할(소위 차광막의 역할)을 하기 때문에, 외부로부터의 광 입사에 기인한 특성 변동이 억제된 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0173] (실시형태 4)

[0174] 본 실시형태에서는 금속층(804)이 실시형태 3과 상이한 위치에 구성된 반도체 장치에 대해서, 도 11a 내지 도 13을 사용하여 설명하기로 한다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 실시형태 1이나 실시형태 3과 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명을 생략한다.

[0175] <본 실시형태에 따른 반도체 장치의 구성>

[0176] 도 11a 및 도 11b는 본 실시형태의 방법에 의해 제작된 반도체 장치의 구성예인, 상부 게이트 구조의 트랜지스터(1150)이며, 도 11a는 트랜지스터(1150)의 상면도이고, 도 11b는 도 11a의 일점 쇄선부 G-H의 단면 개략도이다. 또한, 도 11a의 상면도에 대해서는 구조를 이해하기 쉽게 하기 위해서 패턴 형성된 막 및 층만을 기재하였다. 본 실시형태에서는 트랜지스터(1150)는 캐리어가 전자인 n채널형 트랜지스터인 것으로서 제작 방법을 설명하지만, n채널형에 한정되는 것이 아니다.

[0177] 도 11a 및 도 11b에 도시된 트랜지스터(1150)는 기판(100)과, 기판(100) 위에 형성된 하지층(102)과, 하지층

(102) 위에 형성된 금속층(804)과, 하지층(102) 및 금속층(804) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 절연층(106) 및 산화물 반도체층(108) 위에 형성된 게이트 절연층(802)과, 게이트 절연층(802) 위에 형성된 산화 억제층(105)과, 산화 억제층(105) 위에 형성된 게이트 전극(104)과, 게이트 절연층(802), 산화 억제층(105) 및 게이트 전극(104) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 제 1 층간 절연층(110), 제 2 층간 절연층(112), 및 게이트 절연층(802)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 구조이다.

[0178] <본 실시형태에 따른 반도체 장치의 제작 방법>

[0179] 트랜지스터(1150)의 제작 방법에 대해서 도 12a 내지 도 13을 사용하여 이하에서 설명하기로 한다.

[0180] 우선, 기판(100)을 마련하고, 기판(100) 위에 하지층(102)을 형성하고, 하지층(102) 위에 금속층(804)을 형성하고, 하지층(102) 및 금속층(804) 위에 절연층(106)을 형성하고, 절연층(106) 위에 산화물 반도체층(108)을 형성하고, 절연층(106) 및 산화물 반도체층(108) 위에 게이트 절연층(802)을 형성하고, 게이트 절연층(802) 위에 산화 억제층(105) 및 게이트 전극(104)을 형성한다(도 12a 참조). 기판(100), 하지층(102), 금속층(804), 절연층(106), 산화물 반도체층(108), 게이트 절연층(802), 산화 억제층(105), 및 게이트 전극(104)의 재질, 특성, 형성 방법 등에 대해서는 실시형태 3과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0181] 다음에, 금속층(804)에 광 조사 처리(130)를 실시한다(도 12b 참조). 이로써, 실시형태 3과 마찬가지로 게이트 전극(104)과 접치는 영역의 산화물 반도체층(108) 내에 산소가 첨가된다. 또한, 본 실시형태에서는 금속층(804) 부분에 광 조사 처리(130)를 실시하지만, 기판 전체 면에 광 조사 처리(130)를 실시하여도 좋다. 광 조사 처리(130)에 이용하는 장치나 조사 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0182] 다음에, 게이트 전극(104)을 마스크로 하여 불순물 첨가 처리(131)를 실시하여, 산화물 반도체층(108) 내에 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 형성한다(도 12c 참조). 불순물 첨가 처리(131)에 이용하는 장치나 첨가 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0183] 다음에, 게이트 절연층(802), 산화 억제층(105), 및 게이트 전극(104) 위에 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)을 형성하고, 제 1 층간 절연층(110), 제 2 층간 절연층(112), 및 게이트 절연층(802)의 일부에 개구부를 형성한 후에, 개구부를 통하여 저저항 영역(108a)과 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 형성한다(도 13 참조). 또한, 제 1 층간 절연층(110), 제 2 층간 절연층(112), 소스 전극(114a), 및 드레인 전극(114b)의 재질, 특성, 형성 방법 등이나 개구부의 형성 방법 등에 대해서는 실시형태 1과 마찬가지이기 때문에, 여기서는 상세한 설명을 생략한다.

[0184] 또한, 본 실시형태에서는 게이트 절연층(802), 산화 억제층(105) 및 게이트 전극(104) 위에 제 1 층간 절연층(110)을 형성하였지만, 반드시 형성할 필요는 없다. 또한, 본 실시형태에서는 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)은 단층 구조로 형성되어 있지만, 2층 이상의 적층 구조라도 좋다. 층간 절연층을 어떤 재질이나 구조로 하는지는 트랜지스터(1150)의 사용 용도나 필요한 특성을 감안하여 제작자가 적절히 선택하면 좋다.

[0185] 상술한 공정에 의해, 도 11b에 도시된 바와 같이, 기판(100)과, 기판(100) 위에 형성된 하지층(102)과, 하지층(102) 위에 형성된 금속층(804)과, 하지층(102) 및 금속층(804) 위에 형성된 절연층(106)과, 절연층(106) 위에 형성된 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 갖는 산화물 반도체층(108)과, 절연층(106) 및 산화물 반도체층(108) 위에 형성된 게이트 절연층(802)과, 게이트 절연층(802) 위에 형성된 산화 억제층(105)과, 산화 억제층(105) 위에 형성된 게이트 전극(104)과, 게이트 절연층(802), 산화 억제층(105), 및 게이트 전극(104) 위에 형성된 제 1 층간 절연층(110)과, 제 1 층간 절연층(110) 위에 형성된 제 2 층간 절연층(112)과, 제 1 층간 절연층(110) 및 제 2 층간 절연층(112)의 개구부를 통하여 저저항 영역(108a)에 전기적으로 접속된 소스 전극(114a) 및 드레인 전극(114b)을 갖는 상부 게이트형 트랜지스터(1150)인 반도체 장치를 제작할 수 있다.

[0186] <본 실시형태에 의해 제작되는 반도체 장치의 효과>

[0187] 상술한 공정에 의해 제작된 도 11a 및 도 11b에 도시된 트랜지스터(1150)는 광 조사 처리(130)에 의해 금속층

(804)이 선택적으로 가열됨과 함께 금속층(804)과 겹치는 영역의 절연층(106)도 가열되기 때문에, 상기 절연층 내에 함유된 산소가 탈리된다. 그리고, 절연층(106)은 산화물 반도체층과 접하여 형성되어 있고, 게이트 전극(104)은 금속층(804)과 겹치도록 형성되어 있기 때문에, 절연층(106)으로부터 탈리된 산소는 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 첨가된다. 이로써, 게이트 전극(104)과 겹치는 영역의 산화물 반도체층 내에 존재하는 산소 결손이나 계면 준위를 저감할 수 있다.

[0188] 따라서, 본 실시형태에 제시된 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0189] 또한, 금속층(804)은 게이트 전극(104)과 달리 반도체 장치의 동작에 직접 관여하는 것이 아니기 때문에, 저항값이나 막 두께에 대한 제한 없이 광 조사 처리(130)에 의해 효율적으로 발열하는 재료를 금속층(804)에 사용할 수 있다. 그러므로, 광 조사 처리(130)를 저에너지화할 수 있다. 이로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 더 낮은 비용으로 제작할 수 있다.

[0190] 또한, 산화물 반도체층(108)에 불순물 첨가 처리(131)를 실시하는 경우에, 게이트 전극(104)은 절연층(106)을 가열하기 위해서 이용될 뿐만 아니라, 산화물 반도체층(108)에 소스 영역(또는 드레인 영역)으로서 기능하는 저저항 영역(108a) 및 채널 형성 영역(108b)을 형성하기 위한 마스크로서의 역할도 겸비할 수 있기 때문에, 반도체 장치의 제작 공정을 간략화할 수 있다.

[0191] 따라서, 본 실시형태에서 제시한 방법을 이용함으로써, 임계값 전압의 변동이 적고 신뢰성이 높은 반도체 장치를 더 낮은 비용으로 제작할 수 있다.

[0192] 또한, 금속층(804)은 절연층(106)을 가열하는 기능 외에, 게이트 전극(104)과 겹치는 영역의 산화물 반도체로 외광이 입사되는 것을 억제하는 역할(소위 차광막의 역할)을 하기 때문에, 외부로부터의 광 입사에 기인한 특성 변동이 억제된 신뢰성이 높은 반도체 장치를 제작할 수 있다.

[0193] (실시형태 5)

[0194] 본 명세서에서 개시한 산화물 반도체 소자는 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는 예를 들어, 텔레비전 장치, 컴퓨터용 등의 모니터, 디지털 카메라나 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 파친코기 등의 대형 게임기 등을 들 수 있다. 상술한 실시형태에서 설명한 산화물 반도체 소자를 구비한 전자 기기의 일례를 도 14a 내지 도 14c를 사용하여 설명하기로 한다.

[0195] 도 14a는 휴대형 정보 단말기이며, 본체(1401), 하우징(1402), 제 1 표시부(1403a), 제 2 표시부(1403b) 등으로 구성되어 있다. 제 1 표시부(1403a)는 터치 입력 기능을 갖는 패널이며, 예를 들어 도 14a의 왼쪽 도면과 같이 제 1 표시부(1403a)에 표시된 선택 버튼(1404)에 의해, ‘음성 입력’을 하는지 ‘키 입력’을 하는지를 선택할 수 있다. 선택 버튼은 다양한 크기로 표시할 수 있기 때문에, 폭넓은 세대가 유용성을 실감할 수 있다. 여기서, 예를 들어 ‘키 입력’을 선택한 경우, 도 14a의 오른쪽 도면과 같이 제 1 표시부(1403a)에는 키보드(1405)가 표시된다. 이로써, 종래의 정보 단말기와 같이 키 입력을 이용한 빠른 문자 입력 등이 가능하다.

[0196] 또한, 도 14a에 도시된 휴대형 정보 단말기는 도 14a의 오른쪽 도면과 같이 제 1 표시부(1403a) 및 제 2 표시부(1403b) 중 하나를 탈착할 수 있다. 제 2 표시부(1403b)도 터치 입력 기능을 갖는 패널로 하여, 들고 다니기 위해서 보다 경량화할 수 있고, 한쪽 손으로 하우징(1402)을 들고 다른 쪽 손으로 조작할 수 있기 때문에 매우 편리하다.

[0197] 도 14a에 도시된 휴대형 정보 단말기는 다양한 정보(정지 영상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트 웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 또한, 하우징의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비한 구성으로 하여도 좋다.

[0198] 또한, 도 14a에 도시된 휴대형 정보 단말기는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고 다운로드하는 구성으로 할 수도 있다.

[0199] 또한, 도 14a에 도시된 하우징(1402)에 안테나나 마이크로폰의 기능이나 무선 기능을 탑재하여 휴대 전화로서 사용하여도 좋다.

[0200] 도 14b는 화상 표시 장치의 일 형태를 도시한 것이다. 도 14b에 도시된 화상 표시 장치는 터치 입력 기능을 구

비한 표시부(1411)를 가지며, 표시부(1411)는 유리창으로서 기능한다. 본 명세서에서 개시한 반도체 장치의 제작 방법에서 사용한 산화물 반도체층(108)은 투광성을 갖고 있기 때문에, 기판(100)으로서 투광성을 갖는 기판(예를 들어, 무알칼리 유리 등)을 사용하고, 또 배선을 미세화함으로써, 외부의 풍경을 볼 수 있을 만큼 충분한 가시광 투과율(예를 들어, 50% 이상의 가시광 투과율)을 갖도록 형성할 수 있다. 이로써, 예를 들어 도 14b의 왼쪽 도면과 같이, 표시부(1411)는 보통 상태에서는 유리창으로서 기능하지만, 표시부(1411)의 표면을 터치함으로써 도 14b의 오른쪽 도면과 같이 필요한 정보를 표시부(1411)에 표시할 수 있다.

[0201] 또한, 표시부(1411)의 내부 회로의 일부에 무선으로 정보를 송수신할 수 있는 기구(機構)(이하에서는 무선 기구라고 약기함)를 형성하여도 좋다. 이로써, 예를 들어 무선 기구를 구비한 압전 진동자(1412)를 화상 표시 장치의 일부에 설치하여, 표시부(1411)의 내부 회로의 일부에 형성된 무선 기구로부터 송신된 음성 신호를 압전 진동자(1412)에 구비된 무선 기구에 의해 수신하여 압전 진동자(1412)를 진동시킴으로써, 표시부(1411)를 진동시켜서 안정된 크기의 음성을 주위에 골고루 방사할 수 있다.

[0202] 도 14c는 고글형 디스플레이(헤드 마운트 디스플레이)의 일 형태를 도시한 것이다. 도 14c에 도시된 화상 표시 장치는 본체(1421)에 왼쪽 눈용 패널(1422a), 오른쪽 눈용 패널(1422b), 및 화상 표시 버튼(1423)이 설치되어 있다. 본 명세서에 개시된 반도체 장치의 제작 방법에서 사용한 산화물 반도체층(108)은 투광성을 갖고 있기 때문에, 기판(100)으로서 투광성을 갖는 기판(예를 들어, 무알칼리 유리 등)을 사용하고, 또 배선을 미세화함으로써, 충분한 가시광 투과율(예를 들어, 50% 이상의 가시광 투과율)을 갖도록 형성할 수 있다. 그러므로, 왼쪽 눈용 패널(1422a) 및 오른쪽 눈용 패널(1422b)은 외부의 풍경을 볼 수 있기 때문에, 보통 상태에서는 도 14c의 왼쪽 아래 도면과 같이, 사용자는 일반적인 안경을 이용하여 보는 것처럼 주위의 풍경을 볼 수 있다. 또한, 사용자가 필요한 정보를 얻고자 하는 경우에 화상 표시 버튼(1423)을 누름으로써 도 14c의 오른쪽 아래 도면과 같이 왼쪽 눈용 패널(1422a) 및 오른쪽 눈용 패널(1422b) 중 한쪽 또는 양쪽 모두에 화상이 표시된다.

[0203] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.

부호의 설명

[0204]

- 100: 기판
- 102: 하지층
- 104: 게이트 전극
- 105: 산화 억제층
- 106: 절연층
- 108: 산화물 반도체층
- 108a: 저저항 영역
- 108b: 채널 형성 영역
- 110: 제 1 충간 절연층
- 112: 제 2 충간 절연층
- 114a: 소스 전극
- 114b: 드레인 전극
- 120: 마스크
- 130: 광 조사 처리
- 131: 불순물 첨가 처리
- 150: 트랜지스터
- 550: 트랜지스터
- 802: 게이트 절연층

804: 금속층

850: 트랜지스터

1150: 트랜지스터

1401: 본체

1402: 하우징

1403a: 제 1 표시부

1403b: 제 2 표시부

1404: 선택 버튼

1405: 키보드

1411: 표시부

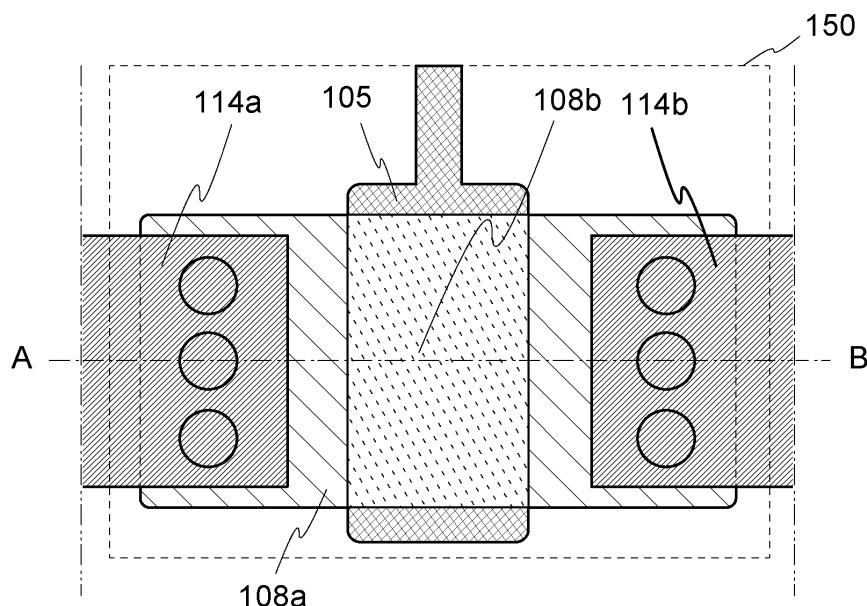
1412: 압전 진동자

1421: 본체

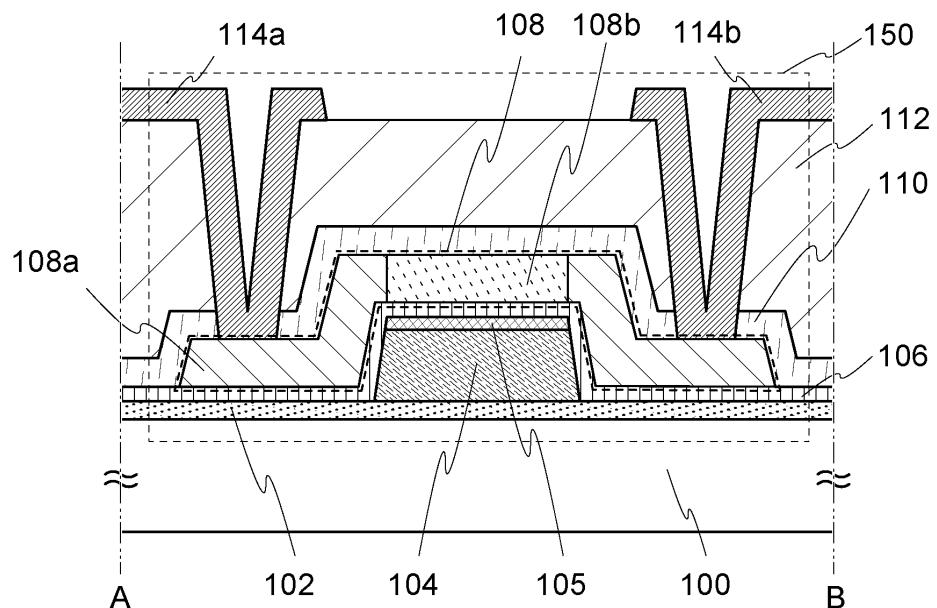
1422a: 왼쪽 눈용 패널

1422b: 오른쪽 눈용 패널

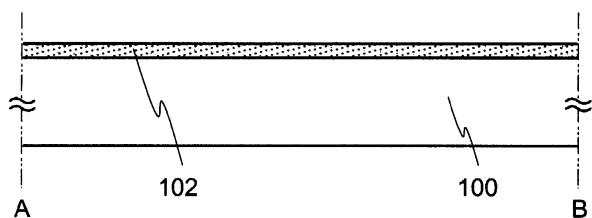
1423: 화상 표시 버튼

도면**도면1a**

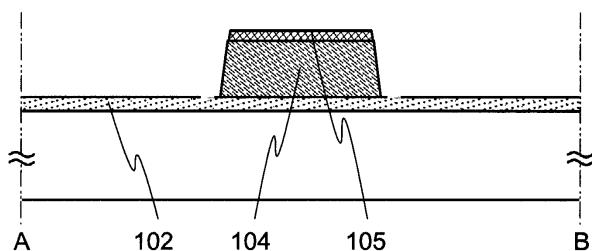
도면1b



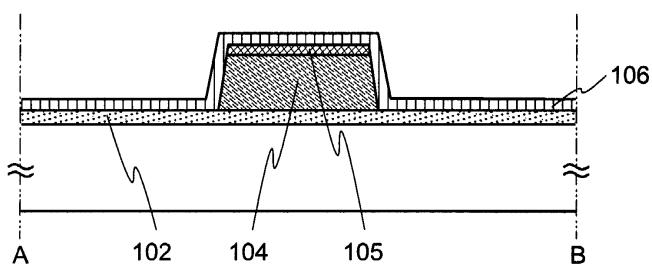
도면2a



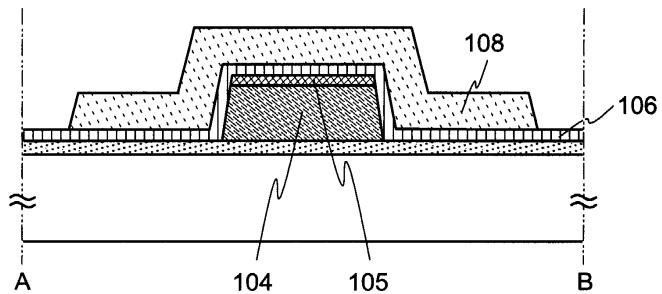
도면2b



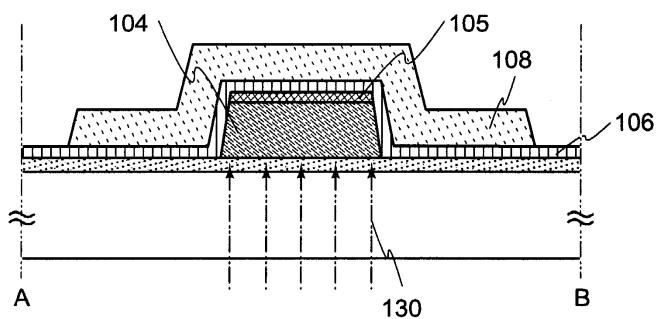
도면2c



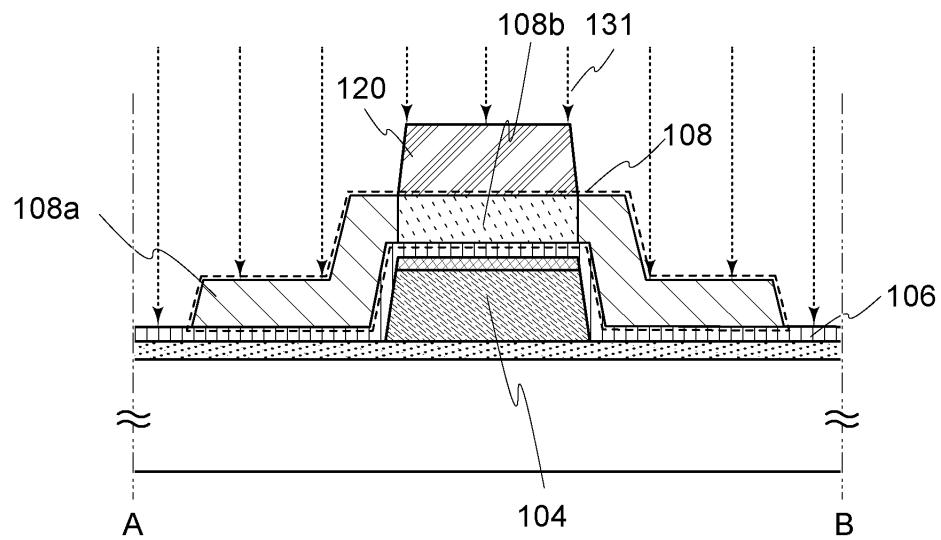
도면2d



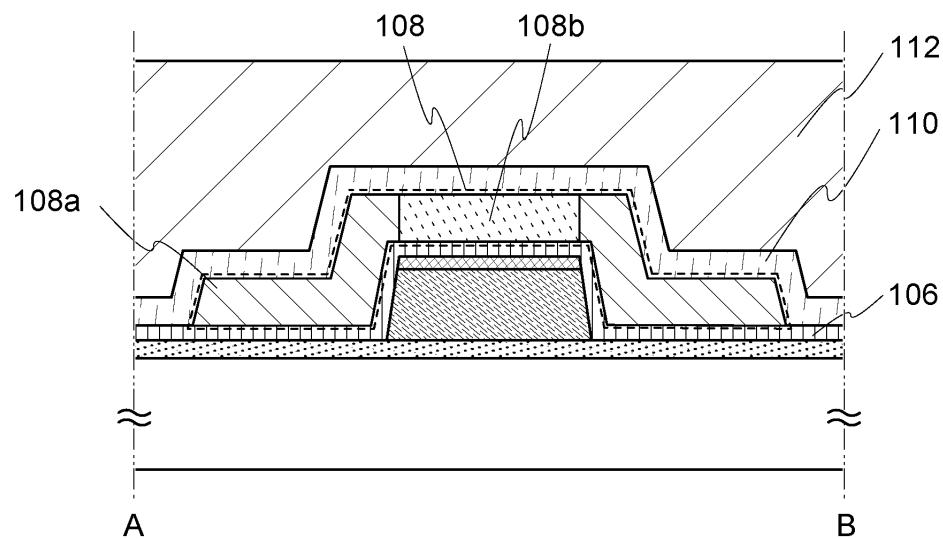
도면3a



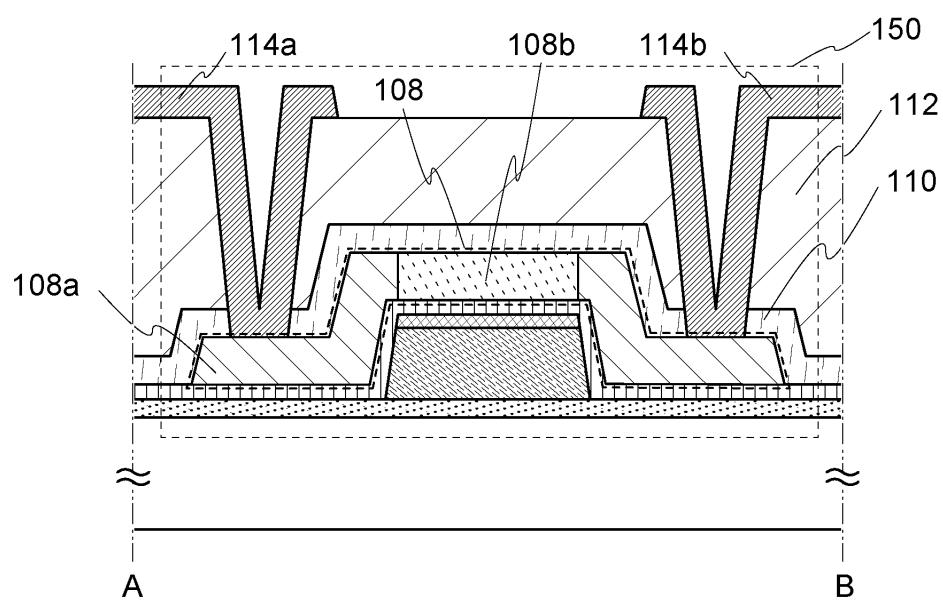
도면3b



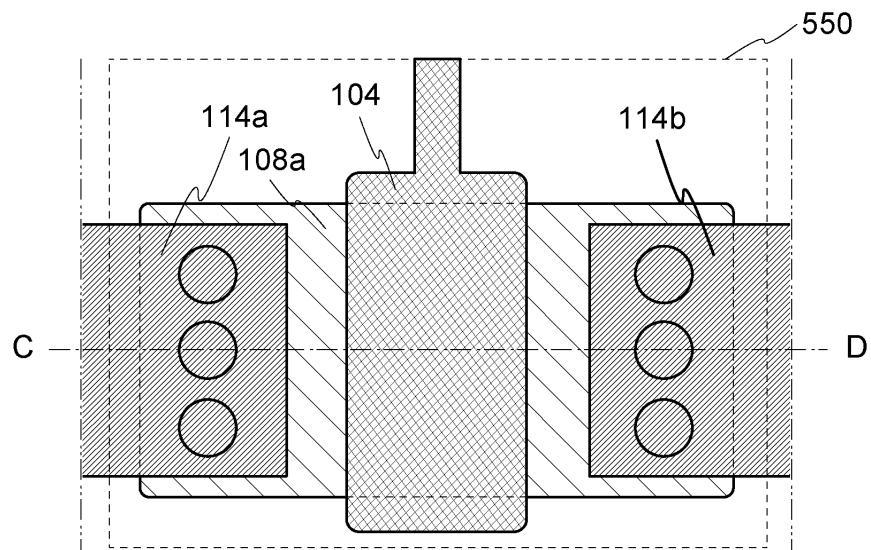
도면3c



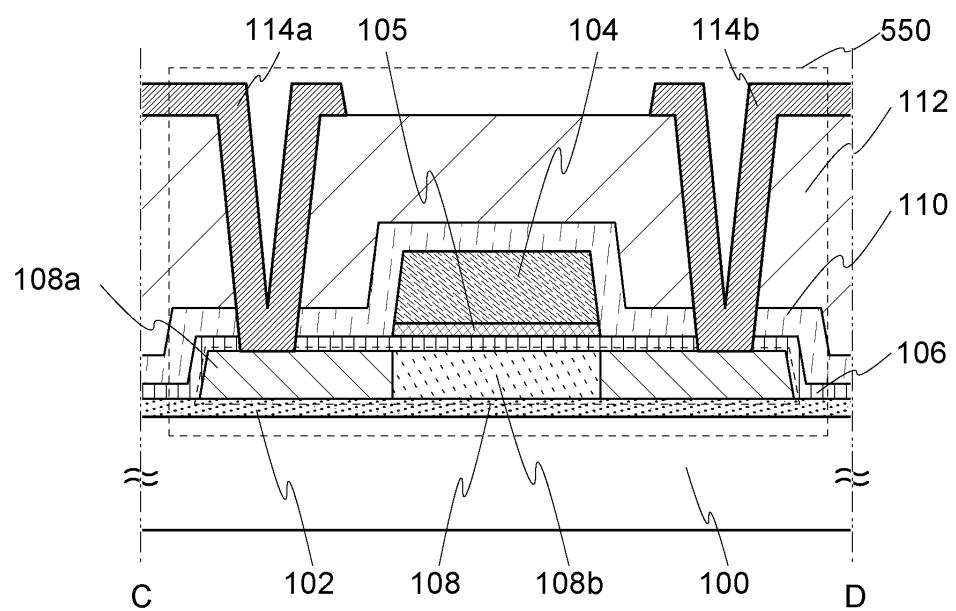
도면4



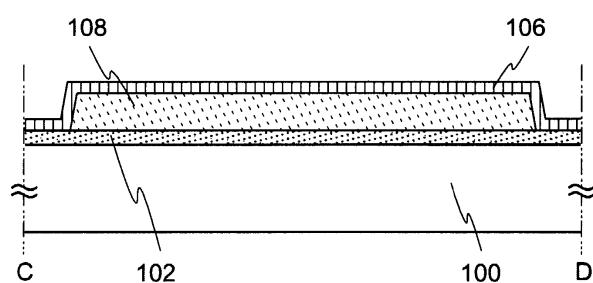
도면5a



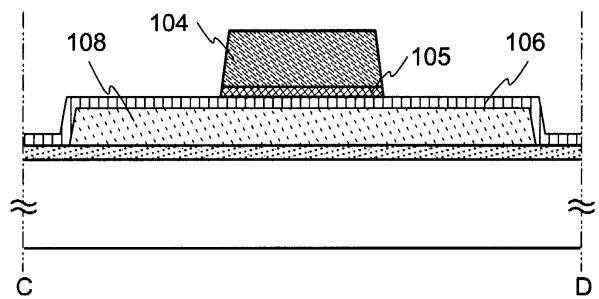
도면5b



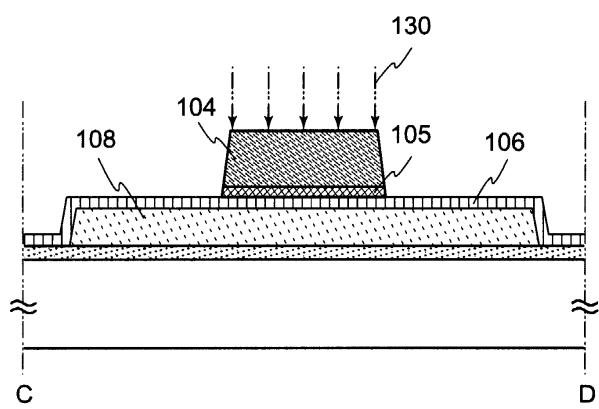
도면6a



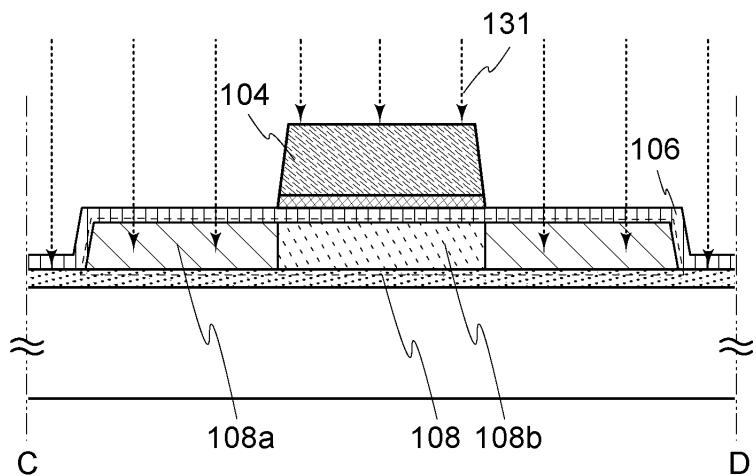
도면6b



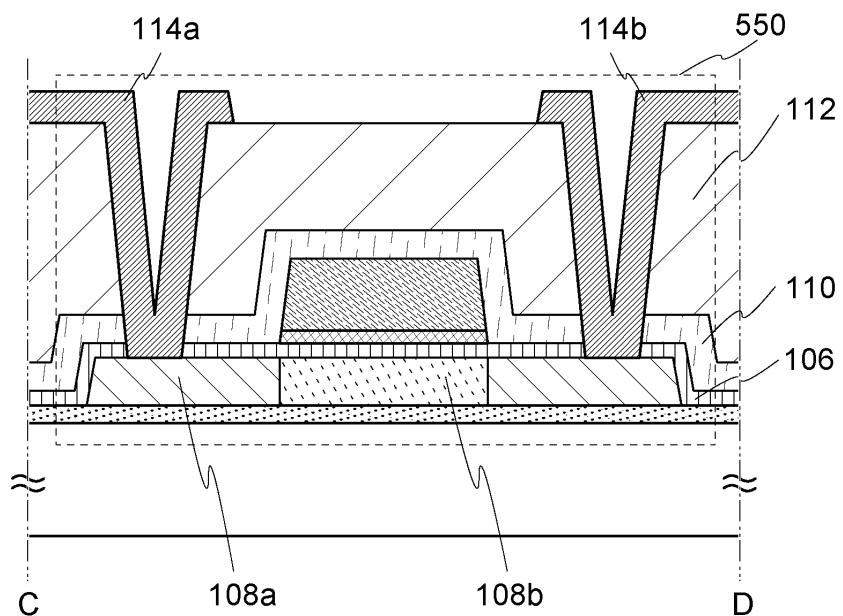
도면6c



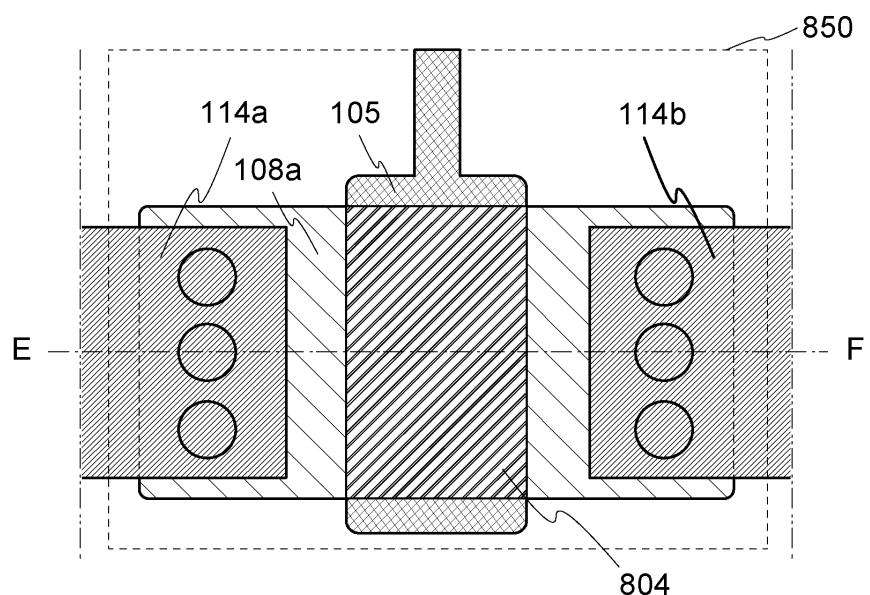
도면7a



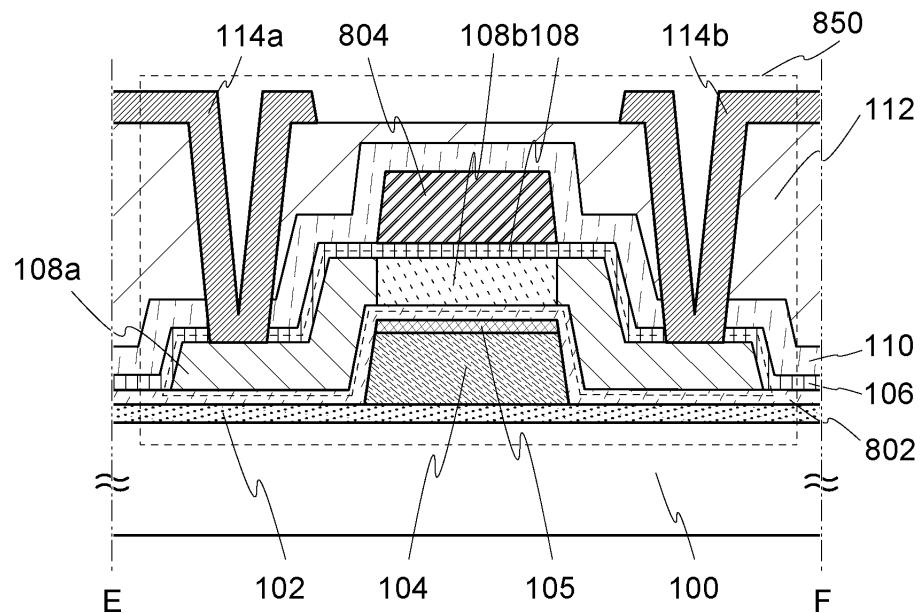
도면7b



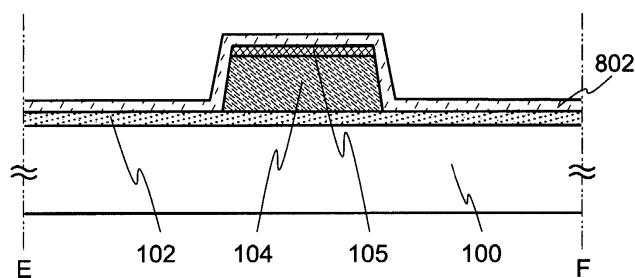
도면8a



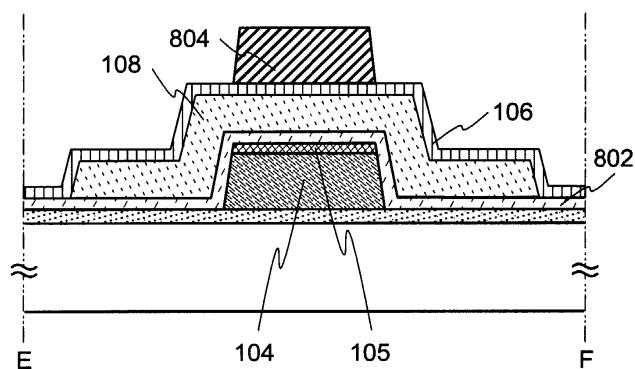
도면8b



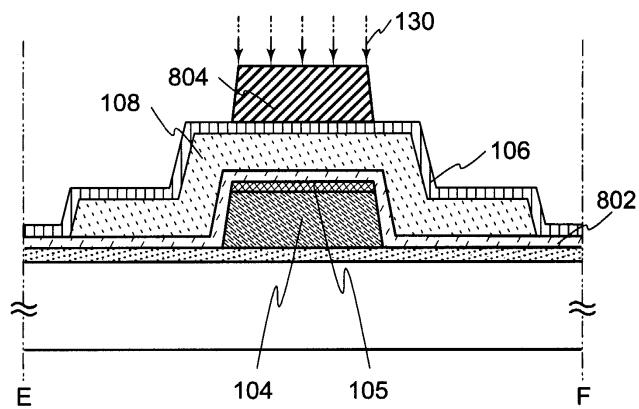
도면9a



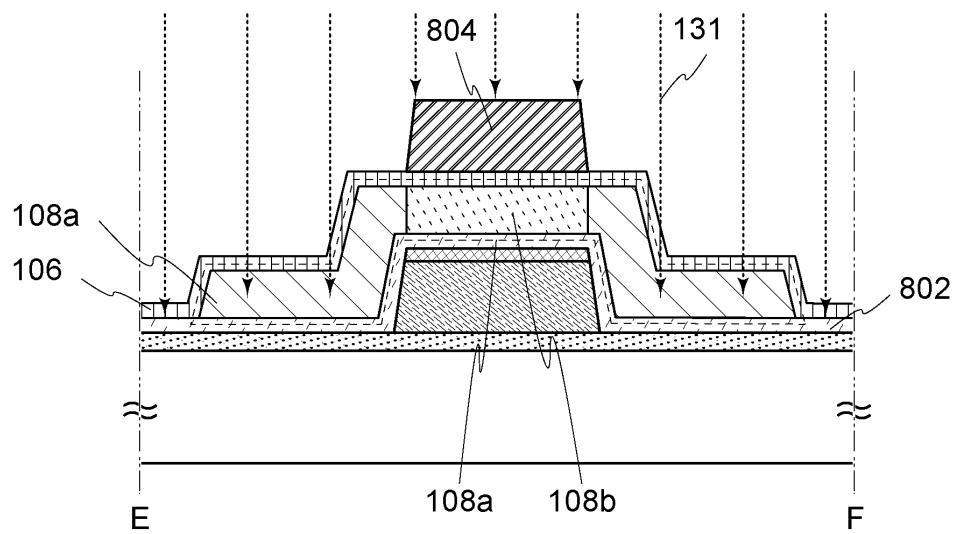
도면9b



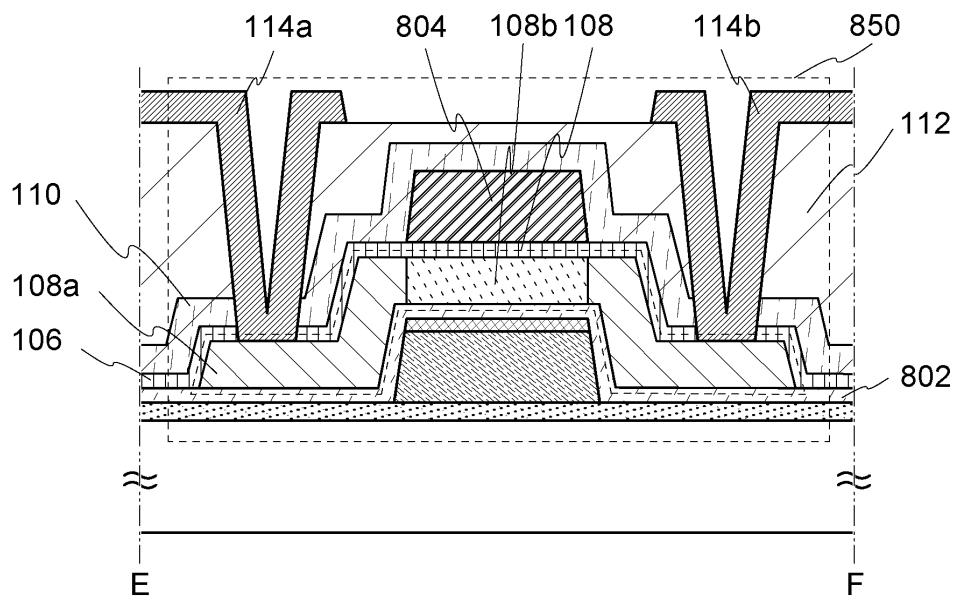
도면9c



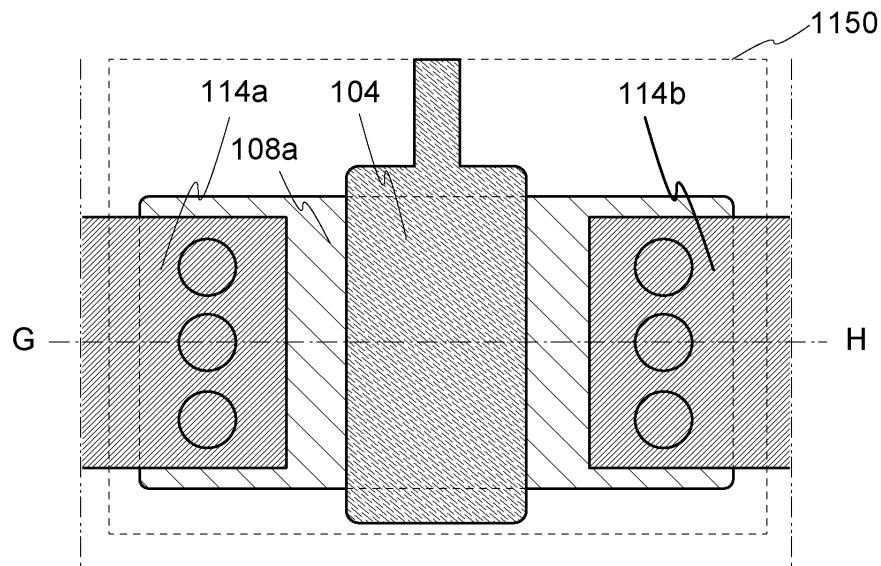
도면10a



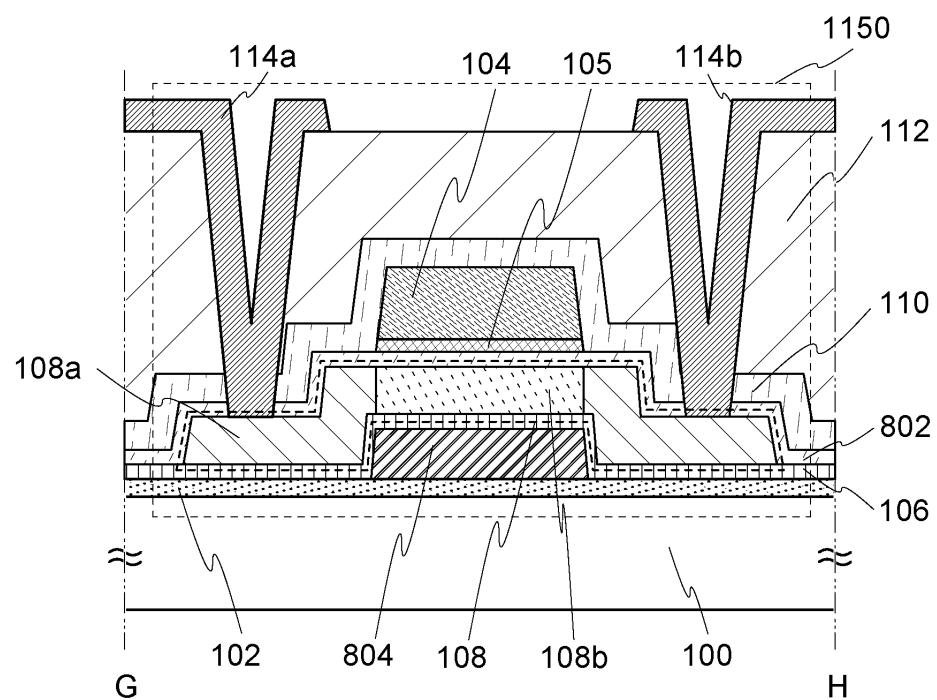
도면10b



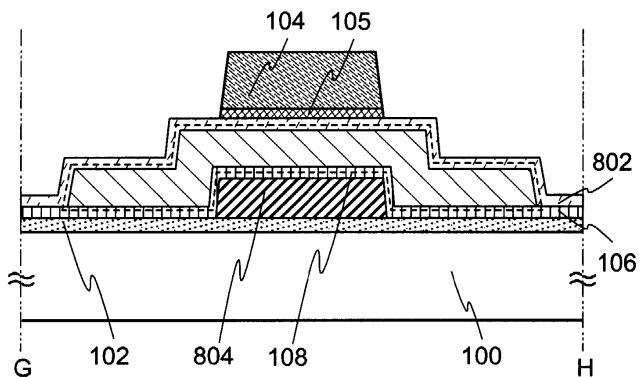
도면11a



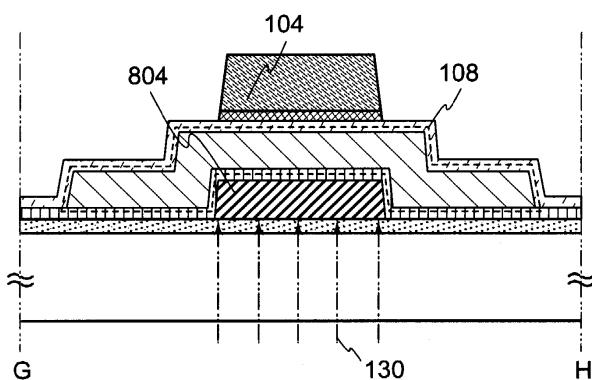
도면11b



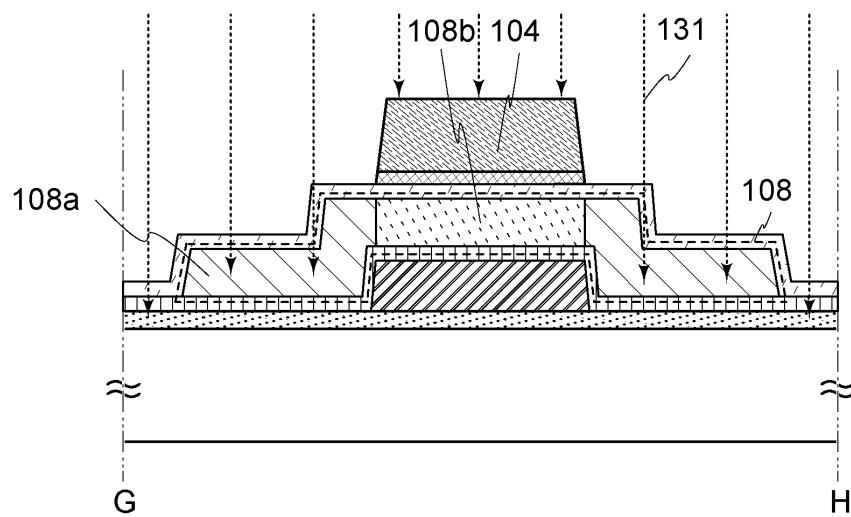
도면12a



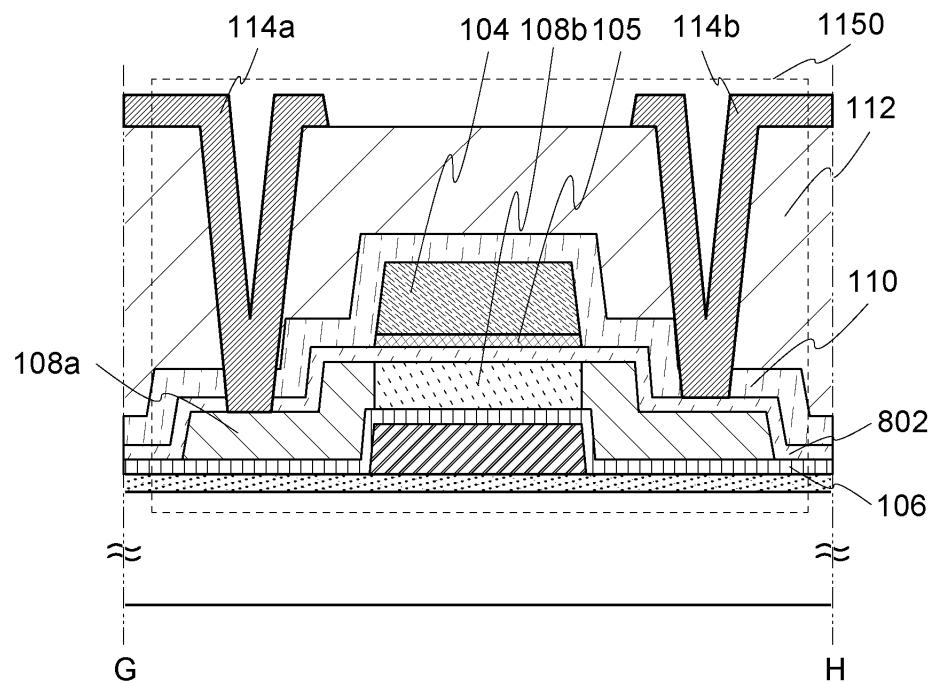
도면12b



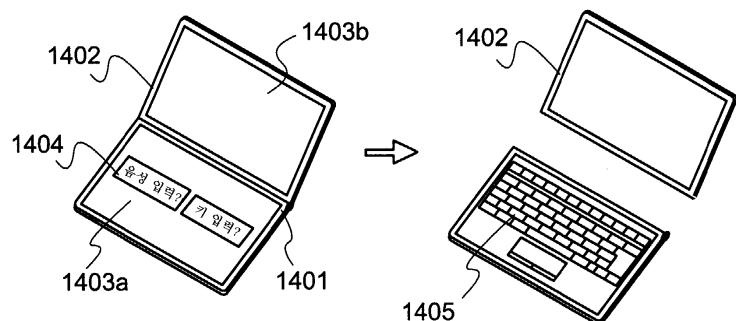
도면12c



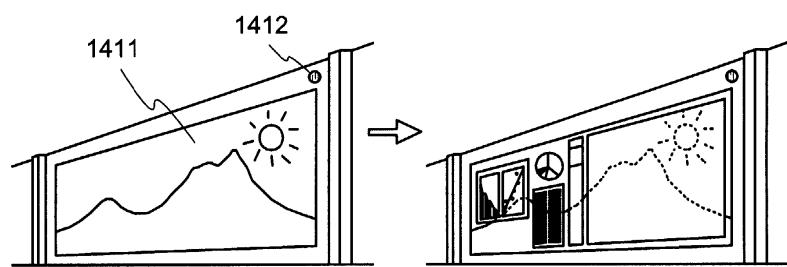
도면13



도면14a



도면14b



도면14c

