



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856426 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：111144175

(22)申請日：中華民國 111 (2022) 年 11 月 18 日

(51)Int. Cl. : H10B12/00 (2023.01)

H01L21/027 (2006.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72)發明人：顏宏戎 YAN, HUNG-JUNG (TW) ; 王春傑 WANG, CHUN-CHIEH (TW) ; 歐陽自

明 OU YANG, TZU-MING (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 200952072A

TW 201842654A

TW 201931440A

TW 202021149A

TW 202145490A

TW 202244993A

US 2020/0098781A1

US 2021/0202789A1

US 2022/0077280A1

US 2022/0320126A1

審查人員：何立璋

申請專利範圍項數：17 項 圖式數：10 共 29 頁

(54)名稱

半導體結構的形成方法及半導體結構

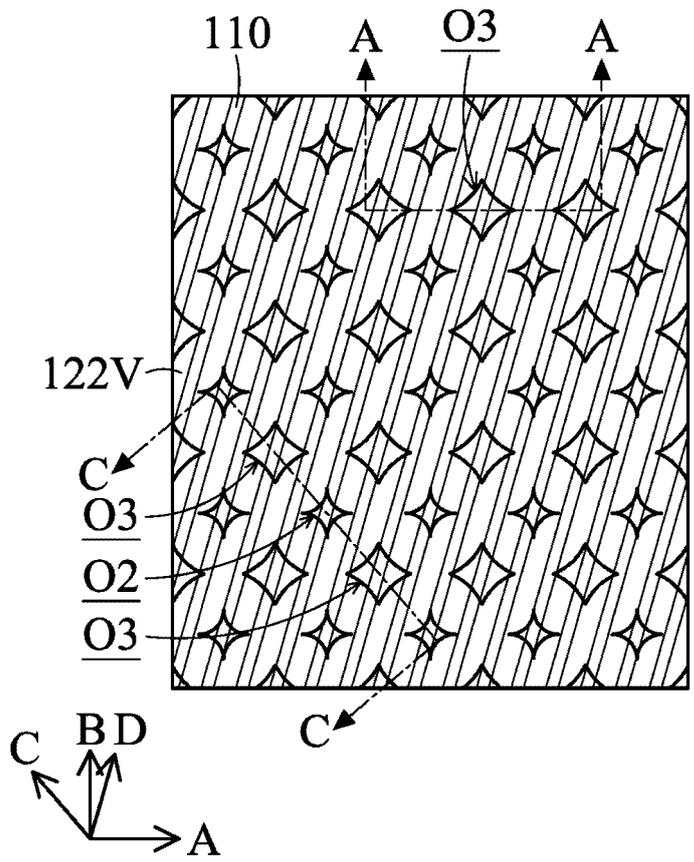
(57)摘要

一種半導體結構的形成方法，包含形成多個條狀圖案於半導體基底之上，形成硬遮罩層於條狀圖案之上，形成具有複數個第一開口的圖案化光阻層於硬遮罩層之上，以及使用圖案化光阻層蝕刻硬遮罩層。硬遮罩層的剩餘部分形成彼此隔開的多個柱狀圖案。此方法還包含沉積介電層沿著柱狀圖案，蝕刻介電層以形成複數個第二開口，移除柱狀圖案以形成複數個第三開口，以及使用介電層作為遮罩，蝕刻條狀圖案。

A method for forming a semiconductor structure includes forming strip patterns over a semiconductor substrate, forming a hard mask layer over the strip patterns, forming a patterned photoresist layer with a plurality of first openings over the hard mask layer, and etching the hard mask layer using the patterned photoresist layer. Remaining portions of the hard mask layer form a plurality of pillar patterns separated from one another. The method also includes depositing a dielectric layer along the pillar patterns, etching the dielectric layer to form a plurality of second openings, removing the pillar patterns to form a plurality of third openings, and etching the strip patterns using the dielectric layer.

指定代表圖：

符號簡單說明：  
110:圖案化遮罩層  
122V:間隔物層  
O2:開口  
O3:開口



第 6A 圖



I856426

## 【發明摘要】

【中文發明名稱】半導體結構的形成方法及半導體結構

【英文發明名稱】METHOD FOR FORMING

SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR  
STRUCTURE

## 【中文】

一種半導體結構的形成方法，包含形成多個條狀圖案於半導體基底之上，形成硬遮罩層於條狀圖案之上，形成具有複數個第一開口的圖案化光阻層於硬遮罩層之上，以及使用圖案化光阻層蝕刻硬遮罩層。硬遮罩層的剩餘部分形成彼此隔開的多個柱狀圖案。此方法還包含沉積介電層沿著柱狀圖案，蝕刻介電層以形成複數個第二開口，移除柱狀圖案以形成複數個第三開口，以及使用介電層作為遮罩，蝕刻條狀圖案。

## 【英文】

A method for forming a semiconductor structure includes forming strip patterns over a semiconductor substrate, forming a hard mask layer over the strip patterns, forming a patterned photoresist layer with a plurality of first openings over the hard mask layer, and etching the hard mask layer using the patterned photoresist layer. Remaining portions of the hard mask layer form a plurality of pillar patterns

separated from one another. The method also includes depositing a dielectric layer along the pillar patterns, etching the dielectric layer to form a plurality of second openings, removing the pillar patterns to form a plurality of third openings, and etching the strip patterns using the dielectric layer.

【指定代表圖】第 6A 圖

【代表圖之符號簡單說明】

110: 圖案化遮罩層

122V: 間隔物層

O2: 開口

O3: 開口

## 【發明說明書】

【中文發明名稱】半導體結構的形成方法及半導體結構

【英文發明名稱】METHOD FOR FORMING

SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR  
STRUCTURE

【技術領域】

【0001】本揭露係有關於一種半導體結構的形成方法，且特別是有關於半導體結構的主動區的形成方法。

【先前技術】

【0002】為了增加動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)裝置內的元件密度以及改善其整體表現，目前DRAM裝置的製造技術持續朝向元件尺寸的微縮化而努力。

【發明內容】

【0003】本發明實施例提供半導體結構的形成方法。此方法包含形成多個條狀圖案於半導體基底之上，形成硬遮罩層於條狀圖案之上，形成具有複數個第一開口的圖案化光阻層於硬遮罩層之上，以及使用圖案化光阻層蝕刻硬遮罩層。硬遮罩層的剩餘部分形成彼此隔開的多個柱狀圖案。此方法還包含沉積介電層沿著柱狀圖

案，蝕刻介電層以形成複數個第二開口於介電層中，移除柱狀圖案以形成複數個第三開口於介電層中，以及使用介電層作為遮罩，蝕刻條狀圖案。

**【0004】** 本發明實施例提供半導體結構的形成方法，此方法包含形成多個條狀圖案於半導體基底之上，形成第一硬遮罩層於條狀圖案之上，圖案化第一硬遮罩層，以形成對應於條狀圖案的多個柱狀圖案。柱狀圖案具有似菱形輪廓。此方法還包含形成間隔物層圍繞柱狀圖案。間隔物層具有與柱狀圖案錯開的複數個第一開口，且第一開口具有似菱形輪廓。此方法還包含移除柱狀圖案以形成複數個第二開口，以及使用間隔物層作為遮罩，蝕刻條狀圖案以及半導體基底。

**【0005】** 本發明實施例提供半導體結構，半導體結構基底、以及位於基底之上的間隔物層。間隔物層具有成陣列排列的複數個開口，開口包含排列於陣列的第一列的多個第一開口、以及排列於陣列的第二列的多個第二開口，第一開口與第二開口錯開，且第一開口和第二開口都具有似菱形輪廓。

### **【圖式簡單說明】**

**【0006】** 讓本發明之特徵和優點能更明顯易懂，下文特舉不同實施例，並配合所附圖式作詳細說明如下：

第1A至8A圖是根據本發明的一些實施例，顯示形成半導體結構在不同階段的平面示意圖。

第1B至8B圖是根據本發明的一些實施例，顯示半導體結構在沿著第1A至9A圖的線A-A和線B-B擷取的剖面示意圖。

第9A和9B圖說明柱狀圖案的一些細節。

第10A和10B圖說明間隙圖案的一些細節。

### 【實施方式】

【0007】 第1A至8A圖是根據本發明的一些實施例，顯示形成半導體結構在不同階段的平面示意圖。為了簡潔明確，這些平面示意圖僅顯示半導體結構的部分組件，半導體結構的其他組件可見於第1B至8B圖的剖面示意圖。

【0008】 為了易於說明，第1A至8A圖標示參考方向。方向A、B、C和D是水平方向。第一方向A平行於核心圖案所構成之陣列的列(row)方向。第二方向B平行於核心圖案所構成之陣列的行(column)方向。第一方向A大致上垂直於第二方向B。第三方向C平行於核心圖案所構成之陣列的對角線方向，第三方向C與第二方向B之間夾一銳角。第四方向D平行於主動區延伸的方向。第四方向D與第二方向B之間夾一銳角，其小於第三方向C與第二方向B之間的銳角。

【0009】 第1A至8A圖也標示參考剖面。剖面A-A是平行第一方向A且通過一系列核心圖案的面。剖面C-C是平行第三方向C且通過位於陣列對角線上的核心圖案的面。第1B至8B圖顯示半導

體結構沿著第 1A 至 8A 圖的剖面 A-A 和剖面 C-C 擷取的剖面示意圖。

【0010】 提供半導體基底 102，如第 1B 圖所示。在一些實施例中，半導體基底 102 是元素半導體基底，例如矽基底、或鍺基底；或化合物半導體基底，例如碳化矽基底、或砷化鎵基底。

【0011】 依序形成第一硬遮罩層 104、第二硬遮罩層 106、第三硬遮罩層 108、圖案化遮罩層 110、第四硬遮罩層 112、第五硬遮罩層 114、第六硬遮罩層 116、和第七硬遮罩層 118 於半導體基底 102 之上，如第 1A 和 1B 圖所示。

【0012】 在一些實施例中，第一硬遮罩層 104、第三硬遮罩層 108、第五硬遮罩層 114、和第七硬遮罩層 118 由含矽介電材料形成，例如氧化矽(SiO)、氮氧化矽(SiON)、富矽氮氧化矽(Si-SiON)、富氧氮氧化矽(O-SiON)、及/或氮化矽(SiN)。第一硬遮罩層 104、第三硬遮罩層 108、第五硬遮罩層 114、和第七硬遮罩層 118 可以由不同材料行形成。

【0013】 在一些實施例中，第二硬遮罩層 106、第四硬遮罩層 112 和第六硬遮罩層 116 由富碳材料製成，例如碳(carbon)，非晶碳(amorphous carbon)、類金剛石碳(diamond-like carbon，DLC)、高選擇性透明(High selectivity Transparency，HST)膜、及/或旋轉塗佈碳(spin-on carbon，SOC)。第二硬遮罩層 106、第四硬遮罩層 112 和第六硬遮罩層 116 可以由不同材料行形成。

【0014】 在一些實施例中，圖案化遮罩層 110 由半導體材料形成，例如多晶矽(polysilicon)。圖案化遮罩層 110 包含彼此大致等距地間隔開的多個條狀圖案，如第 1A 圖所示。條狀圖案之間具有溝槽 T1，溝槽 T1 暴露出第三硬遮罩層 108。圖案化遮罩層 110 的條狀圖案與溝槽 T1 在第四方向 D 上延伸。可透過沉積半導體材料，之後進行圖案化製程(包含微影與蝕刻製程)，形成圖案化遮罩層 110。第四硬遮罩層 112 形成於圖案化遮罩層 110 之上，且填充條狀圖案之間的溝槽 T1。

【0015】 圖案化遮罩層 110 的條狀圖案具有在第一方向 A 上的節距(pitch) $P_{A\_110}$ 、以及在第二方向 B 上的節距  $P_{B\_110}$ 。在一些實施例中，節距  $P_{B\_110}$  大於節距  $P_{A\_110}$ 。如本文所述，節距指的是在特定方向上一個圖案本身的尺寸與相鄰圖案之間的距離的總和。

【0016】 形成圖案化光阻層 120 於第七硬遮罩層 118 之上，如第 2A 和 2B 圖所示。圖案化光阻層 120 具有彼此隔開的多個開口 O1，開口 O1 暴露出第七硬遮罩層 118。可以透過旋轉塗佈製程形成光阻，之後對光阻材料進行微影製程，形成圖案化光阻層 120。

【0017】 圖案化光阻層 120 的開口 O1 在第一方向 A(即列方向)和第二方向 B(即行方向)上排列成陣列。開口 O1 重疊(或對準於)圖案化遮罩層 110 的條狀圖案。開口 O1 具有在第一方向 A 上的節距  $P_{A\_O1}$ 、以及在第二方向 B 上的節距  $P_{B\_O1}$ 。節距  $P_{B\_O1}$  可大於節距  $P_{A\_O1}$ 。節距  $P_{B\_O1}$  大致上等於條狀圖案的節距  $P_{B\_110}$ 。

節距  $P_{A\_O1}$  大於條狀圖案的節距  $P_{A\_110}$ ，例如，節距  $P_{A\_O1}$  是節距  $P_{A\_110}$  的大約兩倍。節距  $P_{A\_O1}$  對節距  $P_{B\_O1}$  的比值可以範圍在約 0.75 至約 0.95。

【0018】開口 O1 具有橢圓形輪廓，如第 2A 圖所示。開口 O1 具有在第一方向 A 上的尺寸 D1、以及在第二方向 B 上的尺寸 D2。尺寸 D1 對尺寸 D2 的比值可以範圍在約 0.65 至約 0.9。在其他一些實施例中，開口 O1 可具有圓形輪廓。

【0019】使用圖案化光阻層 120 對第 2A 與 2B 圖的半導體結構進行蝕刻製程，以移除開口 O1 正下方的第七硬遮罩層 118 和第六硬遮罩層 116，直到第五硬遮罩層 114 暴露出來，如第 3A 和 3B 圖所示。圖案化光阻層 120 和第七硬遮罩層 118 可以在蝕刻製程中移除，或是透過額外製程移除。

【0020】蝕刻製程包含蝕刻步驟和修整步驟。蝕刻步驟將圖案化光阻層 120 的開口 O1 垂直地轉移至第六硬遮罩層 116 中，而修整步驟橫向蝕刻第五硬遮罩層 114，以擴大第六硬遮罩層 116 中的開口 O1。擴大的開口 O1 標示為 O1'，如第 3A 和 3B 圖所示。進行修整步驟直到同一列及/或同一行中的相鄰兩個開口 O1' 彼此連接(或橋接)。

【0021】連接的開口 O1' 將第六硬遮罩層 116 切割為彼此隔開的多個柱狀圖案 116P。每一個柱狀圖案 116P 位於相鄰兩行與相鄰兩列交會點上的四個開口 O1' 之間，如第 3A 圖所示。柱狀圖案 116P 也可稱為核心圖案。

【0022】 柱狀圖案 116P 在第一方向 A(即列方向)和第二方向 B(即行方向)上排列成陣列。柱狀圖案 116P 重疊(或對準於)圖案化遮罩層 110 的條狀圖案。柱狀圖案 116P 具有與開口 O1 相同的節距  $P_{A\_O1}$  和節距  $P_{B\_O1}$ 。

【0023】 第 9A 和 9B 圖說明柱狀圖案 116P 的一些細節。如第 9A 圖所示，柱狀圖案 116P 可具有似菱形輪廓。柱狀圖案 116P 的輪廓可具有凹形的四個側邊(或側壁)S1。兩個側邊 S1 相交於一尖角 E。在一些實施例中，柱狀圖案 116P 可具有菱形輪廓，如第 9B 圖所示。柱狀圖案 116P 的輪廓具有線形的四個側邊 S2。兩個側邊 S2 相交的角度 F 可以範圍在約 60 度至約 120 度。柱狀圖案 116P 具有在第一方向 A 上的尺寸 D3、以及在第二方向 B 上的尺寸 D4。尺寸 D3 對尺寸 D4 的比值可以範圍在約 0.6 至約 1.7。儘管第 9A 和 9B 圖說明柱狀圖案 116P 的輪廓，但不限於此。舉例而言，透過調整蝕刻製程的參數，柱狀圖案 116P 的似菱形輪廓也可具有凸形的四個側邊。

【0024】 之後，形成介電層 122 沿著柱狀圖案 116P 的側壁和上表面、以及沿著第五硬遮罩層 114 的上表面，如第 4A 和 4B 圖所示。在一些實施例中，介電層 122 由介電材料形成，例如氧化矽(SiO)、氮化矽(SiN)、氮氧化矽(SiON)。可使用原子層沉積(ALD)製程、化學氣相沉積(CVD)製程、或其他適合技術，沉積介電層 122。

【0025】 介電層 122 包含沿著柱狀圖案 116P 上表面的第一水平部分 122H1、沿著第五硬遮罩層 114 上表面的第二水平部分 122H2、以及沿著柱狀圖案 116P 側壁的垂直部分 122V。進行沉積製程直到相鄰兩個垂直部分 122V 彼此合併(或橋接)。具體而言，垂直部分 122V 的合併發生在第一方向 A 上及第二方向 B 上，但在第三方向 C 上的垂直部分 122V 並未合併。為了說明之目的，第 4A 圖顯示垂直部分 122V 之間的界面。然而，垂直部分 122V 之間可以是沒有實質界面。

【0026】 在沉積製程完成時，這些柱狀圖案 116P 之間的空間被切割為彼此隔開的多個缺口 122N。每一個缺口 122N 位於相鄰兩行與相鄰兩列交會點上的四個柱狀圖案 116P 之間，且位於第二水平部分 122H2 上方。缺口 122N 在第一方向 A(即列方向)和第二方向 B(即行方向)上排列成陣列。缺口 122N 可具有菱形或似菱形輪廓。

【0027】 對介電層 122 進行蝕刻製程，以移除介電層 122 的第一水平部分 122H1 以及第二水平部分 122H2，直到暴露出柱狀圖案 116P 和第五硬遮罩層 114，如第 5A 和 5B 圖所示。在蝕刻製程之後，介電層 122 的垂直部分 122V 留下來，以作為間隔物層。蝕刻製程垂直地擴大缺口 122N，從而形成暴露出第五硬遮罩層 114 開口 O2。開口 O2 也可稱為間隙(gap)圖案。

【0028】 開口 O2 在第一方向 A(即列方向)和第二方向 B(即行方向)上排列成陣列。開口 O2 重疊(或對準於)圖案化遮罩層 110

的條狀圖案。開口 O2 具有與開口 O1 相同的節距  $P_{A\_O1}$  和節距  $P_{B\_O1}$ 。

【0029】 第 10A 和 10B 圖說明開口 O2 的一些細節。如第 10A 圖所示，開口 O2 可具有似菱形輪廓。開口 O2 的輪廓具有凹形的四個側邊 S3。兩個側邊 S3 相交於一尖角 G。在一些實施例中，開口 O2 可具有菱形輪廓，如第 10B 圖所示。開口 O2 的輪廓具有線形的四個側邊 S4。兩個側邊 S4 相交的角度 H 可以範圍在約 60 度至約 120 度。開口 O2 具有在第一方向 A 上的尺寸 D5、以及在第二方向 B 上的尺寸 D6。尺寸 D5 對尺寸 D6 的比值可以範圍在約 0.6 至約 1.7。儘管第 10A 和 10B 圖說明開口 O2 的輪廓，但不限於此。舉例而言，透過調整蝕刻製程的參數，開口 O2 的似菱形輪廓可具有凸形的四個側邊。

【0030】 之後，進行蝕刻製程移除柱狀圖案 116P，從而形成開口 O3，如第 6A 和 6B 圖所示。開口 O3 暴露出第五硬遮罩層 114。開口 O3 在第一方向 A(即列方向)和第二方向 B(即行方向)上排列成陣列。開口 O3 與開口 O2 在第二方向上 B 交替排列且錯開。開口 O3 的輪廓、尺寸和配置與柱狀圖案 116P 的輪廓、尺寸和配置大致上相同，因此不再贅述。儘管第 6A 圖顯示開口 O2 的尺寸小於開口 O3 的尺寸。在一些實施例中，開口 O2 的尺寸可以等於或大於開口 O3 的尺寸。在移除柱狀圖案 116P 之後，間隔物層 122V 具有核心圖案(即開口 O3)和間隙圖案(即開口 O2)。間隔物層 122V 配置為用於後續形成主動區的蝕刻遮罩的蝕刻遮罩。

【0031】 根據本發明實施例，核心圖案與間隙圖案具有近似輪廓，例如皆為似菱形或菱形輪廓。如此，核心圖案與間隙圖案之間的圖案平衡性較佳，這有助於提升在蝕刻後檢測(AEI)期間，量測設備對於圖案的檢測能力。因此，可在半導體製造製程早期就檢測出具有不符合管制規範之圖案的晶圓，從而降低半導體記憶體裝置的製造成本，且提升半導體記憶體裝置的製造良率。此外，柱狀圖案 116P 由硬遮罩材料(例如，碳)形成，其具有比光阻材料更好的剛性。因此，可降低核心圖案遭遇剝離或扭曲的風險。

【0032】 再者，核心圖案的尺寸是由柱狀圖案 116P 所定義，而間隙圖案的尺寸是取決由間隔物層 122V 的厚度。相較於透過形成間隔物層來同時產生具有核心圖案與間隙圖案的開口的情況，本發明實施例的方法可獨立調整間隙圖案的尺寸(透過調整間隔物層 122V 的厚度)，而不會影響核心圖案的尺寸。因此，可降低半導體記憶體裝置的製程難度。

【0033】 使用間隔物層 122V 對第 6A 與 6B 圖的半導體結構進行一或多道蝕刻製程，以移除開口 O2 和 O3 正下方的第五硬遮罩層 114、第四硬遮罩層 112、以及圖案化遮罩層 110，直到第三硬遮罩層 108 暴露出來，如第 7A 和 7B 圖所示。間隔物層 122V、第五硬遮罩層 114 和第四硬遮罩層 112 可以在蝕刻製程中移除，或是透過額外製程移除。蝕刻製程將間隔物層 122V 的開口 O2 和 O3 轉移至圖案化遮罩層 110 中，以形成開口 O4。開口 O4 將圖案化遮罩層 110 的條狀圖案截斷為多個島狀圖案 110A。

【0034】 使用島狀圖案 110A 對第 7A 與 7B 圖的半導體結構進行一或多道蝕刻製程，以移除第三硬遮罩層 108、第二硬遮罩層 106、第一硬遮罩層 104、和半導體基底 102 在溝槽 T1 和開口 O4 正下方的部分，如第 8A 和 8B 圖所示。第三硬遮罩層 108、第二硬遮罩層 106 和第一硬遮罩層 104 可以在蝕刻製程中移除，或是透過額外製程移除。蝕刻製程將島狀圖案 110A 轉移至半導體基底 102，以形成主動區 102A。

【0035】 可形成額外組件於第 8A 和 8B 圖的半導體結構之上，從而製得半導體記憶體裝置。舉例而言，可形成延伸通過主動區 102A 的埋入式字元線、形成於主動區 102A 之上的位元線、形成於位元線之上的電容器結構、及/或其他適用組件。在一些實施例中，半導體記憶體裝置是動態隨機存取記憶體 (DRAM)。

【0036】 根據上述，本發明實施例之半導體結構的形成方法涉及自對準雙圖案化技術。根據本發明實施例，透過微影和蝕刻製程形成具有似菱形或菱形輪廓的柱狀圖案以作為核心圖案。之後透過形成間隔物層圍繞柱狀圖案，以定義出同樣具有似菱形或菱形輪廓的間隙圖案。由於核心圖案與間隙圖案具有近似輪廓，可以提升量測設備對於圖案的檢測能力。因此，降低半導體記憶體裝置的製造成本，且提升半導體記憶體裝置的製造良率。

## 【符號說明】

### 【0037】

102:半導體基底

102A:主動區

104:第一硬遮罩層

106:第二硬遮罩層

108:第三硬遮罩層

110:圖案化遮罩層

110A:島狀圖案

112:第四硬遮罩層

114:第五硬遮罩層

116:第六硬遮罩層

118:第七硬遮罩層

120:圖案化光阻層

122:介電層

122H1:第一水平部分

122H2:第二水平部分

122N:缺口

122V:垂直部分(或間隔物層)

D1,D2,D3,D4,D5,D6:尺寸

E,G:尖角

F,H:角度

O1,O1',O2,O3,O4:開口

$P_{A\_110}$ ,  $P_{B\_110}$ ,  $P_{A\_O1}$ ,  $P_{B\_O1}$ :節距

S 1, S 2, S 3, S 4: 側邊

T 1: 溝槽

**【發明申請專利範圍】**

**【請求項1】** 一種半導體結構的形成方法，包括：

形成多個條狀圖案於一半導體基底之上；

形成一硬遮罩層於該等條狀圖案之上；

形成一圖案化光阻層於該硬遮罩層之上，其中該圖案化光阻層具有複數個第一開口；

使用該圖案化光阻層，蝕刻該硬遮罩層，其中該硬遮罩層的剩餘部分形成彼此隔開的多個柱狀圖案；

沉積一介電層沿著該等柱狀圖案；

蝕刻該介電層以形成複數個第二開口於該介電層中；

移除該等柱狀圖案以形成複數個第三開口於該介電層中，其中在一平面圖中，該等第二開口與該等第三開口錯開，且該等第二開口和該等第三開口都具有似菱形輪廓，其中該等第二開口對準於該等條狀圖案之上，且該等第三開口對準於該等條狀圖案之上；以及

使用該介電層作為遮罩，蝕刻該等條狀圖案。

**【請求項2】** 如請求項1之半導體結構的形成方法，其中蝕刻該硬遮罩層的步驟包括：

將該等第一開口轉移至該硬遮罩層中；以及

擴大該硬遮罩層中的該等第一開口，直到擴大的該等第一開口中之相鄰兩者彼此合併。

**【請求項3】** 如請求項1之半導體結構的形成方法，其中：

該等柱狀圖案排列成一陣列，該陣列的一第一列包含依序排列的一第一柱狀圖案和一第二柱狀圖案，該陣列的一第二列包含依序排列一第三柱狀圖案和一第四柱狀圖案，該陣列的一第一行包含依序排列該第一柱狀圖案和該第三柱狀圖案，以及該陣列的一第二行包含依序排列該第二柱狀圖案和該第四柱狀圖案；以及

進行沉積該介電層直到該介電層沿著該第一柱狀圖案的側壁的一第一部分與該介電層沿著該第二柱狀圖案的側壁的一第二部分彼此合併。

**【請求項4】** 如請求項3之半導體結構的形成方法，其中：

該介電層沿著該第一柱狀圖案的側壁的該第一部分與該介電層沿著該第三柱狀圖案的側壁的一第三部分彼此合併，

該介電層沿著該第二柱狀圖案的側壁的該第二部分與該介電層沿著該第四柱狀圖案的側壁的一第四部分彼此合併，以及

該介電層沿著該第三柱狀圖案的側壁的該第三部分與該介電層沿著該第四柱狀圖案的側壁的該第四部分彼此合併。

**【請求項5】** 如請求項4之半導體結構的形成方法，其中一缺口形成於該介電層的該第一部分與該介電層的該第四部分之間，且蝕刻該介電層包括：擴大該缺口以形成該等第二開口中之一者。

**【請求項6】** 如請求項1之半導體結構的形成方法，其中蝕刻該等條狀圖案，以截斷該等條狀圖案為多個島狀圖案，該方法更包括：使用該等個島狀圖案對該半導體基底進行蝕刻製程，以形成多個主動區。

【請求項7】 一種半導體結構的形成方法，包括：

形成多個條狀圖案於一半導體基底之上；

形成一第一硬遮罩層於該等條狀圖案之上；

圖案化該第一硬遮罩層，以形成對應於該等條狀圖案的多個柱狀圖案，其中該等柱狀圖案具有似菱形輪廓；

形成一間隔物層圍繞該等柱狀圖案，其中該間隔物層具有與該等柱狀圖案錯開的複數個第一開口，且該等第一開口具有似菱形輪廓；

移除該等柱狀圖案以形成複數個第二開口，其中在一平面圖中，該等第一開口與該等第二開口錯開，且該等第二開口具有似菱形輪廓，其中該等第一開口對準於該等條狀圖案之上，且該等第二開口對準於該等條狀圖案之上；以及

使用該間隔物層作為遮罩，蝕刻該等條狀圖案。

【請求項8】 如請求項7之半導體結構的形成方法，其中該等條狀圖案在一第一方向上具有一第一節距，該等柱狀圖案在該第一方向上具有一第二節距，且該第二節距大於該第一節距。

【請求項9】 如請求項7之半導體結構的形成方法，其中圖案化該第一硬遮罩層的步驟包括：

使用一圖案化光阻層蝕刻該第一硬遮罩層，其中該圖案化光阻層具有多個第三開口，其中該等第三開口具有橢圓形輪廓。

【請求項10】 如請求項9之半導體結構的形成方法，其中圖案化該第一硬遮罩層的步驟更包括：

該等第三開口延伸至該第一硬遮罩層中且橫向擴大。

【請求項11】 如請求項7之半導體結構的形成方法，其中該等柱狀圖案的似菱形輪廓具有凹形的側邊。

【請求項12】 如請求項7之半導體結構的形成方法，其中該等第一開口排列成一第一陣列，該等第二開口排列成一第二陣列，該第一陣列的多個列與該第二陣列的多個列交替排列。

【請求項13】 一種半導體結構，包括：

一基底；

一間隔物層，位於該基底之上，其中該間隔物層具有成陣列排列的複數個開口，該等開口包括：排列於該陣列的一第一列的多個第一開口、以及排列於該陣列的一第二列的多個第二開口，該等第一開口與該等第二開口錯開，且該等第一開口和該等第二開口都具有似菱形輪廓；以及

複數個條狀圖案，位於該基底之上且位於該間隔物層下方，其中該等第一開口對準於該等條狀圖案之上，且該等第二開口對準於該等條狀圖案之上。

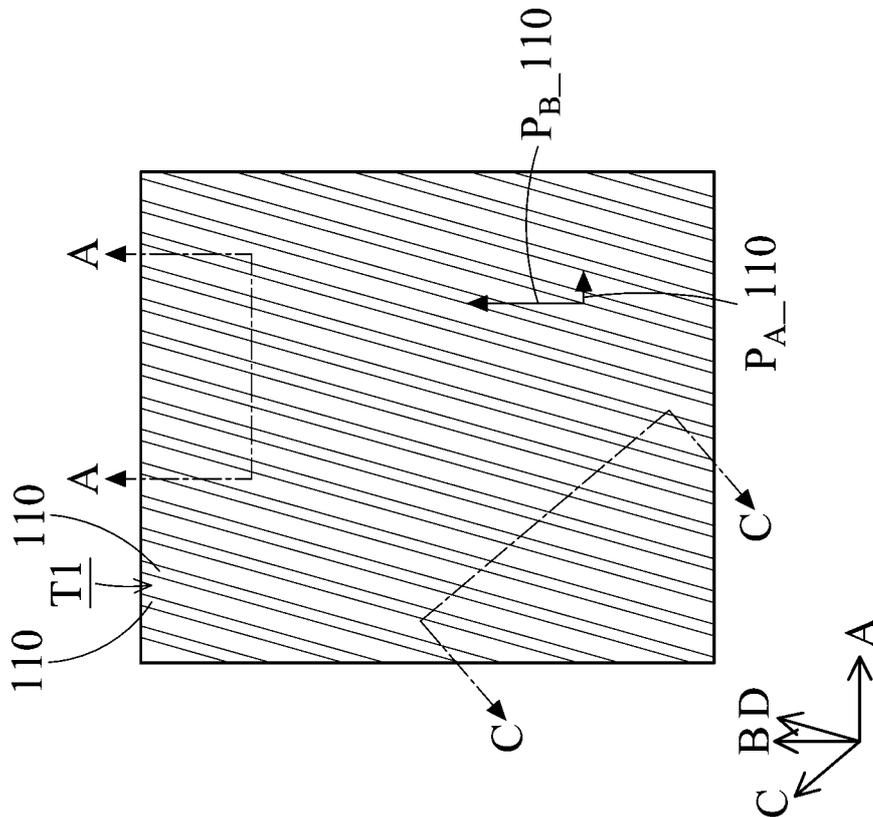
【請求項14】 如請求項13之半導體結構，其中該等開口包括：排列於該陣列的一第三列的多個第三開口，該等第一開口與該等第三開口對準，在該陣列的一行方向上，該等第三開口與該第一開口之間的節距等於該等條狀圖案之間的節距，且在該陣列的一列方向上，該等第一開口之間的節距是該等條狀圖案之間的節距的兩倍。

【請求項15】 如請求項13之半導體結構，其中該等第二開口的尺寸小於該等第一開口的尺寸。

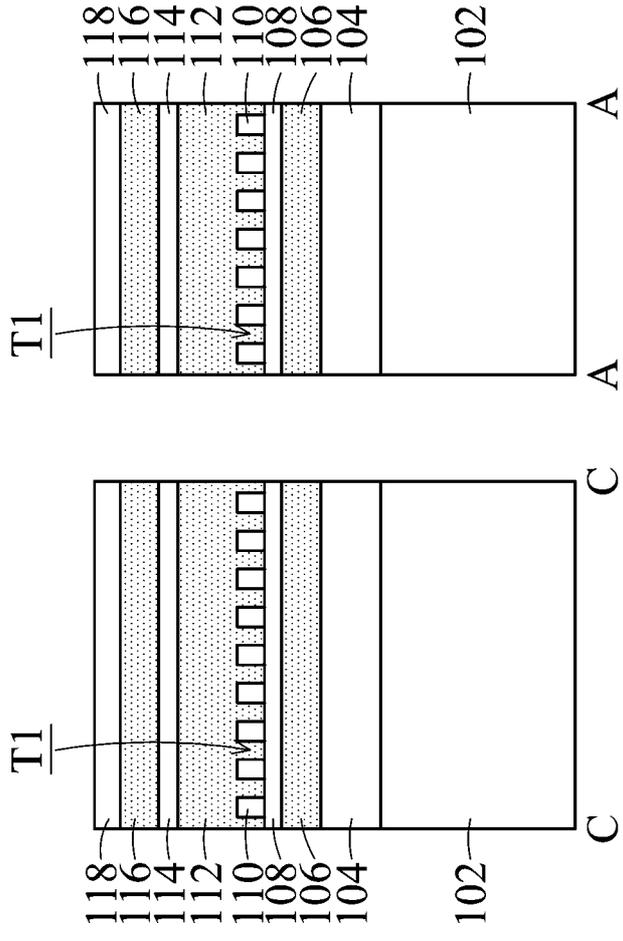
【請求項16】 如請求項13之半導體結構，其中該等第一開口或該等第二開口中之一者的兩個側邊相交於範圍在約60度至約120度的一角度。

【請求項17】 如請求項13之半導體結構，其中該等第一開口或該等第二開口具有凹形的四個側邊，且相鄰的該些側邊相交於一尖角。

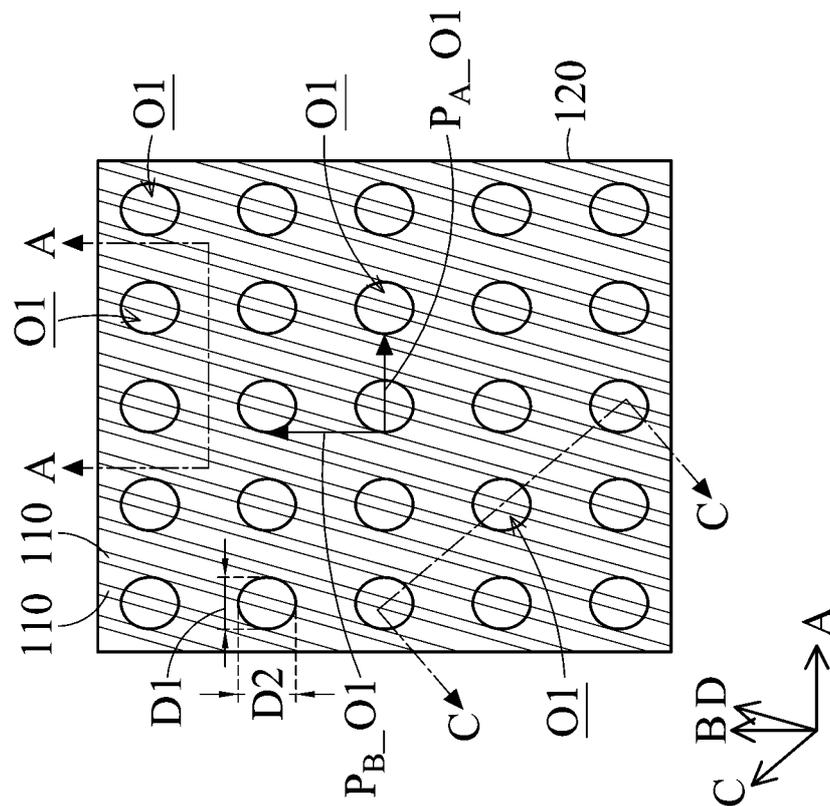
【發明圖式】



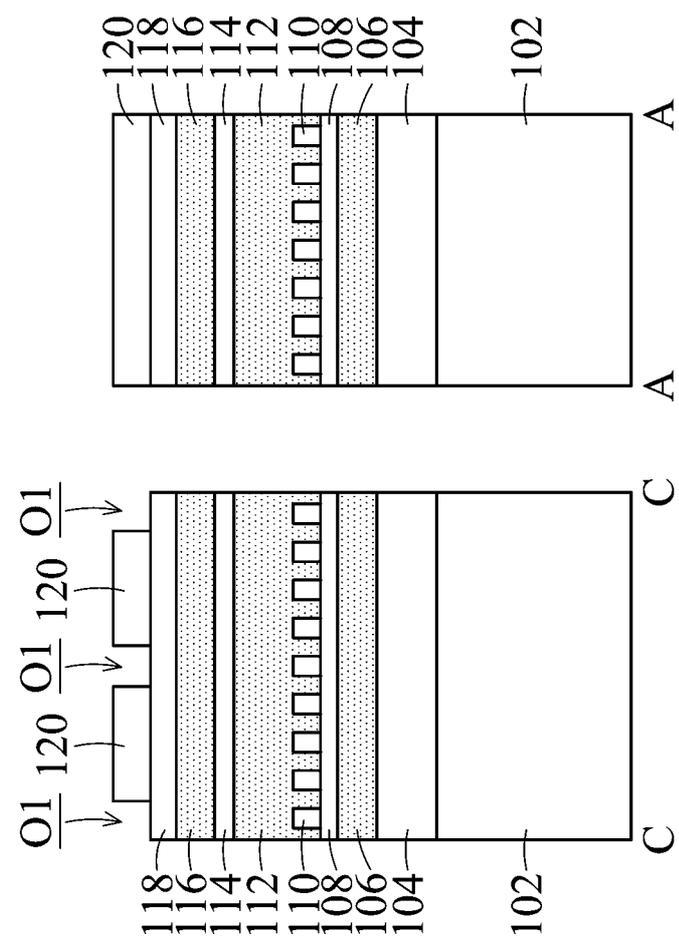
第1A圖



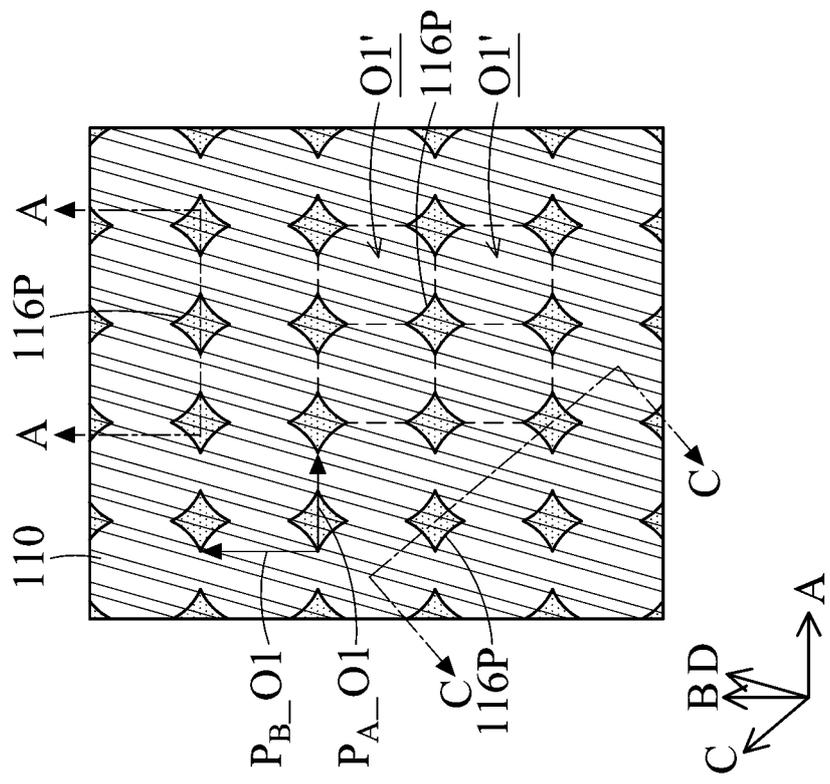
第1B圖



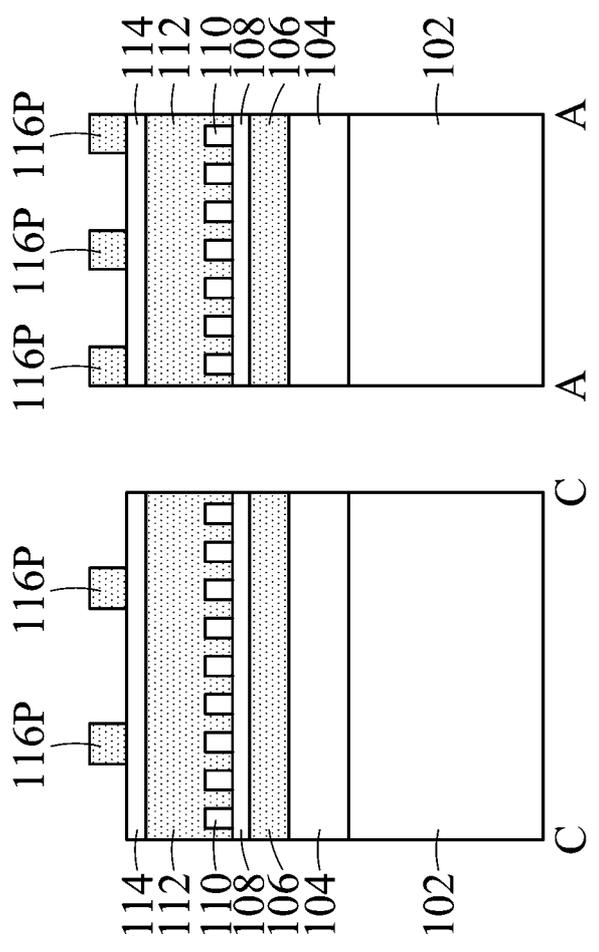
第2A圖



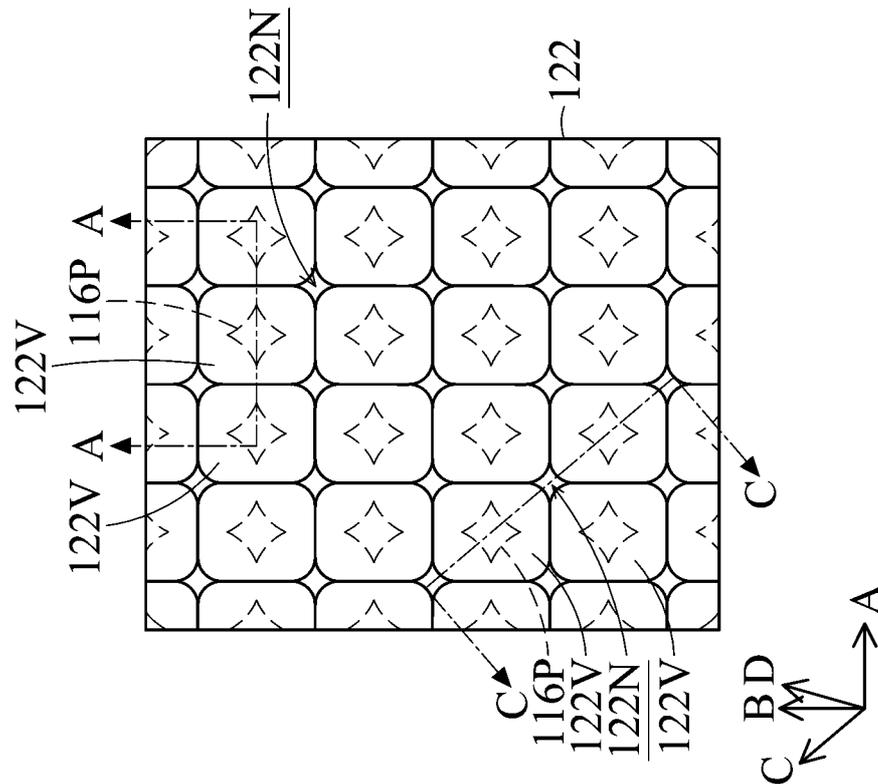
第2B圖



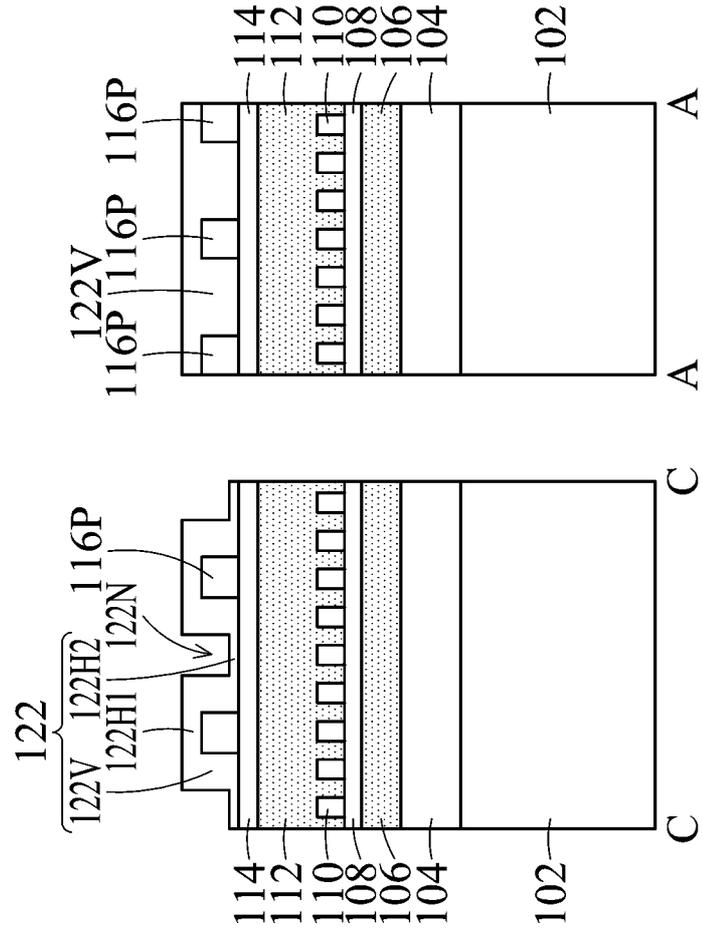
第3A圖



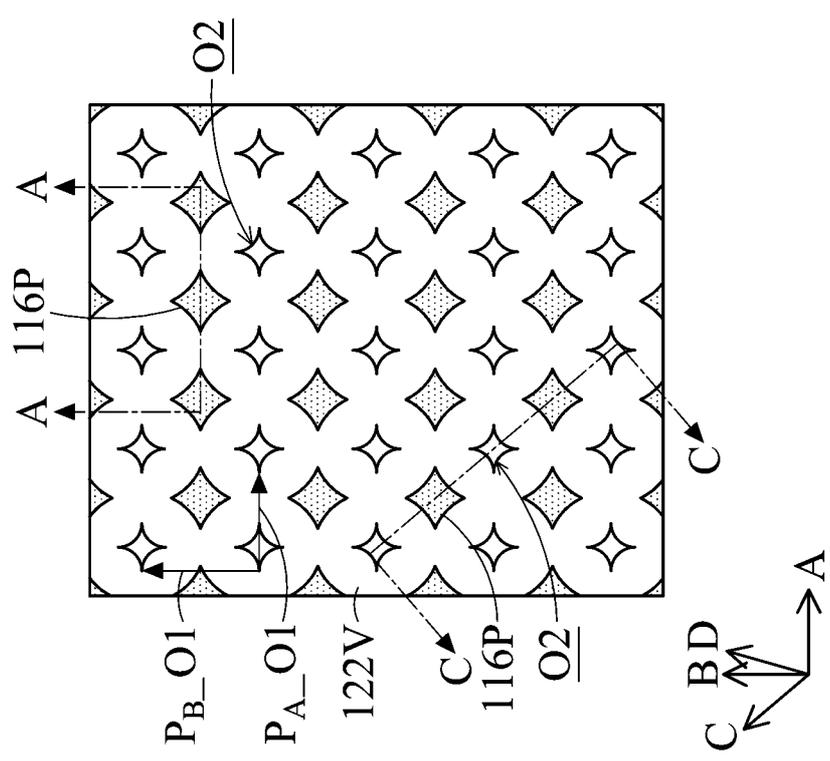
第3B圖



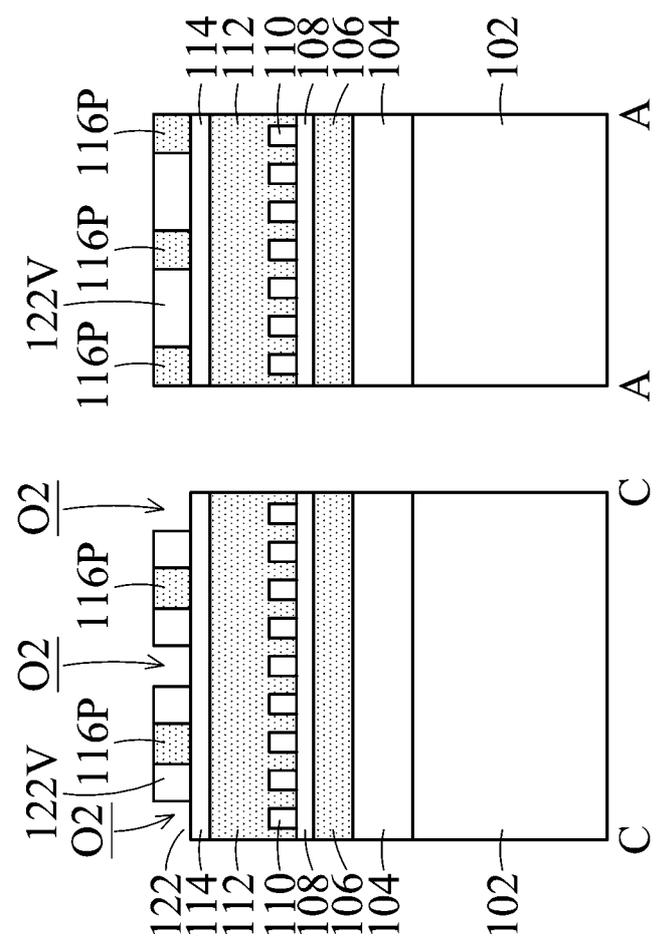
第4A圖



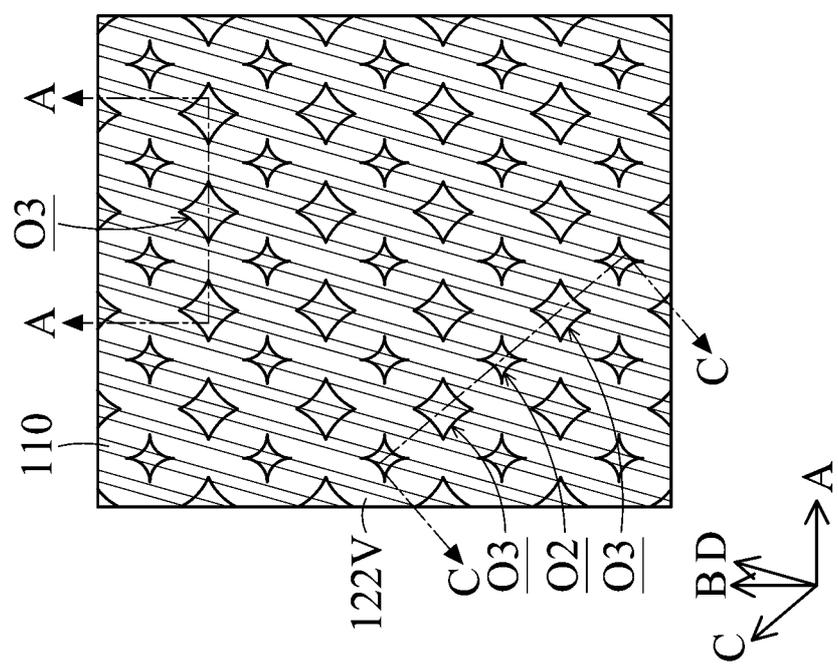
第4B圖



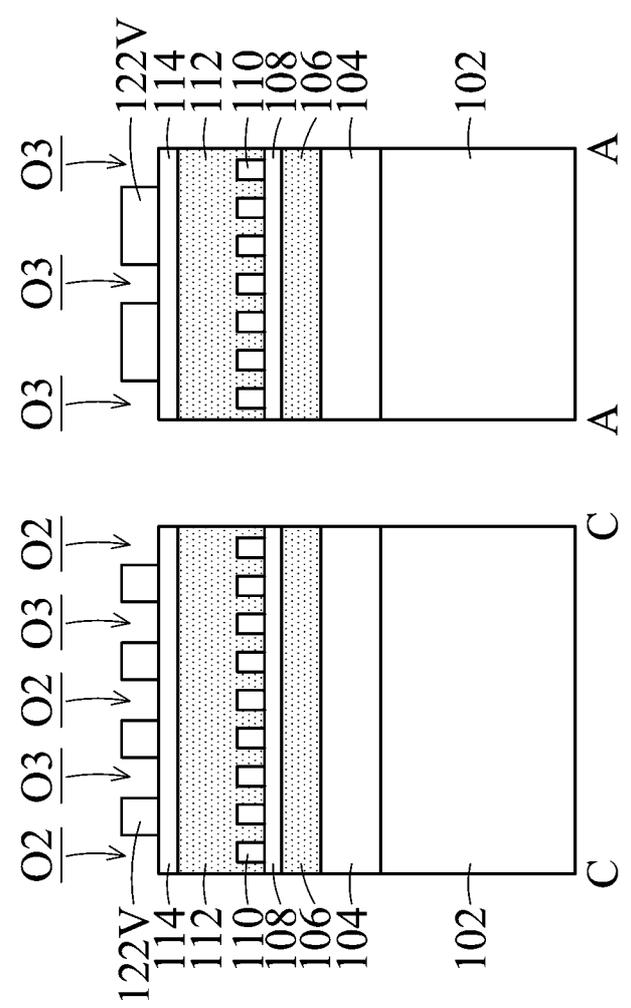
第5A圖



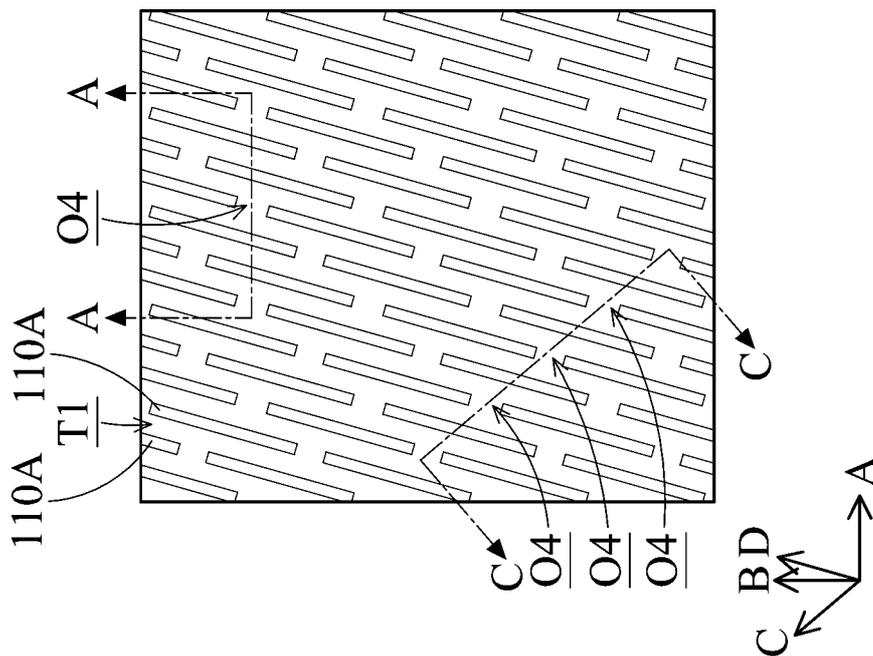
第5B圖



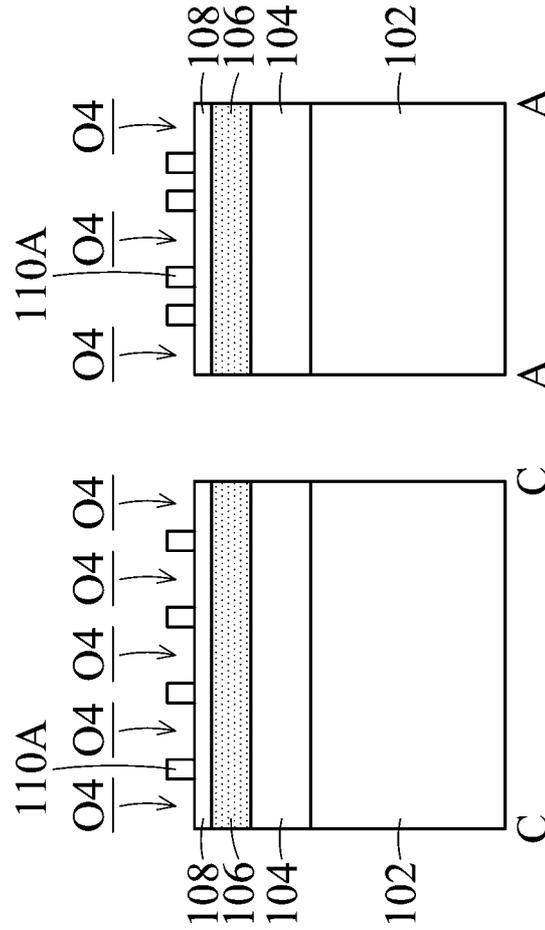
第6A圖



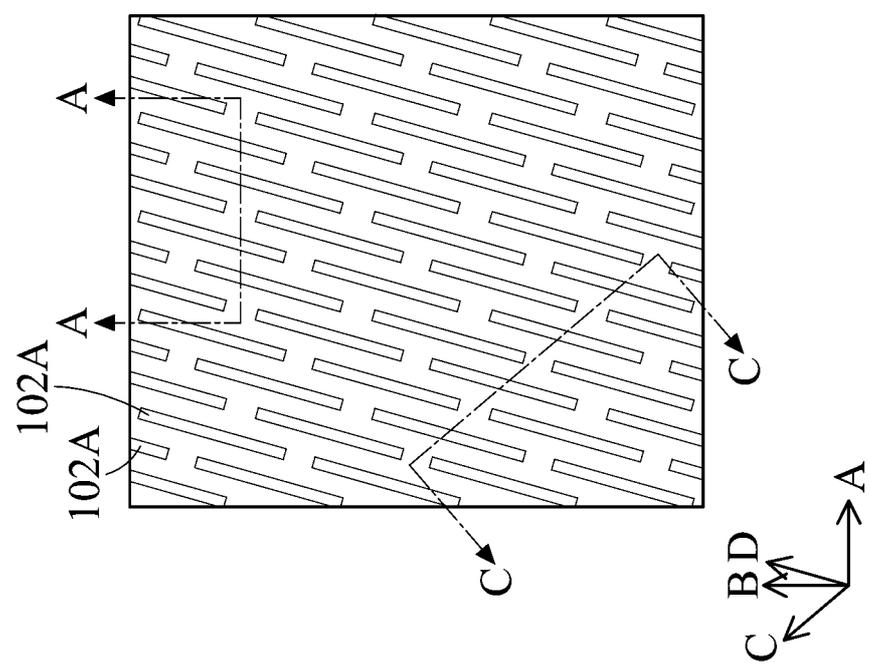
第6B圖



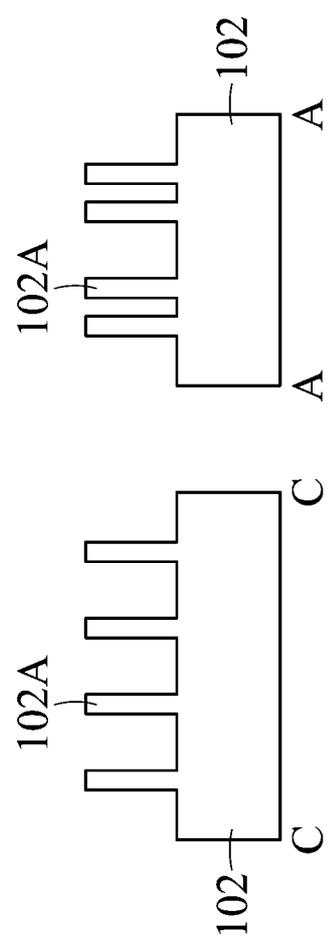
第7A圖



第7B圖

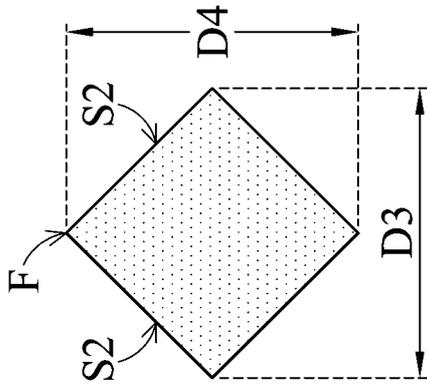


第 8A 圖



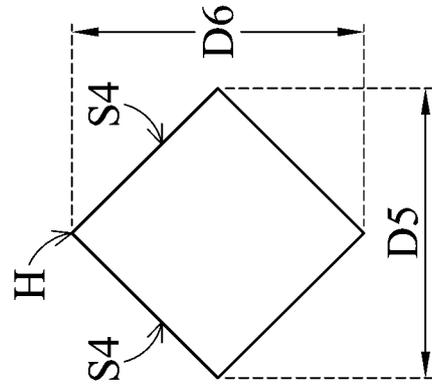
第 8B 圖

116P



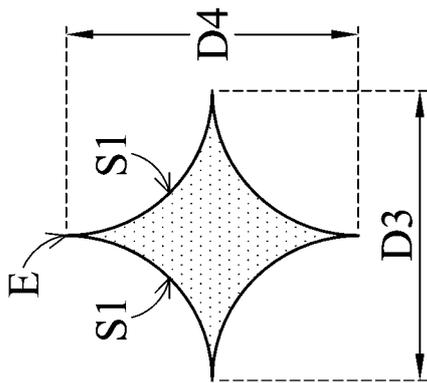
第 9B 圖

O2



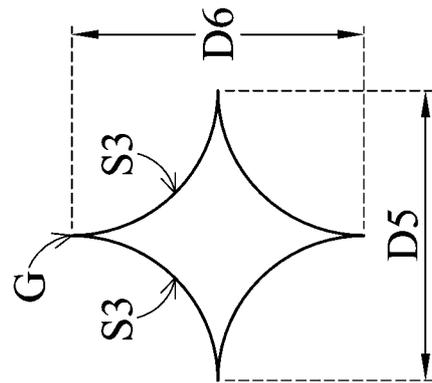
第 10B 圖

116P



第 9A 圖

O2



第 10A 圖