

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5352561号
(P5352561)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl.	F I
H03K 19/00 (2006.01)	H03K 19/00 A
H01L 29/786 (2006.01)	H01L 29/78 618B
H01L 21/336 (2006.01)	H01L 29/78 612Z

請求項の数 7 (全 67 頁)

(21) 出願番号	特願2010-236596 (P2010-236596)	(73) 特許権者	000153878
(22) 出願日	平成22年10月21日(2010.10.21)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-120222 (P2011-120222A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年6月16日(2011.6.16)	(72) 発明者	塩野入 豊
審査請求日	平成23年11月30日(2011.11.30)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-250415 (P2009-250415)		半導体エネルギー研究所内
(32) 優先日	平成21年10月30日(2009.10.30)	(72) 発明者	小林 英智
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 論理回路及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

クロック信号が入力される第1の期間と、前記クロック信号が入力されない第2の期間と、を有する論理回路であって、

前記第2の期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタを有し、

前記トランジスタのチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm³) 以下の酸化物半導体によって構成され、

前記酸化物半導体は In、Ga、Zn を主成分として有することを特徴とする論理回路。

【請求項 2】

イネーブル信号がハイレベルである第1の期間と、前記イネーブル信号がロウレベルである第2の期間と、を有する論理回路であって、

第1の入力端子がイネーブル信号線に電氣的に接続され、第2の入力端子がクロック信号線に電氣的に接続されたANDゲートと、

第1の入力端子がデータ信号線に電氣的に接続され、第2の入力端子が前記ANDゲートの出力端子に電氣的に接続されたフリップフロップと、を有し、

前記フリップフロップは、前記第2の期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタを有し、

前記トランジスタのチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm

³) 以下の酸化物半導体によって構成され、
前記酸化物半導体は In 、 Ga 、 Zn を主成分として有することを特徴とする論理回路。

【請求項 3】

イネーブル信号がロウレベルである第 1 の期間と、前記イネーブル信号がハイレベルである第 2 の期間と、を有する論理回路であって、

第 1 の入力端子がイネーブル信号線に電氣的に接続され、第 2 の入力端子が反転クロック信号線に電氣的に接続された NOR ゲートと、

第 1 の入力端子がデータ信号線に電氣的に接続され、第 2 の入力端子が前記 NOR ゲートの出力端子に電氣的に接続されたフリップフロップと、を有し、

前記フリップフロップは、前記第 2 の期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタを有し、

前記トランジスタのチャネル形成領域は、水素濃度が $5 \times 10^{19} \text{ (atoms/cm}^3\text{)}$

³) 以下の酸化物半導体によって構成され、

前記酸化物半導体は In 、 Ga 、 Zn を主成分として有することを特徴とする論理回路。

【請求項 4】

イネーブル信号がハイレベルである第 1 の期間と、前記イネーブル信号がロウレベルである第 2 の期間と、を有する論理回路であって、

第 1 の入力端子がイネーブル信号線に電氣的に接続され、第 2 の入力端子が反転クロック信号線に電氣的に接続されたラッチと、

第 1 の入力端子がデータ信号線に電氣的に接続され、第 2 の入力端子が前記ラッチの出力端子に電氣的に接続されたフリップフロップと、を有し、

前記フリップフロップは、前記第 2 の期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタを有し、

前記トランジスタのチャネル形成領域は、水素濃度が $5 \times 10^{19} \text{ (atoms/cm}^3\text{)}$

³) 以下の酸化物半導体によって構成され、

前記酸化物半導体は In 、 Ga 、 Zn を主成分として有することを特徴とする論理回路。

【請求項 5】

請求項 2 乃至請求項 4 のいずれか一項において、

前記フリップフロップが Delay 型フリップフロップである論理回路。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記論理回路は N チャネル型トランジスタと P チャネル型トランジスタとを有し、

前記 P チャネル型トランジスタは、Si ウェハーを用いて形成され、

前記 N チャネル型トランジスタは、チャネル形成領域の水素濃度が $5 \times 10^{19} \text{ (atoms/cm}^3\text{)}$ 以下の酸化物半導体を用いて形成されていることを特徴とする論理回路。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記論理回路と、

前記論理回路を動作させる外部回路と、を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、論理回路に関する。特に、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有する論理回路に関する。また、当該論理回路を有する半導体装置に

10

20

30

40

50

関する。

【0002】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電気機器は全て半導体装置である。

【背景技術】

【0003】

一般的に、Si-waferやSOI(Silicon On Insulator)を用いて作製されたトランジスタを有する回路は、微細加工が進んで動作電圧が小さくなるほど、消費電力が小さくなっていく。

【0004】

消費電力は、主に、トランジスタのゲート容量、トランジスタ間及び回路ブロック間を接続する配線等に生じる寄生容量の充放電によって消費される動的な電力、並びに、回路が動作していない場合でも消費してしまう静的な電力(以下、待機電力とも呼ぶ)の和になる。

【0005】

当該消費電力を低減する方法の一つに、クロックゲーティングと呼ばれる技術がある(例えば、特許文献1参照)。クロックゲーティングとは、消費電力を低減するために、ある回路が動作していない期間で当該回路へのクロック信号の供給を停止する技術である。こうすることで、クロック信号が供給される配線の寄生容量等で消費していた電力を低減することができる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-219882号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

待機電力は、概ね、動作していない回路(以下、非動作回路)が消費する電力と、トランジスタのリーク電流(一般的に、ゲートソース間電圧=0Vの時にソース-ドレイン間に流れる電流)によって消費される電力とに分けられる。

【0008】

上述したクロックゲーティングでは、動的な消費電力を低減することはできるが、リーク電流に起因する静的な消費電力を低減することはできない。なお、非動作回路における動的な消費電力としては、クロック信号が供給される配線における寄生容量の充放電などに起因する消費電力が挙げられる。さらに、クロックゲーティングを行う回路においては、非動作回路を構成する各素子の状態が維持される。そのため、トランジスタのリーク電流に起因する消費電力が待機電力に占める割合が高くなる。また、トランジスタのリーク電流によって論理回路が誤動作を起こす確率が高くなる。

【0009】

上述した課題に鑑み本発明の一態様は、クロックゲーティングを行う論理回路において、リーク電流に起因する待機電力を低減すること又は誤動作を抑制することを課題の一とする。

【課題を解決するための手段】

【0010】

本発明の一形態は、酸化物半導体中で電子供与体(ドナー)となり得る不純物(水素又は水など)を除去することで、真性又は実質的に真性な半導体であって、シリコン半導体よりもエネルギーギャップが大きい酸化物半導体でチャネル形成領域が形成されるトランジスタを論理回路が有するN型トランジスタに適用するものである。

【0011】

具体的には、酸化物半導体に含まれる水素が 5×10^{19} (atoms/cm³)以下

10

20

30

40

50

、好ましくは 5×10^{18} (a t o m s / c m ³) 以下、より好ましくは 5×10^{17} (a t o m s / c m ³) 以下として、酸化物半導体に含まれる水素若しくはOH基を除去し、キャリア密度を 5×10^{14} / c m ³ 以下、好ましくは 5×10^{12} / c m ³ 以下とした酸化物半導体でチャネル形成領域が形成されるトランジスタによって論理回路が構成されるものである。

【 0 0 1 2 】

当該酸化物半導体のエネルギーギャップは、2 e V 以上、好ましくは2 . 5 e V 以上、より好ましくは3 e V 以上として、ドナーを形成する水素等の不純物を極力低減し、キャリア密度を 5×10^{14} / c m ³ 以下、好ましくは 5×10^{12} / c m ³ 以下となるようにする。

10

【 0 0 1 3 】

このように高純度化された酸化物半導体は、トランジスタのチャネル形成領域に用いることで、チャネル幅が10 mm の場合でさえも、ドレイン電圧が1 V 及び10 V の場合において、ゲート電圧が- 5 V から- 20 V の範囲において、ドレイン電流は 1×10^{-13} [A] 以下となるように作用する。すなわち、高純度化された酸化物半導体をトランジスタのチャネル形成領域に適用することによって、リーク電流を大幅に低減することができる。

【 0 0 1 4 】

すなわち、本発明の一態様は、クロック信号が入力される第1の期間と、クロック信号が入力されない第2の期間と、を有する論理回路であって、第2の期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタを有し、トランジスタのチャネル形成領域は、水素濃度が 5×10^{19} (a t o m s / c m ³) 以下の酸化物半導体によって構成されることを特徴とする論理回路である。

20

【発明の効果】

【 0 0 1 5 】

本発明の一態様の論理回路は、クロック信号が供給されない期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタを有する。該トランジスタのチャネル形成領域は、水素濃度が低減された酸化物半導体によって構成される。具体的には、当該酸化物半導体の水素濃度は、 5×10^{19} (a t o m s / c m ³) 以下である。そのため、当該トランジスタのリーク電流を低減することができる。その結果、当該論理回路の待機電力を低減すること及び誤動作を抑制することができる。

30

【 0 0 1 6 】

特に、クロックゲーティングが行われる論理回路では、当該論理回路内の状態が長時間維持されることになる。つまり、特定のトランジスタがソース端子及びドレイン端子間に電位差が存在する状態で長時間にわたってオフすることになる。そのようなトランジスタとして当該トランジスタを適用することは、上記効果が大きい。

【 0 0 1 7 】

また、回路全体の消費電力を低減することで、本発明の一態様の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

40

【図面の簡単な説明】

【 0 0 1 8 】

【図1】実施の形態1で説明する論理回路の構成例を示す図。

【図2】実施の形態2で説明する論理回路の(A) 構成例を示す図、(B) タイミングチャートの一例を示す図。

【図3】(A)、(B) 実施の形態2で説明するANDゲートの回路構成例を示す図。

【図4】実施の形態2で説明する(A) フリップフロップの構成例を示す図、(B)、(C) NANDゲートの回路構成例を示す図。

【図5】実施の形態3で説明する論理回路の(A) 構成例を示す図、(B) タイミングチャートの一例を示す図。

50

【図 6】(A)、(B) 実施の形態 3 で説明する NOR ゲートの回路構成例を示す図

【図 7】実施の形態 4 で説明する論理回路の (A) 構成例を示す図、(B) タイミングチャートの一例を示す図。

【図 8】実施の形態 4 で説明する論理回路の (A) ラッチの構成例を示す図、(B)、(C) インバータの回路構成例を示す図。

【図 9】実施の形態 5 で説明する論理回路の構成例を示す図。

【図 10】実施の形態 6 で説明する論理回路の構成例を示す図。

【図 11】実施の形態 7 で説明する P 型トランジスタ及び N 型トランジスタの構成例を示す断面図。

【図 12】(A) ~ (H) 実施の形態 7 で説明する P 型トランジスタの作製工程の一例を示す断面図。

10

【図 13】(A) ~ (G) 実施の形態 7 で説明する N 型トランジスタの作製工程の一例を示す断面図。

【図 14】(A) ~ (D) 実施の形態 7 で説明する N 型トランジスタの作製工程の一例を示す断面図。

【図 15】実施の形態 7 で説明する P 型トランジスタ及び N 型トランジスタの構成例を示す断面図。

【図 16】(A)、(B) 実施の形態 7 で説明する P 型トランジスタ及び N 型トランジスタの構成例を示す断面図。

【図 17】(A)、(B) 実施の形態 7 で説明する P 型トランジスタ及び N 型トランジスタの構成例を示す断面図。

20

【図 18】(A)、(B) 実施の形態 7 で説明する P 型トランジスタ及び N 型トランジスタの構成例を示す図。

【図 19】実施の形態 8 で説明するトランジスタの構成例を示す (A) 平面図、(B) 断面図。

【図 20】(A) ~ (E) 実施の形態 8 で説明するトランジスタの作製工程の一例を示す断面図。

【図 21】(A) ~ (E) 実施の形態 9 で説明するトランジスタの作製工程の一例を示す断面図。

【図 22】(A) ~ (D) 実施の形態 10 で説明するトランジスタの作製工程の一例を示す断面図。

30

【図 23】(A) ~ (F) 実施の形態 11 で説明する半導体装置の一例を示す図。

【図 24】実施例 1 で説明する薄膜トランジスタの一例の初期特性を示す図。

【図 25】(A)、(B) 実施例 1 で説明する薄膜トランジスタの一例の評価用素子の上面図。

【図 26】(A)、(B) 実施例 1 で説明する薄膜トランジスタの一例の評価用素子の $V_g - I_d$ 特性を示す図。

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【0020】

なお、トランジスタのソース端子及びドレイン端子は、トランジスタの構造や動作条件等によって替わるため、いずれがソース端子又はドレイン端子であるかを特定することが困難である。そこで、本書類においては、ソース端子及びドレイン端子の一方を第 1 端子、ソース端子及びドレイン端子の他方を第 2 端子と表記し、区別することとする。

【0021】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、

50

明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0022】

(実施の形態1)

本実施の形態では、クロックゲーティングが行われる論理回路の一例について説明する。具体的には、クロック信号が入力される期間と、クロック信号が入力されない期間とを有し、該クロック信号を用いて演算処理を行う論理回路の一例について図1を参照しながら説明する。

【0023】

図1に示す論理回路10は、パルス信号(P S)を供給する配線(以下、パルス信号線ともいう)に電氣的に接続された第1の入力端子11と、データ信号(Data)を供給する配線(以下、データ信号線ともいう)に電氣的に接続された第2の入力端子12と、出力端子13とを有する。なお、論理回路10は、パルス信号線を介して、クロック信号(C K)が供給される期間と、クロック信号が供給されない期間とを有する。すなわち、図1に示す論理回路は、クロックゲーティングが行われる論理回路である。なお、クロック信号の供給がされないとは、クロック信号がハイレベルの電位又はロウレベルの電位に固定され、ハイレベルからロウレベルへ及びロウレベルからハイレベルへと変化する信号が供給されないという意味である。

【0024】

さらに、図1に示す本実施の形態の論理回路10は、主要論理回路部14と、クロック信号が供給されない期間に渡って、ソース端子及びドレイン端子に電位差が存在する状態でオフするトランジスタ15と、を有する。なお、主要論理回路部14は、トランジスタ、容量素子又は抵抗素子などの複数の素子によって構成される。

【0025】

また、トランジスタ15のチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm³)以下、好ましくは 5×10^{18} (atoms/cm³)以下、さらに好ましくは 5×10^{17} (atoms/cm³)以下の酸化物半導体によって構成されている。すなわち、トランジスタ15は、キャリアの供与体となる水素を極めて低濃度にまで低下させた高純度化が図られた酸化物半導体をチャネル形成領域に適用したトランジスタである。なお、当該酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行ったものである。

【0026】

本実施の形態の論理回路は、クロックゲーティングが行われる論理回路であって、該クロックゲーティングが行われる期間(すなわち、クロック信号が入力されない期間)に渡って、ソース端子及びドレイン端子に電位差を有する状態でオフするトランジスタを有する。当該トランジスタは、酸化物半導体によってチャネル形成領域が構成される。該酸化物半導体の水素濃度は、 5×10^{19} (atoms/cm³)以下、好ましくは 5×10^{18} (atoms/cm³)以下、さらに好ましくは 5×10^{17} (atoms/cm³)以下に制御される。そのため、当該トランジスタのオフ電流を 1×10^{-13} [A]以下にまで低減することが可能である。つまり、当該トランジスタを介した電荷のリークを抑制することができる。その結果、当該期間における待機電力を低減すること及び当該期間における論理回路の誤動作を抑制することが可能になる。

【0027】

特に、クロックゲーティングが行われる論理回路では、当該論理回路内の状態が長時間維持されることになる。つまり、特定のトランジスタがソース端子及びドレイン端子間に電位差が存在する状態で長時間にわたってオフすることになる。そのようなトランジスタとして当該トランジスタを適用することは、上記効果が大きい。

【 0 0 2 8 】

また、論理回路の消費電力を低減することで、本実施の形態の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

【 0 0 2 9 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【 0 0 3 0 】

(実施の形態 2)

本実施の形態では、実施の形態 1 に示した論理回路の一例について説明する。具体的には、ANDゲートと、フリップフロップとを有する論理回路について図 2 ~ 図 4 を参照しながら説明する。

【 0 0 3 1 】

< 論理回路の構成例 >

図 2 (A) に示す本実施の形態の論理回路 2 0 0 は、第 1 の入力端子がイネーブル信号 (E N) を供給する配線 (以下、イネーブル信号線ともいう) に電氣的に接続され、第 2 の入力端子がクロック信号 (C K) を供給する配線 (以下、クロック信号線ともいう) に電氣的に接続された AND ゲート 2 0 1 と、第 1 の入力端子がデータ信号線に電氣的に接続され、第 2 の入力端子が AND ゲート 2 0 1 の出力端子に電氣的に接続されたフリップフロップ 2 0 2 とを有する。

【 0 0 3 2 】

なお、本実施の形態の論理回路が有するフリップフロップ 2 0 2 は、帰還作用を利用して 1 ビット分のデータを保持できる回路である。また、フリップフロップ 2 0 2 の出力信号は、論理回路 2 0 0 の出力信号となる。

【 0 0 3 3 】

< 論理回路の動作例 >

図 2 (A) に示した論理回路の動作について図 2 (B) に示すタイミングチャートを参照しながら以下に説明する。

【 0 0 3 4 】

期間 T 1 において、イネーブル信号線は、ハイレベルの信号を供給する配線として機能する。そのため、ANDゲート 2 0 1 の出力信号 (A N D (O u t)) は、クロック信号 (C K) となる。すなわち、フリップフロップ 2 0 2 の第 2 の入力端子にはクロック信号 (C K) が入力される。フリップフロップ 2 0 2 は、入力されたクロック信号 (C K) により動作する。具体的には、フリップフロップ 2 0 2 は、クロック信号 (C K) がロウレベルからハイレベルに変化する際のデータ信号 (D 0 又は D 1) を取り込み、クロック信号 (C K) がハイレベルからロウレベルに変化する際に当該データ信号を出力する。

【 0 0 3 5 】

期間 T 2 において、イネーブル信号線は、ロウレベルの信号を供給する配線として機能する。そのため、ANDゲート 2 0 1 の出力信号 (A N D (O u t)) は、ロウレベルの信号となる。すなわち、フリップフロップ 2 0 2 の第 2 の入力端子にはロウレベルの信号が入力される。この時、論理回路の出力信号 (O u t) は、データ信号 (D 1) を維持する。

【 0 0 3 6 】

期間 T 3 において、イネーブル信号線は、再度、ハイレベルの信号を供給する配線として機能する。つまり、期間 T 1 と同様に、フリップフロップ 2 0 2 は、クロック信号 (C K) がロウレベルからハイレベルに変化する際のデータ信号 (D 2 又は D 3) を取り込み、クロック信号 (C K) がハイレベルからロウレベルに変化する際に当該データ信号を出力する。

【 0 0 3 7 】

本実施の形態の論理回路では、イネーブル信号（ＥＮ）によってフリップフロップ２０２に入力されるクロック信号が制御される。つまり、フリップフロップ２０２に対してクロックゲーティングが行われる論理回路である。

【００３８】

なお、本実施の形態の論理回路は、フリップフロップ２０２に入力されるクロック信号がハイレベルに変化する際にデータを読み込み、クロック１周期の間、読み込んだデータを保持する。したがって、論理回路の出力信号（Ｏｕｔ）は、フリップフロップ２０２が動作している期間Ｔ１又は期間Ｔ３を経過した後も、一時保持される。

【００３９】

< ＡＮＤゲート及びフリップフロップの回路構成例 >

10

図２（Ａ）に示した論理回路が有するＡＮＤゲート２０１の具体的な回路構成例を図３（Ａ）、（Ｂ）に示し、フリップフロップ２０２の具体的な回路構成例を図４（Ａ）～（Ｃ）に示す。

【００４０】

図３（Ａ）に示すＡＮＤゲートは、トランジスタ２１１乃至トランジスタ２１６を有する。なお、トランジスタ２１１、２１４、２１５は、Ｐ型トランジスタであり、トランジスタ２１２、２１３、２１６は、Ｎ型トランジスタである。

【００４１】

トランジスタ２１１は、ゲート端子がイネーブル信号線に電氣的に接続され、第１端子が高電源電位（ＶＤＤ）を供給する配線（以下、高電源電位線ともいう）に電氣的に接続される。

20

【００４２】

トランジスタ２１２は、ゲート端子がイネーブル信号線及びトランジスタ２１１のゲート端子に電氣的に接続され、第１端子がトランジスタ２１１の第２端子に電氣的に接続される。

【００４３】

トランジスタ２１３は、ゲート端子がクロック信号線に電氣的に接続され、第１端子がトランジスタ２１２の第２端子に電氣的に接続され、第２端子が低電源電位（ＶＳＳ）を供給する配線（以下、低電源電位線ともいう）に電氣的に接続される。

【００４４】

30

トランジスタ２１４は、ゲート端子がクロック信号線及びトランジスタ２１３のゲート端子に電氣的に接続され、第１端子が高電源電位線に電氣的に接続され、第２端子がトランジスタ２１１の第２端子及びトランジスタ２１２の第１端子に電氣的に接続される。

【００４５】

トランジスタ２１５は、ゲート端子がトランジスタ２１１の第２端子、トランジスタ２１２の第１端子及びトランジスタ２１４の第２端子に電氣的に接続され、第１端子が高電源電位線に電氣的に接続される。

【００４６】

トランジスタ２１６は、ゲート端子がトランジスタ２１１の第２端子、トランジスタ２１２の第１端子、トランジスタ２１４の第２端子及びトランジスタ２１５のゲート端子に電氣的に接続され、第１端子がトランジスタ２１５の第２端子に電氣的に接続され、第２端子が低電源電位線に電氣的に接続される。

40

【００４７】

なお、当該ＡＮＤゲートでは、トランジスタ２１５の第２端子及びトランジスタ２１６の第１端子が電氣的に接続するノードの電位がＡＮＤゲートの出力信号（ＡＮＤ（Ｏｕｔ））として出力される。

【００４８】

また、本明細書において、高電源電位（ＶＤＤ）及び低電源電位（ＶＳＳ）とは、それぞれを比較したときに高電源電位（ＶＤＤ）が低電源電位（ＶＳＳ）より高くなればどのような電位であってもよい。例えば、低電源電位（ＶＳＳ）として、接地電位又は０Ｖな

50

どを適用し、高電源電位（VDD）として、任意の正電位を適用することなどができる。

【0049】

図3（B）に示すANDゲートは、トランジスタ221乃至トランジスタ225を有する。なお、トランジスタ221乃至トランジスタ225は、N型トランジスタである。加えて、トランジスタ221乃至トランジスタ225は、しきい値電圧が正であるエンハンスメント型トランジスタである。

【0050】

トランジスタ221は、ゲート端子及び第1端子が高電源電位線に電氣的に接続される。

【0051】

トランジスタ222は、ゲート端子がイネーブル信号線に電氣的に接続され、第1端子がトランジスタ221の第2端子に電氣的に接続される。

【0052】

トランジスタ223は、ゲート端子がクロック信号線に電氣的に接続され、第1端子がトランジスタ222の第2端子に電氣的に接続され、第2端子が低電源電位線に電氣的に接続される。

【0053】

トランジスタ224は、ゲート端子及び第1端子が高電源電位線に電氣的に接続される。

【0054】

トランジスタ225は、ゲート端子がトランジスタ221の第2端子及びトランジスタ222の第1端子に電氣的に接続され、第1端子がトランジスタ224の第2端子に電氣的に接続され、第2端子が低電源電位線に電氣的に接続される。

【0055】

なお、当該ANDゲートでは、トランジスタ224の第2端子及びトランジスタ225の第1端子が電氣的に接続するノードの電位がANDゲートの出力信号（AND（Out））として出力される。

【0056】

また、トランジスタ221及びトランジスタ224は、ゲート端子及び第1端子が高電源電位線に電氣的に接続されたエンハンスメント型トランジスタである。そのため、トランジスタ221及びトランジスタ224は、期間によらずオン状態を維持する。別言すると、トランジスタ221及びトランジスタ224は、抵抗素子として利用されている。

【0057】

また、ANDゲートの第1の入力端子及び第2の入力端子は、可換である。すなわち、上述の説明においてイネーブル信号線に電氣的に接続すると規定した端子をクロック信号線に電氣的に接続させ、且つクロック信号線に電氣的に接続すると規定した端子をイネーブル信号線に電氣的に接続させた構成とすることが可能である。

【0058】

図4（A）に示すフリップフロップは、NANDゲート231乃至NANDゲート234を有する。

【0059】

NANDゲート231は、第1の入力端子がデータ信号線に電氣的に接続され、第2の入力端子がANDゲートの出力端子に電氣的に接続される。

【0060】

NANDゲート232は、第1の入力端子がNANDゲート231の出力端子に電氣的に接続され、第2端子がANDゲートの出力端子及びNANDゲート231の第2の入力端子に電氣的に接続される。

【0061】

NANDゲート233は、第1の入力端子がNANDゲート231の出力端子及びNANDゲート232の第1の入力端子に電氣的に接続される。

【 0 0 6 2 】

NANDゲート234は、第1の入力端子がNANDゲート233の出力端子に電氣的に接続され、第2の入力端子がNANDゲート232の出力端子に電氣的に接続され、出力端子がNANDゲート233の第2の入力端子に電氣的に接続される。

【 0 0 6 3 】

図4(A)に示すフリップフロップは、Delay型フリップフロップである。なお、本実施の形態のフリップフロップは、Q端子のみを出力端子として利用するDelay型フリップフロップとしたが、Q端子及びQB端子(NANDゲート234の出力端子)の2つの出力端子を有する構成であってもよい。

【 0 0 6 4 】

また、図4(A)に示したフリップフロップは、一例であり、本実施の形態のフリップフロップは当該構成に限定されない。すなわち、本実施の形態のフリップフロップは、帰還作用を利用して1ビットのデータを保持できる回路であればどのような構成でもよい。

【 0 0 6 5 】

図4(B)、(C)には、NANDゲート231乃至NANDゲート234に適用可能な回路の具体例を示す。

【 0 0 6 6 】

図4(B)に示すNANDゲートは、トランジスタ241乃至トランジスタ244を有する。なお、トランジスタ241、244は、P型トランジスタであり、トランジスタ242、243は、N型トランジスタである。

【 0 0 6 7 】

トランジスタ241は、ゲート端子がNANDゲートの第1の入力端子に電氣的に接続され、第1端子が高電源電位線に電氣的に接続される。

【 0 0 6 8 】

トランジスタ242は、ゲート端子がNANDゲートの第1の入力端子及びトランジスタ241のゲート端子に電氣的に接続され、第1端子がトランジスタ241の第2端子に電氣的に接続される。

【 0 0 6 9 】

トランジスタ243は、ゲート端子がNANDゲートの第2の入力端子に電氣的に接続され、第1端子がトランジスタ242の第2端子に電氣的に接続され、第2端子が低電源電位線に電氣的に接続される。

【 0 0 7 0 】

トランジスタ244は、ゲート端子がNANDゲートの第2の入力端子及びトランジスタ243のゲート端子に電氣的に接続され、第1端子が高電源電位線に電氣的に接続され、第2端子がトランジスタ241の第2端子及びトランジスタ242の第1端子に電氣的に接続される。

【 0 0 7 1 】

なお、当該NANDゲートでは、トランジスタ241の第2端子、トランジスタ242の第1端子及びトランジスタ244の第2端子が電氣的に接続するノードの電位がNANDゲートの出力信号として出力される。

【 0 0 7 2 】

図4(C)に示すNANDゲートは、トランジスタ251乃至トランジスタ253を有する。なお、トランジスタ251乃至トランジスタ253は、N型トランジスタである。加えて、トランジスタ251乃至トランジスタ253は、しきい値電圧が正であるエンハンスメント型トランジスタである。

【 0 0 7 3 】

トランジスタ251は、ゲート端子及び第1端子が高電源電位線に電氣的に接続される。

【 0 0 7 4 】

トランジスタ252は、ゲート端子がNANDゲートの第1の入力端子に電氣的に接続

10

20

30

40

50

され、第1端子がトランジスタ251の第2端子に電氣的に接続される。

【0075】

トランジスタ253は、ゲート端子がNANDゲートの第2の入力端子に電氣的に接続され、第1端子がトランジスタ252の第2端子に電氣的に接続され、第2端子が低電源電位線に電氣的に接続される。

【0076】

なお、当該NANDゲートでは、トランジスタ251の第2端子及びトランジスタ252の第1端子が電氣的に接続するノードの電位がNANDゲートの出力信号として出力される。

【0077】

また、NANDゲートの第1の入力端子及び第2の入力端子は、可換である。すなわち、上述の説明においてNANDゲートの第1の入力端子に電氣的に接続すると規定した端子をNANDゲートの第2の入力端子に電氣的に接続させ、且つNANDゲートの第2の入力端子に電氣的に接続すると規定した端子をNANDゲートの第1の入力端子に電氣的に接続させた構成とすることが可能である。

【0078】

本実施の形態の論理回路は、NANDゲート231乃至NANDゲート234が有するトランジスタ242、243、252、253の少なくとも一つのチャネル形成領域が酸化物半導体によって構成される。当該酸化物半導体の水素濃度は、 5×10^{19} (atoms/cm³)以下、好ましくは 5×10^{18} (atoms/cm³)以下、さらに好ましくは 5×10^{17} (atoms/cm³)以下に制御される。そのため、当該トランジスタのオフ電流を 1×10^{-13} [A]以下にまで低減することが可能である。つまり、クロックゲーティングが行われる期間における当該トランジスタを介した電荷のリークを抑制することができる。その結果、当該期間における待機電力を低減すること及び当該期間における論理回路の誤動作を抑制することが可能になる。

【0079】

さらに、本実施の形態の論理回路が有するANDゲート201として、図3(B)に示したANDゲートを適用し、フリップフロップ202として、図4(C)に示したNANDゲートによって構成されるDelay型フリップフロップを適用することで、当該論理回路を構成するトランジスタのすべてをN型トランジスタとすることができる。これらのN型トランジスタを上記のトランジスタ(チャネル形成領域が、水素濃度が 5×10^{19} (atoms/cm³)以下の酸化物半導体によって構成されるトランジスタ)とすることにより、N型トランジスタのみで構成される論理回路でありながら、低消費電力化することができる。また、論理回路をN型トランジスタのみで構成することで、作製プロセスを低減することができ、当該論理回路の歩留まりを向上させること及び製造コストを低減させることができる。

【0080】

また、論理回路の消費電力を低減することで、本実施の形態の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

【0081】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0082】

(実施の形態3)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、NORゲートと、フリップフロップとを有する論理回路について図5及び図6を参照しながら説明する。

【0083】

< 論理回路の構成例 >

図5(A)に示す本実施の形態の論理回路500は、第1の入力端子がイネーブル信号線に電氣的に接続され、第2の入力端子が反転クロック信号(CKB)を供給する配線(以下、反転クロック信号線ともいう)に電氣的に接続されたNORゲート501と、第1の入力端子がデータ信号線に電氣的に接続され、第2の入力端子がNORゲート501の出力端子に電氣的に接続されたフリップフロップ502とを有する。

【0084】

なお、本実施の形態の論理回路が有するフリップフロップ502は、帰還作用を利用して1ビット分のデータを保持できる回路である。また、フリップフロップ502の出力信号は、論理回路500の出力信号となる。

【0085】

< 論理回路の動作例 >

図5(A)に示した論理回路の動作について図5(B)に示すタイミングチャートを参照しながら以下に説明する。

【0086】

期間T4において、イネーブル信号線は、ロウレベルの信号を供給する配線として機能する。そのため、NORゲート501の出力信号(NOR(Out))は、クロック信号(CK)となる。すなわち、フリップフロップ502の第2の入力端子にはクロック信号(CK)が入力される。フリップフロップ502は、入力されたクロック信号(CK)により動作する。具体的には、フリップフロップ502は、クロック信号(CK)がロウレベルからハイレベルに変化する際のデータ信号(D4又はD5)を取り込み、クロック信号(CK)がハイレベルからロウレベルに変化する際に当該データ信号を出力する。

【0087】

期間T5において、イネーブル信号線は、ハイレベルの信号を供給する配線として機能する。そのため、NORゲート501の出力信号(NOR(Out))は、ロウレベルの信号となる。すなわち、フリップフロップ502の第2の入力端子にはロウレベルの信号が入力される。この時、論理回路の出力信号(Out)は、データ信号(D5)を維持する。

【0088】

期間T6において、イネーブル信号線は、再度、ロウレベルの信号を供給する配線として機能する。つまり、期間T4と同様に、フリップフロップ502は、クロック信号(CK)がロウレベルからハイレベルに変化する際のデータ信号(D6又はD7)を取り込み、クロック信号(CK)がハイレベルからロウレベルに変化する際に当該データ信号を出力する。

【0089】

本実施の形態の論理回路では、イネーブル信号(EN)によってフリップフロップ502に入力されるクロック信号が制御される。つまり、フリップフロップ502に対してクロックゲーティングが行われる論理回路である。

【0090】

なお、本実施の形態の論理回路は、フリップフロップ502に入力されるクロック信号がハイレベルの時にデータを読み込み、クロック1周期の間、読み込んだデータを保持する。したがって、論理回路の出力信号(Out)は、フリップフロップ502が動作している期間T4又は期間T6を経過した後も、一時保持される。

【0091】

< NORゲート及びフリップフロップの回路構成例 >

図5(A)に示した論理回路が有するNORゲート501の具体的な回路構成例を図6(A)、(B)に示す。なお、図5(A)に示した論理回路が有するフリップフロップ502には、図4(A)に示したDelay型フリップフロップを適用することが可能である。そのため、ここでは、フリップフロップ502の具体的な回路構成例については、前述の説明を援用することとする。以下では、NORゲート501の具体的な回路構成例に

10

20

30

40

50

ついて図 6 (A)、(B) を参照しながら説明する。

【 0 0 9 2 】

図 6 (A) に示す NOR ゲートは、トランジスタ 5 1 1 乃至トランジスタ 5 1 4 を有する。なお、トランジスタ 5 1 1、5 1 2 は、P 型トランジスタであり、トランジスタ 5 1 3、5 1 4 は、N 型トランジスタである。

【 0 0 9 3 】

トランジスタ 5 1 1 は、ゲート端子がイネーブル信号線に電氣的に接続され、第 1 端子が高電源電位 (V D D) を供給する配線 (以下、高電源電位線ともいう) に電氣的に接続される。

【 0 0 9 4 】

トランジスタ 5 1 2 は、ゲート端子が反転クロック信号線に電氣的に接続され、第 1 端子がトランジスタ 5 1 1 の第 2 端子に電氣的に接続される。

【 0 0 9 5 】

トランジスタ 5 1 3 は、ゲート端子が反転クロック信号線及びトランジスタ 5 1 2 のゲート端子に電氣的に接続され、第 1 端子がトランジスタ 5 1 2 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

【 0 0 9 6 】

トランジスタ 5 1 4 は、ゲート端子がイネーブル信号線及びトランジスタ 5 1 1 のゲート端子に電氣的に接続され、第 1 端子がトランジスタ 5 1 2 の第 2 端子及びトランジスタ 5 1 3 の第 1 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

【 0 0 9 7 】

なお、当該 NOR ゲートでは、トランジスタ 5 1 2 の第 2 端子、トランジスタ 5 1 3 の第 1 端子及びトランジスタ 5 1 4 の第 1 端子が電氣的に接続するノードの電位が NOR ゲートの出力信号 (N O R (O u t)) として出力される。

【 0 0 9 8 】

図 6 (B) に示す NOR ゲートは、トランジスタ 5 2 1 乃至トランジスタ 5 2 3 を有する。なお、トランジスタ 5 2 1 乃至トランジスタ 5 2 3 は、N 型トランジスタである。加えて、トランジスタ 5 2 1 乃至トランジスタ 5 2 3 は、しきい値電圧が正であるエンハンスメント型トランジスタである。

【 0 0 9 9 】

トランジスタ 5 2 1 は、ゲート端子及び第 1 端子が高電源電位線に電氣的に接続される。

【 0 1 0 0 】

トランジスタ 5 2 2 は、ゲート端子が反転クロック信号線に電氣的に接続され、第 1 端子がトランジスタ 5 2 1 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

【 0 1 0 1 】

トランジスタ 5 2 3 は、ゲート端子がイネーブル信号線に電氣的に接続され、第 1 端子がトランジスタ 5 2 1 の第 2 端子及びトランジスタ 5 2 2 の第 1 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

【 0 1 0 2 】

なお、当該 NOR ゲートでは、トランジスタ 5 2 1 の第 2 端子、トランジスタ 5 2 2 の第 1 端子及びトランジスタ 5 2 3 の第 1 端子が電氣的に接続するノードの電位が NOR ゲートの出力信号 (N O R (O u t)) として出力される。

【 0 1 0 3 】

また、トランジスタ 5 2 1 は、ゲート端子及び第 1 端子が高電源電位線に電氣的に接続されたエンハンスメント型トランジスタである。そのため、トランジスタ 5 2 1 は、期間によらずオン状態を維持する。別言すると、トランジスタ 5 2 1 は、抵抗素子として利用されている。

【 0 1 0 4 】

また、NORゲートの第1の入力端子及び第2の入力端子は、可換である。すなわち、上述の説明においてイネーブル信号線に電氣的に接続すると規定した端子を反転クロック信号線に電氣的に接続させ、且つ反転クロック信号線に電氣的に接続すると規定した端子をイネーブル信号線に電氣的に接続させた構成とすることが可能である。

【0105】

本実施の形態の論理回路は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有する。当該酸化物半導体の水素濃度は、 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下に制御される。そのため、当該トランジスタのオフ電流を 1×10^{-13} [A] 以下にまで低減することが可能である。つまり、クロックゲーティングが行われる期間における当該トランジスタを介した電荷のリークを抑制することができる。その結果、当該期間における待機電力を低減すること及び当該期間における論理回路の誤動作を抑制することが可能になる。

【0106】

さらに、本実施の形態の論理回路が有するNORゲート501として、図6(B)に示したNORゲートを適用し、フリップフロップ502として、図4(C)に示したNANDゲートによって構成されるDelay型フリップフロップを適用することで、当該論理回路を構成するトランジスタのすべてをN型トランジスタとすることができる。これらのN型トランジスタを上記のトランジスタ(チャネル形成領域が、水素濃度が 5×10^{19} (atoms/cm³) 以下の酸化物半導体によって構成されるトランジスタ)とすることにより、N型トランジスタのみで構成される論理回路でありながら、低消費電力化することができる。また、論理回路をN型トランジスタのみで構成することで、作製プロセスを低減することができ、当該論理回路の歩留まりを向上させること及び製造コストを低減させることができる。

【0107】

また、論理回路の消費電力を低減することで、本実施の形態の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

【0108】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0109】

(実施の形態4)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、ラッチと、フリップフロップとを有する論理回路について図7及び図8を参照しながら説明する。

【0110】

< 論理回路の構成例 >

図7(A)に示す本実施の形態の論理回路600は、第1の入力端子がイネーブル信号線に電氣的に接続され、第2の入力端子が反転クロック信号線に電氣的に接続されたラッチ601と、第1の入力端子がデータ信号線に電氣的に接続され、第2の入力端子がラッチ601の出力端子に電氣的に接続されたフリップフロップ602とを有する。

【0111】

なお、本実施の形態の論理回路が有するフリップフロップ602は、帰還作用を利用して1ビット分のデータを保持できる回路である。また、フリップフロップ602の出力信号は、論理回路600の出力信号となる。

【0112】

また、本実施の形態のラッチ601は、データをラッチすることができればどのような構成でもよい。ここでは、第1の入力端子にハイレベルの信号が供給された際に、第2の

10

20

30

40

50

入力端子に入力される信号の反転信号をラッチして出力する回路をラッチ 6 0 1 に適用する。

【 0 1 1 3 】

< 論理回路の動作例 >

図 7 (A) に示した論理回路の動作について図 7 (B) に示すタイミングチャートを参照しながら以下に説明する。

【 0 1 1 4 】

期間 T 7 において、イネーブル信号線は、ハイレベルの信号を供給する配線として機能する。この時、ラッチ 6 0 1 の出力信号 (L a t c h (O u t)) は、クロック信号 (C K) となる。すなわち、フリップフロップ 6 0 2 の第 2 の入力端子にはクロック信号 (C K) が入力される。フリップフロップ 6 0 2 は、入力されたクロック信号 (C K) により動作する。具体的には、フリップフロップ 6 0 2 は、クロック信号 (C K) がロウレベルからハイレベルに変化する際のデータ信号 (D 8 又は D 9) を取り込み、クロック信号 (C K) がハイレベルからロウレベルに変化する際に当該データ信号を出力する。

【 0 1 1 5 】

期間 T 8 において、イネーブル信号線は、ロウレベルの信号を供給する配線として機能する。この時、ラッチ 6 0 1 の出力信号 (L a t c h (O u t)) は、ロウレベルを保持する。すなわち、フリップフロップ 6 0 2 の第 2 の入力端子にはロウレベルの信号が入力される。この時、論理回路の出力信号 (O u t) は、データ信号 (D 9) を維持する。

【 0 1 1 6 】

期間 T 9 において、イネーブル信号線は、再度、ハイレベルの信号を供給する配線として機能する。つまり、期間 T 7 と同様に、フリップフロップ 6 0 2 は、クロック信号 (C K) がロウレベルからハイレベルに変化する際のデータ信号 (D 1 0 又は D 1 1) を取り込み、クロック信号 (C K) がハイレベルからロウレベルに変化する際に当該データ信号を出力する。

【 0 1 1 7 】

本実施の形態の論理回路では、イネーブル信号 (E N) によってフリップフロップ 6 0 2 に入力されるクロック信号 (C K) が制御される。つまり、フリップフロップ 6 0 2 に対してクロックゲーティングが行われる論理回路である。

【 0 1 1 8 】

なお、本実施の形態の論理回路は、フリップフロップ 6 0 2 に入力されるクロック信号がハイレベルの時にデータを読み込み、クロック 1 周期の間、読み込んだデータを保持する。したがって、論理回路の出力信号 (O u t) は、フリップフロップ 6 0 2 が動作している期間 T 7 又は期間 T 9 を経過した後も、一時保持される。

【 0 1 1 9 】

< ラッチ及びフリップフロップの回路構成例 >

図 7 (A) に示した論理回路が有するラッチ 6 0 1 の具体的な回路構成例を図 8 (A) ~ (C) に示す。なお、図 7 (A) に示した論理回路が有するフリップフロップ 6 0 2 には、図 4 (A) に示した D e l a y 型フリップフロップを適用することが可能である。そのため、ここでは、フリップフロップ 6 0 2 の具体的な回路構成例については、前述の説明を援用することとする。以下では、ラッチ 6 0 1 の具体的な回路構成例について図 8 (A) ~ (C) を参照しながら説明する。

【 0 1 2 0 】

図 8 (A) に示すラッチは、トランジスタ 6 1 1 並びにインバータ 6 1 2 及びインバータ 6 1 3 を有する。なお、トランジスタ 6 1 1 は、N 型トランジスタである。

【 0 1 2 1 】

トランジスタ 6 1 1 は、ゲート端子がイネーブル信号線に電氣的に接続され、第 1 端子が反転クロック信号線に電氣的に接続される。

【 0 1 2 2 】

インバータ 6 1 2 は、入力端子がトランジスタ 6 1 1 の第 2 端子に電氣的に接続される

10

20

30

40

50

。

【 0 1 2 3 】

インバータ 6 1 3 は、入力端子がインバータ 6 1 2 の出力端子に電氣的に接続され、出力端子がトランジスタ 6 1 1 の第 2 端子及びインバータ 6 1 2 の入力端子に電氣的に接続される。

【 0 1 2 4 】

なお、当該ラッチでは、インバータ 6 1 2 の出力信号がラッチの出力信号 (L a t c h (O u t)) として出力される。

【 0 1 2 5 】

図 8 (B)、(C) には、インバータ 6 1 2 及びインバータ 6 1 3 に適用可能な回路の具体例を示す。

10

【 0 1 2 6 】

図 8 (B) に示すインバータは、トランジスタ 6 2 1 及びトランジスタ 6 2 2 を有する。なお、トランジスタ 6 2 1 は、P 型トランジスタであり、トランジスタ 6 2 2 は、N 型トランジスタである。

【 0 1 2 7 】

トランジスタ 6 2 1 は、ゲート端子がインバータの入力端子に電氣的に接続され、第 1 端子が高電源電位線に電氣的に接続される。

【 0 1 2 8 】

トランジスタ 6 2 2 は、ゲート端子がインバータの入力端子及びトランジスタ 6 2 1 のゲート端子に電氣的に接続され、第 1 端子がトランジスタ 6 2 1 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

20

【 0 1 2 9 】

なお、当該インバータでは、トランジスタ 6 2 1 の第 2 端子及びトランジスタ 6 2 2 の第 1 端子が電氣的に接続するノードの電位が出力信号として出力される。

【 0 1 3 0 】

図 8 (C) に示すインバータは、トランジスタ 6 3 1 及びトランジスタ 6 3 2 を有する。なお、トランジスタ 6 3 1 及びトランジスタ 6 3 2 は、N 型トランジスタである。加えて、トランジスタ 6 3 1 及びトランジスタ 6 3 2 は、しきい値電圧が正であるエンハンスメント型トランジスタである。

30

【 0 1 3 1 】

トランジスタ 6 3 1 は、ゲート端子及び第 1 端子が高電源電位線に電氣的に接続される。

【 0 1 3 2 】

トランジスタ 6 3 2 は、ゲート端子がインバータの入力端子に電氣的に接続され、第 1 端子がトランジスタ 6 3 1 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

【 0 1 3 3 】

なお、当該インバータでは、トランジスタ 6 3 1 の第 2 端子及びトランジスタ 6 3 2 の第 1 端子が電氣的に接続するノードの電位が出力信号として出力される。

40

【 0 1 3 4 】

また、上述した説明ではトランジスタ 6 1 1 が N 型トランジスタである場合について説明したが、トランジスタ 6 1 1 を P 型トランジスタとすることもできる。この場合、イネーブル信号を反転させれば、上述の動作と同様の動作を行うことが可能である。

【 0 1 3 5 】

本実施の形態の論理回路は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有する。当該酸化物半導体の水素濃度は、 5×10^{19} (a t o m s / c m ³) 以下、好ましくは 5×10^{18} (a t o m s / c m ³) 以下、さらに好ましくは 5×10^{17} (a t o m s / c m ³) 以下に制御される。そのため、当該トランジスタのオフ電流を 1×10^{-13} [A] 以下にまで低減することが可能である。つまり、クロックゲー

50

ティングが行われる期間における当該トランジスタを介した電荷のリークを抑制することができる。その結果、当該期間における待機電力を低減すること及び当該期間における論理回路の誤動作を抑制することが可能になる。

【0136】

さらに、本実施の形態の論理回路が有するラッチ601として、図8(C)に示したインバータによって構成されるラッチを適用し、フリップフロップ602として、図4(C)に示したNANDゲートによって構成されるDelay型フリップフロップを適用することで、当該論理回路を構成するトランジスタのすべてをN型トランジスタとすることができる。これらのN型トランジスタを上記のトランジスタ(チャネル形成領域が、水素濃度が 5×10^{19} (atoms/cm³)以下の酸化物半導体によって構成されるトランジスタ)とすることにより、N型トランジスタのみで構成される論理回路でありながら、低消費電力化することができる。また、論理回路をN型トランジスタのみで構成することで、作製プロセスを低減することができ、当該論理回路の歩留まりを向上させること及び製造コストを低減させることができる。

10

【0137】

また、論理回路の消費電力を低減することで、本実施の形態の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

【0138】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

20

【0139】

(実施の形態5)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、ANDゲートと、複数のフリップフロップとを有する論理回路について図9を参照しながら説明する。

【0140】

図9に示す本実施の形態の論理回路800は、ANDゲート801と、フリップフロップ802~804を含むフリップフロップ群805とを有する。

30

【0141】

ANDゲート801は、第1の入力端子がイネーブル信号線に電氣的に接続され、第2の入力端子がクロック信号線に電氣的に接続される。

【0142】

フリップフロップ802は、第1の入力端子がデータ信号線に電氣的に接続され、第2の入力端子がANDゲート801の出力端子に電氣的に接続される。

【0143】

フリップフロップ803は、第1の入力端子がフリップフロップ802の出力端子に電氣的に接続され、第2の入力端子がANDゲート801の出力端子に電氣的に接続される。

40

【0144】

フリップフロップ804は、第1の入力端子がフリップフロップ803の出力端子に電氣的に接続され、第2の入力端子がANDゲート801の出力端子に電氣的に接続される。

【0145】

なお、フリップフロップ804の出力信号は、論理回路800の出力信号(Output)となる。

【0146】

また、本実施の形態の論理回路が有するフリップフロップ802~804は、帰還作用を利用して1ビット分のデータを保持できる回路である。例えば、図4に示したDelay

50

y 型フリップフロップを適用することができる。

【0147】

本実施の形態の論理回路では、イネーブル信号 (EN) によってフリップフロップ群 805 に入力されるクロック信号が制御される。つまり、フリップフロップ群 805 に対してクロックゲーティングが行われる論理回路である。

【0148】

また、フリップフロップ群 805 に含まれる 2 段目以降のフリップフロップは、第 1 の入力端子が前段のフリップフロップの出力端子に電氣的に接続されている。つまり、本実施の形態の論理回路は、クロック信号が入力される期間において、データ信号 (Data) が順次フリップフロップをシフトするシフトレジスタである。

10

【0149】

本実施の形態の論理回路は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有する。当該酸化物半導体の水素濃度は、 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下に制御される。そのため、当該トランジスタのオフ電流を 1×10^{-13} [A] 以下にまで低減することが可能である。つまり、クロックゲーティングが行われる期間における当該トランジスタを介した電荷のリークを抑制することができる。その結果、当該期間における待機電力を低減すること及び当該期間における論理回路の誤動作を抑制することが可能になる。

【0150】

20

さらに、本実施の形態の論理回路が有する AND ゲート 801 及びフリップフロップ群 805 を構成するトランジスタのすべてを N 型トランジスタとすることができる。これらの N 型トランジスタを上記のトランジスタ (チャネル形成領域が、水素濃度が 5×10^{19} (atoms/cm³) 以下の酸化物半導体によって構成されるトランジスタ) とすることにより、N 型トランジスタのみで構成される論理回路でありながら、低消費電力化することができる。また、論理回路を N 型トランジスタのみで構成することで、作製プロセスを低減することができ、当該論理回路の歩留まりを向上させること及び製造コストを低減させることができる。

【0151】

また、論理回路の消費電力を低減することで、本実施の形態の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

30

【0152】

なお、本実施の形態では、3 つのフリップフロップを有する論理回路について示しているが、本実施の形態の論理回路が有するフリップフロップの個数は 3 つに限定されない。つまり、本実施の形態の論理回路には、第 1 のフリップフロップ乃至第 n (n は自然数) のフリップフロップを有する論理回路も含まれる。なお、当該論理回路が有する第 k (k は、n 以下の自然数) のフリップフロップは、第 1 の入力端子が第 k-1 のフリップフロップの出力端子に電氣的に接続され、第 2 の入力端子に AND ゲート 801 の出力端子に電氣的に接続される。

40

【0153】

また、本実施の形態では、2 段目以降のフリップフロップの第 1 の入力端子に前段のフリップフロップの出力信号が入力される構成を示しているが、本実施の形態の論理回路の構成は、当該構成に限定されない。例えば、論理回路 800 の外部からフリップフロップへ信号が入力される構成であってもよい。また、フリップフロップの第 1 の入力端子が 2 段前のフリップフロップの出力端子と電氣的に接続されるなど、前段以外のフリップフロップの出力端子に電氣的に接続される構成であってもよい。さらに、あるフリップフロップの第 1 の入力端子が他のフリップフロップの出力端子に直接接続されるのではなく、間に他の回路を介していてもよい。

【0154】

50

また、本実施の形態の論理回路が有する複数のフリップフロップの回路構成は共通である必要はなく、用途等に応じてフリップフロップ毎に回路構成を変更してもよい。

【0155】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0156】

(実施の形態6)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、ANDゲートと、複数のフリップフロップとを有する論理回路について図10を参照しながら説明する。

10

【0157】

図10に示す本実施の形態の論理回路900は、フリップフロップ901及びANDゲート902を含む制御部903と、フリップフロップ904～906を有するフリップフロップ群907とを有する。

【0158】

フリップフロップ901は、第1の入力端子が第1のデータ信号(Data1)を供給する配線(以下、第1のデータ信号線ともいう)に電氣的に接続され、第2の入力端子がクロック信号線に電氣的に接続される。

【0159】

20

ANDゲート902は、第1の入力端子がフリップフロップ901の出力端子に電氣的に接続され、第2の入力端子がイネーブル信号線に電氣的に接続される。

【0160】

フリップフロップ904は、第1の入力端子が第2のデータ信号(Data2)を供給する配線(以下、第2のデータ信号線ともいう)に電氣的に接続され、第2の入力端子がANDゲート902の出力端子に電氣的に接続される。

【0161】

フリップフロップ905は、第1の入力端子がフリップフロップ904の出力端子に電氣的に接続され、第2の入力端子がANDゲート902の出力端子に電氣的に接続される。

30

【0162】

フリップフロップ906は、第1の入力端子がフリップフロップ905の出力端子に電氣的に接続され、第2の入力端子がANDゲート902の出力端子に電氣的に接続される。

【0163】

なお、フリップフロップ906の出力信号は、論理回路900の出力信号(Output)となる。

【0164】

また、本実施の形態の論理回路が有するフリップフロップ901、904～906は、帰還作用を利用して1ビット分のデータを保持できる回路である。例えば、図4に示したDelay型フリップフロップを適用することができる。

40

【0165】

本実施の形態の論理回路は、第1のデータ信号(Data1)及びクロック信号によって制御されるフリップフロップ901の出力信号、並びにイネーブル信号(EN)によってフリップフロップ群907に入力されるクロック信号が制御される。つまり、フリップフロップ群907に対してクロックゲーティングが行われる論理回路である。

【0166】

また、フリップフロップ群907に含まれる2段目以降のフリップフロップは、第1の入力端子が前段のフリップフロップの出力端子に電氣的に接続されている。つまり、本実施の形態の論理回路は、クロック信号が入力される期間において、第2のデータ信号(D

50

a t a 2) が順次フリップフロップをシフトするシフトレジスタである。

【 0 1 6 7 】

本実施の形態の論理回路は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有する。当該酸化物半導体の水素濃度は、 5×10^{19} (a t o m s / c m ³) 以下、好ましくは 5×10^{18} (a t o m s / c m ³) 以下、さらに好ましくは 5×10^{17} (a t o m s / c m ³) 以下に制御される。そのため、当該トランジスタのオフ電流を 1×10^{-13} [A] 以下にまで低減することが可能である。つまり、クロックゲーティングが行われる期間における当該トランジスタを介した電荷のリークを抑制することができる。その結果、当該期間における待機電力を低減すること及び当該期間における論理回路の誤動作を抑制することが可能になる。

10

【 0 1 6 8 】

さらに、本実施の形態の論理回路が有する制御部 9 0 3 及びフリップフロップ群 9 0 7 を構成するトランジスタのすべてを N 型トランジスタとすることができる。これらの N 型トランジスタを上記のトランジスタ (チャネル形成領域が、水素濃度が 5×10^{19} (a t o m s / c m ³) 以下の酸化物半導体によって構成されるトランジスタ) とすることにより、N 型トランジスタのみで構成される論理回路でありながら、低消費電力化することができる。また、論理回路を N 型トランジスタのみで構成することで、作製プロセスを低減することができ、当該論理回路の歩留まりを向上させること及び製造コストを低減させることができる。

20

【 0 1 6 9 】

また、論理回路の消費電力を低減することで、本実施の形態の論理回路を動作させる外部回路の負荷が軽減できる。これにより、当該論理回路及び当該外部回路を有する半導体装置の機能拡張が可能となる。

【 0 1 7 0 】

なお、本実施の形態では、3つのフリップフロップを有するフリップフロップ群 9 0 7 について示しているが、本実施の形態のフリップフロップ群 9 0 7 が有するフリップフロップの個数は3つに限定されない。つまり、本実施の形態の論理回路には、フリップフロップ群が第 1 のフリップフロップ乃至第 n (n は自然数) のフリップフロップを有する論理回路も含まれる。なお、当該フリップフロップ群が有する第 k (k は、n 以下の自然数) のフリップフロップは、第 1 の入力端子が第 k - 1 のフリップフロップの出力端子に電氣的に接続され、第 2 の入力端子に A N D ゲート 9 0 2 の出力端子に電氣的に接続される。

30

【 0 1 7 1 】

また、本実施の形態では、フリップフロップ群 9 0 7 が有する 2 段目以降のフリップフロップの第 1 の入力端子に前段のフリップフロップの出力信号が入力される構成を示しているが、本実施の形態のフリップフロップ群の構成は、当該構成に限定されない。例えば、論理回路 9 0 0 の外部からフリップフロップへ信号が入力される構成であってもよい。また、フリップフロップの第 1 の入力端子が 2 段前のフリップフロップの出力端子と電氣的に接続されるなど、前段以外のフリップフロップの出力端子に電氣的に接続される構成であってもよい。さらに、あるフリップフロップの第 1 の入力端子が他のフリップフロップの出力端子に直接接続されるのではなく、間に他の回路を介していてもよい。

40

【 0 1 7 2 】

また、本実施の形態の論理回路が有する複数のフリップフロップの回路構成は共通である必要はなく、用途等に応じてフリップフロップ毎に回路構成を変更してもよい。

【 0 1 7 3 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【 0 1 7 4 】

(実施の形態 7)

50

本実施の形態では、実施の形態 1 乃至 6 に示した論理回路が有するトランジスタの一例について説明する。具体的には、当該論理回路が有する P 型トランジスタとして、半導体材料を含む基板を用いて形成されるトランジスタを適用し、N 型トランジスタとして、酸化物半導体を用いて形成されるトランジスタを適用する例を示す。

【0175】

< 構成例 >

本実施の形態の論理回路が有する P 型トランジスタ及び N 型トランジスタを図 11 に示す。

【0176】

図 11 に示す P 型トランジスタ 160 は、半導体材料を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた一对の不純物領域 114a、114b 及び一对の高濃度不純物領域 120a、120b（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域 116 上に設けられたゲート絶縁層 108a と、ゲート絶縁層 108a 上に設けられたゲート電極層 110a と、不純物領域 114a と電氣的に接続するソース電極層 130a と、不純物領域 114b と電氣的に接続するドレイン電極層 130b とを有する。

【0177】

なお、ゲート電極層 110a の側面にはサイドウォール絶縁層 118 が設けられている。また、半導体材料を含む基板 100 のサイドウォール絶縁層 118 と重ならない領域には、一对の高濃度不純物領域 120a、120b を有し、一对の高濃度不純物領域 120a、120b 上には一对の金属化合物領域 124a、124b が存在する。また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極層 130a、ドレイン電極層 130b は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、一对の金属化合物領域 124a、124b の一方と電氣的に接続されている。つまり、ソース電極層 130a は、金属化合物領域 124a を介して高濃度不純物領域 120a および不純物領域 114a と電氣的に接続され、ドレイン電極層 130b は、金属化合物領域 124b を介して高濃度不純物領域 120b および不純物領域 114b と電氣的に接続されている。

【0178】

また、後述する N 型トランジスタ 164 の下層には、ゲート絶縁層 108a と同一材料からなる絶縁層 108b、ゲート電極層 110a と同一材料からなる電極層 110b、並びにソース電極層 130a 及びドレイン電極層 130b と同一材料からなる電極層 130c が設けられている。

【0179】

図 11 に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられたゲート電極層 136d と、ゲート電極層 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 上に設けられ、酸化物半導体層 140 と電氣的に接続されているソース電極層 142a と、ドレイン電極層 142b とを有する。

【0180】

ここで、ゲート電極層 136d は、層間絶縁層 128 上に形成された絶縁層 132 に、埋め込むように設けられている。また、ゲート電極層 136d と同様に、P 型トランジスタ 160 が有する、ソース電極層 130a に接する電極層 136a 及びドレイン電極層 130b に接する電極層 136b が形成されている。また、電極層 130c に接する電極層 136c が形成されている。

【0181】

また、トランジスタ 164 の上には、酸化物半導体層 140 の一部と接するように、保護絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極層 142a

10

20

30

40

50

及びドレイン電極層 142b にまで達する開口が設けられており、当該開口を通じて、ソース電極層 142a に接する電極層 150d、ドレイン電極層 142b に接する電極層 150e が形成されている。また、電極層 150d、電極層 150e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極層 136a に接する電極層 150a、電極層 136b に接する電極層 150b、及び電極層 136c に接する電極層 150c が形成されている。

【0182】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されている。具体的には、酸化物半導体層 140 の水素濃度は 5×10^{19} (atoms/cm³) 以下である。なお、酸化物半導体層 140 の水素濃度は、 5×10^{18} (atoms/cm³) 以下であることが望ましく、 5×10^{17} (atoms/cm³) 以下であることがより望ましい。水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を用いることで、極めて優れたオフ電流特性のトランジスタ 164 を得ることができる。例えば、ドレイン電圧 V_d が +1V または +10V の場合であって、ゲート電圧 V_g が -5V から -20V の範囲では、オフ電流は 1×10^{-13} [A] 以下となる。このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を適用することで、トランジスタ 164 のオフ電流を低減することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。

【0183】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、絶縁層 152 に埋め込まれるように、電極層 154a、電極層 154b、電極層 154c、電極層 154d が設けられている。なお、電極層 154a は電極層 150a と接しており、電極層 154b は電極層 150b と接しており、電極層 154c は電極層 150c および電極層 150d と接しており、電極層 154d は電極層 150e と接している。

【0184】

本実施の形態で示す P 型トランジスタ 160 が有するソース電極層 130a は、上層領域に設けられた電極層 136a、電極層 150a、及び電極層 154a に電氣的に接続している。そのため、P 型トランジスタ 160 のソース電極層 130a は、これらの導電層を適宜形成することにより、上層領域に設けられた N 型トランジスタ 164 が有する電極層のいずれかと電氣的に接続させることが可能である。また、P 型トランジスタが有するドレイン電極層 130b についても同様に、上層領域に設けられた N 型トランジスタ 164 が有する電極層のいずれかと電氣的に接続させることが可能である。なお、図 11 には図示していないが、P 型トランジスタ 160 が有するゲート電極層 110a が、上層領域に設けられた電極層を介して、N 型トランジスタ 164 が有する電極層のいずれかと電氣的に接続する構成にすることもできる。

【0185】

同様に、本実施の形態で示す N 型トランジスタ 164 が有するソース電極層 142a は、下層領域に設けられた電極層 130c 及び電極層 110b に電氣的に接続している。そのため、N 型トランジスタ 164 のソース電極層 142a は、これらの導電層を適宜形成することにより、下層領域に設けられた P 型トランジスタ 160 のゲート電極層 110a、ソース電極層 130a、又はドレイン電極層 130b と電氣的に接続させることが可能である。なお、図 11 には図示していないが、N 型トランジスタ 164 が有するゲート電極層 136d 又はドレイン電極層 142b が、下層領域に設けられた電極層を介して、P 型トランジスタ 160 が有する電極層のいずれかと電氣的に接続する構成にすることもできる。

【0186】

上述した P 型トランジスタ 160 及び N 型トランジスタ 164 をそれぞれ複数設けることによって、実施の形態 1 乃至 6 に示した論理回路を構成することができる。なお、当該論理回路が有する N 型トランジスタ 164 の全てを酸化物半導体を用いて形成されるトラ

10

20

30

40

50

ンジスタとする必要はなく、各トランジスタに求められる特性に応じて、適宜変更することが可能である。例えば、高速動作が求められるN型トランジスタとして、半導体材料を含む基板を用いて形成されるトランジスタを適用し、リーク電流を低減することが求められるN型トランジスタとして、酸化物半導体を用いて形成されるトランジスタを適用することが可能である。

【0187】

<作製工程例>

次に、P型トランジスタ160及びN型トランジスタ164の作製方法の一例について説明する。以下では、はじめにP型トランジスタ160の作製方法について図12を参照しながら説明し、その後、N型トランジスタ164の作製方法について図13および図14を参照しながら説明する。

10

【0188】

まず、半導体材料を含む基板100を用意する(図12(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成も含まれるものとする。

20

【0189】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図12(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、半導体装置のしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

30

【0190】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板100の一部を除去する。これにより分離された半導体領域104が形成される(図12(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0191】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図12(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP(Chemical Mechanical Polishing)などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

40

【0192】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0193】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて

50

得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

【0194】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

10

【0195】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極層110aを形成する(図12(C)参照)。

【0196】

次に、ゲート電極層110aを覆う絶縁層112を形成する(図12(C)参照)。そして、半導体領域104に硼素(B)やアルミニウム(Al)などを添加して、浅い接合深さの一对の不純物領域114a、114bを形成する(図12(C)参照)。なお、ここではp型トランジスタを形成するために硼素やアルミニウムを添加しているが、n型トランジスタを形成する場合には、リン(P)やヒ素(As)などの不純物元素を添加すればよい。なお、一对の不純物領域114a、114bの形成により、半導体領域104のゲート絶縁層108a下部には、チャネル形成領域116が形成される(図12(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に一对の不純物領域114a、114bを形成する工程を採用しているが、一对の不純物領域114a、114bを形成した後に絶縁層112を形成する工程としても良い。

20

30

【0197】

次に、サイドウォール絶縁層118を形成する(図12(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極層110aの上面と、一对の不純物領域114a、114bの上面を露出させると良い。

【0198】

次に、ゲート電極層110a、一对の不純物領域114a、114b、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、一对の不純物領域114a、114bの一部に対して硼素(B)やアルミニウム(Al)などを添加して、一对の高濃度不純物領域120a、120bを形成する(図12(E)参照)。ここでも、N型トランジスタを形成する場合には、リン(P)やヒ素(As)などの不純物元素を添加すればよい。その後、上記絶縁層を除去し、ゲート電極層110a、サイドウォール絶縁層118、一对の高濃度不純物領域120a、120b等を覆うように金属層122を形成する(図12(E)参照)。金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

40

【0199】

50

次に、熱処理を施して、金属層 1 2 2 と半導体材料とを反応させる。これにより、一対の高濃度不純物領域 1 2 0 a、1 2 0 b に接する一対の金属化合物領域 1 2 4 a、1 2 4 b が形成される（図 1 2 (F) 参照）。なお、ゲート電極層 1 1 0 a として多結晶シリコンなどを用いる場合には、ゲート電極層 1 1 0 a の金属層 1 2 2 と接触する部分にも、金属化合物領域が形成されることになる。

【 0 2 0 0 】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、一対の金属化合物領域 1 2 4 a、1 2 4 b を形成した後は、金属層 1 2 2 は除去する。

10

【 0 2 0 1 】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 1 2 6、層間絶縁層 1 2 8 を形成する（図 1 2 (G) 参照）。層間絶縁層 1 2 6 や層間絶縁層 1 2 8 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 1 2 6 や層間絶縁層 1 2 8 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 1 2 8 の形成後には、その表面を、CMP やエッチング処理などによって平坦化しておくことが望ましい。

20

【 0 2 0 2 】

その後、上記層間絶縁層に、一対の金属化合物領域 1 2 4 a、1 2 4 b にまで達する開口を形成し、当該開口に、ソース電極層 1 3 0 a、ドレイン電極層 1 3 0 b を形成する（図 1 2 (H) 参照）。ソース電極層 1 3 0 a 及びドレイン電極層 1 3 0 b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【 0 2 0 3 】

30

なお、ソース電極層 1 3 0 a 及びドレイン電極層 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極層 1 3 0 a 及びドレイン電極層 1 3 0 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【 0 2 0 4 】

なお、ここでは、一対の金属化合物領域 1 2 4 a、1 2 4 b と接触するソース電極層 1 3 0 a 及びドレイン電極層 1 3 0 b のみを示しているが、この工程において、配線として機能する電極層（例えば、図 1 1 における電極層 1 3 0 c）などをあわせて形成することができる。ソース電極層 1 3 0 a 及びドレイン電極層 1 3 0 b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料を用いることができる。

40

【 0 2 0 5 】

以上により、半導体材料を含む基板 1 0 0 を用いた P 型トランジスタ 1 6 0 が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した論理回路を提供することができる。また、上記工程と同様の工程に

50

よって、半導体材料を含む基板 100 を用いた N 型トランジスタも形成することが可能である。すなわち、上述した工程において、半導体領域に添加する不純物元素をリン (P) やヒ素 (As) などの不純物元素に変更することによって、N 型トランジスタを形成することができる。

【0206】

次に、図 13 および図 14 を用いて、層間絶縁層 128 上に N 型トランジスタ 164 を作製する工程について説明する。なお、図 13 および図 14 は、層間絶縁層 128 上の各種電極層や、N 型トランジスタ 164 などの作製工程を示すものであるから、N 型トランジスタ 164 の下部に存在する P 型トランジスタ 160 等については省略している。

【0207】

まず、層間絶縁層 128、ソース電極層 130a、ドレイン電極層 130b、電極層 130c 上に絶縁層 132 を形成する (図 13 (A) 参照)。絶縁層 132 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0208】

次に、絶縁層 132 に対し、ソース電極層 130a、ドレイン電極層 130b、および電極層 130c にまで達する開口を形成する。この際、後にゲート電極層 136d が形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層 134 を形成する (図 13 (B) 参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 134 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 134 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物 (例えば窒化物) などが挙げられる。

【0209】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極層 (ここでは、ソース電極層 130a、ドレイン電極層 130b、電極層 130c など) との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0210】

導電層 134 を形成した後は、エッチング処理や CMP といった方法を用いて導電層 134 の一部を除去し、絶縁層 132 を露出させて、電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d を形成する (図 13 (C) 参照)。なお、上記導電層 134 の一部を除去して電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d を形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層 132、電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d の表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0211】

次に、絶縁層 132、電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d を覆うように、ゲート絶縁層 138 を形成する (図 13 (D) 参照)。ゲート絶縁層 138 は、CVD 法やスパッタリング法などを用いて形成することができる。また、ゲート絶縁層 138 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミ

10

20

30

40

50

ニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層 138 は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン (SiH_4)、酸素、窒素を用いたプラズマ CVD 法により、酸化窒化珪素でなるゲート絶縁層 138 を形成することができる。ゲート絶縁層 138 の厚さは特に限定されないが、例えば、10 nm 以上 500 nm 以下とすることができる。積層構造の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上の膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とすると好適である。

【0212】

なお、不純物を除去することにより i 型化または実質的に i 型化された酸化物半導体（高純度化された酸化物半導体）は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層 138 には、高品質化が要求されることになる。

【0213】

例えば、 μ 波 (2.45 GHz) を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層 138 を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0214】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマ CVD 法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層 138 としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

【0215】

さらに、 85°C 、 2×10^6 (V/cm)、12 時間のゲートバイアス・熱ストレス試験 (BT 試験) においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界 (B: バイアス) と高温 (T: 温度) により切断され、生成された未結合手がしきい値電圧 (V_{th}) のドリフトを誘発することとなる。

【0216】

これに対して、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT 試験に対しても安定なトランジスタを得ることが可能である。

【0217】

次いで、ゲート絶縁層 138 上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層 140 を形成する (図 13 (E) 参照)。

【0218】

酸化物半導体層としては、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層として In-Ga-Zn-O 系の金属酸化物ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて酸化物半導体層を形成しても良い。

【0219】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛などを主成分とする金属酸化物のターゲットを用いることができる。また、In、Ga、およびZnを含む金属酸化物ターゲット（組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom]）などを用いることもできる。また、In、Ga、およびZnを含む金属酸化物ターゲットとして、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom]、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom]の組成比を有するターゲットなどを用いても良い。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上（例えば99.9%）である。充填率の高い金属酸化物ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

10

【0220】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、数ppm程度（望ましくは数ppb程度）にまで除去された高純度ガスを用いるのが好適である。

【0221】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100 以上600 以下好ましくは200 以上400 以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

20

【0222】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素流量比率100%）雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

30

【0223】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いても良い。

40

【0224】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

50

【0225】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いても良い。

【0226】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）は適宜設定する。

10

【0227】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）などのエッチング液を用いてもよい。

【0228】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300 以上750 以下、好ましくは400 以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450 において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水や水素の再混入が行われないようにする。

20

【0229】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0230】

例えば、第1の熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

40

【0231】

なお、第1の熱処理は、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0232】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、また

50

は酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0233】

また、非晶質の酸化物半導体（例えば、酸化物半導体層の表面）に微結晶（粒径1nm以上20nm以下（代表的には2nm以上4nm以下））が混在する酸化物半導体層となる場合もある。

【0234】

また、非晶質中に微結晶を配列させることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の金属酸化物ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

10

【0235】

より具体的には、例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

【0236】

なお、上述の微結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

20

【0237】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0238】

なお、上記熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極層及びドレイン電極層を積層させた後、又はソース電極層及びドレイン電極層上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行ってよい。

30

【0239】

次に、酸化物半導体層140に接するように、ソース電極層142a及びドレイン電極層142bを形成する（図13（F）参照）。ソース電極層142a及びドレイン電極層142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0240】

40

当該導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガンを、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

50

【0241】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

【0242】

トランジスタのチャンネル長(L)は、ソース電極層142aの下端部と、ドレイン電極層142bの下端部との間隔によって決定される。なお、チャンネル長(L)が25nm未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

10

【0243】

なお、導電層のエッチングの際には、酸化物半導体層140が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140の一部がエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0244】

また、酸化物半導体層140とソース電極層142aの間、又は酸化物半導体層140とドレイン電極層142bの間に、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極層142a及びドレイン電極層142bを形成するための金属層とは、連続して形成すること(連続成膜)が可能である。酸化物導電層は、ソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

20

【0245】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状(階段状)となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

30

【0246】

なお、上述の工程の後には、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0247】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する(図13(G)参照)。

40

【0248】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、少なくとも1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または希ガス(代表的にはアルゴン)と酸素の混合雰囲気とするのが好適である。

【0249】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層140への侵入や、

50

水素による酸化物半導体層 140 中の酸素の引き抜き、などが生じ、酸化物半導体層 140 のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層 144 はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【0250】

また、処理室内の残留水分を除去しつつ保護絶縁層 144 を形成することが好ましい。酸化物半導体層 140 および保護絶縁層 144 に水素、水酸基または水分が含まれないようにするためである。

【0251】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が除去されているため、当該処理室で形成した保護絶縁層 144 に含まれる不純物の濃度を低減できる。

【0252】

保護絶縁層 144 を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、数 ppm 程度 (望ましくは、数 ppb 程度) にまで除去された高純度ガスを用いることが好ましい。

【0253】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を行うのが望ましい。例えば、窒素雰囲気下で 250、1 時間の第 2 の熱処理を行う。第 2 の熱処理を行うと、トランジスタの電気的特性のばらつきを軽減することができる。

【0254】

また、大気中、100 以上 200 以下、1 時間以上 30 時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第 2 の熱処理に代えて行ってもよいし、第 2 の熱処理の前後などに行ってもよい。

【0255】

次に、保護絶縁層 144 上に、層間絶縁層 146 を形成する (図 14 (A) 参照)。層間絶縁層 146 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層 146 の形成後には、その表面を、CMP やエッチングなどの方法によって平坦化しておくことが望ましい。

【0256】

次に、層間絶縁層 146、保護絶縁層 144、およびゲート絶縁層 138 に対し、電極層 136a、電極層 136b、電極層 136c、ソース電極層 142a、ドレイン電極層 142b にまで達する開口を形成し、当該開口に埋め込むように導電層 148 を形成する (図 14 (B) 参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いてもよいが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 148 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 148 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物 (例えば窒化物) などが挙げられる。

【0257】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここでは、電極層136a、電極層136b、電極層136c、ソース電極層142a、ドレイン電極層142b）との接触抵抗を低減させる機能を有する。また、その後の形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0258】

10

導電層148を形成した後は、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極層150a、電極層150b、電極層150c、電極層150d、電極層150eを形成する（図14（C）参照）。なお、上記導電層148の一部を除去して電極層150a、電極層150b、電極層150c、電極層150d、電極層150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極層150a、電極層150b、電極層150c、電極層150d、電極層150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0259】

さらに、絶縁層152を形成し、絶縁層152に、電極層150a、電極層150b、電極層150c、電極層150d、電極層150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極層154a、電極層154b、電極層154c、電極層154dを形成する（図14（D）参照）。当該工程は、電極層150a等を形成する場合と同様であるから、詳細は省略する。

20

【0260】

上述のような方法でN型トランジスタ164を作製した場合、酸化物半導体層140の水素濃度は 5×10^{19} (atoms/cm³)以下となり、また、N型トランジスタ164のオフ電流は、室温において 1×10^{-13} [A]以下となる。このような、優れた特性のN型トランジスタ164を実施の形態1乃至6に示した論理回路に適用することによって、当該論理回路の待機電力を低減すること及び論理回路の誤動作を抑制することが可能になる。

30

【0261】

<変形例>

図15乃至図18には、N型トランジスタ164の構成の変形例を示す。なお、図15乃至図18において、トランジスタ160の構成は図11に示す構成と同様である。

【0262】

図15には、酸化物半導体層140の下にゲート電極層136dを有し、ソース電極層142a及びドレイン電極層142bが、酸化物半導体層140の下側表面において接する構成のN型トランジスタ164を示す。

40

【0263】

図15に示す構成と図11に示す構成の大きな相違点として、ソース電極層142a及びドレイン電極層142bと、酸化物半導体層140との接続の位置が挙げられる。つまり、図11に示す構成では、酸化物半導体層140の上側表面において、ソース電極層142a及びドレイン電極層142bと接するのに対して、図15に示す構成では、酸化物半導体層140の下側表面において、ソース電極層142a及びドレイン電極層142bと接する。そして、この接触の相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図11と同様である。

【0264】

具体的には、図15に示すN型トランジスタ164は、層間絶縁層128上に設けられ

50

たゲート電極層 1 3 6 d と、ゲート電極層 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、を有する。また、N型トランジスタ 1 6 4 の上には、酸化物半導体層 1 4 0 を覆うように、保護絶縁層 1 4 4 が設けられている。

【 0 2 6 5 】

図 1 6 には、酸化物半導体層 1 4 0 の上にゲート電極層 1 3 6 d を有する N 型トランジスタ 1 6 4 を示す。ここで、図 1 6 (A) は、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面において酸化物半導体層 1 4 0 と接する構成の例を示す図であり、図 1 6 (B) は、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b が、酸化物半導体層 1 4 0 の上側表面において酸化物半導体層 1 4 0 と接する構成の例を示す図である。

10

【 0 2 6 6 】

図 1 1 又は図 1 5 に示す構成と図 1 6 に示す構成の大きな相違点は、酸化物半導体層 1 4 0 の上にゲート電極層 1 3 6 d を有する点である。また、図 1 6 (A) に示す構成と図 1 6 (B) に示す構成の大きな相違点は、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図 1 1 などと同様である。

【 0 2 6 7 】

20

具体的には、図 1 6 (A) に示す N 型トランジスタ 1 6 4 は、層間絶縁層 1 2 8 上に設けられたソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域のゲート電極層 1 3 6 d と、を有する。

【 0 2 6 8 】

また、図 1 6 (B) に示す N 型トランジスタ 1 6 4 は、層間絶縁層 1 2 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 の上側表面に接するように設けられたソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と、酸化物半導体層 1 4 0、ソース電極層 1 4 2 a、及びドレイン電極層 1 4 2 b 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域に設けられたゲート電極層 1 3 6 d と、を有する。

30

【 0 2 6 9 】

なお、図 1 6 に示す構成では、図 1 1 に示す構成などと比較して、構成要素が省略される場合がある（例えば、電極層 1 5 0 a や、電極層 1 5 4 a など）。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図 1 1 などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

【 0 2 7 0 】

図 1 7 には、素子のサイズが比較的大きい場合であって、酸化物半導体層 1 4 0 の下にゲート電極層 1 3 6 d を有する構成の N 型トランジスタ 1 6 4 を示す。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極層 1 3 6 d などを形成することが可能である。

40

【 0 2 7 1 】

図 1 7 (A) に示す構成と図 1 7 (B) に示す構成の大きな相違点は、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図 1 1 などと同様である。

【 0 2 7 2 】

50

具体的には、図 17 (A) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられたゲート電極層 136d と、ゲート電極層 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた、ソース電極層 142a 及びドレイン電極層 142b と、ソース電極層 142a 及びドレイン電極層 142b の上側表面に接する酸化物半導体層 140 と、を有する。

【0273】

また、図 17 (B) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられたゲート電極層 136d と、ゲート電極層 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上のゲート電極層 136d と重畳する領域に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極層 142a 及びドレイン電極層 142b と、を有する。

10

【0274】

なお、図 17 に示す構成においても、図 11 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0275】

図 18 には、素子のサイズが比較的大きい場合であって、酸化物半導体層 140 の上にゲート電極層 136d を有する構成の N 型トランジスタ 164 を示す。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極層 136d などを形成することが可能である。

20

【0276】

図 18 (A) に示す構成と図 18 (B) に示す構成の大きな相違点は、ソース電極層 142a 及びドレイン電極層 142b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図 11 などと同様である。

【0277】

具体的には、図 18 (A) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられたソース電極層 142a 及びドレイン電極層 142b と、ソース電極層 142a 及びドレイン電極層 142b の上側表面に接する酸化物半導体層 140 と、ソース電極層 142a、ドレイン電極層 142b、及び酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート電極層 136d と、を有する。

30

【0278】

また、図 18 (B) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極層 142a 及びドレイン電極層 142b と、ソース電極層 142a、ドレイン電極層 142b、及び酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート電極層 136d と、を有する。

40

【0279】

なお、図 18 に示す構成においても、図 11 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0280】

本実施の形態では、P 型トランジスタ 160 上に N 型トランジスタ 164 を積層して形成する例について説明したが、P 型トランジスタ 160 及び N 型トランジスタ 164 の構成はこれに限られるものではない。例えば、同一平面上に P 型トランジスタ及び N 型トランジスタを形成することができる。さらに、P 型トランジスタ 160 と、N 型トランジスタ 164 とを重畳して設けても良い。

【0281】

50

上述したN型トランジスタ164を実施の形態1乃至6に示した論理回路が有するN型トランジスタに適用することによって、当該薄膜トランジスタを介した電荷のリークを抑制することができる。その結果、論理回路の待機電力を低減すること及び論理回路の誤動作を抑制することが可能になる。

【0282】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0283】

(実施の形態8)

本実施の形態では、実施の形態1乃至6に示した論理回路が有するトランジスタの一例について説明する。具体的には、チャネル形成領域が酸化物半導体によって構成される薄膜トランジスタの一例について説明する。

【0284】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図19及び図20を用いて説明する。

【0285】

図19(A)、(B)に薄膜トランジスタの平面及び断面構造の一例を示す。図19(A)、(B)に示す薄膜トランジスタ460は、トップゲート構造の薄膜トランジスタである。

【0286】

図19(A)はトップゲート構造の薄膜トランジスタ460の平面図であり、図19(B)は図19(A)の線D1-D2における断面図である。

【0287】

薄膜トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a(465a1、465a2)、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461(461a、461b)を含み、ソース電極層又はドレイン電極層465a(465a1、465a2)は配線層468を介して配線層464と電氣的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層452に設けられた開口において配線層と電氣的に接続する。

【0288】

以下、図20(A)乃至(E)を用い、基板450上に薄膜トランジスタ460を作製する工程を説明する。

【0289】

まず、絶縁表面を有する基板450上に下地膜となる絶縁層457を形成する。

【0290】

本実施の形態では、絶縁層457として、スパッタリング法により酸化シリコン層を形成する。基板450を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲット又は石英(好ましくは合成石英)を用いて、基板450に絶縁層457として、酸化シリコン層を成膜する。なお、スパッタガスとしては、酸素又は、酸素及びアルゴンの混合ガスを用いることが可能である。

【0291】

例えば、純度が6Nであり、石英(好ましくは合成石英)を用い、基板温度1080℃、基板とターゲットの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により酸化シリコン層を成膜する。膜厚は100nmとする。なお、石英(好ましくは合成石英)に代えてシリコンターゲットを酸化シリコン層を成膜するためのターゲットとして用いることができる。

【0292】

この場合において、処理室内の残留水分を除去しつつ絶縁層 4 5 7 を成膜することが好ましい。絶縁層 4 5 7 に水素、水酸基又は水分が含まれないようにするためである。クライオポンプを用いて排気した処理室は、例えば、水 (H_2O) など水素原子を含む化合物を含む化合物等が排気されるため、当該処理室で成膜し絶縁層 4 5 7 に含まれる不純物の濃度を低減できる。

【0293】

絶縁層 4 5 7 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数 ppm 程度、数 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【0294】

また、絶縁層 4 5 7 は積層構造でもよく、例えば、基板 4 5 0 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【0295】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【0296】

次いで、絶縁層 4 5 7 上に、導電層を形成し、第 1 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 を形成した後、レジストマスクを除去する (図 20 (A) 参照)。ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 は断面図では分断されて示されているが、連続した膜である。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0297】

ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電層は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する 2 層構造、Ti 層と、その Ti 層上に重ねてアルミニウム層を積層し、さらにその上に Ti 層を成膜する 3 層構造などが挙げられる。また、Al に、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、Nd (ネオジム)、Sc (スカンジウム) から選ばれた元素を単数、又は複数組み合わせた層、合金層、もしくは窒化層を用いてもよい。

【0298】

本実施の形態ではソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 としてスパッタリング法により膜厚 150 nm のチタン層を形成する。

【0299】

次いで、絶縁層 4 5 7 及びソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体層を形成する。

【0300】

次に、第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 4 6 2 に加工する (図 20 (B) 参照)。本実施の形態では、In - Ga - Zn - O 系金属酸化物ターゲットを用いてスパッタリング法により酸化物半導体層を成膜する。

【0301】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素

10

20

30

40

50

及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板450上に酸化物半導体層を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。また、酸化物半導体層成膜時に基板を加熱してもよい。

【0302】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好ましい。

【0303】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0304】

本実施の形態では、エッチング液としてリン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体層を島状の酸化物半導体層462に加工する。

【0305】

本実施の形態では、酸化物半導体層462に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層462の脱水化または脱水素化を行うことができる。

【0306】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0307】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0308】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。

【0309】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化

10

20

30

40

50

物半導体層に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0310】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にさらにソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0311】

次いで、絶縁層457及び酸化物半導体層462上に、導電層を形成し、第3のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465b、配線層468を形成した後、レジストマスクを除去する(図20(C)参照)。ソース電極層又はドレイン電極層465b、配線層468はソース電極層又はドレイン電極層465a1、465a2と同様な材料及び工程で形成すればよい。

【0312】

本実施の形態ではソース電極層又はドレイン電極層465b、配線層468としてスパッタリング法により膜厚150nmのチタン層を形成する。本実施の形態は、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bに同じチタン層を用いる例のため、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bとはエッチングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層465a1、465a2が、ソース電極層又はドレイン電極層465bのエッチング時にエッチングされないように、酸化物半導体層462に覆われないソース電極層又はドレイン電極層465a2上に配線層468を設けている。ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bとにエッチング工程において高い選択比を有する異なる材料を用いる場合には、エッチング時にソース電極層又はドレイン電極層465a2を保護する配線層468は必ずしも設けなくてもよい。

【0313】

なお、導電膜のエッチングの際に、酸化物半導体層462は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0314】

本実施の形態では、導電膜としてTi層を用いて、酸化物半導体層462にはIn-Ga-Zn-O系酸化物半導体を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0315】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層462は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層465b、配線層468を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

【0316】

次いで、絶縁層457、酸化物半導体層462、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b、及び配線468上にゲート絶縁層452を形成する。

【0317】

ゲート絶縁層452としては、プラズマCVD法又はスパッタリング法等を用いて形成される、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層の単層又は積層を適用することができる。なお、ゲート絶縁層452中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層452を成膜することが好ましい。スパッタリング法により酸化シリコン層を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガス

10

20

30

40

50

として酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0318】

ゲート絶縁層452は、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

【0319】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層452の一部を除去して、配線層468に達する開口423を形成する（図20（D）参照）。図示しないが開口423の形成時にソース電極層又はドレイン電極層465bに達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層465bへの開口はさらに層間絶縁層を積層した後に形成し、電氣的に接続する配線層を開口に形成する例とする。

【0320】

次に、ゲート絶縁層452、及び開口423上に導電層を形成した後、第5のフォトリソグラフィ工程によりゲート電極層461（461a、461b）、配線層464を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0321】

また、ゲート電極層461（461a、461b）、配線層464としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0322】

本実施の形態ではゲート電極層461（461a、461b）、配線層464としてスパッタリング法により膜厚150nmのチタン層を形成する。

【0323】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ460上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0324】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0325】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層462を有する薄膜トランジスタ460を形成することができる（図20（E）参照）。

【0326】

また、薄膜トランジスタ460上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層452、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層465bに達する開口を形成し、その開口に、ソース電極層又はドレイン電極層465bと電氣的に接続する配線層を形成する。

【0327】

上記のように酸化物半導体層を成膜する際に、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体層の安定化を図ることができる。

10

20

30

40

50

【 0 3 2 8 】

上述した薄膜トランジスタを実施の形態 1 乃至 6 に示した論理回路が有するトランジスタに適用することによって、当該薄膜トランジスタを介した電荷のリークを抑制することができる。その結果、論理回路の消費電力（待機電力）を低減すること及び論理回路の誤動作を抑制することが可能になる。

【 0 3 2 9 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【 0 3 3 0 】

10

（実施の形態 9）

本実施の形態では、実施の形態 1 乃至 6 に示した論理回路が有するトランジスタの一例について説明する。具体的には、チャネル形成領域が酸化物半導体によって構成される薄膜トランジスタの一例について説明する。

【 0 3 3 1 】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図 2 1 を用いて説明する。

【 0 3 3 2 】

図 2 1（A）乃至（E）に薄膜トランジスタの断面構造の一例を示す。図 2 1（A）乃至（E）に示す薄膜トランジスタ 3 9 0 は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

20

【 0 3 3 3 】

また、薄膜トランジスタ 3 9 0 はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタを形成することができる。

【 0 3 3 4 】

以下、図 2 1（A）乃至（E）を用い、基板 3 9 4 上に薄膜トランジスタ 3 9 0 を作製する工程を説明する。

【 0 3 3 5 】

まず、絶縁表面を有する基板 3 9 4 上に導電層を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 3 9 1 を形成する。形成されたゲート電極層 3 9 1 の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【 0 3 3 6 】

絶縁表面を有する基板 3 9 4 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【 0 3 3 7 】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。一般に、酸化ホウ素と比較して酸化バリウム（BaO）を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

40

【 0 3 3 8 】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【 0 3 3 9 】

50

下地膜となる絶縁層を基板 394 とゲート電極層 391 との間に設けてもよい。下地膜は、基板 394 からの不純物元素の拡散を防止する機能があり、窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、又は酸化窒化シリコン層から選ばれた一又は複数の膜による積層構造により形成することができる。

【0340】

また、ゲート電極層 391 としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0341】

例えば、ゲート電極層 391 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層が積層された 2 層構造、銅層上に窒化チタン層若しくは窒化タンタル層が積層された 2 層構造、窒化チタン層とモリブデン層とが積層された 2 層構造、又は窒化タングステン層とタングステン層とが積層された 2 層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とが積層された構造とすることが好ましい。なお、透光性を有する導電層を用いてゲート電極層を形成することもできる。透光性を有する導電層としては、透光性導電性酸化物等をその例に挙げることができる。

【0342】

次いで、ゲート電極層 391 上にゲート絶縁層 397 を形成する。

【0343】

ゲート絶縁層 397 としては、プラズマ CVD 法又はスパッタリング法等を用いて形成される、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層の単層又は積層を適用することができる。なお、ゲート絶縁層 397 中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層 397 を成膜することが好ましい。スパッタリング法により酸化シリコン層を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0344】

ゲート絶縁層 397 は、ゲート電極層 391 側から窒化シリコン層と酸化シリコン層が積層された構造とすることもできる。例えば、第 1 のゲート絶縁層としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層 (SiN_y ($y > 0$)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層して、膜厚 100 nm のゲート絶縁層とする。

【0345】

また、ゲート絶縁層 397、酸化物半導体層 393 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層 391 が形成された基板 394、又はゲート絶縁層 397 までが形成された基板 394 を予備加熱し、基板 394 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100 以上 400 以下好ましくは 150 以上 300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、酸化物絶縁層 396 の成膜前に、ソース電極層 395a 及びドレイン電極層 395b まで形成した基板 394 にも同様に行ってもよい。

【0346】

次いで、ゲート絶縁層 397 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体層 393 を形成する (図 21 (A) 参照)。

【0347】

なお、酸化物半導体層 393 をスパッタリング法により成膜する前に、アルゴンガスを

10

20

30

40

50

導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 397 の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0348】

酸化物半導体層 393 はスパッタリング法により成膜する。酸化物半導体層 393 は、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体を用いる。本実施の形態では、酸化物半導体層 393 を In-Ga-Zn-O 系金属酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体層 393 は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂ を 2 重量%以上 10 重量%以下含むターゲットを用いて成膜を行ってもよい。

10

【0349】

酸化物半導体層 393 をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及び Zn を含む金属酸化物ターゲット（組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol]、In:Ga:Zn=1:1:0.5[atom]）を用いることができる。また、In、Ga、及び Zn を含む金属酸化物ターゲットとして、In:Ga:Zn=1:1:1[atom]、又は In:Ga:Zn=1:1:2[atom] の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は 90%以上 100%以下、好ましくは 95%以上 99.9%である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層は緻密な層となる。

20

【0350】

減圧状態に保持された処理室内に基板を保持し、基板を室温以上 400 未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板 394 上に酸化物半導体層 393 を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水(H₂O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。また、クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体層 393 を成膜する際の基板温度は室温以上 400 未満とすることができる。

30

40

【0351】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流(DC)電源 0.5 kW、酸素（酸素流量比率 100%）雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0352】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのバイアスを与えるパルス DC スパッタリ

50

ング法もある。RFスパッタリング法は主に絶縁層を成膜する場合に用いられ、DCスパッタリング法は主に金属層を成膜する場合に用いられる。

【0353】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料層を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0354】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

10

【0355】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0356】

次いで、酸化物半導体層を第2のフォトリソグラフィ工程により島状の酸化物半導体層399に加工する(図21(B)参照)。また、島状の酸化物半導体層399を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0357】

20

また、ゲート絶縁層397にコンタクトホールを形成する場合、その工程は酸化物半導体層399の形成時に行うことができる。

【0358】

なお、ここでの酸化物半導体層393のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0359】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0360】

30

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0361】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0362】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0363】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0364】

50

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0365】

なお、次工程の導電層を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0366】

次いで、ゲート絶縁層397、及び酸化物半導体層399上に、導電層を形成する。導電層をスパッタリング法や真空蒸着法で形成すればよい。導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金層等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電層は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層が積層される2層構造、Ti層と、そのTi層上に重ねてアルミニウム層が積層され、さらにその上にTi層が積層される3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた層、合金層、もしくは窒化層を用いてもよい。

【0367】

第3のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層395a、ドレイン電極層395bを形成した後、レジストマスクを除去する(図21(C)参照)。

【0368】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層399上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

【0369】

なお、導電層のエッチングの際に、酸化物半導体層399は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0370】

本実施の形態では、導電膜としてTi層を用いて、酸化物半導体層399にはIn-Ga-Zn-O系酸化物半導体を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0371】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層399は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層395a、ドレイン電極層395bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0372】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジスト

マスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0373】

N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0374】

プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する酸化物絶縁層396を形成する(図21(D)参照)。本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と酸化物絶縁層396とが接するように形成する。

【0375】

本実施の形態では、酸化物絶縁層396として、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温以上100未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。

【0376】

例えば、純度が6Nであり、ボロンがドーパされたシリコンターゲット(抵抗値0.01cm)を用い、基板とターゲットの間との距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタリング法により酸化シリコン層を成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英(好ましくは合成石英)を酸化シリコン層を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0377】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層396を成膜することが好ましい。酸化物半導体層399及び酸化物絶縁層396に水素、水酸基又は水分が含まれないようにするためである。

【0378】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水(H_2O)など水素原子を含む化合物を含む化合物等が排気されるため、当該処理室で成膜した酸化物絶縁層396に含まれる不純物の濃度を低減できる。

【0379】

なお、酸化物絶縁層396として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0380】

さらに、酸化物絶縁層396と酸化物半導体層399とを接した状態で100乃至400で加熱処理を行ってもよい。本実施の形態における酸化物絶縁層396は欠陥を多く含むため、この加熱処理によって酸化物半導体層399中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層396に拡散させ、酸化物半導体層399中に含まれる該不純物をより低減させることができる。

【0381】

以上の工程で、水素、水分、水酸基又は水素化物の濃度が低減された酸化物半導体層392を有する薄膜トランジスタ390を形成することができる(図21(E)参照)。

10

20

30

40

50

【0382】

上記のように酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体層の安定化を図ることができる。

【0383】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層398を酸化物絶縁層396上に形成する。保護絶縁層398としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いる。

【0384】

保護絶縁層398として、酸化物絶縁層396まで形成された基板394を100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化物絶縁層396と同様に、処理室内の残留水分を除去しつつ保護絶縁層398を成膜することが好ましい。

10

【0385】

保護絶縁層398を形成する場合、保護絶縁層398の成膜時に100 ~ 400 に基板394を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させることができる。この場合上記酸化物絶縁層396の形成後に加熱処理を行わなくてもよい。

【0386】

20

酸化物絶縁層396として酸化シリコン層を形成し、保護絶縁層398として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にスパッタガスを窒素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化物絶縁層396として酸化シリコン層を形成し、保護絶縁層398として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度100乃至400）を行うとよい。

30

【0387】

保護絶縁層の形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

【0388】

40

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0389】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400以下の温度で行われるため、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。また、400以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

50

【0390】

上述した薄膜トランジスタを実施の形態1乃至6に示した論理回路が有するトランジスタに適用することによって、当該薄膜トランジスタを介した電荷のリークを抑制することができる。その結果、論理回路の待機電力を低減すること及び論理回路の誤動作を抑制することが可能になる。

【0391】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0392】

10

(実施の形態10)

本実施の形態では、実施の形態1乃至6に示した論理回路が有するトランジスタの一例について説明する。具体的には、チャネル形成領域が酸化物半導体によって構成される薄膜トランジスタの一例について説明する。

【0393】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図22を用いて説明する。

【0394】

図22(A)乃至(D)に薄膜トランジスタの断面構造の一例を示す。図22(D)に示す薄膜トランジスタ360は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

20

【0395】

また、薄膜トランジスタ360はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0396】

以下、図22(A)乃至(D)を用い、基板320上に薄膜トランジスタ360を作製する工程を説明する。

【0397】

まず、絶縁表面を有する基板320上に導電層を形成した後、第1のフォトリソグラフィ工程によりゲート電極層361を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0398】

また、ゲート電極層361としては、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0399】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

【0400】

40

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0401】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体層を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。

【0402】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体層を成膜することが好ましい。酸化物半導体層に水素、水酸基又は水分が含まれないようにするためである。

50

【0403】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水(H_2O)など水素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0404】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好ましい。

10

【0405】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層332を得る(図22(A)参照)。

【0406】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

20

【0407】

次いで、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

【0408】

本実施の形態では、酸化物絶縁層366として膜厚200nmの酸化珪素層をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300 以下とすればよく、本実施の形態では100 とする。酸化珪素層のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び酸素雰囲気下でスパッタ法により酸化珪素層を形成することができる。

30

【0409】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層366を成膜することが好ましい。酸化物半導体層332及び酸化物絶縁層366に水素、水酸基又は水分が含まれないようにするためである。

【0410】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水(H_2O)など水素原子を含む化合物を含む化合物等が排気されるため、当該処理室で成膜した酸化物絶縁層366に含まれる不純物の濃度を低減できる。

40

【0411】

酸化物絶縁層366を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好ましい。

【0412】

50

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行ってもよい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が酸化物絶縁層366と接した状態で加熱される。

【0413】

本実施の形態は、さらに酸化物絶縁層366が設けられ一部が露出している酸化物半導体層332を、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層366によって覆われていない露出された酸化物半導体層332の領域は、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、酸素欠乏状態となり低抵抗化、即ちN型化することができる。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

10

【0414】

酸化物絶縁層366が設けられた酸化物半導体層332に対する窒素雰囲気下の加熱処理によって、酸化物半導体層332の露出領域は低抵抗化し、抵抗の異なる領域（図22（B）においては斜線領域及び白地領域で示す）を有する酸化物半導体層362となる。

【0415】

次いで、ゲート絶縁層322、酸化物半導体層362、及び酸化物絶縁層366上に、導電層を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層365a、ドレイン電極層365bを形成した後、レジストマスクを除去する（図22（C）参照）。

20

【0416】

ソース電極層365a、ドレイン電極層365bの材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金層等が挙げられる。また、金属導電層は、単層構造でも、2層以上の積層構造としてもよい。

【0417】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行うと同時に酸化物半導体層が低抵抗化、即ちN型化する。その後、酸化物半導体層に接する酸化物絶縁層を成膜することにより酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層361と重なるチャンネル形成領域363は、I型となる。この時、少なくともチャンネル形成領域363に比べてキャリア密度が高く、ソース電極層365aに重なる高抵抗ソース領域364aと、少なくともチャンネル形成領域363に比べてキャリア密度が高く、ドレイン電極層365bに重なる高抵抗ドレイン領域364bとが自己整合的に形成される。以上の工程で薄膜トランジスタ360が形成される。

30

【0418】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

40

【0419】

なお、ドレイン電極層365b（及びソース電極層365a）と重畳した酸化物半導体層において高抵抗ドレイン領域364b（及び高抵抗ソース領域364a）を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域364bを形成することで、ドレイン電極層から高抵抗ドレイン領域364b、チャンネル形成領域363にかけて、導電性を段階的に変化させうるような構造とするこ

50

とができる。そのため、ドレイン電極層 365b に高電源電位 VDD を供給する配線を接続して動作させる場合、ゲート電極層 361 とドレイン電極層 365b との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができる。

【0420】

ソース電極層 365a、ドレイン電極層 365b、酸化物絶縁層 366 上に保護絶縁層 323 を形成する。本実施の形態では、保護絶縁層 323 を、窒化珪素層を用いて形成する(図 22(D) 参照)。

【0421】

なお、ソース電極層 365a、ドレイン電極層 365b、酸化物絶縁層 366 上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層 323 を積層してもよい。

10

【0422】

上述した薄膜トランジスタを実施の形態 1 乃至 6 に示した論理回路が有するトランジスタに適用することによって、当該薄膜トランジスタを介した電荷のリークを抑制することができる。その結果、論理回路の待機電力を低減すること及び論理回路の誤動作を抑制することが可能になる。

【0423】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は他の実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

20

【0424】

(実施の形態 11)

本実施の形態では、上記実施の形態で得られる論理回路を搭載した半導体装置の例について図 23 を用いて説明する。なお、上記実施の形態に係る論理回路は、該論理回路を動作させる外部回路などともに集積化されて回路基板などに実装され、各半導体装置の内部に搭載されることになる。

【0425】

図 23(A) は、上述した論理回路を有するノート型のパーソナルコンピュータを示す図であり、本体 2201、筐体 2202、表示部 2203、キーボード 2204 などによって構成されている。

30

【0426】

図 23(B) は、上述した論理回路を有する携帯情報端末(PDA)を示す図であり、本体 2211 には表示部 2213 と、外部インターフェイス 2215 と、操作ボタン 2214 等が設けられている。また操作用の付属品としてスタイラス 2212 がある。

【0427】

図 23(C) は、上述した論理回路を有する電子ペーパーの一例として、電子書籍 2220 を示す図である。電子書籍 2220 は、筐体 2221 および筐体 2223 の 2 つの筐体で構成されている。筐体 2221 および筐体 2223 は、軸部 2237 により一体とされており、該軸部 2237 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2220 は、紙の書籍のように用いることが可能である。

40

【0428】

筐体 2221 には表示部 2225 が組み込まれ、筐体 2223 には表示部 2227 が組み込まれている。表示部 2225 および表示部 2227 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図 23(C) では表示部 2225)に文章を表示し、左側の表示部(図 23(C) では表示部 2227)に画像を表示することができる。

【0429】

また、図 23(C) では、筐体 2221 に操作部などを備えた例を示している。例えば、筐体 2221 は、電源 2231、操作キー 2233、スピーカー 2235などを備えている。操作キー 2233 により、頁を送ることができる。なお、筐体の表示部と同一面に

50

キーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2220は、電子辞書としての機能を持たせた構成としてもよい。

【0430】

また、電子書籍2220は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0431】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0432】

図23(D)は、上述した論理回路を有する携帯電話機を示す図である。当該携帯電話機は、筐体2240および筐体2241の二つの筐体で構成されている。筐体2241は、表示パネル2242、スピーカー2243、マイクロフォン2244、ポインティングデバイス2246、カメラ用レンズ2247、外部接続端子2248などを備えている。また、筐体2240は、当該携帯電話機の充電を行う太陽電池セル2249、外部メモリスロット2250などを備えている。また、アンテナは筐体2241内部に内蔵されている。

【0433】

表示パネル2242はタッチパネル機能を備えており、図23(D)には映像表示されている複数の操作キー2245を点線で示している。なお、当該携帯電話は、太陽電池セル2249で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

【0434】

表示パネル2242は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2242と同一面上にカメラ用レンズ2247を備えているため、テレビ電話が可能である。スピーカー2243およびマイクロフォン2244は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2240と筐体2241はスライドし、図23(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0435】

外部接続端子2248はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット2250に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0436】

図23(E)は、上述した論理回路を有するデジタルカメラを示す図である。当該デジタルカメラは、本体2261、表示部(A)2267、接眼部2263、操作スイッチ2264、表示部(B)2265、バッテリー2266などによって構成されている。

【0437】

図23(F)は、上述した論理回路を有するテレビジョン装置を示す図である。テレビジョン装置2270では、筐体2271に表示部2273が組み込まれている。表示部2273により、映像を表示することが可能である。なお、ここでは、スタンド2275により筐体2271を支持した構成を示している。

【0438】

テレビジョン装置2270の操作は、筐体2271が備える操作スイッチや、別体のリ

10

20

30

40

50

モコン操作機 2280 により行うことができる。リモコン操作機 2280 が備える操作キー 2279 により、チャンネルや音量の操作を行うことができ、表示部 2273 に表示される映像を操作することができる。また、リモコン操作機 2280 に、当該リモコン操作機 2280 から出力する情報を表示する表示部 2277 を設ける構成としてもよい。

【0439】

なお、テレビジョン装置 2270 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【実施例 1】

【0440】

本実施例では、評価用素子（TEG と呼ぶ）でのオフ電流の測定値について以下に説明する。

【0441】

図 24 に $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ の薄膜トランジスタを 200 個並列に接続し、実効的には $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ の薄膜トランジスタの初期特性を示す。また、上面図を図 25 (A) に示し、その一部を拡大した上面図を図 25 (B) に示す。図 25 (B) の点線で囲んだ領域が $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ 、 $Lov = 1.5 \mu\text{m}$ の 1 段分の薄膜トランジスタである。薄膜トランジスタの初期特性を測定するため、基板温度を室温とし、ソース - ドレイン間電圧（以下、ドレイン電圧または V_d という）を 10 V とし、ソース - ゲート間電圧（以下、ゲート電圧または V_g という）を $-20 \text{ V} \sim +20 \text{ V}$ まで変化させたときのソース - ドレイン電流（以下、ドレイン電流または I_d という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。なお、図 24 では、 V_g を $-20 \text{ V} \sim +5 \text{ V}$ までの範囲で示している。

【0442】

図 24 に示すようにチャネル幅 W が $10000 \mu\text{m}$ の薄膜トランジスタは、 V_d が 1 V 及び 10 V においてオフ電流は $1 \times 10^{-13} [\text{A}]$ 以下となっており、測定機（半導体パラメータ・アナライザ、Agilent 4156C；Agilent 社製）の分解能（ 100 fA ）以下となっている。

【0443】

測定した薄膜トランジスタの作製方法について説明する。

【0444】

まず、ガラス基板上に下地膜として、CVD 法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲート電極層を形成した。

【0445】

次に、ゲート電極層上にゲート絶縁層として CVD 法により厚さ 100 nm の酸化窒化珪素層を形成した。

【0446】

次に、ゲート絶縁層上に、スパッタ法により In-Ga-Zn-O 系酸化物半導体ターゲット（モル数比で、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ ）を用いて、厚さ 50 nm の酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0447】

次に、酸化物半導体層をクリーンオープンにて窒素雰囲気下、 450°C 、1 時間の第 1 の熱処理を行った。

【0448】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層（厚さ 15

10

20

30

40

50

0 nm) をスパッタ法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つの薄膜トランジスタのチャネル長 L が $3\text{ }\mu\text{m}$ 、チャネル幅 W が $50\text{ }\mu\text{m}$ とし、200個を並列とすることで、実効的に $L/W = 3\text{ }\mu\text{m}/10000\text{ }\mu\text{m}$ となるようにした。

【0449】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚 300 nm で形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、 250°C で1時間、第2の熱処理を行った。

【0450】

そして、 $V_g - I_d$ 特性を測定する前に 150°C 、10時間の加熱を行った。

【0451】

以上の工程により、ボトムゲート型の薄膜トランジスタを作製した。

【0452】

図24に示すように薄膜トランジスタが、 $1 \times 10^{-13} [\text{A}]$ 程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 $5 \times 10^{19} (\text{atoms}/\text{cm}^3)$ 以下、好ましくは $5 \times 10^{18} (\text{atoms}/\text{cm}^3)$ 以下、さらに好ましくは $5 \times 10^{17} (\text{atoms}/\text{cm}^3)$ 以下とする。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で行う。

【0453】

また、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Sn}-\text{O}$ 系、 $\text{Sn}-\text{Zn}-\text{O}$ 系、 $\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{O}$ 系、 $\text{Sn}-\text{O}$ 系、 $\text{Zn}-\text{O}$ 系などを用いることができる。また、酸化物半導体材料として、 AlO_x を $2.5 \sim 10\text{ wt}\%$ 混入した $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 系や、 SiO_x を $2.5 \sim 10\text{ wt}\%$ 混入した $\text{In}-\text{Zn}-\text{O}$ 系を用いることもできる。

【0454】

また、キャリア測定機で測定される酸化物半導体層のキャリア密度は、 $5 \times 10^{14} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{12} / \text{cm}^3$ 以下、さらに好ましくはシリコンの真性キャリア密度 $1.45 \times 10^{10} / \text{cm}^3$ と同等、もしくはそれ以下である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近くすることができる。

【0455】

また、薄膜トランジスタのチャネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

【0456】

また、薄膜トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。

【0457】

続いて、本実施例で作製した薄膜トランジスタに対してオフ電流の温度特性を評価した。温度特性は、薄膜トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0458】

温度特性は、恒温槽を用い、 -30 、 0 、 25 、 40 、 60 、 80 、 100 、及び 120 のそれぞれの温度で薄膜トランジスタを形成した基板を一定温度とし、ドレイン電圧を 6 V 、ゲート電圧を $-20\text{ V} \sim +20\text{ V}$ まで変化させて $V_g - I_d$ 特性を取得した。

10

20

30

40

50

【 0 4 5 9 】

図 2 6 (A) に示すのは、上記それぞれの温度で測定した $V_g - I_d$ 特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図 2 6 (B) に示す。図中の矢印で示す右端の曲線が - 3 0 、左端が 1 2 0 で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図 2 6 (B) においても明らかであるように、ゲート電圧が 2 0 V 近傍を除いて、全ての温度で測定機の分解能近傍の 1×10^{-12} [A] 以下となっており、温度依存性も見えていない。すなわち、1 2 0 の高温においても、オフ電流が 1×10^{-12} [A] 以下を維持しており、実効的なチャネル幅 W が 1 0 0 0 0 μm であることを考慮すると、オフ電流が非常に小さいことがわかる。

10

【 0 4 6 0 】

高純度化された酸化物半導体を用いた薄膜トランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体のエネルギーギャップが 3 e V 以上であり、真性キャリアが極めて少ないことに起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。薄膜トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性（オフ電流の温度依存性無し）を説明することができる。

【 0 4 6 1 】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、論理回路を構成した場合、当該論理回路の待機電力を低減すること又は当該論理回路の誤動作を抑制することができる。

20

【 符号の説明 】

【 0 4 6 2 】

1 0	論理回路
1 1	入力端子
1 2	入力端子
1 3	出力端子
1 4	主要論理回路部
1 5	トランジスタ
1 0 0	基板
1 0 2	保護層
1 0 4	半導体領域
1 0 6	素子分離絶縁層
1 0 8 a	ゲート絶縁層
1 0 8 b	絶縁層
1 1 0 a	ゲート電極層
1 1 0 b	電極層
1 1 2	絶縁層
1 1 4 a	不純物領域
1 1 4 b	不純物領域
1 1 6	チャネル形成領域
1 1 8	サイドウォール絶縁層
1 2 0 a	高濃度不純物領域
1 2 0 b	高濃度不純物領域
1 2 2	金属層
1 2 4 a	金属化合物領域
1 2 4 b	金属化合物領域
1 2 6	層間絶縁層
1 2 8	層間絶縁層

30

40

50

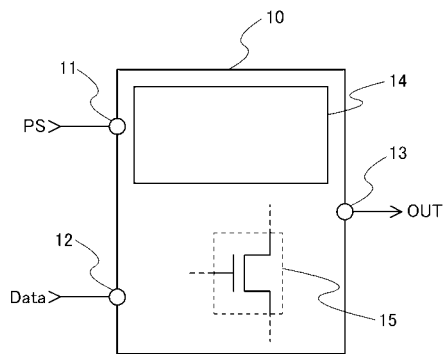
1 3 0 a	ソース電極層	
1 3 0 b	ドレイン電極層	
1 3 0 c	電極層	
1 3 2	絶縁層	
1 3 4	導電層	
1 3 6 a	電極層	
1 3 6 b	電極層	
1 3 6 c	電極層	
1 3 6 d	ゲート電極層	
1 3 8	ゲート絶縁層	10
1 4 0	酸化物半導体層	
1 4 2 a	ソース電極層	
1 4 2 b	ドレイン電極層	
1 4 4	保護絶縁層	
1 4 6	層間絶縁層	
1 4 8	導電層	
1 5 0 a	電極層	
1 5 0 b	電極層	
1 5 0 c	電極層	
1 5 0 d	電極層	20
1 5 0 e	電極層	
1 5 2	絶縁層	
1 5 4 a	電極層	
1 5 4 b	電極層	
1 5 4 c	電極層	
1 5 4 d	電極層	
1 6 0	トランジスタ	
1 6 4	トランジスタ	
2 0 0	論理回路	
2 0 1	A N D ゲート	30
2 0 2	フリップフロップ	
2 1 1	トランジスタ	
2 1 2	トランジスタ	
2 1 3	トランジスタ	
2 1 4	トランジスタ	
2 1 5	トランジスタ	
2 1 6	トランジスタ	
2 2 1	トランジスタ	
2 2 2	トランジスタ	
2 2 3	トランジスタ	40
2 2 4	トランジスタ	
2 2 5	トランジスタ	
2 3 1	N A N D ゲート	
2 3 2	N A N D ゲート	
2 3 3	N A N D ゲート	
2 3 4	N A N D ゲート	
2 4 1	トランジスタ	
2 4 2	トランジスタ	
2 4 3	トランジスタ	
2 4 4	トランジスタ	50

2 5 1	トランジスタ	
2 5 2	トランジスタ	
2 5 3	トランジスタ	
3 2 0	基板	
3 2 2	ゲート絶縁層	
3 2 3	保護絶縁層	
3 3 2	酸化物半導体層	
3 6 0	薄膜トランジスタ	
3 6 1	ゲート電極層	
3 6 2	酸化物半導体層	10
3 6 3	チャネル形成領域	
3 6 4 a	ソース領域	
3 6 4 b	ドレイン領域	
3 6 5 a	ソース電極層	
3 6 5 b	ドレイン電極層	
3 6 6	酸化物絶縁層	
3 9 0	薄膜トランジスタ	
3 9 1	ゲート電極層	
3 9 2	酸化物半導体層	
3 9 3	酸化物半導体層	20
3 9 4	基板	
3 9 5 a	ソース電極層	
3 9 5 b	ドレイン電極層	
3 9 6	酸化物絶縁層	
3 9 7	ゲート絶縁層	
3 9 8	保護絶縁層	
3 9 9	酸化物半導体層	
4 2 3	開口	
4 5 0	基板	
4 5 2	ゲート絶縁層	30
4 5 7	絶縁層	
4 6 0	薄膜トランジスタ	
4 6 1	ゲート電極層	
4 6 1 a	ゲート電極層	
4 6 1 b	ゲート電極層	
4 6 2	酸化物半導体層	
4 6 4	配線層	
4 6 5 a	ソース電極層又はドレイン電極層	
4 6 5 a 1	ソース電極層又はドレイン電極層	
4 6 5 a 2	ソース電極層又はドレイン電極層	40
4 6 5 b	ソース電極層又はドレイン電極層	
4 6 8	配線層	
5 0 0	論理回路	
5 0 1	NORゲート	
5 0 2	フリップフロップ	
5 1 1	トランジスタ	
5 1 2	トランジスタ	
5 1 3	トランジスタ	
5 1 4	トランジスタ	
5 2 1	トランジスタ	50

5 2 2	トランジスタ	
5 2 3	トランジスタ	
6 0 0	論理回路	
6 0 1	ラッチ	
6 0 2	フリップフロップ	
6 1 1	トランジスタ	
6 1 2	インバータ	
6 1 3	インバータ	
6 2 1	トランジスタ	
6 2 2	トランジスタ	10
6 3 1	トランジスタ	
6 3 2	トランジスタ	
8 0 0	論理回路	
8 0 1	A N D ゲート	
8 0 2	フリップフロップ	
8 0 3	フリップフロップ	
8 0 4	フリップフロップ	
8 0 5	フリップフロップ群	
9 0 0	論理回路	
9 0 1	フリップフロップ	20
9 0 2	A N D ゲート	
9 0 3	制御部	
9 0 4	フリップフロップ	
9 0 5	フリップフロップ	
9 0 6	フリップフロップ	
9 0 7	フリップフロップ群	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	30
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	40
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	50

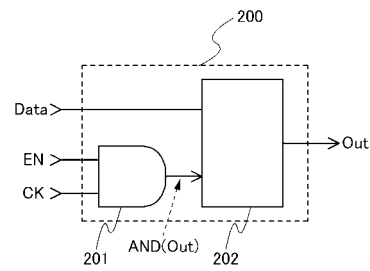
2 2 4 6	ポインティングデバイス
2 2 4 7	カメラ用レンズ
2 2 4 8	外部接続端子
2 2 4 9	太陽電池セル
2 2 5 0	外部メモリスロット
2 2 6 1	本体
2 2 6 3	接眼部
2 2 6 4	操作スイッチ
2 2 6 5	表示部 (B)
2 2 6 6	バッテリー
2 2 6 7	表示部 (A)
2 2 7 0	テレビジョン装置
2 2 7 1	筐体
2 2 7 3	表示部
2 2 7 5	スタンド
2 2 7 7	表示部
2 2 7 9	操作キー
2 2 8 0	リモコン操作機

【図 1】

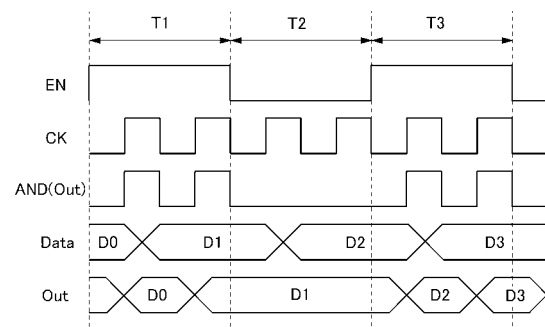


【図 2】

(A)

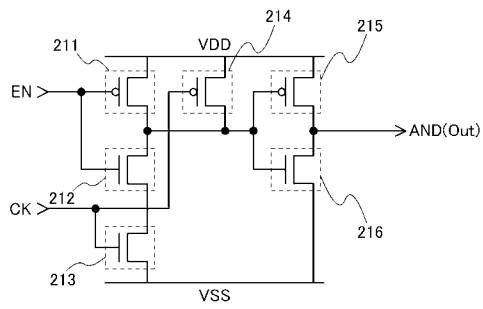


(B)

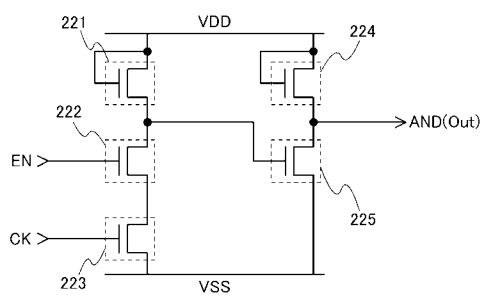


【図 3】

(A)

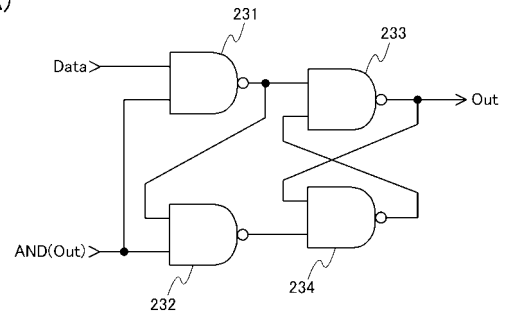


(B)

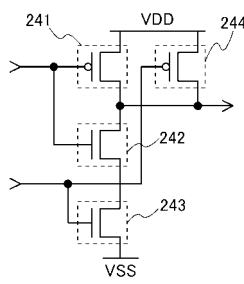


【図 4】

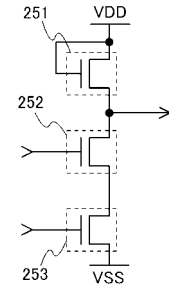
(A)



(B)

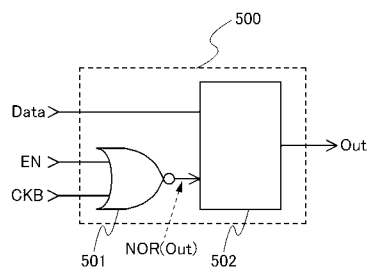


(C)

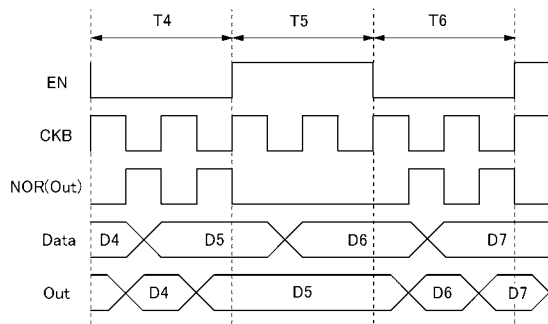


【図 5】

(A)

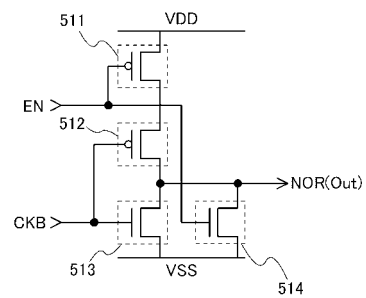


(B)

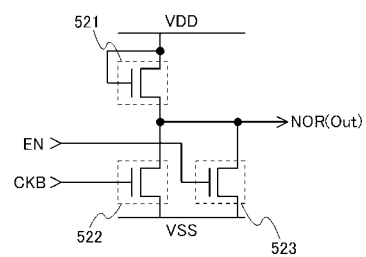


【図 6】

(A)

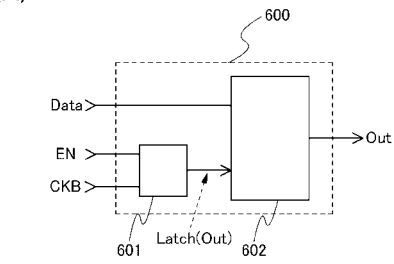


(B)

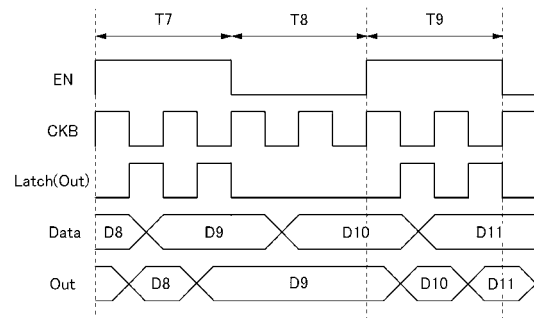


【図 7】

(A)

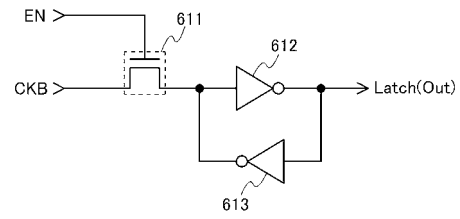


(B)

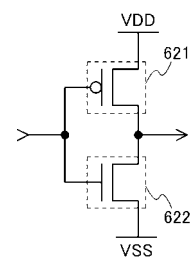


【図 8】

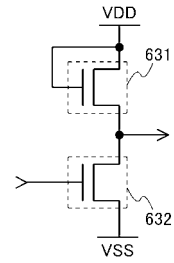
(A)



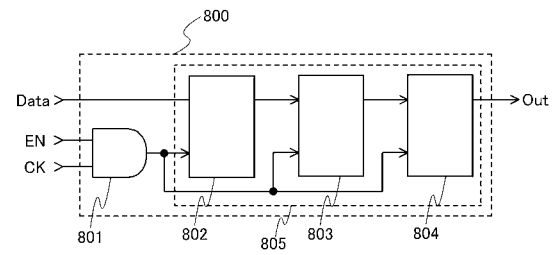
(B)



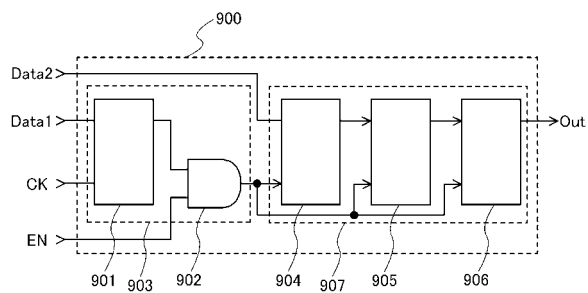
(C)



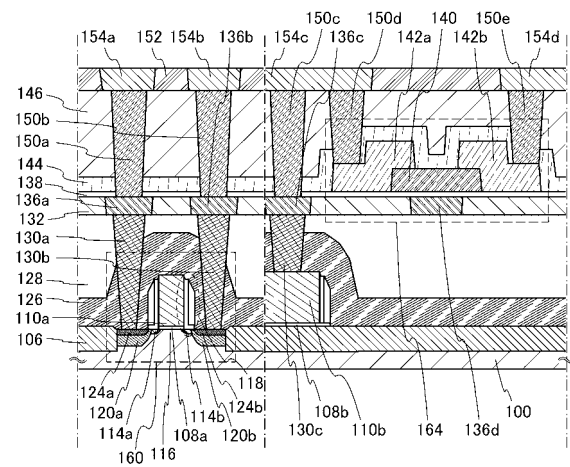
【図 9】



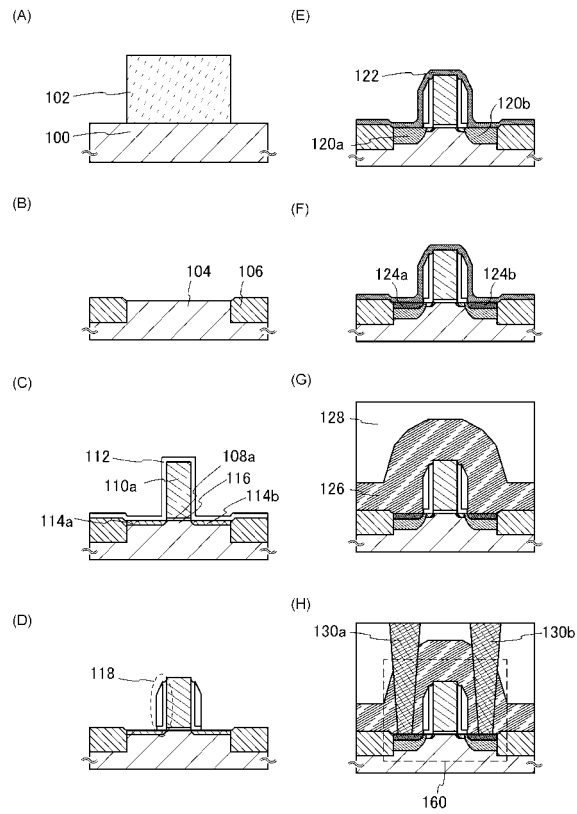
【図 10】



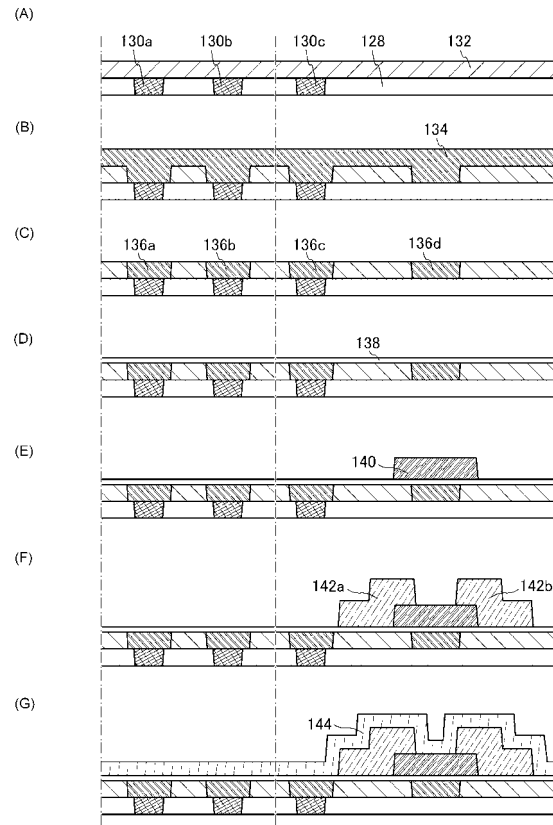
【図 11】



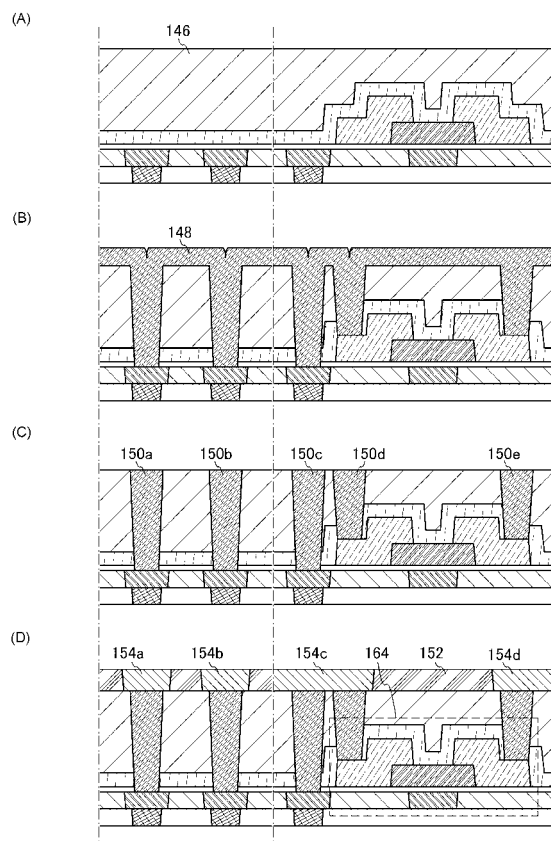
【図 12】



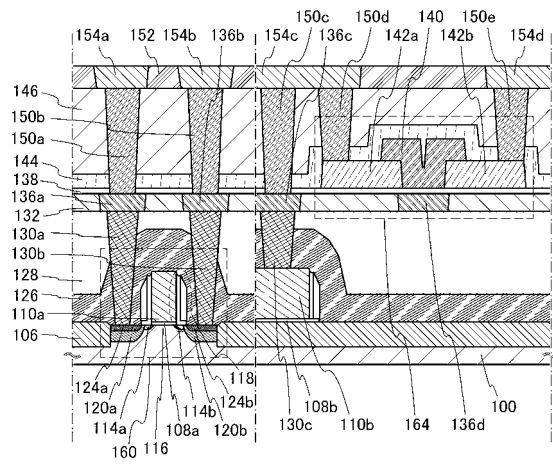
【図 13】



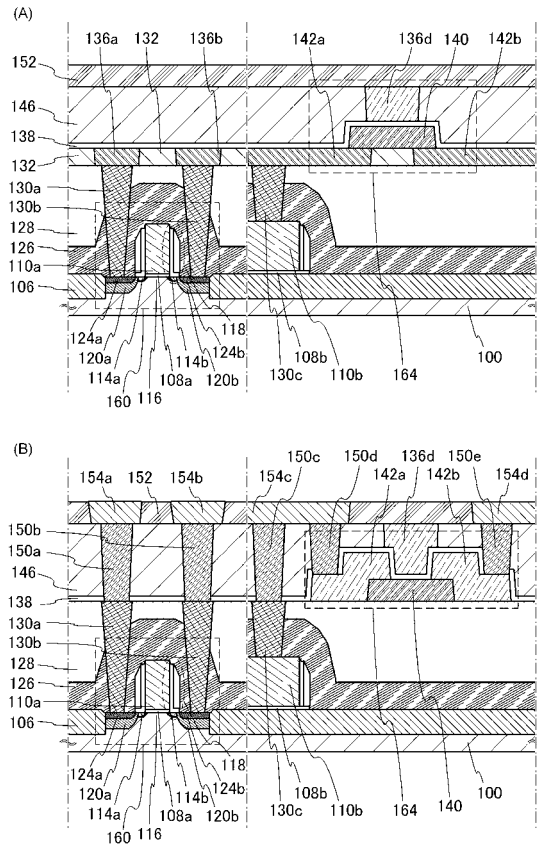
【図 14】



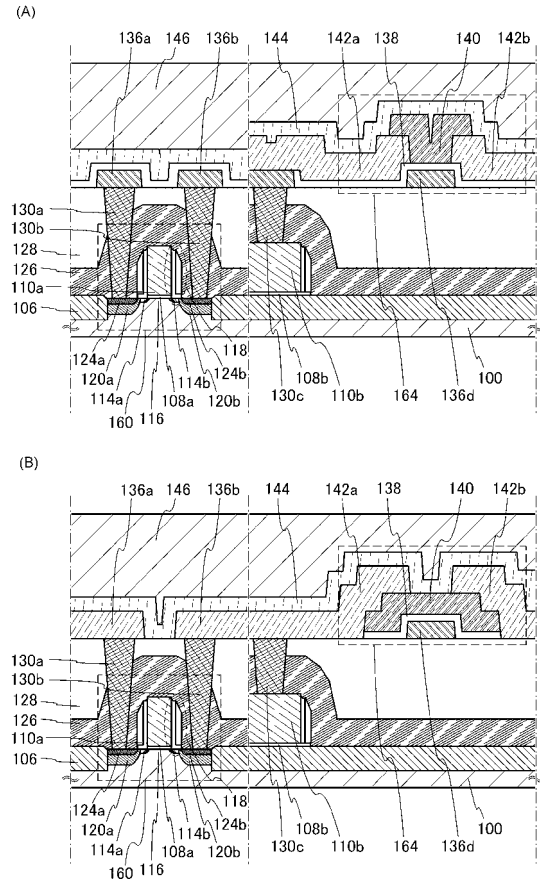
【図 15】



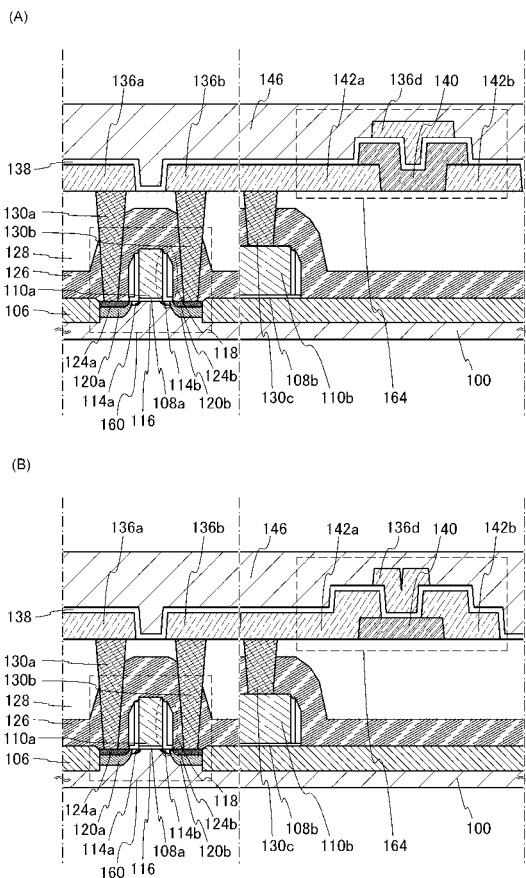
【図 16】



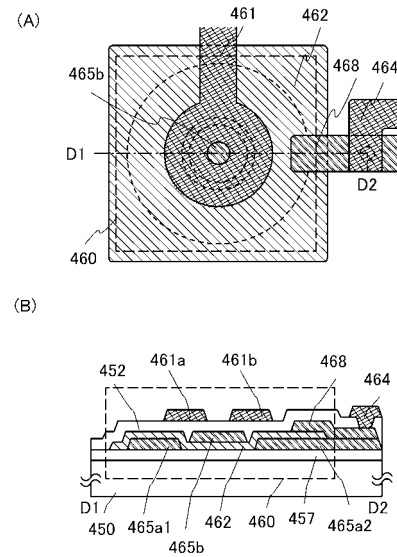
【図 17】



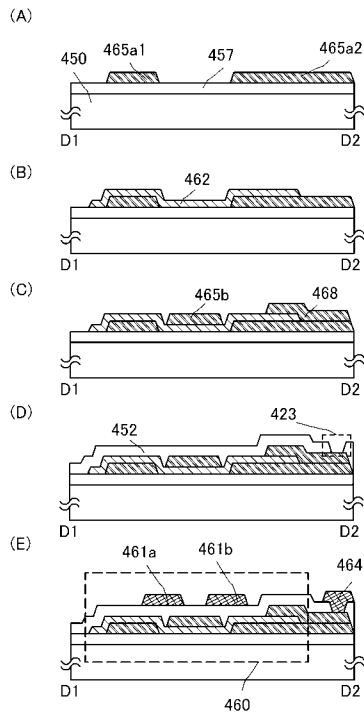
【図 18】



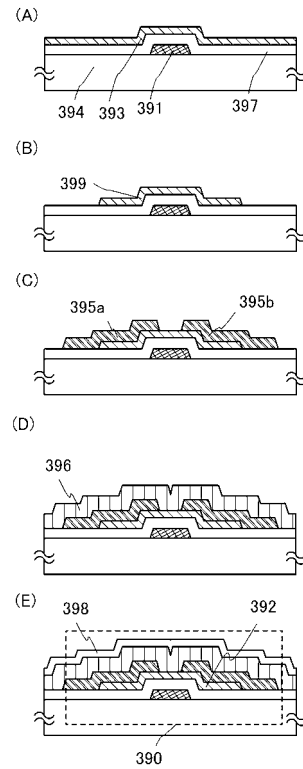
【図 19】



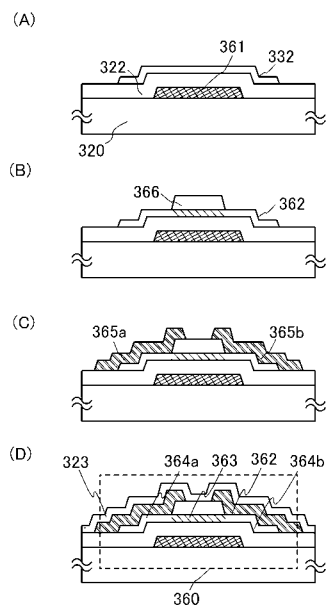
【図 20】



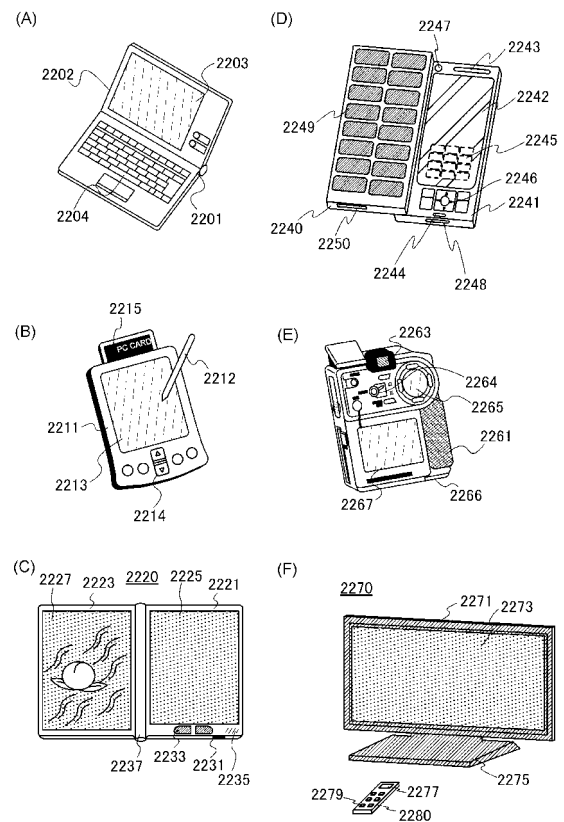
【図 21】



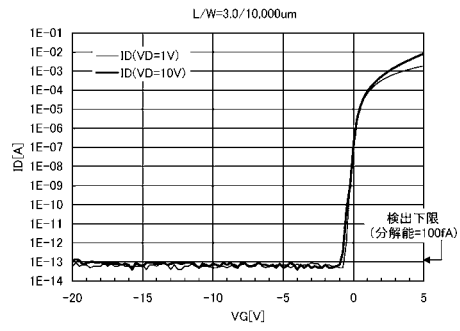
【図 22】



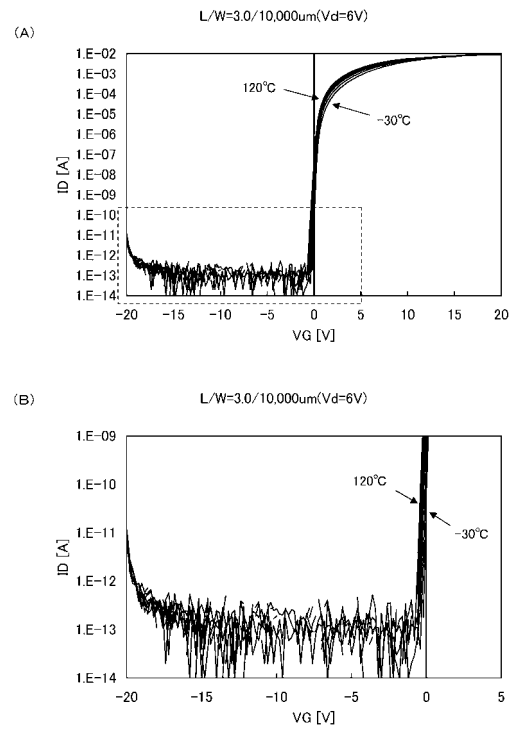
【図 23】



【図 24】

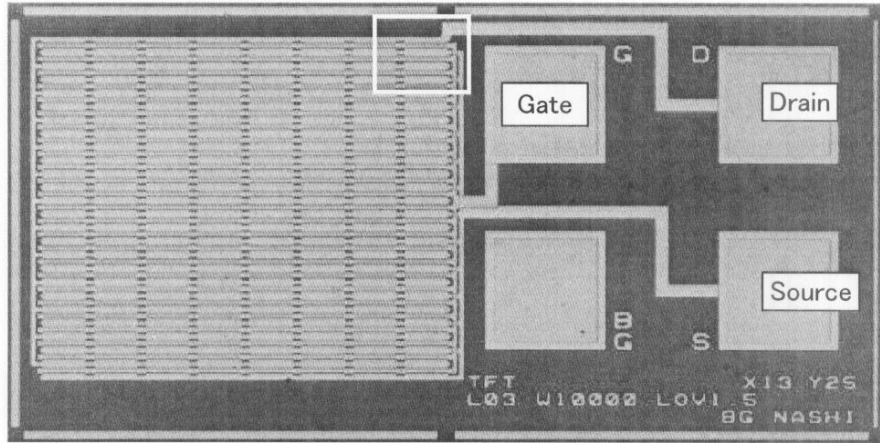


【図 26】

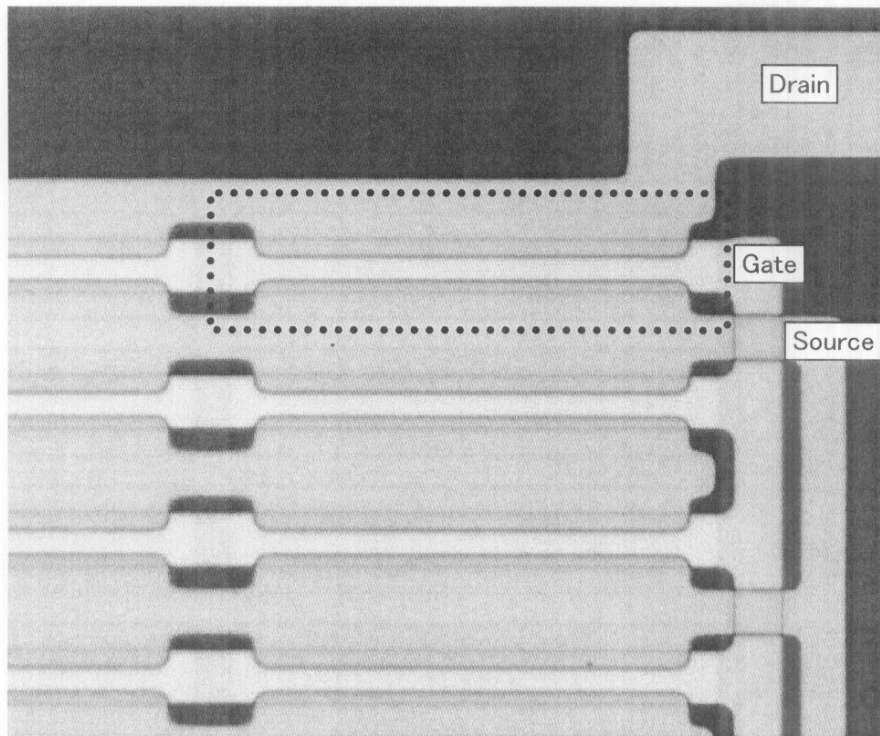


【図 25】

(A)



(B)



フロントページの続き

(56)参考文献 特開 2 0 0 8 - 0 7 8 8 9 2 (J P , A)
特開平 1 1 - 1 1 2 2 9 7 (J P , A)
特開 2 0 0 8 - 2 1 9 4 9 1 (J P , A)
特開 2 0 0 7 - 1 9 4 5 9 4 (J P , A)
特開 2 0 0 7 - 2 5 0 9 8 3 (J P , A)
特開 2 0 0 8 - 2 1 9 8 8 2 (J P , A)
特開平 1 0 - 1 2 3 0 9 3 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 3 K 1 9 / 0 0 , 1 9 / 0 1 - 1 9 / 0 8 2 , 1 9 / 0 9 2 - 1 9 / 0 9 6
H 0 1 L 2 9 / 7 8