

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4303004号
(P4303004)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int. Cl.		F I		
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 4 B
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00 6 3 4 G
			G 1 1 C	17/00 6 2 2 E

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2003-55569 (P2003-55569)	(73) 特許権者	390019839
(22) 出願日	平成15年3月3日(2003.3.3)		三星電子株式会社
(65) 公開番号	特開2003-257193 (P2003-257193A)		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成15年9月12日(2003.9.12)		C O . , L T D .
審査請求日	平成17年12月8日(2005.12.8)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2002-011275		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年3月4日(2002.3.4)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 低電圧不揮発性半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルに連結されるビットラインと、
前記メモリセルに貯蔵されるデータを感知する感知回路と、
前記ビットラインと前記感知回路との間に連結され、所定のバイアス信号によって制御されるトランジスタと、
読み出し動作を知らせる制御信号にตอบสนองして前記バイアス信号を発生するバイアス回路と、
を含み、前記バイアス回路は、前記読み出し動作のプリチャージ区間の間では、電源電圧より高い第1電圧を有する前記バイアス信号を発生し、前記第1電圧は、ビットラインプリチャージ時間を減少する電圧であることを特徴とする不揮発性半導体メモリ装置。

【請求項2】

前記バイアス回路は、
前記バイアス信号を出力するための出力端子と、
前記出力端子に連結され、前記プリチャージ区間を知らせる第1フラグ信号にตอบสนองして前記電源電圧より高い前記第1電圧を発生する第1電圧発生部と、
前記出力端子に連結され、前記感知区間を知らせる第2フラグ信号にตอบสนองして前記電源電圧より低い前記第2電圧を発生する第2電圧発生部と、
を含み、前記第1電圧及び前記第2電圧は、各々の前記出力端子に伝達されることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

10

20

【請求項 3】

メモリセルに連結されるビットラインと、
 前記メモリセルに貯蔵されるデータを検知する感知回路と、
 前記ビットラインと前記感知回路との間に連結され、所定のバイアス電圧によって制御されるトランジスタと、
 読み出し動作を知らせる制御信号にตอบสนองしてバイアス電圧を発生するバイアス回路と、
 を含み、前記バイアス回路は、電源電圧が供給され、前記電源電圧より低い基準電圧を発生する基準電圧発生器と、前記電源電圧が供給され、前記電源電圧より高い高電圧を発生する電荷ポンプと、前記基準電圧と前記電源電圧が供給され、感知区間を知らせる第 1 フラグ信号にตอบสนองして前記バイアス電圧として前記電源電圧より低い第 1 電圧を発生する第 1 電圧レギュレータと、前記基準電圧、前記電源電圧、及び前記高電圧が供給され、プリチャージ区間を知らせる第 2 フラグ信号にตอบสนองして前記バイアス電圧として前記電源電圧より高い第 2 電圧を発生する第 2 電圧レギュレータと、を含み、前記第 1 電圧は、ビットラインプリチャージ時間を減少する電圧であることを特徴とする不揮発性半導体メモリ装置。

10

【請求項 4】

前記バイアス電圧は、前記読み出し動作のディベロップ区間の間では、接地電圧を有することを特徴とする請求項 3 に記載の不揮発性半導体メモリ装置。

【請求項 5】

複数のワードライン、複数のビットライン対、及び前記ワードラインと前記ビットラインとの交差領域に配列された複数のメモリセルを具備したメモリセルアレイと、
 前記ビットライン対に各々連結され、各々が対応する対のビットラインのうちいずれか一つを選択する複数のビットライン選択及びバイアス回路と、
 前記ビットライン選択及びバイアス回路に各々対応し、対応するビットライン選択及びバイアス回路によって選択されたビットラインを通じて前記メモリセルアレイからデータを読み出すページバッファ回路と、
 前記各ビットライン選択及びバイアス回路は対応する対のビットラインのうち第 1 ビットラインと対応するページバッファ回路の間に連結される第 1 トランジスタと、
 対応する対のビットラインのうち第 2 ビットラインと前記対応するページバッファ回路の間に連結される第 2 トランジスタと、読み出し動作の間にバイアス電圧を発生するバイアス回路と、
 前記バイアス電圧が供給され、前記各ビットライン選択及びバイアス回路の第 1 及び第 2 トランジスタを各々制御するための第 1 及び第 2 バイアス信号を出力するスイッチ回路と、
 を含み、前記スイッチ回路は、前記読み出し動作の間では、前記第 1 及び第 2 バイアス信号のうちいずれか一つに前記バイアス電圧をロードし、前記バイアス回路は、前記読み出し動作のプリチャージ区間の間では、電源電圧より高い第 2 電圧を有する前記バイアス電圧を発生し、前記第 1 電圧は、ビットラインプリチャージ時間を減少する電圧であることを特徴とする不揮発性半導体メモリ装置。

20

30

【請求項 6】

前記バイアス回路は、
 前記電源電圧が供給され、前記電源電圧より低い基準電圧を発生する基準電圧発生器と、
 前記電源電圧が供給され、前記電源電圧より高い高電圧を発生する電荷ポンプと、
 前記基準電圧と前記電源電圧が供給され、前記感知区間を知らせる第 1 フラグ信号にตอบสนองして前記バイアス電圧として前記電源電圧より低い前記第 1 電圧を発生する第 1 電圧レギュレータと、
 前記基準電圧、前記電源電圧、及び前記高電圧が供給され、前記プリチャージ区間を知らせる第 2 フラグ信号にตอบสนองして前記バイアス電圧として前記電源電圧より高い前記第 2 電圧を発生する第 2 電圧レギュレータと、
 を含むことを特徴とする請求項 5 に記載の不揮発性半導体メモリ装置。

40

50

【請求項7】

前記スイッチ回路は、前記読み出し動作のディベロップ区間の間では、前記各ビットライン選択及びバイアス回路の第1及び第2トランジスタを各々制御するために第1及び第2バイアス信号がローレベルにすることを特徴とする請求項5に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体メモリ装置に関するものであり、さらに具体的には、電源電圧より高い内部電圧を使用する低電圧不揮発性半導体メモリ装置に関するものである。

10

【0002】

【従来の技術】

電子装置に実装される半導体メモリ装置の動作電圧は徐々に低くなる一方、半導体メモリ装置の集積度は徐々に増加している。半導体メモリ装置の動作電圧が低くなることによって、ビットラインをプリチャージするのに必要な時間は徐々に増加する。半導体メモリ装置の集積度が増加することによって、ビットラインに連結されるメモリセルの数が増加し、また、これはビットラインプリチャージ時間の増加原因になる。さらに、動作電圧の減少に比例してビットラインのプリチャージ電圧も減少する。これはメモリセルのドレイン-ソース電圧を減少させる。メモリセルのドレイン-ソース電圧が減少することによって、メモリセルを通じて流れるセル電流が減少する。これはビットラインの電圧がディベロップされるのにかかる時間が、増加することを意味する。結果として、動作電圧が低くなることによって、半導体メモリ装置の読み出し時間が増加する。

20

【0003】

【発明が解決しようとする課題】

本発明の目的は、低い電源電圧の動作条件下で、読み出し時間を短縮させることができる低電圧半導体メモリ装置を提供することである。

【0004】

【課題を解決するための手段】

上述の目的を達成するための本発明の特徴によれば、不揮発性半導体メモリ装置は、複数のワードライン、複数のビットライン対及び前記ワードラインと前記ビットラインとの交差領域に配列された複数のメモリセルを具備するメモリセルアレイを含む。複数のビットライン選択及びバイアス回路は前記ビットライン対に各々連結され、前記複数のビットライン選択及びバイアス回路の各々は対応する対のビットラインのうちいずれか一つを選択する。ページバッファ回路は前記ビットライン選択及びバイアス回路に各々対応し、ページバッファ回路の各々は対応するビットライン選択及びバイアス回路によって選択されたビットラインを通じて前記メモリセルアレイからデータを読み出す。前記各ビットライン選択及びバイアス回路は対応する対のビットラインのうち第1ビットラインと対応するページバッファ回路との間に連結される第1トランジスタと、対応する対のビットラインのうち第2ビットラインと前記対応するページバッファ回路との間に連結される第2トランジスタとを含む。バイアス回路は、読み出し動作の間では、バイアス電圧を発生し、スイッチ回路は前記各ビットライン選択及びバイアス回路の第1及び第2トランジスタを各々制御するために第1及び第2バイアス信号を出力する。前記スイッチ回路は前記読み出し動作の間では、前記第1及び第2バイアス信号のうちいずれか一つに前記バイアス電圧をロードする。前記バイアス回路は、前記読み出し動作のプリチャージ区間の間では、電源電圧より高い第1電圧を有する前記バイアス電圧を発生し、前記読み出し動作の感知区間の間では、前記電源より低い第2電圧を有する前記バイアス電圧を発生し、前記第1電圧は、ビットラインプリチャージ時間を減少する電圧である。

30

40

【0005】

この実施形態において、前記バイアス回路は、前記電源電圧が供給され、前記電源電圧より低い基準電圧を発生する基準電圧発生回路と、前記電源電圧が供給され、前記電源電圧

50

より高い高電圧を発生する電荷ポンプと、前記基準電圧と前記電源電圧が供給され、前記感知区間を知らせる第1フラグ信号にตอบสนองして前記バイアス電圧として前記電源電圧より低い第1電圧を発生する第1電圧レギュレータと、前記基準電圧、前記電源電圧、及び前記高電圧が供給され、前記プリチャージ区間を知らせる第2フラグ信号にตอบสนองして前記バイアス電圧として前記電源電圧より高い第2電圧を発生する第2電圧レギュレータとを含み、前記第1電圧は、ビットラインプリチャージ時間を減少する電圧である。

【0006】

【発明の実施の形態】

以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。

【0007】

図1は本発明の望ましい実施形態による不揮発性半導体メモリ装置のブロック図である。図1を参照すると、不揮発性半導体メモリ装置100は、NANDフラッシュメモリ装置である。しかし、本実施形態の技術的思想がNANDフラッシュメモリ装置に限定されないことは、当業者に自明である。本実施形態の不揮発性半導体メモリ装置100は、データ情報を貯蔵するためのメモリセルアレイ110を含み、メモリセルアレイ110には、図示しないが、複数のメモリセルが行（またはワードライン）と列（またはビットライン）のマトリックス形態に配列される。各列（またはビットライン）はセルストリングに連結され、セルストリングは、図示しないが、ストリング選択トランジスタ、接地選択トランジスタ及びこれらの選択トランジスタの間に直列連結された複数のメモリセルトランジスタを含む。メモリセルアレイ110に配列される列はビットライン選択及びバイアス回路120に連結されている。説明の便宜上、図1には二つのビットラインBLE、BLoとこれらに関連した構成要素とが図示されている。ビットライン選択及びバイアス回路120はビットラインBLE、BLoのうちいずれか一つを選択し、選択されたビットラインをページバッファ回路130に電氣的に連結する。

【0008】

ビットライン選択及びバイアス回路120は四つのNMOSTランジスタ10～13を含む。NMOSTランジスタ10はビットラインBLEとページバッファ回路130との間に連結され、制御信号BL__SHUTOFF__eによって制御される。NMOSTランジスタ11はビットラインBLoとページバッファ回路130との間に連結され、制御信号BL__SHUTOFF__oによって制御される。NMOSTランジスタ12はビットラインBLEと電圧供給ラインVirtual__Powerとの間に連結され、制御信号VBLEによって制御される。NMOSTランジスタ13はビットラインBLoと電圧供給ラインVirtual__Powerとの間に連結され、制御信号VBLoによって制御される。

【0009】

制御信号BL__SHUTOFF__o、BL__SHUOFF__eはスイッチ回路(SW)140から出力され、スイッチ回路140はバイアス回路150から出力される電圧を制御信号ラインBL__SHUTOFF__e及びBL__SHUTOFF__oのうちいずれか一つに伝達する。例えば、ビットラインBLEが選択された場合には、スイッチ回路140は読み出し動作のプリチャージ区間の間に、バイアス回路150から出力される電圧を信号ラインBL__SHUTOFF__eに伝達し、読み出し動作の感知区間の間に、バイアス回路150から出力される電圧を信号ラインBL__SHUTOFF__eに伝達する。スイッチ回路140は読み出し動作のディベロップ区間の間に、信号ラインBL__SHUTOFF__e、BL__SHUTOFF__oが接地電圧のローレベルに維持されるようにする。

【0010】

ビットライン選択及びバイアス回路120によって選択されるビットラインはページバッファ回路130の感知ノードSOに連結される。ページバッファ回路130は読み出し動作時に、選択されたビットラインを通じてメモリセルのデータを感知する感知回路として動作し、書き込み動作時に、ロードされたデータに従って前記選択されたビットラインにプログラム電圧（例えば、接地電圧）またはプログラム禁止電圧（例えば、電源電圧）を

10

20

30

40

50

供給する書き込みドライバとして動作する。ページバッファ回路130は三つのNMOSトランジスタ14、15、16、PMOSトランジスタ17及びインバーター18、19で構成されるラッチLATを含む。

【0011】

図1に示したように、PMOSトランジスタ17は、電源電圧V_{dd}と感知ノードSOとの間に連結され、制御信号SO__PREによって制御される。第1ラッチノードND1と接地電圧GNDとの間にはNMOSトランジスタ14、15が直列連結されている。NMOSトランジスタ14のゲートは感知ノードSOに連結され、NMOSトランジスタ15のゲートは制御信号PB__LATを受け入れるように連結されている。NMOSトランジスタ16は感知ノードSOと第2ラッチノードND2との間に連結され、制御信号SELECTによって制御される。第2ラッチノードND2は列ゲート回路160を構成するNMOSトランジスタ20、21を通じてデータラインDLに連結される。

10

【0012】

続けて、図1を参照すると、バイアス回路150は読み出し動作時に、選択されたビットラインに連結されるNMOSトランジスタ10または11のゲートに印加される電圧を発生する。読み出し動作は、ビットラインプリチャージ区間、ビットラインディベロップ区間、及び感知区間に分けられる。バイアス回路150は読み出し動作の各区間で電源電圧V_{dd}より高い電圧、またはそれより低い電圧を生成するが、これは以下に詳細に説明される。

【0013】

バイアス回路150は基準電圧発生回路151、電荷ポンプ152、第1電圧レギュレータ153及び第2電圧レギュレータ154を含む。基準電圧発生回路151は制御信号REF__ENに応答して基準電圧V_{ref}を発生する。基準電圧発生回路151は図2に示したように連結される三つの抵抗器22、23、24と三つのNMOSトランジスタ25、26、27とを含む。基準電圧発生回路151は制御信号REF__ENがハイレベルである時に、電源電圧V_{dd}を利用して基準電圧V_{ref}を発生する。例えば、本実施形態に係る基準電圧発生回路151は電源電圧V_{dd}が1.6Vである時に、0.9Vの基準電圧V_{ref}を発生する。そのように生成される基準電圧V_{ref}は第1電圧レギュレータ153と第2電圧レギュレータ154に共に供給される。

20

【0014】

再び、図1を参照すると、電荷ポンプ152は読み出し動作を知らせる制御信号RD__ENと発振信号PUMP__OSCに応答して電源電圧V_{dd}より高い電圧V_{pump}を発生する。電荷ポンプ152は図3に示したように連結されるインバーター28、34とPMOSトランジスタ29~33とを含む。このような電荷ポンプ152は、例えば、1.6Vの電源電圧V_{dd}を利用して5Vの高電圧V_{pump}を発生する。そのように生成される高電圧V_{pump}は第2電圧レギュレータ154に供給される。図1に示したように、バイアス回路150の第1電圧レギュレータ153は、基準電圧発生回路151からの基準電圧V_{ref}を受け入れ、読み出し動作の感知区間を知らせる制御信号SENSEに
 応答して感知電圧V_{sen}を発生する。ここで、感知電圧V_{sen}は電源電圧V_{dd}より低い電圧(例えば、1.6Vの電源電圧に対して1.3V)である。第1電圧レギュレータ153は二つのインバーター28、36、五つのPMOSトランジスタ29、30、31、35、37、二つの抵抗器38、39及び四つのNMOSトランジスタ32、33、34、40を含み、図4に示したように連結されている。

30

40

【0015】

回路動作において、感知区間を示す制御信号SENSEがハイレベルになると、PMOSトランジスタ29はインバーター28を通じて伝達される制御信号SENSEによってターンオンされる。ターンオンされたトランジスタ29を通じて電源電圧V_{dd}がトランジスタ29~34で構成される差動増幅器(または電圧比較器)に供給される。差動増幅器が動作することによって、V₁の電圧が基準電圧V_{ref}と比較される。差動増幅器の初期動作区間では、基準電圧V_{ref}がV₁の電圧より高いので、PMOSトランジスタ3

50

5はターンオンされる。したがって、 V_{sen} の電圧は徐々に増加し、差動増幅器の動作によって目標電圧に到達する。さらに具体的に説明すると、次の通りである。 V_{sen} の電圧が目標電圧より低ければ、 V_1 の電圧が入力される差動増幅器の動作によって V_2 の電圧はさらに減少してPMOSトランジスタ35が更に強く導通する。一方、 V_{sen} の電圧が目標電圧より高くなると、 V_1 の電圧が高くなる。これは V_2 の電圧が増加し、その結果、PMOSトランジスタ35の弱く導通して V_{sen} の電圧が減少するからである。上述の動作の反復により V_{sen} の電圧は目標電圧を有する。

【0016】

図1に示したように、第2電圧レギュレータ154には、電荷ポンプ152で生成される高電圧 V_{pump} と基準電圧発生回路151で生成される基準電圧 V_{ref} が共に供給される。第2電圧レギュレータ154はプリチャージ区間を示す制御信号PRECHARGEに
10 応答してプリチャージ電圧 V_{pre} を発生する。ここで、プリチャージ電圧 V_{pre} は電源電圧 V_{dd} より高い電圧(例えば、1.6Vの電源電圧に対して2.1V)である。第2電圧レギュレータ154は二つのインバータ41、49、五つのPMOSトランジスタ42、43、44、48、50、二つの抵抗器51、52、及び四つのNMOSトランジスタ45、46、47、53を含み、図5に示したように連結されている。

【0017】

回路動作において、プリチャージ区間を示す制御信号PRECHARGEがハイレベルになると、PMOSトランジスタ42はインバータ41を通じて伝達される制御信号PRECHARGEによってターンオンされる。ターンオンされたトランジスタ42を通じて
20 電荷ポンプ152から供給される高電圧 V_{pump} がトランジスタ42~47で構成される差動増幅器に供給される。差動増幅器が動作することによって、 V_3 の電圧が基準電圧 V_{ref} と比較される。差動増幅器の初期動作の区間では、基準電圧 V_{ref} が V_3 の電圧より高いので、PMOSトランジスタ48はターンオンされる。したがって、 V_{pre} の電圧は徐々に増加し、作動増幅器の動作によって、目標電圧に到達する。さらに具体的に説明すると、次の通りである。 V_{pre} の電圧が目標電圧より低ければ、 V_3 の電圧が
30 入力される差動増幅器の動作によって V_4 の電圧はさらに減少してPMOSトランジスタ48が更に強く導通する。一方、 V_{pre} の電圧が目標電圧より高くなれば、 V_3 の電圧が高くなる。これは V_4 の電圧が増加し、その結果、PMOSトランジスタ48が弱く導通して、 V_{pre} の電圧が減少するからである。上述の動作の反復により V_{pre} の電圧は目標電圧を有する。

【0018】

以上の説明から分かるように、NMOSトランジスタ10または11のゲートに印加される制御信号BL__SHUTOFF__eまたはBL__SHUTOFF__oはバイアス回路150で生成される電圧 V_{pre} 、GNDまたは V_{sen} を有する。すなわち、読み出し動作のプリチャージ区間の間、またはプリチャージ区間を知らせる制御信号PRECHARGEがハイレベルに維持される間では、第1電圧発生器を構成する基準電圧発生回路151、電荷ポンプ152及び第2電圧レギュレータ154を通じて電源電圧 V_{dd} より高いプリチャージ電圧 V_{pre} が生成される。そのように生成される電圧 V_{pre} はスイッチ回路140を通じて選択されたビットラインのNMOSトランジスタに連結された信号ラインBL__SHUTOFF__e/oにロードされる。この時に、選択されなかったビットラインのNMOSトランジスタに連結された信号ラインはスイッチ回路140を通じて接地電圧を有する。読み出し動作の感知区間の間、または感知区間を知らせる制御信号SENSEがハイレベルに維持される間では、第2電圧発生器を構成する基準電圧発生回路151及び第1電圧レギュレータ153を通じて電源電圧 V_{dd} より低い感知電圧 V_{sen} が生成される。そのように生成される電圧 V_{sen} はスイッチ回路140を通じて選択されたビットラインのNMOSトランジスタに連結された信号ラインBL__SHUTOFF__e/oにロードされる。この時に、選択されなかったビットラインのNMOSトランジスタに連結された信号ラインは接地電圧を有する。

【0019】

10

20

30

40

50

ビットラインプリチャージ区間では、NMOSトランジスタ10または11のゲート電圧が電源電圧V_{dd}より高いので、選択されたビットラインは短時間で相対的に高い電圧にプリチャージされうる。これはメモリセルのドレイン-ソース電圧が相対的に増加するからである。メモリセルのドレイン-ソース電圧が増加することによって、メモリセルを通じて流れるセル電流が増加する。これはビットラインの電圧がディベロップされるのにかかる時間が相対的に短縮されることを意味する。その結果、動作電圧が低くなることによって、読み出し時間が増加することを防止することができる。

【0020】

図6は本発明による不揮発性半導体メモリ装置の読み出し動作を説明するための動作タイミング図である。本実施形態に係る不揮発性半導体メモリ装置の読み出し動作について参照図面に基づいて、以下、詳細に説明される。説明の便宜上、ビットラインB_{L_e}が選択され、ビットラインB_{L_o}が選択されないと仮定して、信号ラインB_{L_{SHUTOFF_e}がスイッチ回路140を通じてバイアス回路150の出力電圧から供給され、信号ラインB_{L_{SHUTOFF_o}がスイッチ回路140を通じて接地されると仮定する。}}

10

【0021】

読み出し動作を知らせる制御信号R_{D_{EN}}がローレベルからハイレベルに遷移すると同時に、基準電圧発生回路151を活性化させるために制御信号R_{E_{F_{EN}}がローレベルからハイレベルに遷移する。基準電圧発生回路151は制御信号R_{E_{F_{EN}}のローからハイへの遷移にตอบสนองして基準電圧V_{ref}(この実施形態では、約0.9V)を発生する。電荷ポンプ152は制御信号R_{D_{EN}}のローからハイへの遷移時に、発振信号P_{UM_{P_{OSC}}にตอบสนองして高電圧V_{pump}(この実施形態では、約5V)を発生する。これと同時に、ビットラインB_{L_e}、B_{L_o}は共に0Vに放電される。すなわち、電圧供給ラインV_{irtu_{al_{Power}}には0Vの電圧が供給され、信号ラインV_{B_{L_e}}、V_{B_{L_o}}には電源電圧V_{dd}が供給されることによって、ビットラインB_{L_e}、B_{L_o}は0Vの電圧供給ラインV_{irtu_{al_{Power}}に電氣的に連結される。したがって、ビットラインB_{L_e}、B_{L_o}は共に0Vに放電される。}}}}}

20

【0022】

この実施形態において、図6に示したように、NMOSトランジスタ12のゲートに印加されるV_{B_{L_e}信号は所定の時間の間ハイに維持される一方、NMOSトランジスタ13のゲートに印加されるV_{B_{L_o}信号は続けてハイに維持される。これは選択されなかったビットラインB_{L_o}が読み出し動作の間では、接地電圧G_{ND}を有することを意味する。以後、読み出されるデータを貯蔵するために、ページバッファ回路130のラッチL_{A_T}の第1ラッチノードN_{D₁}がハイレベルの電源電圧V_{dd}を有するように、第2ラッチノードN_{D₂}が0Vに放電される。例えば、データラインD_Lを0Vに維持した状態で列選択信号Y_{A_i}、Y_{B_i}をハイに活性化させることによって、第2ラッチノードN_{D₂}が0Vに放電される。}}

30

【0023】

上述の動作が完了すると、次の段階を通じて選択されたメモリセルのデータが読み出される。第1段階は、選択されたビットラインB_{L_e}を充電するプリチャージ段階であり、第2段階は、選択されたビットラインB_{L_e}の電圧レベルがメモリセルの状態に従って減少、またはそのまま維持されるディベロップ段階であり、第3段階は、選択されたビットラインB_{L_e}の電圧を感知する感知段階である。

40

【0024】

先ず、選択されたビットラインB_{L_e}を所定の電圧に充電するために、制御信号S_{O_{PRE}}はハイレベルからローレベルに遷移し、その結果、感知ノードS_OがPMOSトランジスタ17を通じて電源電圧V_{dd}に充電される。これと同時に、プリチャージ区間を知らせる制御信号P_{R_{E_{CHARGE}}がローレベルからハイレベルに遷移する。制御信号P_{R_{E_{CHARGE}}は所定の時間の間、ハイレベルに維持される。制御信号P_{R_{E_{CHARGE}}がハイレベルになることによって、第2電圧レギュレータ154は電荷ポンプ152からの高電圧V_{pump}を利用して電源電圧V_{dd}(例えば、1.6V)より高いプリチ}}}

50

ヤージ電圧 V_{pre} (例えば、 $2.1V$) を発生する。そのように生成された電圧 V_{pre} はスイッチ回路 140 を通じて信号ライン $BL_SHUTOFF_e$ に伝達される。NMOS トランジスタ 10 は電圧 V_{pre} を有する制御信号 $BL_SHUTOFF_e$ によってターンオンされ、ターンオンされたトランジスタ 10 を通じて感知ノード SO からビットライン BL_e に所定の電流が供給される。ビットライン BL_e のプリチャージ電圧はトランジスタ 10 のゲート電圧でトランジスタ 10 のしきい値電圧を引いた電圧になる。例えば、NMOS トランジスタ 10 のしきい値電圧 V_{th} が $0.6V$ であると仮定すれば、ビットライン BL_e のプリチャージ電圧は $1.5V$ ($V_{pre} - V_{th} = 2.1V - 0.6V$) になる。

【0025】

制御信号 $PRECHARGE$ がハイレベルからローレベルに遷移することによって、第2電圧レギュレータ 154 は非活性化される。この時に、上述のように、信号ライン $BL_SHUTOFF_e$ はスイッチ回路 140 を通じて $0V$ を有し、その結果、プリチャージされたビットライン BL_e は感知ノード SO と電氣的に切断される。このような条件で、選択されたビットライン BL_e に連結されたメモリセルのオン/オフ状態に従ってビットライン BL_e 電圧が減少、またはそのまま維持される。選択されたメモリセルが“0”データを貯蔵している場合には、メモリセルはオフ状態になり、図6の実線で表示したように、ビットライン BL_e のプリチャージ電圧 $1.5V$ はそのまま維持される。選択されたメモリセルが“1”データを貯蔵している場合には、メモリセルはオン状態になり、プリチャージ電圧 $1.5V$ を有するビットライン BL_e はオン状態のメモリセルを通じて接地される。すなわち、ビットライン BL_e のプリチャージ電圧は、図6の点線で示したように、 $1.5V$ で接地電圧 GND に向けて徐々に低くなる。このようなディベロップ過程を通じて選択されたビットライン BL_e の電圧レベルが決められる。

【0026】

図6に示したように、ビットライン BL_e のディベロップ過程が完了すると、感知区間を知らせる制御信号 $SENSE$ がローレベルからハイレベルに遷移する。第1電圧レギュレータ 153 はハイレベルの制御信号 $SENSE$ に応答して電源電圧 V_{dd} (例えば、 $1.6V$) より低い感知電圧 V_{sen} (例えば、 $1.3V$) を発生する。そのように生成された電圧 V_{sen} はスイッチ回路 140 を通じて信号ライン $BL_SHUTOFF_e$ に伝達される。NMOS トランジスタ 10 は電圧 V_{sen} を有する制御信号 $BL_SHUTOFF_e$ によってターンオンされる。この時に、NMOS トランジスタ 10 はビットライン BL_e の電圧に従ってターンオンまたはターンオフされる。

【0027】

オフ状態のメモリセルがビットライン BL_e に連結される場合に、ビットライン BL_e は初期にプリチャージ電圧を有する。感知ノード SO が電源電圧 V_{dd} を有し、ビットライン BL_e が約 $1.5V$ の電圧を有し、NMOS トランジスタ 10 のゲート電圧が $1.3V$ であるので、NMOS トランジスタ 10 はシャットオフされる。結果的に、感知ノード SO の電圧は、図6の実線で示したように、電源電圧に維持される。一方、オン状態のメモリセルがビットライン BL_e に連結される場合に、ビットライン BL_e の電圧は初期にプリチャージされた電圧で徐々に低くなるので、NMOS トランジスタ 10 はターンオンされる。結果的に、感知ノード SO の電圧は、図6の点線で示したように、電源電圧 V_{dd} から接地電圧に向けて徐々に低くなる。

【0028】

前者の場合に、感知ノード SO が電源電圧 V_{dd} に維持されるので、NMOS トランジスタ 14 がターンオンされる。制御信号 PB_LAT がパルス形態で活性化されることによって、第1ラッチノード $ND1$ はターンオンされたトランジスタ 14、15 を通じて接地電圧 GND と連結される。後者の場合に、感知ノード SO がトランジスタ 14 のしきい値電圧より低くなるので、NMOS トランジスタ 14 はターンオフされる。制御信号 PB_LAT がパルス形態で活性化されても、第1ラッチノード $ND1$ は初期に設定された電圧 V_{dd} に維持される。このような過程を通じてメモリセルに貯蔵されたデータが感知及び

10

20

30

40

50

ラッチされる。そのように感知及びラッチされたデータは、最終的に、列ゲート回路 160 を通じてデータライン DL に伝達される。

【0029】

以上のように、本実施形態に係る回路の構成及び動作を上述の説明及び図面に従って図示したが、これは一例を挙げて説明したことに過ぎず、本発明の技術的思想及び範囲を逸脱しない範囲内で多様な変化及び変更が可能なのはもちろんである。例えば、一つのビットラインに一つのページバッファ回路が連結される構造を有する半導体メモリ装置にも図 1 に示したバイアス回路が適用されうる。

【0030】

【発明の効果】

10

上述のように、ビットラインプリチャージ区間で、ビットラインと感知回路との間に連結された NMOS トランジスタのゲート電圧を電源電圧 V_{dd} より高く設定することによって、選択されたビットラインは短時間で相対的に高い電圧にプリチャージされうる。これによってメモリ装置が低い電源電圧で動作する時でも、メモリセルのドレイン - ソース電圧が相対的に増加する。メモリセルのドレイン - ソース電圧が増加することによって、メモリセルを通じて流れるセル電流が増加する。これはビットラインの電圧がディベロップされるのにかかる時間が相対的に短縮されることを意味する。結果として、電源電圧が低くなることによって、読み出し時間が増加することを防止することができる。

【図面の簡単な説明】

【図 1】本発明による不揮発性半導体メモリ装置のブロック図である。

20

【図 2】図 1 に示した基準電圧発生回路の望ましい実施形態である。

【図 3】図 1 に示した電荷ポンプ回路の望ましい実施形態である。

【図 4】図 1 に示した第 1 電圧レギュレータ回路の望ましい実施形態である。

【図 5】図 1 に示した第 2 電圧レギュレータ回路の望ましい実施形態である。

【図 6】本発明による不揮発性半導体メモリ装置の読み出し動作を説明するための動作タイミング図である。

【符号の説明】

- 100 不揮発性半導体メモリ装置
- 110 メモリセルアレイ
- 120 ビットライン選択及びバイアス回路
- 130 ページバッファ回路
- 140 スイッチ回路
- 150 バイアス回路
- 160 列ゲート回路

30

【図1】

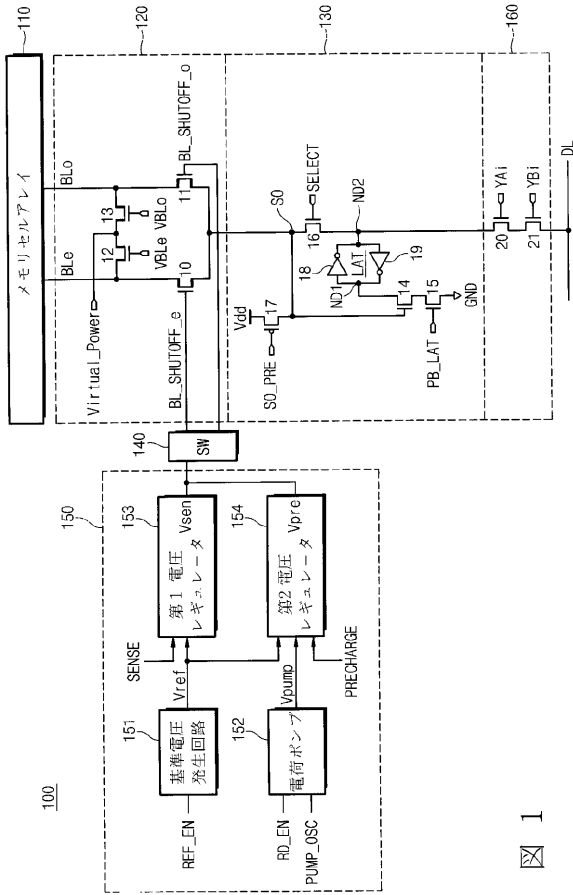
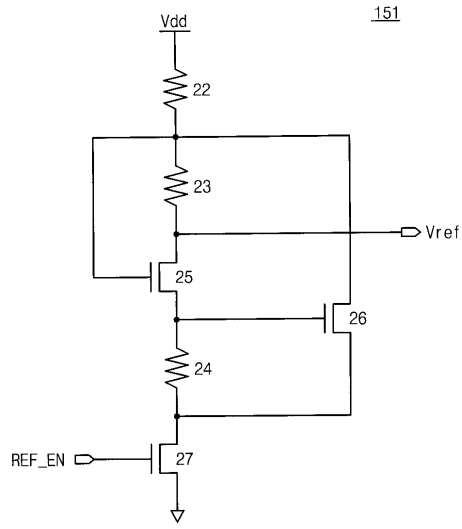


図 1

【図2】

図 2



【図3】

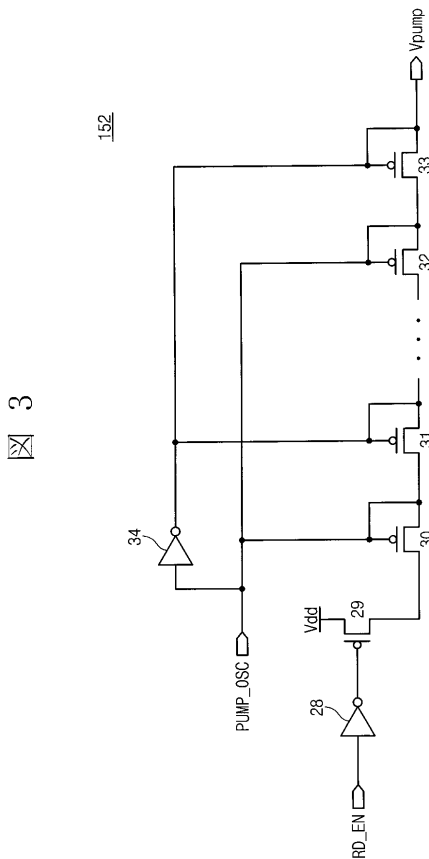


図 3

【図4】

図 4

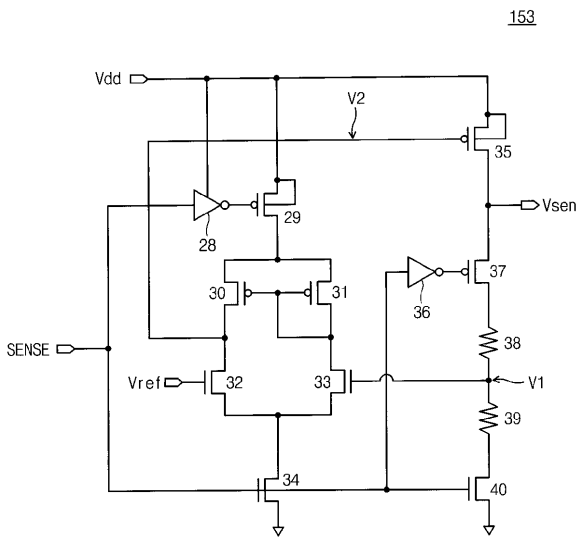
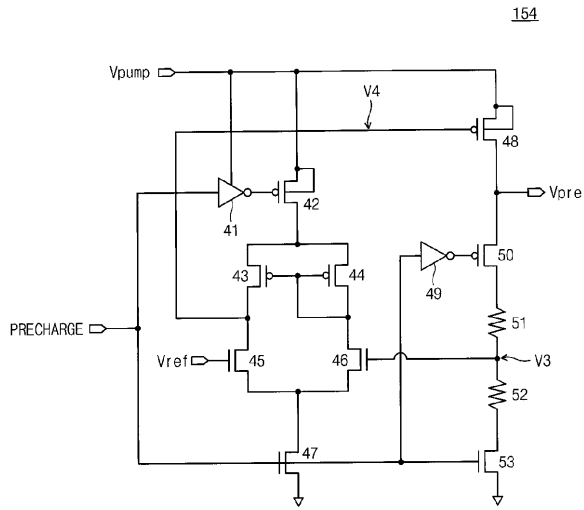


図 4

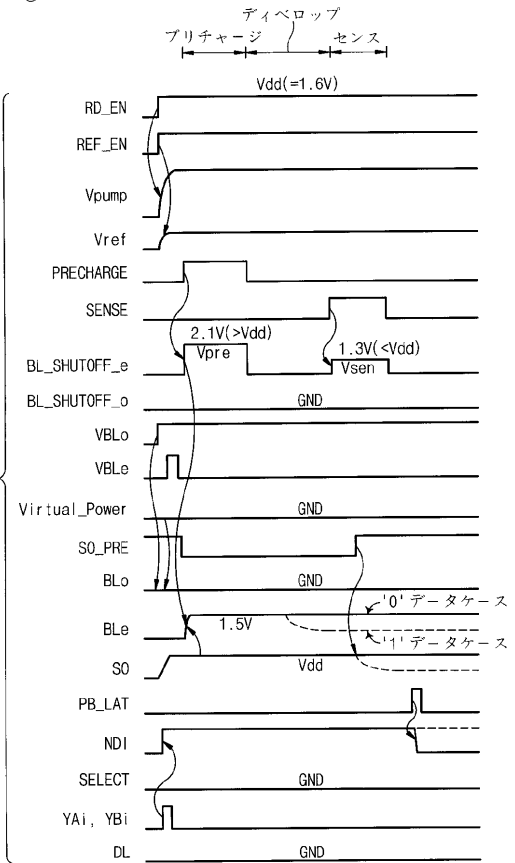
【図5】

図5



【図6】

図6



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 邊大錫

大韓民国京畿道龍仁市水枝邑豊徳川里 1 1 6 8 サムソン 5 チャアパート 5 1 9 棟 3 0 3 号

(72)発明者 李濬

大韓民国ソウル江南区開浦 3 洞住公アパート 7 0 6 棟 1 2 0 7 号

(72)発明者 李景翰

大韓民国京畿道龍仁市器興邑農書里 7 - 1 番地

審査官 高野 芳徳

(56)参考文献 特開 2 0 0 3 - 2 4 9 0 8 3 (J P , A)

特開 2 0 0 0 - 0 7 6 8 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 16/00,17/00