

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-505158

(P2010-505158A)

(43) 公表日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/06 (2006.01)	G06F 12/06 525A	5B060
G06F 12/02 (2006.01)	G06F 12/02 580H	
G06F 12/00 (2006.01)	G06F 12/00 580	

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

(21) 出願番号 特願2009-528858 (P2009-528858)
 (86) (22) 出願日 平成19年9月21日 (2007. 9. 21)
 (85) 翻訳文提出日 平成21年3月23日 (2009. 3. 23)
 (86) 国際出願番号 PCT/IB2007/053836
 (87) 国際公開番号 W02008/038204
 (87) 国際公開日 平成20年4月3日 (2008. 4. 3)
 (31) 優先権主張番号 06121280.9
 (32) 優先日 平成18年9月26日 (2006. 9. 26)
 (33) 優先権主張国 欧州特許庁 (EP)

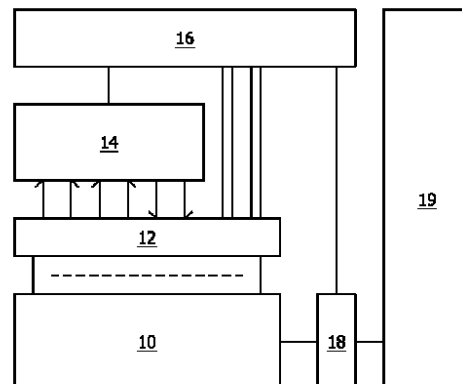
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 (74) 代理人 100087789
 弁理士 津軽 進
 (74) 代理人 100114753
 弁理士 宮崎 昭彦
 (74) 代理人 100122769
 弁理士 笛田 秀仙

最終頁に続く

(54) 【発明の名称】 複数のメモリーバンクを有するデータ処理

(57) 【要約】

データ処理回路は、命令実行回路14および複数のメモリーバンクを備える。命令実行回路14は、データ値のブロック（例えば、二次元の画素ブロックに対する画素値）を並列に処理できる。このデータ値は、メモリーバンクに記憶され（好ましくは、キャッシュされ）、そして並列に供給される。複数の変換回路22が、命令実行回路のブロックアドレス指定出力と、メモリーバンクのアドレス入力との間に結合される。この変換回路は、異なるメモリーバンクから、並列に、複数のブロックのアドレス指定を可能にする。データは、選択されたメモリーバンクから実行回路に、ルーティング回路によってルーティングされる。一実施例では、各変換回路は、バンクのすべてのメモリーをアドレス指定できる。別の実施例では、変換回路は、画素画像のデータをメモリーバンク全体に分配する複数の方法を、例えば、小さなブロックでアクセスされるデータには、少ないバンクのみを使用し、そして高い並列処理でアクセスされるデータには、より多くのバンクを使用して、サポートする。



【特許請求の範囲】**【請求項1】**

ブロックデータポート、および前記ブロックデータポートの少なくとも1つのグループに対して、実行される命令によって定義されるプレーンおよび該プレーンにおける領域のまとまりの選択の指示を出力するための、ブロックアドレス指定出力部、を有する、命令実行回路と、

アドレス入力部および並列メモリアクセスポートを有する複数のメモリーバンクと、前記プレーンおよび前記領域のまとまりの選択の指示の1つを、メモリーバンクの選択および該選択されたメモリーバンクにおけるアドレスに変換するために、前記ブロックアドレス指定出力部と前記アドレス入力部との間に結合される複数の変換回路と、

各ブロックに対する複数のデータ値を、並列に、前記選択されたメモリーバンクにおいて選択されたアドレスと前記それぞれのグループの前記ブロックデータポートとの間でルーティングするために、前記並列メモリアクセスポートと前記ブロックデータポートとの間に結合されるルーティング回路と、

を備える、データ処理回路。

【請求項2】

前記ルーティング回路が、さらに、実行される命令の制御下で、任意のそれぞれのグループの前記ブロックデータポートと任意の前記メモリーバンクとの間、または複数の集合からの任意の集合から前記メモリーバンクがグループ化されるものに、選択可能に前記データ値をルーティングする、

請求項1に記載のデータ処理回路。

【請求項3】

プレーンの前記選択指示が、前記プレーンに対するデータ値を記憶するメモリーバンクを指示に応じた数だけ定義できる形式でコード化され、

前記データ処理回路が、前記指示によって定義されるメモリーバンク数に応じて、前記指示の少なくとも1つを、複数の変換回路に同時にルーティングする、さらなるルーティング回路を備える、

請求項1に記載のデータ処理回路。

【請求項4】

それぞれのプレーンに対するプレーン情報を同時記憶するためのプレーン情報ルックアップメモリーを備え、

各プレーンに対する前記プレーン情報が、どの前記メモリーバンクが、前記プレーンに対する前記データ値を記憶するのに使用されるかを指示する情報を備え、

前記プレーン情報ルックアップメモリーが、前記実行される命令によって選択されるプレーン情報を変換の使用のために供給する前記変換回路に結合されている、

請求項1に記載のデータ処理回路。

【請求項5】

前記変換回路のそれぞれが、前記それぞれの集合における前記メモリーバンクのアドレス指定を制御するため、前記メモリーバンクのそれぞれの集合に結合され、

前記データ処理回路が、前記命令実行回路の前記ブロックアドレス指定出力部と前記変換回路との間に結合される、さらなるルーティング回路を備え、

前記変換回路が、前記実行される命令によって前記それぞれのブロックアドレス指定出力部に対して選択される前記プレーンの制御下で、前記ブロックの前記選択指示を、前記変換回路のそれぞれのものにルーティングする、

請求項1に記載のデータ処理回路。

【請求項6】

前記ブロックアドレス指定出力部の前記1つに対して選択された前記プレーンの制御下で、

前記ブロックアドレス指定出力部の前記1つによって選択された前記プレーンに対するプレーン情報に回答して、

10

20

30

40

50

そのプレーン情報が、前記プレーンのデータ値は、当該の複数の変換回路に結合されるメモリーバンクの前記集合に分配して記憶されることを示す場合に、

前記さらなるルーティング回路が、

前記ブロックアドレス指定出力部の少なくとも1つから、前記ブロックの前記選択指示を、複数の前記変換回路にルーティングする、

請求項5に記載のデータ処理回路。

【請求項7】

前記命令実行回路の前記ブロックアドレス指定出力部で供給される前記ブロックの前記指示が、それぞれ、前記ブロックのサイズおよび/または形状の指示を備え、

前記変換回路が、当該変換を、前記指示されたサイズおよび/または形状に応じて実行する、

請求項1に記載のデータ処理回路。

【請求項8】

アレイにおける領域のまとまりに対するデータ値を処理するための命令を実行する方法であって、

前記命令において、プレーンおよび該プレーンにおける領域のまとまりの選択のそれぞれについて複数の指示を供給し、

前記指示されたプレーンに対して、並列に、データ値の記憶のためのバンクメモリ回路からのメモリーバンクの選択を有するプレーン情報を提供し、

前記指示されたプレーンに対する前記プレーン情報を使用して、前記領域のまとまりを、前記選択されたメモリーバンクのアドレス指定に変換し、

前記命令の実行の一部として、前記領域のまとまりに対するデータ値をロードおよび/またはストアするため、前記アドレス指定されたメモリーバンクと命令プロセッサの少なくとも一つのデータポートのグループとの間で、データ値を、ルーティングする

ことを備える、方法。

【請求項9】

当該ルーティングが、任意の前記メモリーバンクから、選択的に、データポートの任意の前記グループに、データ値のルーティングを提供する、

請求項8に記載の方法。

【請求項10】

前記プレーンに対するデータ値を記憶する複数のメモリーバンクの定義を供給し、

前記メモリーバンクの数が、前記選択されたプレーンに依存し、そして

前記ブロックの前記選択指示の少なくとも1つを、プレーンに依存した複数回、前記メモリーバンクのそれぞれのものに対して、並列に変換する

ことを、さらに、備える、

請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多次元配列データを処理するための処理回路および方法に関する。

【背景技術】

【0002】

国際出願公開WO2005/104027は、画素位置のブロックに対する画素値への並列アクセスをサポートするメモリーを有する画像処理回路を開示する。周知のように、ビデオ画像は、それぞれが対応する画素値を有する、例えば、およそ1000×500画素位置の二次元配列を使用して、表すことができる。このような画像では、処理の目的で、例えば、32×32位置の小さなウィンドウからの画素値が、高速メモリーに記憶される。公知の処理回路は、このようなウィンドウ内の、例えば、4×4画素の小さなブロックの画素に対する画素値への並列アクセスを提供する。

【0003】

10

20

30

40

50

この形式の並列アクセスを提供するため、この高速メモリーは、集合で組織される複数の並列アクセス可能なメモリーバンクを有する作業メモリーを備える。ウィンドウからの画素位置のラインに沿った連続する位置に対する画像値は、メモリーバンク全体に広がって記憶され、通常は、異なるバンクの同じアドレスであり、かつ連続するアドレスにラップアラウンドしている。次のラインのそれぞれは、先行するラインの終わりに続いて記憶され、オプションとして、現在のウィンドウの次の領域に対する画素値を先取りするため、連続するラインの間にいくらかのメモリー空間を有する。

【0004】

ブロックは、記憶されたウィンドウの画素位置の部分集合を収容する。ブロックが、作業メモリーにおいてアドレス指定される場合、このブロックの左上隅の座標が、指示される。この情報から、処理回路は、ラインの開始ポイントにある画素位置に対する画素値を収容するバンク、およびそのバンクでのそれらのアドレスを識別する。処理回路は、これらのバンクおよび後続のバンクからの画素値を、ブロックの座標に関連する特定位置からの画素値を必要とする計算回路のそれぞれの入力にルーティングする。

10

【0005】

作業メモリーへのこの形式のアクセスの制御は、ブロックの左上隅の座標に加えて、ウィンドウの画素値の記憶方法を説明する情報を必要とし、この情報は、ウィンドウの左上隅に対する画素値が記憶される開始バンク、そのバンクにおけるこの画素値のアドレス、ウィンドウの記憶されたラインの長さ、ラインがラップアラウンドする前のバンク数などに関する。

20

【0006】

ブロックからの画素値で実行される典型的な演算は、例えば、動きベクトル推定、DCT（離散コサイン変換）計算などの一部としてのブロックマッチングを含む。これらの演算には、異なる画像から取得される複数のブロックが関与するものがある。このような複数アクセスをサポートするため、上記タイプの作業メモリーを、複数設けてもよい。しかしながら、これには、相当な量の回路領域が必要となる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的の一つは、複数の異なるウィンドウにアクセスしなければならない場合に必要とされるオーバーヘッドを少なくする多次元配列データの処理、を提供することである。本発明は、独立請求項によって定義される。従属請求項は、有利な実施例を定義する。

30

【課題を解決するための手段】

【0008】

本発明によるデータ処理回路は、画素位置のブロックに対する画素値といった、領域のまとまりに対するデータ値にアクセスする命令を並列に実行するための命令実行回路および複数のメモリーバンクを備える。実行される命令は、プレーンおよびそのプレーンでの領域のまとまりを複数選択する指示を定義する。これらの選択を、メモリーバンクおよびそのメモリーバンクでのアドレスの選択に同時変換するため、複数の変換回路が、設けられる。したがって、命令は、同時に複数のブロックをアドレス指定するように実行できる。

40

【0009】

都合のよいことに、ルーティング回路は、命令実行回路の任意のブロックデータポートと、任意のメモリーバンクまたは任意のメモリーバンク集合との間で、アドレス指定ブロックに対するデータ値のルーティングを提供する。したがって、命令の異なる関数に対してブロックをアドレス指定する異なるブロックデータポートは、すべてのメモリーバンクまたはメモリーバンク集合へのアクセスを共有できるので、命令実行回路の異なるブロックポートが、異なる時間に同じウィンドウをアドレス指定しなければならない場合、あるバンクから別のバンクにコピーする必要がない。

50

【0010】

一実施例では、プレーン選択の指示は、ブロックに対するデータ値を配置できる可変数のメモリーバンクを定義してもよい。したがって、例えば、1つまたは複数の第1ブロックに対するデータを、1つのメモリーバンク集合上に分配して配置してもよく、そして1つまたは複数の第2ブロックに対するデータを、2つのメモリーバンク集合上に分配して配置してもよい。オプションとして、1つまたは複数の第3ブロックに対するデータを、4つのメモリーバンク集合上に分配して配置してもよい。この命令は、どのメモリーバンクをいくつ使用するかを定義する。定義されたバンク数に応じて、多いまたは少ないバンク数を使用して、命令実行回路により、領域のまとまりに対するデータ値にアクセスしてもよい。したがって、ブロックへの異なる形式の並列アクセスは、互いに混在してサポートできる。

10

【0011】

一実施例では、プレーン情報ルックアップメモリーが、それぞれのプレーンに対するプレーン情報を同時記憶するために、設けられる。プレーン情報は、実行される命令によって提供されるプレーンの識別を使用してアクセスされる。各プレーンに対するプレーン情報は、そのプレーンに対するデータ値を記憶するために使用するメモリーバンクを指示する情報を備える。

【0012】

一実施例では、各変換回路は、それぞれの集合におけるメモリーバンクのアドレス指定を制御するため、それぞれのメモリーバンク集合に結合される。さらなるルーティング回路が、設けられて、領域のまとまりの選択指示を、選択されたプレーンの制御下で、変換回路のそれぞれのものにルーティングする。したがって、変換回路とメモリーバンク集合との間に、さらなる回路は、必要ない。

20

【0013】

さらなる実施例では、さらなるルーティング回路は、領域のまとまりの選択指示を、ブロックアドレス指定出力の少なくとも1つから、複数の変換回路に、ルーティングするように構成される。これは、ブロックに対するデータ値が配置できる可変数のメモリーバンクの使用をサポートする。

【0014】

一実施例では、これらの命令は、アドレス指定される領域のまとまりのサイズおよび/または形状を定義する。各ブロックは、例えば、二次元配列において $N \times M$ 形状の位置でもよく、整数 N 、 M 値の異なる組み合わせに応じて、異なる形状を有する。この場合、 N と M との積が、サイズである。変換回路は、指示されたサイズおよび/または形状に応じて変換を実行する。

30

【0015】

これらおよびその他の目的ならびに利点は、以下の図を使用して、代表的な実施例を説明することにより、明らかとなるであろう。

【図面の簡単な説明】

【0016】

【図1】処理回路を示す図である。

40

【図2】ベクトルアクセスユニットおよびメモリーバンク集合を示す図である。

【図3】メモリーバンクの使用を説明する図である。

【図4】集合アクセス回路を示す図である。

【図5】ベクトルアクセスユニットを示す図である。

【図6】メモリーバンクの使用を説明する図である。

【図7】メモリーアクセスのフローチャートを示す図である。

【発明を実施するための形態】

【0017】

図1は、バンク型メモリー回路10、ベクトルアクセスユニット12、複数の機能ユニット14、命令制御回路16、メモリーアクセスユニット18およびメインメモリー19を備える処理

50

回路を示す。命令制御回路16は、実行すべき演算を選択するため、機能ユニット14に結合される出力、これらの演算に關与するデータのメモリー位置を選択するため、ベクトルアクセスユニット12に結合される出力、およびメインメモリーとバンク型メモリー回路との間の転送を制御するため、メモリーアクセスユニット18に結合される出力を有する。機能ユニット14は、これらの演算に關与するオペランドデータを受信するため、ベクトルアクセスユニット12の複数のポートに結合され、そしてオプションとして、結果データをライトバックするためのポートに結合される。ベクトルアクセスユニット12は、データにアクセスするため、バンク型メモリー回路10に結合される。メモリーアクセスユニット18は、バンク型メモリー回路10とメインメモリー19との間に結合される。一実施例では、複数の機能ユニットの代わりに、単一の機能ユニットを、使用してもよい。

10

【0018】

図2は、ベクトルアクセスユニット12およびバンク型メモリー回路10を、より詳細に示す。バンク型メモリー回路10は、メモリーバンク26の集合20を複数と、集合20のそれぞれのものであるアドレス計算回路22と、制御回路24と、を備える。集合あたり4つのメモリーバンクが、説明のために示される。実際には、異なる数の集合および/または集合あたり異なる数のメモリーバンクを、使用してもよい。

【0019】

バンク型メモリー回路10は、メインメモリー19におけるデータ値の部分コピーを記憶するために使用される。メインメモリー19のデータは、位置の配列（通常は、二次元以上の配列）におけるそれぞれの位置に対するデータ値を表す。バンク型メモリー回路10は、すべての位置についてではなく、このような配列における位置のウィンドウについて、これらのデータ値を記憶する。バンク型メモリー回路10は、ウィンドウ内の選択可能な領域のまとまりに対するデータ値への並列アクセスを提供する。通常、これらブロックのサイズは、ウィンドウのサイズよりも小さい。

20

【0020】

演算中には、ウィンドウが移動されるので、バンク型メモリー回路10は、配列における異なる位置のウィンドウに対するデータ値を進行的に記憶する。ウィンドウの移動を実現するためのデータ移動量を最小とするため、古いウィンドウと新しいウィンドウとの両方に属する位置に対するデータ値は、メモリーバンクにおいて同じ位置のままである。この結果、ウィンドウの進行的な移動により、ウィンドウでの位置と、バンク型メモリー回路10でのメモリー位置との間の関係が、進行的に変化することになる。

30

【0021】

命令制御回路16は、プログラムメモリー、プログラムメモリーでの連続する命令をアドレス指定するシーケンサー、および個々のオペランドを記憶するためのレジスターファイルを備えてもよい。アドレス指定される命令は、演算選択コード、および異なる機能ユニットに対する複数の演算のためのオペランドおよび結果レジスターアドレス選択コードを含むVLIWタイプの命令でもよい。あるいは、単一の機能ユニットに対する単一演算命令を、単一の演算選択コード、ならびに選択された演算に対するオペランド選択コードおよび結果レジスターアドレスとともに、使用してもよい。一実施例では、オペランド選択コードが、レジスターをアドレス指定し、そしてアドレス指定されるレジスターの出力を、ベクトルアクセスユニット12に結合して、ブロック選択を制御してもよい。あるいは、命令それ自体からのオペランド選択コードを、ベクトルアクセスユニット12に結合してもよいし、または命令からのコードと、その命令によってアドレス指定されるレジスターとの組み合わせを、使用してもよい。

40

【0022】

この回路は、二次元以上の位置配列のデータを使用する任意の種類 of 処理に適用可能であるが、この回路は、二次元配列が關与する画像処理演算に關して説明される。これは、例えば、ビデオ圧縮または解凍といったビデオ画像処理に適用できる。本明細書に使用される図では、多くの並列信号線が、単線で描かれていることを理解すべきである。さらに、好ましくは、広範囲なパイプライン処理を使用してもよく、すなわち、説明される演算

50

の異なる連続する段階を、異なる実行サイクルで実行してもよいし、一方で、後の演算の早い段階が、進行してもよいことを、理解すべきである。しかしながら、パイプライン処理については、この演算の理解には必要ないので、説明されない。

【 0 0 2 3 】

演算では、処理回路が、プログラム、例えば、画像処理のためのプログラム、の命令を処理する。メインメモリー19は、画像全体を表すデータを記憶する。画像は、画素位置の二次元配列およびこれらの画素位置すべてに対する画素値によって定義される。このプログラムは、画素位置のブロックに対する画素値に並列演算を適用する命令を収容する。このブロックは、画像全体よりも大幅に小さく、例えば、4×4位置または8×8位置のブロックである。並列演算を実行する命令は、ブロックをアドレス指定し、そして命令の実行には、バンク型メモリー回路10における並列でのそのブロックの画素位置に対する画素値のロードおよび/または記憶が関与してもよい。

10

【 0 0 2 4 】

バンク型メモリー回路10は、ブロック全体に対する画素値への並列アクセスを提供する。実際に、バンク型メモリー10は、ブロックよりも大きい画素位置ウィンドウに対する画素値を記憶する。メモリアクセスユニット18は、メインメモリー19とバンク型メモリー10との間の画素値の転送を制御する。この目的のため、メモリアクセスユニット18は、初期化コマンド、ウィンドウ移動コマンド、ロードコマンドおよび記憶コマンドを含む、命令実行の一部としての複数の異なるタイプのコマンドを実行するように構成してもよい。

20

【 0 0 2 5 】

初期化コマンドは、制御回路24にプレーンを定義する。この初期化コマンドは、plane_idを定義するパラメーター、このプレーンに対する画素値が記憶される1つまたは複数のメモリーバンク集合を選択するためのパラメーター、選択されたメモリーバンク集合(1つまたは複数)に画素値が同時記憶される画素位置のウィンドウ寸法を定義するパラメーター、現在のウィンドウに近接する画素位置の先取り領域の寸法を定義するパラメーター、およびこのプレーンに対する画素値が記憶されるメモリーバンクにおける開始アドレスを定義するパラメーター、を有してもよい。オプションとして、初期化コマンドは、画素位置の異なるラインに対して使用するため、選択されたメモリーバンク集合(1つまたは複数)内に部分集合を定義するパラメーターを有してもよい。オプションとして、このウィンドウの寸法および先取り領域は、標準ウィンドウサイズを参照して定義してもよい。

30

【 0 0 2 6 】

ウィンドウ移動コマンドが、実行される場合、制御回路24は、画像における現在のウィンドウの位置を変更する。これには、メモリーバンクにおけるウィンドウの開始アドレスを表すプレーン情報の更新が、関与する。さらに、実行により、次のウィンドウでの画素位置に対する画素値の先取り、および/またはストール(現在のウィンドウのすべての画素位置に対する画素値がロードされるまで)をトリガーしてもよい。ウィンドウ移動コマンドは、このコマンドを適用するplane_idを定義するパラメーター、スキャンモード選択パラメーター、およびオプションとして、関与するメモリーバンク集合を選択するための選択パラメーター、を有してもよい。

40

【 0 0 2 7 】

ロードおよび記憶コマンドは、実行される場合、画素位置のアドレス指定ブロックに対する画素値が、選択されたプレーンについてアクセスされる。これらのコマンドは、plane_idを選択するパラメーター、およびコマンドで関与するブロックをアドレス指定する座標を有してもよい。オプションとして、関与する1つまたは複数の集合を、選択してもよい。ロードまたは記憶コマンドの実行には、選択されたブロックのアドレスによって決定されるアドレスでの、プレーンを記憶する1つまたは複数のメモリーバンク集合、選択されたプレーンに対するメモリーバンクでの開始アドレス、および現在のウィンドウの開始アドレス、へのアクセスが、関与する。

【 0 0 2 8 】

50

命令制御回路16が、命令を処理して画素ブロックに演算を適用する場合、命令制御回路16は、選択情報を有するコマンドをベクトルアクセスユニット12に適用して、この命令に対するオペランドとして選択される1つまたは複数のブロックを指示する。これにตอบสนองして、ベクトルアクセスユニット12は、この選択された1つまたは複数のブロックに対する画素値を、並列に、機能ユニット14に供給する。命令制御回路16は、演算選択コードを機能ユニット14に適用して、画素値に適用される演算を制御する。

【0029】

演算の典型的な例は、ブロック比較であり、ビデオ圧縮計算またはフレーム間圧縮演算の一部としての動きベクトル推定に使用できる。ブロック比較には、選択したブロックのペア（可能性としては、異なる画像）での、画素値の画素単位の減算が、関与する。このような演算の場合、異なるブロックにおける対応する位置の画素値が、機能ユニット14と一緒に供給されなければならない。

10

【0030】

バンク型メモリー10は、複数のウィンドウに対する画素値を一緒にストレージでき、これにより、異なるウィンドウからの画素位置のブロックに対する画素値に、互いに混在してアクセスできる。典型的な例では、各ウィンドウは、異なる画像からの画素値を収容するか、または同一もしくは異なる画像からの異なる色プレーンに対する画素値を収容するが、もう一つの方法として、異なるウィンドウが、異なるウィンドウ位置における同一の画像および/または色プレーンからの画素値を収容してもよい。

【0031】

20

図3は、バンク型メモリー10における複数のウィンドウのストレージの第1実施例の一例を線図的に説明する。長方形30は、それぞれのウィンドウに対する画素値30のストレージを記号化したものであり、それぞれが、集合での連続するアドレスに広がり、アドレス数が、その長方形の高さによって記号化されている。1つまたは複数のブロックにアクセスする命令が実行される場合、命令制御回路16は、そのウィンドウにおけるブロックのx, y座標および「plane_id」をベクトルアクセスユニット12に供給する。このplane_idは、アドレス指定されるウィンドウを識別する。このplane_idは、x, y座標と組み合わせられるプレーン情報を参照し、メモリーバンクにおける画素値のアドレスを計算する。この計算は、プレーンに対する画素値がメモリーバンクに記憶される方法に依存する。

【0032】

30

ウィンドウに対する画素値は、本来的に公知の方法でメモリーバンク画素上に分配されて記憶されるので、ウィンドウの行に沿った画素位置のセグメントに対する画素値および連続する行のグループに対する画素値には、異なるメモリーバンクから並列にアクセスできる。すなわち、画素値は、バンクに分配して記憶されるので、同じブロックに属する画素値は、同じメモリーバンクの異なるアドレスには記憶されない。これは、本来的に公知である。

【0033】

40

一実施例では、この分配には、十分な数のメモリーバンクの使用が関与し、こうすることで、ブロックの高さよりも小さく離れたブロックの異なる行を、異なるメモリーバンクに記憶できる。さらには、この実施例では、ブロック幅よりも小さく離れた行における異なる画素位置に対する画素値を記憶するために、互いに異なるメモリーバンクの使用が、関与する。また、一実施例では、近接する画素位置に対する複数の画素値は、オプションとして、同じアドレスのメモリーバンクと一緒に記憶できる。

【0034】

50

最初に、ウィンドウの左上隅の画素位置に対する画素値は、プレーンにリザーブされるアドレス範囲の第1アドレスにある第1メモリーバンクに記憶される。しかし、このウィンドウが移動される場合、「新しい」ウィンドウの画素位置に対する画素値が、メモリーバンクの「古い」ウィンドウにある画素位置に対する画素値に連続的に置き換わる。こうすることで、数回の移動後には、プレーンにリザーブされたアドレス範囲の第1アドレスにある第1メモリーバンクは、現在のウィンドウの左上隅にある位置の画素値を、もはや記

憶せず、その代わりに、このウィンドウ内の他の場所の画素位置に対する画素値を記憶することになる。

【0035】

一実施例では、プレーン情報は、関連ウィンドウの画素値を記憶するために使用されるメモリーバンクにおけるアドレス範囲、記憶されたウィンドウの座標、およびウィンドウの左上隅の画素値が記憶される開始メモリーバンクアドレスを指示する。ウィンドウの保存に異なる方法が使用できる、さらなる実施例では、プレーン情報は、画素値がメモリーバンク上に分配される方法を指示する情報も収容する。

【0036】

図4は、メモリーバンク集合にアクセスするための集合アクセス回路40を線図的に示す。複数のメモリーバンク集合が、使用される場合、このタイプの集合アクセス回路が、メモリーバンク集合のそれぞれに対して少なくとも1つずつとなるように、複数使用できる。集合アクセス回路40は、プレーン情報ルックアップメモリー42、アドレス変換回路44、およびルーティング回路として動作するデータクロスバースイッチ46を備える。

10

【0037】

プレーン情報ルックアップメモリーについては、いくつもの別の実施例が、存在する。一実施例では、プレーン情報ルックアップメモリー42は、複数のレジスタ集合を備え、各集合が、それぞれのplane_idに対するもので、異なるレジスタが、異なるプレーン特性を制御する。別のプレーン情報ルックアップメモリー42は、プレーン特性を制御するためのデータを収容する異なるメモリー位置を有するメモリー行列を備えてもよい。もう一つ別の方法として、命令によってアドレス指定されるレジスタファイルにおける汎用レジスタを使用して、プレーン情報を記憶および呼び出してもよい。この代替方法では、プレーン情報の呼び出しは、従来のレジスタアクセスとして実行される。

20

【0038】

この回路は、プレーン情報ルックアップメモリー42と結合されるplane_id選択入力41を有する。プレーン情報ルックアップメモリー42は、アドレス変換回路44およびデータクロスバースイッチ46の制御入力に結合される出力を有する。アドレス変換回路44は、ブロック座標情報を受信するための入力43に結合される。アドレス変換回路44は、異なるメモリーバンク（図示せず）に結合されるアドレス出力44aを有する。データクロスバースイッチ46は、メモリーバンク（図示せず）のデータ出力に結合される入力および画素値を並列に機能ユニット（図示せず）に供給する出力45を有する。データ出力45のみを有する実施例が、例として示されているが、もう一つの方法として、データ入力またはデータ入力/出力を設け、この回路をメモリーバンクのデータ入力またはデータ入力/出力に結合してもよいことを、理解すべきである。

30

【0039】

演算では、命令制御回路16が、plane_idおよびブロック座標を集合アクセス回路40に供給する。これに応答して、集合アクセス回路40は、plane_idを使用して、プレーン情報ルックアップメモリー42からプレーン情報を呼び出す。アドレス変換回路44は、呼び出されたプレーン情報およびブロック座標を使用して、メモリーバンク（図示せず）にアクセスするためのアドレスを計算する。データクロスバースイッチ46は、呼び出されたプレーン情報および、オプションとして、ブロック座標を使用して、メモリーバンク（図示せず）のデータ接続および機能ユニット（図示せず）へのデータ接続の間の接続を制御する。

40

【0040】

プレーン情報ルックアップメモリー42は、同じメモリーバンク集合における異なるウィンドウ（例えば、異なるウィンドウ30）に対する複数のplane_id値についてのプレーン情報を同時記憶するためのメモリー空間を有する。プレーン情報ルックアップメモリー42は、供給されたplane_idの値によって選択されるプレーンについてのプレーン情報を供給する。

【実施例1】

【0041】

50

第1実施例では、集合アクセス回路40は、異なるメモリーバンクから、一度にウィンドウの1行のみの画素位置、すなわち、 $N \times 1$ サイズのブロック（ N はブロック幅）、のセグメントに対する画素値への並列アクセスをサポートする。この目的に対するアドレス計算は、本来的に公知である。参照のための一例として、この実施例では、アドレス変換回路44は、ブロックの開始ポイント（例えば、左上隅）の画素値を記憶するメモリーバンクのインデックスを $A0 + x/K + w' * y \text{ mod } L$ から計算してもよい。ここで、 $A0$ は、現在のウィンドウ（プレーン情報で定義されるところの）の第1画素値を記憶するメモリーバンクのインデックスであり、 x および y は、ブロックの開始ポイントのアドレスを形成し（ウィンドウの始まりに関連する座標）、 K は、各バンクに記憶される位置数であり、 w' は、ウィンドウの連続するラインの開始バンク間の間隔（プレーン情報で定義されるところの）、そして L は、ウィンドウに使用される（プレーン情報で定義されるところの）バンク数である。

10

【0042】

開始ポイントの画素値を記憶するメモリーバンクの計算されたインデックスを使用して、そのインデックスを有するメモリーバンクからの画素値（1つまたは複数）を、開始ポイントに対する画素値が供給されるべきポート54の部分にルーティングできるように、データクロスバースイッチを制御する。

【0043】

また、アドレス変換回路44は、ブロックの画素値が記憶されるメモリーバンクでのアドレスを計算してもよい。アドレス変換回路44は、開始ポイントに対するアドレスを、例えば、 $B0$ （ウィンドウの左上隅に対する画素値が記憶されるアドレスであり、プレーン情報で定義される）と、 $(x/K + w' * y - A0)/L$ の整数部分との和から計算してもよい。アドレス変換回路44は、最初のバンクよりも小さなインデックスを有するバンクにおいてこのアドレスに1を足した画素値を計算してもよい。計算されたアドレスを使用して、メモリーバンクにおけるメモリー位置をアドレス指定する。

20

【実施例2】

【0044】

さらに複雑な第2の実施例では、集合アクセス回路40は、異なるメモリーバンクから、近接する複数の行における複数のセグメントでの画素位置に対する画素値への、すなわち、ブロック幅 N でブロック高さ M （1より大きい）の画素位置を有する $N \times M$ サイズのブロックへの、アクセスをサポートするように構成してもよい。理解されるように、これには、ブロックにおける異なるライン、および異なるメモリーバンクの異なる行における同じ列の画素位置に分配される画素値のストレージについての、アドレス変換回路44による同様のアドレス計算が、関与する。

30

【0045】

さらなる一実施例では、ブロックのサイズおよび/または形状は、動的に選択可能である。したがって、例えば、 $N \times M$ のブロックを選択できて、整数 N および M は、異なる命令に対して、いくつもの異なる値をとることができる。 N および M は、例えば、命令において、またはプレーン情報において、指示してもよい。この実施例の一例では、アドレス変換回路44は、選択された N および M の値について情報を受信し、そしてこの情報を使用して必要なバンクを計算する。

40

【0046】

命令制御回路16は、複数のブロックを選択するための出力を有する。複数の集合アクセス回路40が、設けられて、すべての出力からの選択を並列に処理できるようにする。一実施例では、各集合アクセス回路40が、メモリーバンク集合および命令制御回路16の出力のそれぞれの組み合わせに対して、設けられる。したがって、プロセッサが、選択オペランドブロックに対して複数のフィールドを有する命令を実行する場合、各フィールドを、既定の集合アクセス回路40と関連づけてもよい。このフィールドは、命令において、例えば、文字表記のplane_idおよびブロック座標として、ブロックを定義するか、またはplane_idおよびブロック座標を収容するレジスタを示す選択値によって定義するか、または文字表記のデータおよびレジスタ選択の組み合わせ、例えば、命令における文字表記の

50

plane_idおよびブロック座標を収容するレジスタを示すフィールドの選択値として定義される。

【0047】

この実施例では、命令の各フィールドがもたらすplane_idおよびブロック座標は、そのフィールドに関連する集合アクセス回路40に供給される。集合アクセス回路40の出力45からのデータは、オペランドとしてのフィールドを有する命令で選択される演算を実行する機能ユニットに転送される。このフィールドが、演算結果を選択するフィールドである場合、出力45の代わりに、入力を使用され、そしてデータは、この演算を実行する機能ユニットから転送される。

【0048】

図5は、命令フィールドとメモリーバンク集合の、より柔軟な関連づけを提供するベクトルアクセスユニットの一実施例を線図的に示す。ベクトルアクセスユニットは、プレーン関連づけ回路50、さらなるルーティング回路として機能するオペラントクロスバースイッチ52、および複数の集合アクセス回路40を備える。このユニットは、命令制御回路（図示せず）と結合される制御入力がある複数のポート54を有し、各ポート54を、実行される命令におけるそれぞれの既定のフィールドと関連づける。ポート54はまた、このフィールドによって選択されるデータを使用または生成する機能ユニット（図示せず）に結合されるデータ出力および/または入力を有する。4つのポート54が示されているが、これよりも多い、または少ない数でもよいことを、理解すべきである。

【0049】

オペラントクロスバースイッチ52は、集合アクセス回路40およびポート54の間に結合され、そしてプレーンおよびブロック選択を各ポート54から任意の集合アクセス回路40に、ポート54から供給されるplane_idに応じて、ルーティングするためのルーティング回路として動作する。ポート54のplane_id接続は、オペラントクロスバースイッチ52の入力に結合される出力を有するプレーン関連づけ回路50に結合される。プレーン関連づけ回路50は、プレーン情報ルックアップメモリーの共有部分として考えてもよいが、明確にするため、別々に示されている。

【0050】

プレーン関連づけ回路50は、集合アクセス回路40および複数のポート54の間のクロスカップリングを制御し、plane_idによって識別されるプレーンを記憶するメモリーバンク集合に対する集合アクセス回路40に各ポートを結合する。一実施例では、プレーン関連づけ回路50は、それぞれの対応するplane_id値に関連する集合アクセス回路40の識別を記憶し、受信したplane_id値に回答して、これらの識別を呼び出し、そしてオペラントクロスバースイッチ52を、ポート54のplane_id入力によって識別される集合アクセス回路40への各ポート54に結合させる。オペラントクロスバースイッチ52は、ポート54からのplane_idおよびブロック座標を、選択された集合アクセス回路40に渡す。オペラントクロスバースイッチ52は、選択された集合アクセス回路40との間でデータを双方向に受け渡す。

【0051】

好ましくは、オペラントクロスバースイッチ52は、選択可能なルーティングパスを提供し、命令の任意のオペランド選択フィールドを任意の集合アクセス回路40にルーティングできるようにする。したがって、各オペランド選択フィールドは、任意のメモリーバンク集合をアドレス指定できる。オプションとして、すべての集合アクセス回路40のデータクロスバースイッチ46もまた、任意のメモリーバンク集合と任意のポート54との間のデータを、オペラントクロスバースイッチ52によるルーティングと調和して、ルーティングするように構成される。あるいは、オペラントクロスバースイッチ52は、このレベルでのルーティングを提供するために、さらなるデータクロスバースイッチを備えてもよい。結果的に、異なるポートで使用するために、同じ画素値のコピーを記憶する必要はない。

【0052】

あるいは、オペラントクロスバースイッチ52は、限られた変数のクロスカップリングを提供できるようにして、すべてのポートをすべての集合にカップリングすることを許可せ

10

20

30

40

50

ずに、ポートをメモリーバンク集合の重複する組み合わせにカップリングすることを許可する。これにより、ポート間で他のメモリーバンクを共有することなく、メモリーバンクのある程度の共有（または、少なくとも、すべてのポート間には至らないメモリーバンクの共有）が可能となる。こうして、あるメモリーバンク集合を共有する必要がないことが、あらかじめ分かっている場合、回路オーバーヘッドを、低減することができる。

【0053】

原則として、プレーン情報ルックアップメモリーは、各ポート54と関連づけられてもよく、この場合、オペランドクロスバースイッチは、プレーン情報を関連する集合アクセス回路40にルーティングするように構成される。別の実施例では、plane_idのみがルーティングされ、プレーン情報ルックアップメモリーは、このルーティングされたplane_idによってアドレス指定した集合アクセス回路と関連づけられる。

10

【0054】

一実施例は、集合アクセス回路40がメモリーバンク集合と関連づけられているものを示しており、ブロックアドレスは、plane_idまたはプレーン情報の制御下でポート54から集合アクセス回路40にルーティングされなければならないが、もう一つの方法として、集合アクセス回路40が、ポート54と関連づけられて、バンクアドレス指定をルーティングしなければならないようにできることも、理解すべきである。この実施例では、バンク選択は、ルーティングの前または後、すなわち、オペランドクロスバースイッチ52を基準としてメモリーバンク側またはポート54側で作用できる。

【0055】

図6は、ウィンドウ60、62、64、66を適合可能な複数のメモリーバンク集合上に分配して記憶できる一実施例のバンク型メモリー10の使用を説明する。この例では、一ウィンドウ60に対する画素値は、すべての集合上に分配して記憶される。別のウィンドウ62に対する画素値は、2つの集合上に分配して記憶される。さらなるウィンドウ64、66に対する画素値は、それぞれの集合上に分配して記憶される。図は、ストレージの一例を表しているだけであることを、理解すべきである。実際には、他の組み合わせのウィンドウのストレージを使用してもよい。各プレーンに対して、選択された組み合わせのメモリーバンク集合を、使用してもよく、そして選択された集合のメモリーバンクにはアドレスの範囲（1つまたは複数）がある。例えば、1つの集合を使用するプレーン、2つの集合を使用するプレーン、および4つのプレーンを使用するプレーンが、選択できる。より多くの集合を使用すると、選択された集合に対して、より高い並列処理が可能になる。

20

30

【0056】

この形式のストレージの利点は、異なるサイズのブロックをオペランドとして使用することをサポートすることである。例えば、1つの集合にあるウィンドウ64に対する画素値のストレージは、4×4画素領域のまとまりへの並列アクセスをサポートし、4つの集合にあるウィンドウ60に対する画素値のストレージは、8×8画素領域のまとまりへの並列アクセスをサポートする。

【0057】

一実施例では、ベクトルアクセスユニットは、図6に示されるタイプのストレージをサポートするように構成される。この目的のため、図5に示される構造の回路を使用でき、ここでは、オペランドクロスバースイッチ52は、ブロック座標およびplane_id（またはプレーン情報）を単一のポートから複数の集合アクセス回路40に渡し（その単一のポート54へのplane_idに対するプレーン情報が、プレーンに対して複数の集合が使用されることを示す場合）、そしてその複数の集合と、単一のポートおよび/またはブロックにアクセスするために単一のポートとともに使用されるポート群との間で画素値を渡すように構成される。

40

【0058】

データ側では、ポート54は、可変数の画素値の入力および/または出力をサポートするように構成してもよく、複数の集合アクセス回路40からの画素値は、単一のポート54に供給される（その単一のポート54へのplane_idに対するプレーン情報が、示されたプレーン

50

に対して複数の集合が使用されることを示す場合)。あるいは、一方のデータに対してと、他方のplane_idおよびブロック座標に対してとで、別々のルーティング制御を、使用してもよい。したがって、例えば、オペラントクロスバースイッチ52は、単一のポート54によってアドレス指定される画素値を、この単一のポート54および1つまたは複数のポート54の論理的近隣を含むポート群に、ルーティングするように構成してもよい(その単一のポート54へのplane_idに対するプレーン情報が、示されたプレーンに対して、複数の集合が使用されることを示す場合)。

【0059】

他の実施例では、機能ユニットに供給される画素値の数が、使用される集合の数に依存しないモードを、サポートしてもよい。この実施例では、追加の画素値選択回路(図示せず)が、集合アクセス回路40とオペラントクロスバースイッチ52との間に設けられて、複数の集合アクセス回路によって供給される画素値からポートに供給するための画素値を選択してもよい。この実施例では、画素値選択回路は、関連するポート54でplane_idによって選択されるプレーン情報からの制御下、例えば、プレーン関連づけ回路50を介して、選択を実行する。

【0060】

一実施例では、メモリアクセスユニット18は、ウィンドウ(1つまたは複数)の移行を実施するため、画素値の進行的な置き換えを制御する。したがって、画素値は、メインメモリとメモリーブランクとの間でコピーされ、移行ウィンドウに対する画素値は、メモリーブランクでアクセス可能になる。これには、メモリーブランクのサイズが、相対的に小さく保てるという利点がある。しかしながら、もう一つの方法として、プレーン全体を記憶できる大きなメモリーブランクを、使用してもよい。この場合、メインメモリの使用、およびメモリーブランクとメインメモリとの間のコピーは、必要ない。

【0061】

メモリアクセスユニット18は、プレーン情報のコピーに従って、異なるプレーンについての画素位置に対するメインメモリアドレスおよびメモリーブランクアドレスを計算し、そして計算位置での画素値を読み取りおよび書き込みする。機能ユニットで複数の命令が実行されるごとにのみ、ウィンドウが移動されるので、通常、メモリアクセスユニット18によって実行される計算量は、機能ユニットによって実行されるものよりも、大幅に少ない。そのため、メモリアクセスユニット18は、通常、機能ユニットと同じような大量並列アクセスを、必要としない。一実施例では、メモリアクセスユニット18は、プログラムプロセッサとして実装でき、このプログラムプロセッサは、プレーン情報のコピーに従って、異なるプレーンについての画素位置に対するメインメモリアドレスおよびメモリーブランクアドレスを計算し、そして計算位置での画素値を読み取りおよび書き込みするようにプログラムされる。別の実施例では、進行的な置き換えを実行する目的で設計された回路を、使用してもよい。

【0062】

水平方向右側に移行するウィンドウには、このウィンドウの左側の列に対する画素値を、このウィンドウの右側の列に対する画素値によって置き換えることが、関与する。例えば、メインメモリ19からバンク型メモリ10へのデータ転送の場合、メモリアクセスユニット18は、ウィンドウの左側の列にある画素位置に対する画素値を記憶するバンクにおけるメモリー位置を、ウィンドウの右側の列にある画素位置に対する画素値で上書きする。理解されるように、これは、現在記憶されているウィンドウの左上の画素位置に対する画素値を記憶するメモリー位置が、処理中に、進行的に変化していることを意味する。水平方向左側に移行するウィンドウも、同様の方法で実施できる。

【0063】

一実施例では、メモリアクセスユニット18は、先取りベースで、バックグラウンドにおいて演算される一方、機能ユニット14は、現在のウィンドウ位置に適用する命令を処理する。この目的のため、追加空間をメモリーブランクにリザーブしてもよく、ここでは、現在のウィンドウの外側にある位置に対する画素値は、次の移動でウィンドウに入る位置に

10

20

30

40

50

対する画素値によって、置き換えられる。メモリーバンクへのインターリーブアクセスおよび/またはマルチポートアクセスを、このようなバックグラウンド演算に対して使用してもよい。これにより、ウィンドウ外側の位置に対する画素値を置き換えながらも、ウィンドウ全体を、並列アクセスに利用し続けることが可能になる。

【0064】

したがって、例えば、 $N \times M$ のウィンドウが、一度に S 画素位置のステップで右側に進行的に移動される場合、少なくとも $(N+S) \times M$ 画素位置の領域に対する画素値が、記憶される。最初に、最も左側の N 画素位置が、ウィンドウを定義する。これらの画素位置に対する画素値は、並列アクセスのため、メモリーバンクに記録され続ける。同時に、メモリーアクセスユニット18は、メモリーバンク内へ右側に次の S 画素位置に対する後続の画素値をロードする。ウィンドウが、 S 画素位置だけ右側に移動された後、ウィンドウの左側の S 画素位置に対する画素値を記憶するメモリー位置は、利用可能となり、メモリーアクセスユニット18は、ウィンドウの右側の次の S 画素位置に対する後続の画素値をメモリーバンクのこれらの位置にロードする、といったように続く。必要な変更を加えることで、同様のアプローチを、左側に移動する場合にも使用できる。

10

【0065】

加えて、垂直方向上側または下側に移行するウィンドウは、このウィンドウの左側の列に対する画素値を、このウィンドウの右側の列に対する画素値によって置き換えることが関与することでサポートされる。同様に、ウィンドウが、 S 画素位置のステップで上側または下側に移動される場合、 $N \times (M+S)$ 画素位置に対するメモリー空間を、リザーブしてもよい。動的に選択可能な移動方向は、 $(N+S) \times (M+S)$ 画素位置に対するメモリー空間をリザーブし、そしてこのウィンドウに沿うL形状の縁に対する画素値をプレロードすることによって提供される。同様のアプローチが、出力画素値に対しても使用できる。例えば、 S 画素位置のステップで右側に移動される出力ウィンドウの場合、メモリーアクセスユニット18は、現在のウィンドウの左側の S 画素位置に対する画素値をメインメモリーにライトバックするので、次の移動後には、ウィンドウの右側に S 画素位置の空間を作り出す。

20

【0066】

あるいは、メモリーアクセスユニット18は、このウィンドウの一番下または一番上にある行の画素位置に対する画素値によって、ウィンドウの一番上または一番下の行にある画素位置に対する画素値を記憶するバンクにおけるメモリー位置を上書きするが、この場合、画素値がアップロードされる間、画素アクセスのために機能ユニットを使用することは、避けるか、または休止しなければならない。

30

【0067】

現在のウィンドウの処理が終了したことが、信号伝達されると、メモリーアクセスユニット18は、必要な場合、次のウィンドウの先取りを完了し、そしてそのウィンドウに対するプレーン情報をアップデートする。理解されるように、機能ユニット14(1つまたは複数)によって生成される画素値を有するウィンドウの場合、メモリーアクセスユニット18は、現在のウィンドウの外側にある画素値についても、可能性としては、バックグラウンドで、メインメモリーへのライトバックを実行してもよい。メモリーアクセスユニット18は、異なるplane_idによって識別される複数のウィンドウに対しても先取り、および/またはライトバックを実行してもよい。

40

【0068】

一実施例では、異なるウィンドウに対するプレーン情報は、プログラム制御下で、動的に生成される。あるいは、プログラム実行全体で同じままの定義済みプレーン情報を、使用してもよい。動的定義の場合、プレーンの定義には、plane_idに対するアドレス範囲を識別するためのplane_idに対するデータを、ルックアップメモリー42に書き込み、そしてさらに、ウィンドウの座標およびそのplane_idのウィンドウの第1画素位置に対する画素値の位置へのポインターを初期化することが、関与してもよい。加えて、ウィンドウのサイズが選択できる場合、このサイズを定義する情報が、このplane_idについて書き込まれ

50

る。この情報は、このウィンドウが記憶される集合アクセス回路に対するルックアップメモリ42に書き込まれる。異なる集合を同じポート54からアドレス指定できる実施例では、情報は、プレーン関連づけ回路50にも書き込まれて、plane_idをこのプレーンの画素が記憶される集合と関連づける。

【0069】

プレーンの画素値を複数の集合に分配して記憶できる実施例では、プレーンの定義には、plane_idに対するアドレス範囲を識別するため、各集合アクセス回路40のデータをその集合に記憶し、そしてさらに、ウィンドウの座標およびそのplane_idのウィンドウの第1画素位置に対する画素値の位置へのポインタを初期化することが、関与する。この実施例では、plane_idをプレーンの画素が記憶される複数の集合と関連づけるため、情報が、プレーン関連づけ回路50にも書き込まれる。理解されるように、これにより、演算中、異なる種類のウィンドウのため、バンク型メモリーを再利用できる。

10

【0070】

図7は、命令処理のフローチャートを示す。第1ステップ71では、命令が受信され、そしてデコードされる。第2ステップ72では、画素位置オフセットが、命令のオペランドから計算される。オプションの第3ステップ73では、命令を完了するのに十分なデータが、メモリーバンクにない場合、命令処理が、遅延される（命令の実行を開始する前に、十分なデータが利用できるように構成される回路の場合、このステップは、必要とされない）。また、必要な場合、オプションとして、同じデータへの同時アクセスによって生じる衝突を防止するため、アクセスアービトラーションが、実行される。別のアクセスとの衝突がある場合、例えば、他方のアクセスを遅延するか、または命令の実行を遅延させるかして、この衝突が、解決される。第4ステップ74では、命令からのplane_idを使用して、プレーン情報呼び出す。第5ステップ75では、このプレーン情報を使用して、命令のためにアクセスする必要があるメモリーバンクにおけるアドレスを計算する。第6ステップ76では、メモリーバンクが、アクセスされる。第7ステップ77では、メモリーバンクからの画素位置の異なるラインに対するデータが、記録される。第8ステップ78では、メモリーバンクからの画素位置のライン内の異なる位置に対するデータが、記録される。当業者には、複数の異なるステップを、異なる命令に対して、パイプライン方式で実行してもよいことが、理解されるであろう。

20

【0071】

この記録ステップは、本来的に公知であり、そして、そのため、詳細には説明されない。簡単に説明すると、ブロックの異なるラインの画素値は、このメモリーバンクと、異なるメモリーバンクとでは、異なるアドレス（または連続するアドレスの集合）に記憶される。データの進行的な置き換えのため、後続ラインが、後続のアドレスまたはバンクに記憶され、周期的にロールアラウンドしながら、置き換えがどの程度進行しているかに応じて、ブロックの一番上のラインを、これらのアドレス（アドレス集合）の任意の1つで、そしてバンクの任意の1つに、記憶できる。ライン再配列では、ブロックの一番上の画素位置に対する画素値を収容するバンクからの画素値を、このブロックの一番上からの画素値を受信しなければならないデータポート部分などに、ルーティングする。画素再配列では、ブロックの一番左の画素位置に対する画素値を収容するバンクからの画素値を、このブロックの左からの画素値を受信しなければならないデータポート部分などに、ルーティングする。

30

40

【0072】

少なくとも、メモリーバンクの一部、例えば、命令実行回路の異なるポートからアドレス指定できるウィンドウに使用されるような部分は、共有してもよい。

【0073】

上記の実施例は、本発明を限定するというよりも、むしろ説明するものであり、そして当業者には、添付の請求の範囲を逸脱することなく、多くの別の実施例が設計できることに留意すべきである。請求項において、括弧内に配置されるすべての参照符号は、本請求項を限定するものとして解釈されない。用語「備える」は、請求項において列挙されるも

50

の以外のエレメントまたはステップの存在を排除しない。エレメントに先行する単語「a」または「an」は、このようなエレメントの複数形の存在を排除しない。本発明および本発明で使用される回路は、複数の相異なるエレメントを備えるハードウェアを用いて、および/または適切にプログラムされたプロセッサを用いて実施してもよい。エレメントを列挙するデバイス請求項において、これらのエレメントの複数を、ハードウェアの同一のアイテムによって実施してもよい。ある対策が互いに異なる従属請求項で復唱されているという単なる事実は、これらの対策を有利に組み合わせて使用できないことを示唆するものではない。

【 図 1 】

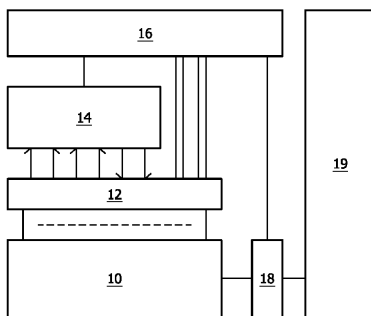


FIG. 1

【 図 2 】

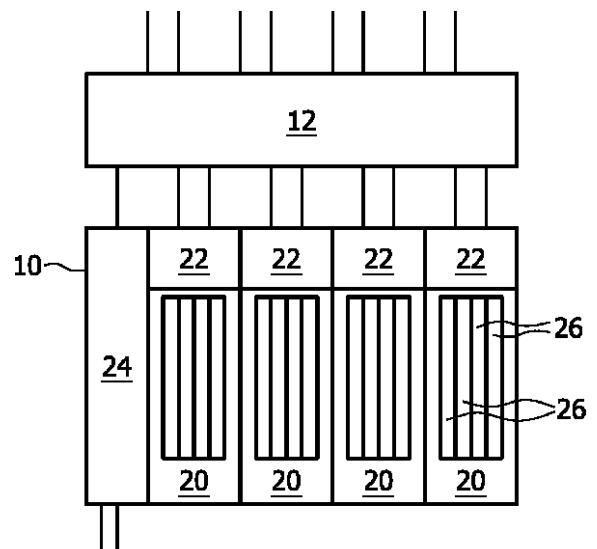


FIG. 2

【 図 3 】

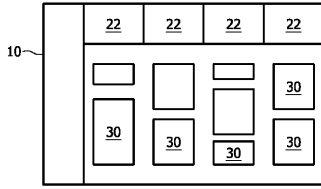


FIG. 3

【 図 4 】

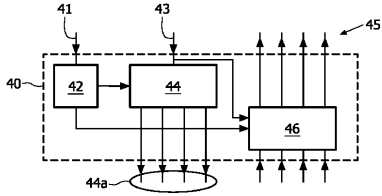


FIG. 4

【 図 5 】

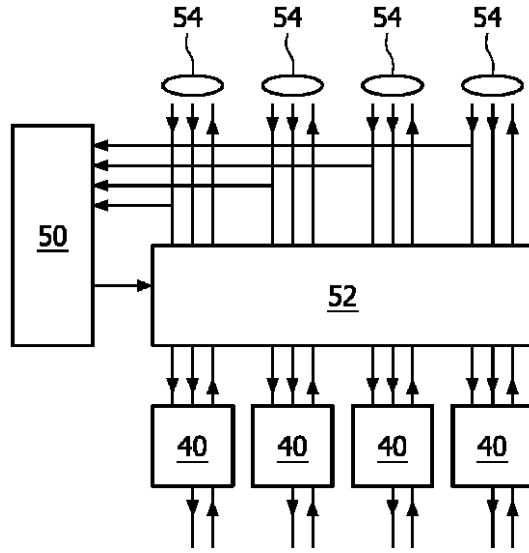


FIG. 5

【 図 6 】

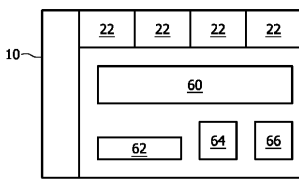


FIG. 6

【 図 7 】

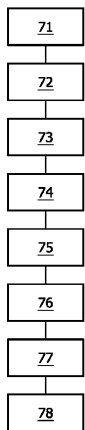


FIG. 7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/053836

A. CLASSIFICATION OF SUBJECT MATTER INV. H04N7/26 G06T1/60		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04N G06T		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 594 813 A (FANDRIANTO JAN [US] ET AL) 14 January 1997 (1997-01-14)	1,2,8,9
Y	column 12 - column 18; figure 2	3-7,10
Y	US 5 895 501 A (SMITH JAMES E [US]) 20 April 1999 (1999-04-20)	3-7,10
	column 7, line 40 - line 50; figure 4 column 12, line 32 - column 17, line 29	
A	US 4 930 066 A (YOKOTA HARUO [JP]) 29 May 1990 (1990-05-29)	1-10
	column 1, line 56 - line 64	
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
29 April 2009	08/05/2009	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Reise, Frank 06.8.2009	

Form PCT/ISA/210 (second sheet) (April 2005)

60900420003



INTERNATIONAL SEARCH REPORT

 International application No
 PCT/IB2007/053836

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>HANSOO KIM ET AL: "High-Performance and Low-Power Memory-Interface Architecture for Video Processing Applications" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 11, no. 11, 1 November 2001 (2001-11-01), XP011014251 ISSN: 1051-8215 page 1166</p>	1-10
A	<p>NEWMAN G: "MEMORY MANAGEMENT SUPPORT FOR TILED ARRAY ORGANIZATION" COMPUTER ARCHITECTURE NEWS, ACM, NEW YORK, NY, US, vol. 20, no. 4, 1 September 1992 (1992-09-01), pages 22-30, XP000298581 ISSN: 0163-5964 page 24 - page 26</p>	1-10
A	<p>US 6 215 822 B1 (BOSE SUBROTO [US] ET AL) 10 April 2001 (2001-04-10) column 5, line 5 - line 38</p>	1-10
A	<p>WO 2005/104027 A (KONINKL PHILIPS ELECTRONICS NV [NL]; SETHURAMAN RAMANATHAN [NL]; BERIC) 3 November 2005 (2005-11-03) cited in the application the whole document</p>	1-10

31

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2007/053836

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5594813	A	14-01-1997	US 5901248 A	04-05-1999
US 5895501	A	20-04-1999	NONE	
US 4930066	A	29-05-1990	EP 0248906 A1	16-12-1987
			WO 8702488 A1	23-04-1987
			JP 1692900 C	17-09-1992
			JP 4002976 B	21-01-1992
			JP 62089149 A	23-04-1987
			SU 1561834 A3	30-04-1990
US 6215822	B1	10-04-2001	NONE	
WO 2005104027	A	03-11-2005	CN 1947424 A	11-04-2007
			JP 2007534077 T	22-11-2007
			US 2008282038 A1	13-11-2008

 フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 アルバ ピント カルロス エイ

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 4 4

(72)発明者 セスラマン ラマナサン

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 4 4

Fターム(参考) 5B060 CA13 GA11