

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G09F 9/00	(45) 공고일자 1999년 12월 01일
(21) 출원번호 10-1997-0033550	(11) 등록번호 10-0233454
(22) 출원일자 1997년 07월 11일	(24) 등록일자 1999년 09월 13일
(30) 우선권주장 8-182318 1996년 07월 11일 일본(JP) 9-122254 1997년 05월 13일 일본(JP)	(65) 공개번호 특 1998-0010961 (43) 공개일자 1998년 04월 30일

(73) 특허권자 일본국 가나가와KEN 가와사끼시 사이와이꾸 호리가와즈 72반지 모리야마 나오미	가부시끼가이샤 도시바 니시무로 타이조
(72) 발명자 일본 가나가와KEN 요코하마시 이소고쿠 신스기타초 8반지 가부시끼가이샤 도 시바 요코하마 사업소내 마스다 요이치	일본 가나가와KEN 요코하마시 이소고쿠 신스기타초 8반지 가부시끼가이샤 도 시바 요코하마 사업소내
(74) 대리인 김명신	김명신

심사관 : 최자희**(54) 표시장치 및 그 구동방법****요약**

본 발명은 표시장치 및 그 구동방법에 관한 것으로서,

매트릭스형상으로 배치된 복수의 화소전극(151), 각 화소전극에 대응하여 설치된 스위치소자(12), 상기 화소전극중 동일한 행방향으로 배치된 화소전극에 대응하는 스위치소자를 공통 접속하여 동시에 개폐동작시키는 제어신호를 보내기 위한 주사선(Y_1, \dots, Y_n), 상기 화소전극중 동일한 열 방향으로 배치된 화소전극에 대응하는 스위치소자를 통하여 영상신호를 보내기 위한 영상신호선(X_1, \dots, X_m), 및 상기 복수의 화소전극에 대향 배치된 대향전극을 갖는 표시패널부와 영상 데이터를 수신하기 전에 수신한 리셋 신호에 따른 제 1 타이밍 신호를 생성하고 이 제 1 타이밍 신호에 기초하여 상기 리셋신호에 동기하여 보내져 오는 비표시 데이터를 선택하며, 이 선택한 비표시 데이터를 상기 제 1 타이밍신호에 대응하는 상기 영상신호선에 송출하고, 그 후 보내져 오는 상기 영상데이터를 제 2 타이밍신호에 기초하여 선택하며, 이 선택한 영상 데이터를 상기 제 2 타이밍신호에 대응하는 상기 영상신호선으로 송출하는 영상신호선 구동회로(291)를 구비하여, 비표시영역에서의 비표시 데이터의 표시를 용이하게 실시하는 것을 가능하게 하는 것을 특징으로 한다.

대표도**도1****명세서****도면의 간단한 설명**

도 1은 본 발명에 의한 표시장치의 제 1 실시형태의 구성을 도시한 구성도,

도 2는 제 1 실시형태의 표시장치에 관한 영상신호선 구동회로의 한 구체예의 구성을 도시한 도면,

도 3은 제 1 실시형태의 표시장치의 구동 타이밍을 도시한 도면,

도 4는 본 발명의 표시장치에 의해 표시되는 표시화상의 한 예를 도시한 도면,

도 5는 본 발명에 의한 표시장치의 제 2 실시형태에 관한 영상신호선 구동회로의 한 구체예의 구성을 도시한 도면,

도 6은 제 2 실시형태의 표시장치의 구동 타이밍을 도시한 도면,

도 7은 제 2 실시형태의 표시장치의 다른 구동 타이밍을 도시한 도면,

도 8은 본 발명에 의한 표시장치의 제 3 실시형태에 관한 영상신호선 구동회로의 한 구체예의 구성을 도시한 도면,

도 9은 제 3 실시형태의 표시장치의 구동 타이밍을 도시한 도면,

도 10은 본 발명에 의한 표시장치의 제 4 실시형태에 관한 영상신호선 구동회로의 한 구체예의 구성을 도

비롯한 OA용 등의 각종 디스플레이로서 이용되고 있다. 최근에는 표시화면의 대형화가 요구되므로, 이와 같은 액정표시장치를 투사형으로서 사용하는 실현이 이루어지고 있다.

이와 같은 액티브매트릭스형 표시장치를 투사형으로서 사용하는 경우, 소형화, 저가격화, 저소비전력화를 달성하기 위해 광학계의 소형화를 필수로 하여, 이에 따라 액정표시장치 자체를 3인치 정도의 소형으로 형성할 필요가 있다.

그리고, 이와 같은 표시장치에서는 각 표시화소를 구동하기 위한 구동회로부를 표시화소부와 동일 기판상에 일체적으로 형성하는 것이 시도되고 있다.

발명이 이루어자 하는 기술적 과제

아스펙트비 16:9의 화소수의 표시장치에 아스펙트비 4:3의 컴퓨터의 영상신호를 표시하게하는 등, 표시장치가 복수의 영상규격에 대응하는 것이 중요해지고 있다. 이 경우, 영상신호의 수평 귀선(flyback line)기간도 포함한 수평화소수의 설정이, 표시 패널의 한 수평화소라인을 구성하는 표시화소수 보다도 적은 경우가 고려된다. 이와 같은 때, 대응하는 영상신호가 없는 표시화소에는 비표시 데이터를 표시하게 된다. 구동회로측의 대응 방법으로서, 프레임 메모리를 사용하여 영상신호의 구동 주파수를 변화시켜 비표시 데이터를 미리 영상신호의 수평주사기간에 메우는 것이 고려되지만, 이 방법은 비용이 든다.

다른 방법으로서 표시 데이터와는 별도로 비표시 데이터를 준비하고 영상 규격에 맞추어 표시장치측에서 화소마다 표시 데이터와 비표시 데이터를 선택하여 표시하게 하는 것이 고려된다. 표시장치에 이와 같은 동작을 하게 하는 경우, SID 93 DIGEST(p.383-p.386)의 'A 1.9-in, 1.5-Mpixel Driver Fully-Integrated Poly-Si TFT-LCD for HDTV Projection' 등으로 나타나는 바와 같은 시프트 레지스터를 주제로 구성된 구동회로에서는 시프트 레지스터가 차례로 신호를 전송하는 형태이므로, 영상신호규격에 맞추어 표시패널 중에서 구동하는 신호선을 전환하는 것이 어렵다.

본 발명은 상기 사정을 고려하여 이루어진 것으로, 비표시영역의 비표시 데이터의 표시를 용이하게 실시할 수 있는 표시장치 및 그 구동방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 제 1 태양의 표시장치는 매트릭스형상으로 배치된 복수의 화소전극, 각 화소전극에 대응하여 설치된 스위치소자, 상기 화소전극중 동일한 행방향으로 배치된 화소전극에 대응하는 스위치소자를 공통 접속하여 동시에 개폐동작시키는 제어신호를 보내기 위한 주사선, 상기 화소전극중 동일한 열 방향으로 배치된 화소전극에 대응하는 스위치소자를 통하여 영상신호를 보내기 위한 영상신호선, 및 상기 복수의 화소전극에 대향 배치된 대향전극을 갖는 표시패널부와 영상 데이터를 수신하기 전에 수신한 리셋 신호에 따른 제 1 타이밍 신호를 생성하고 이 제 1 타이밍 신호에 기초하여 상기 리셋신호에 동기하여 보내져 오는 비표시 데이터를 선택하며, 이 선택한 비표시 데이터를 상기 제 1 타이밍신호에 대응하는 상기 영상신호선에 송출하고, 그 후 보내져 오는 상기 영상데이터를 제 2 타이밍신호에 기초하여 선택하며, 이 선택한 영상 데이터를 상기 제 2 타이밍신호에 대응하는 상기 영상신호선으로 송출하는 영상신호선 구동회로를 구비하고 있는 것을 특징으로 한다.

또한, 상기 영상신호선 구동회로는 n비트의 어드레스 신호, 및 상기 리셋 신호에 기초하여 상기 제 1 또는 제 2 타이밍 신호를 출력하는 논리회로와, 이 논리회로의 출력에 기초하여 상기 영상 데이터 또는 비표시 데이터를 선택하는 선택회로를 구비하도록 구성해도 좋다.

또한, 상기 영상신호선 구동회로는 n비트의 어드레스 신호에 기초하여 상기 제 1 또는 제 2 타이밍 신호를 출력하는 논리회로, 상기 제 1 타이밍 신호에 기초하여 상기 비표시 데이터를 선택하는 제 1 선택회로, 및 상기 제 2 타이밍 신호에 기초하여 상기 영상 데이터를 선택하는 제 2 선택회로를 구비하도록 구성해도 좋다.

또한, 상기 영상신호선 구동회로는 세로로 연속하여 접속된 복수의 플립플롭으로 이루어지고 시작 펄스를 수신하며, 이 시작 펄스를 클럭 신호에 동기하여 후단의 플립플롭에 차례로 전송하는 시프트레지스터 회로, 이 시프트레지스터 회로 각단의 플립플롭의 출력과 상기 리셋 신호에 기초하여 상기 제 1 또는 제 2 타이밍신호를 출력하는 리셋회로를 갖는 논리회로, 및 상기 제 1 또는 제 2 타이밍 신호에 기초하여 상기 영상 데이터 또는 상기 비표시 데이터를 선택하는 선택회로를 구비하도록 구성해도 좋다.

또한, 상기 시프트레지스터 회로의 소정 단의 플립플롭과 다음단의 플립플롭 사이에 설치되고 표시되는 화면의 아스펙트비에 맞추어 상기 소정 단의 플립플롭의 출력을 선택하거나 처음단의 플립플롭에 입력되는 시작 펄스를 우회한 펄스 신호를 선택하도록 접속을 전환하며, 이 선택한 신호를 상기 다음 단의 플립플롭에 송출하는 전환수단을 구비하도록 구성해도 좋다.

또한, 상기 전환수단이 상기 우회된 펄스 신호를 선택하도록 접속을 전환한 경우에는, 상기 논리회로는 상기 처음 단 내지 상기 소정 단의 플립플롭을 포함하는 복수단의 플립플롭의 출력에 기초한 상기 제 2 타이밍 신호를 출력하지 않도록 하는 수단을 더 구비해도 좋다.

또한, 상기 표시 패널부는 상기 화소전극, 상기 스위치 소자, 상기 주사선, 및 상기 영상신호선이 형성된 어레이 기판, 상기 대향전극이 형성된 대향 기판, 및 상기 어레이 기판과 상기 대향기판 사이에 끼워진 액정층을 구비하도록 구성해도 좋다.

또한, 상기 영상신호선 구동회로는 상기 어레이 기판상에 형성하는 것이 가능하다.

또한, 본 발명의 제 2 태양의 표시장치는 매트릭스형상으로 배치된 복수의 화소전극, 각 화소전극에 대응하여 설치된 스위치 소자, 상기 화소전극 중 동일한 행 방향으로 배치된 화소전극에 대응하는 스위치 소자를 공통 접속하여 동시에 개폐동작시키는 제어신호를 보내기 위한 주사선, 상기 화소전극 중 동일한 열 방향으로 배치된 화소전극에 대응하는 스위치소자를 통해 영상신호를 전송하기 위한 영상신호선, 상기 화소전극에 대향 배치된 대향 전극을 갖는 표시 패널부, 리셋 신호를 수신하지 않은 경우는 제 1 타이밍으

로 주사선을 선택하고, 리셋신호를 수신한 경우에는 상기 제 1 타이밍과는 다른 제 2 타이밍으로 주사선을 선택하는 논리회로, 및 상기 논리회로의 출력에 기초하여 선택된 주사선에 주사전위를 공급하는 버퍼앰프부를 갖는 주사선 구동회로부를 구비하는 것을 특징으로 한다.

또한, 상기 논리회로는 세로로 연속하여 접속된 복수의 플립플롭으로 이루어지고 시작 펄스를 수신하여, 이 시작 펄스를 클럭 신호에 동기하여 후단의 플립플롭에 차례로 전송하는 시프트 레지스터 회로와 상기 시프트레지스터 회로의 각단의 플립플롭의 출력과 상기 리셋 신호에 기초하여 상기 주사선을 선택하기 위한 신호를 출력하는 리셋 회로를 갖도록 구성해도 좋다.

또한, 상기 시프트레지스터 회로의 소정 단의 플립플롭과 다음 단의 플립플롭 사이에 설치되고, 표시되는 화면의 아스펙트비에 따라서 상기 소정 단의 플립플롭의 출력을 선택하거나 또는 처음단의 플립플롭에 입력되는 시작 펄스를 우회한 펄스 신호를 선택하도록 접속을 전환시키고, 상기 선택한 신호를 상기 다음 단의 플립플롭에 송출하는 전환수단을 구비하도록 구성되어도 좋다.

또한, 상기 논리회로는 상기 전환 수단이 상기 우회된 펄스 신호를 선택하도록 접속을 전환시킨 경우에는 상기 처음단 내지 상기 소정 단의 플립플롭을 포함하는 복수단의 플립플롭의 출력에 기초하여 상기 주사선을 선택하기 위한 신호를 출력하지 않도록 하는 수단을 더 구비하도록 구성할 수 있다.

또한, 상기 표시 패널부는 상기 화소전극, 상기 스위치소자, 상기 주사선, 및 상기 영상신호선이 형성된 어레이 기판, 상기 대향전극이 형성된 대향기판, 및 상기 어레이 기판과 상기 대향기판 사이에 끼워진 액정층을 구비하도록 구성해도 좋다.

또한, 상기 주사선 구동회로는 상기 어레이 기판상에 형성하는 것이 가능하다.

또한, 본 발명의 제 3 태양의 구동방법은 비표시 데이터를 한 수평 귀선 기간중에 입력, 영상 데이터를 한 수평 주사 기간 중에 입력하는 것을 특징으로 한다.

또한, 상기 한 수평 귀선 기간중에 입력되는 상기 비표시 데이터의 신호의 극성이, 동일한 수평 화소 라인 중의 표시 영역에 상기 수평 주사 기간 중에 입력되는 상기 영상 데이터의 신호의 극성과 동일해도 좋다.

또한, 상기 비표시 데이터의 표시에는 상기 영상 데이터의 표시에 사용되는 화소전극과 대향전극 사이의 전위차의 영역외의 전위차를 사용해도 좋다.

또한, 본 발명의 제 4 태양의 구동방법은 복수의 표시화소로 이루어진 수평 화소라인이 복수개 배열되어 이루어진 표시 패널에 영상 데이터에 기초하여 표시 화상을 형성하는 표시장치의 구동 방법에서, 상기 영상 데이터의 수직 귀선 기간을 포함한 일수직주사기간의 수평 화소 라인수의 설정이 표시 패널의 수평 화소 라인수 보다도 작은 경우, 상기 영상 데이터에 대응하지 않는 복수의 수평 화소 라인에 동시에 비표시 데이터를 제 1 기간에서 입력함과 동시에, 상기 영상데이터를 그에 대응하는 적어도 한개의 상기 수평화소라인에 상기 제 1 기간과 다른 제 2 기간에 입력하는 것을 특징으로 한다.

또한, 상기 제 1 기간이 일수직귀선기간이고 상기 제 2 기간이 수직 주사기간인 것이 바람직하다.

본 발명에 의한 표시장치의 제 1 실시형태의 구성을 도 1에 도시한다. 이 실시형태의 표시장치(501)는 액정표시장치에 있어서 투사형 EDTV(Extended Definition TeleVision)에 사용되고 도 1에 도시한 바와 같이 대각 3인치의 표시영역(281)을 구비하고 있다.

이 액정표시장치(501)는 매트릭스 어레이 기판(101)과 대향기판(도시하지 않음) 사이에 폴리아미드로 이루어진 배향막을 통하여 TN(Twisted Nematic)형의 액정층(351)이 유지된 구성으로 되어 있다.

도 1에 도시한 바와 같이, 매트릭스 어레이 기판(101)은 표시영역(281)과 그 주변 부분에 영상신호선 구동회로(291) 및 주사선 구동회로(293)를 일체적으로 구비하고 있다. 대향전극 구동회로(295)와 화소전위 유지용량선 구동회로(296)는 매트릭스 어레이 기판(101)의 외부에 설치된다. 표시영역(281)에는 영상신호 구동회로(291)에 접속되고, 서로 거의 평행으로 소정 간격을 두고 배치되는 m 개의 영상신호선(X_1, \dots, X_m)과, 주사선 구동회로(293)에 접속되고 영상신호선(X_i ($i=1, \dots, m$))과 거의 직교하여 배치되는 n 개의 주사선(Y_1, \dots, Y_n)이 설치되어 있다.

한편, 각 주사선(Y_j ($j=1, \dots, n$))과 각 영상신호선(X_i ($i=1, \dots, m$))의 교점부분에는 n 채널의 TFT(121)이 배치되고 상기 TFT(121)를 통하여 ITO(Indium Tin Oxide)로 이루어지는 화소전극(151)이 배치되어 있다. 또한, TFT(121)는 대응하는 영상신호선(X_i ($i=1, \dots, m$))에 접속되어 있다. 또한, 화소전극(151)에는 화소전위를 유지하는 유지 용량선(211)이 각 화소전극(151)에 대하여 주사선(Y_j ($j=1, \dots, n$))과 거의 평행으로 배치되어 있다.

상기 대향 기판은 투명한 유리 기판상에, ITO로 이루어지고 대향전극 구동회로(295)에 전기적으로 접속되도록 형성된 대향전극(301)과, 그 위에 배치되는 배향막을 구비하도록 구성되어 있다. 또한, 도시하지 않지만 크롬(Cr) 등의 금속으로 이루어진 차광층이 불필요한 광, 예를 들면 TFT(121)로 입사하는 광을 차광하도록 배치되어 있다.

영상신호에 기초하여 화소표시를 실시하는 경우, 주사선 구동 회로(293)는 주사선(Y_1), 주사선(Y_2), …주사선(Y_n)으로 차례로 게이트 온 전압(V_g)을 출력한다. 이 게이트 온 전압(V_g)을 받아 각 TFT(121)의 드레인 소스(drain source) 사이는 도통하고, 이에 의해 영상신호선(X_i ($i=1, \dots, m$))으로부터의 영상신호(V_s)가 대응하는 TFT(121)를 통하여 각 화소전극(151)으로 인도된다. 이에 의해, 상기 대향전극과 화소전극(151) 사이의 전위차가 액정층(351)에 인가되고 이 전위차에 기초하여 표시가 이루어짐과 동시에, 화소전

극(151)과 유지용량선(211) 사이에도 전하가 유지된다. 그리고 이 전하가 유지됨으로써 액정층(351)에 유지되는 전하의 변동을 보충하여 각 필드 기간, 표시화상을 유지한다.

다음에 도 2를 참조하여 이 실시형태의 액정표시장치(501)의 영상신호선 구동회로(291)의 구성을 설명한다. 이 영상신호선 구동회로(291)는 도 2에 도시한 바와 같이 매트릭스 배선부(201), 논리회로(202), 이 논리회로(202)에 접속되는 버퍼앰프 회로(204), 이 버퍼앰프 회로(204)에 접속되는 영상신호 선택회로(205), 및 이 영상신호 선택회로(205)에 접속되는 유지 용량(206)을 구비하고 있다. 또한, 논리회로(202), 버퍼앰프회로(204), 영상신호선택회로(205), 및 유지 용량(206)은 각 영상신호선 마다 설치된다.

매트릭스 배선부는 영상신호선(X_i ($i=1, \dots, m$))을 선택하기 위한 어드레스 신호를 예를 들면, “ $A_0 \dots A_9$ ” (A_i ($i=0, \dots, 9$)은 0 또는 1의 값을 갖음)로 하면, 21개의 배선을 갖는다. 21개의 배선중 1개의 배선에는 리셋 신호가 입력되고 남은 20개의 배선에는 어드레스 신호의 10비트($A_0 \sim A_9$)의 각각의 수치인 “ $D_0 \sim D_9$ ” 와, 이들의 10비트($A_0 \sim A_9$)를 각각 반전한 수치 “ $D_{10} \sim D_{19}$ ” 이 입력된다.

논리회로(202)는 3입력 NAND게이트(NA1, NA2, NA3, NA4), 2입력 NAND게이트(NA5, NA6), 및 2입력 NOR게이트(N01, N02)를 구비하고 있다. 3입력 NAND게이트(NA1, NA2, NA3, NA4)에는 디지털 수치 신호(DA0 ~ DA9)가, 그 반전 디지털 수치 신호(DA10 ~ DA19)가 각 비트마다 한종류씩 입력된다. 3입력 NAND게이트(NA1, NA2)의 출력은 NOR게이트(N01)의 입력단에 접속되고 NAND게이트(NA3, NA4)의 출력은 NOR 게이트(N02)의 입력에 접속된다. NOR게이트(N01, N02)의 출력은 NAND게이트(NA5)의 입력에 접속된다. NAND게이트(NA5)의 출력과 리셋 신호가 NAND게이트(NA6)의 입력에 접속된다. 논리회로(203)의 최종단의 NAND게이트(NA6)의 출력이 샘플링 펄스가 된다. NAND게이트(NA6)의 출력은 버퍼앰프회로(204)에 접속되어 있다.

버퍼앰프회로(204)는 3개의 버퍼(204a, 204b, 204c)를 갖고 있다. NAND게이트(NA6)의 출력은 버퍼(204a)에 의해 반전 증폭되고 이 반전 증폭된 신호는, 영상신호 선택회로(205)를 구성하는 트랜스퍼 게이트의 p채널 TFT(205a)의 게이트에 입력된다. 또한, TFT(205a, 205b)로 이루어진 트랜스퍼 게이트는 영상신호를 선택하는 데에 이용된다.

이 트랜스퍼 게이트의 드레인은 영상신호 버스라인(207)에 접속되고 논리회로(202)로부터의 샘플링 펄스가 온 기간의 사이, 영상신호가 샘플링된다. 트랜스퍼 게이트의 소스는 대응하는 영상신호선에 접속되어 있음과 동시에 영상신호 선택회로(205)에 의해 선택된 영상신호를 유지하는 유지용량(206)에도 접속되어 있다.

다음에 도 2를 참조하여 영상신호선 구동회로(291)의 동작에 대해서 설명한다. 각 매트릭스 배선부(201)에는 3입력 NAND게이트(NA1, NA2, NA3, NA4)에 접속되는 수치 신호선의 조합이 각각 다르다.

NAND게이트(NA1)에는 디지털 수치 신호(DA0)가 그 반전신호(DA10) 중 어느 것, 디지털 수치 신호(DA1)나 그 반전신호(DA11) 중 어느 것, 및 디지털 수치 신호(DA2)나 그 반전 신호(DA12)중 어느것이 입력되어 있다. NAND게이트(NA2)에는 디지털 수치 신호(DA3)나 그 반전신호(DA13) 중 어느것, 디지털 수치 신호(DA4)나 그 반전신호(DA14) 중 어느것, 및 디지털 수치 신호(DA5)나 그 반전신호(DA15) 중 어느것이 입력되어 있다. NAND게이트(NA3)에는 디지털 수치 신호(D6)나 그 반전신호(DA16) 중 어느것, 디지털 수치 신호(DA7)나 그 반전신호(DA17) 중 어느것, 및 디지털 수치신호(DA8)나 그 반전신호(DA18) 중 어느것이 입력되어 있다. NAND게이트(NA4)의 입력 중, 1입력은 디지털 수치 신호(DA9)나 그 반전신호(DA19) 중 어느것인가가 입력되고 다른 2입력에는 항상 「H」 레벨의 신호가 입력되어 있다. NAND게이트(NA6)의 한편의 입력은 모두가 리셋 신호와 접속되어 있다.

이와 같이 구성된 영상신호선 구동회로(291)에서는 NAND게이트(NA1, NA2, NA3, NA4)의 모든 입력이 「H」 이 레벨이 되었을 때에만 디코더(논리회로)(202)의 NAND게이트(NA5)는 「L」 레벨의 신호를 출력한다. 이 경우에서 표시영역의 영상신호 데이터를 입력할 때는 리셋 신호는 「H」 레벨이 되어 있으므로, 논리회로(202)의 최종단의 NAND게이트(NA6)로부터 샘플링 펄스가 버퍼앰프회로(204)에 출력된다. 이에 의해, 영상신호 선택회로(205)에 의해 영상신호가 선택되고 출력된다.

이에 대해서 비표시 데이터를 입력할 때 리셋 신호는 「L」 레벨이 되므로, 이 때의 NAND게이트(NA1, NA2, NA3, NA4)의 입력에 상관없이, 모든 논리회로(202)의 최종단의 NAND게이트(NA6)로부터 샘플링 펄스가 버퍼앰프 회로(204)로 출력된다.

리셋 신호가 「L」 레벨이 되는 것에 동기하여 영상신호 버스라인(207)으로부터 필요한 비표시 데이터를 공급함으로써, 모든 영상신호 선택회로(205)로부터 비표시 영상신호가 출력된다.

이제, 표시화면이 도 4에 도시된 바와 같이 640X480 화소로 이루어지는 표시 영역(502), 107X480 화소로 이루어지는 비표시영역(503), 및 106X480 화소로 이루어진 비표시 영역(504)으로 구성되는 경우를 예로 들어 본 실시형태의 액정표시장치의 동작을 도 3을 참조하여 설명한다. 이 경우의 액정표시장치는 853개의 영상신호선과 480개의 주사선을 갖고 있다.

시각(t_0)에서 N-1번째의 주사선(Y_{N-1})에 주사선 구동회로(293)로부터 「H」 레벨의 전압(Vg)(N-1)이 출력되어 있고, 이 때문에 상기 주사선(Y_{N-1})에 접속된 TFT(121)는 온되어 있다. 이 때, 108번째의 영상신호선(X_{108})으로부터 747번째의 영상신호선(X_{747})에 접속된 논리회로(202)가 차례로 샘플링 펄스를 출력하는 바와 같은 어드레스 신호가, 영상신호선 구동회로(291)의 매트릭스 배선부(201)에 보내진다. 그렇게 하면 영상신호선 구동회로(291)로부터 영상신호선(X_{108}, \dots, X_{747})에 영상신호가 차례로 보내지고, 주사선(Y_{N-1})에 접속되어 있는 TFT(121)를 통하여 대응하는 화소전극(151)에 영상신호 데이터가 입력된다(도 3에 도시한 일 수평주사기간 동안). 이에 의해 도 4에 도시한 표시영역(502) 중 위에서부터 N-1행째의 화소에 표시 데이터가 표시된다.

그리고, 주사선(Y_{N-1})의 전압(Vg)(N-1)이 「L」 레벨되었을 때(시각(t_1))부터 소정시간(Δt)이 경과하면, N 번째 주사선(Y_N)의 전위(Vg)(N)가 「H」 레벨이 됨과 동시에 리셋신호가 「L」 레벨된다(도 3에 도시한 시각(t_2)참조). N 번째 주사선(Y_N)의 전위(Vg)(N)가 「H」 레벨이 됨으로써, 이 주사선(Y_N)에 접속된 TFT(121)는 온이 된다. 이 때, 리셋 신호를 「L」 레벨로 함과 동시에 영상신호 버스라인(207)에 비표시 데이터, 예를 들어 흑색표시의 전위를 공급하면 주사선(Y_N)에 접속된 TFT(121)를 통하여 m (=853)개의 화소전극(151)에 비표시 데이터의 영상신호가 입력된다.

시각(t_3)에서 수평 커선 기간이 종료하여 리셋 신호가 「H」 레벨이 되면, 상술한 것과 동일하게 108 번째의 영상 신호선(X_{108})으로부터 747 번째의 영상신호선(X_{747})에 접속된 논리회로(202)가 차례로 샘플링 필스를 출력하는 것과 같은 어드레스 신호가 영상신호선 구동회로(291)의 매트릭스 배선부(201)에 보내진다. 그렇게 하면, 영상신호선 구동 회로(291)로부터 영상신호선(X_{108}, \dots, X_{747})에 영상신호가 차례로 보내지고, 주사선(Y_N)에 접속되어 있는 TFT(121)를 통하여 대응하는 화소전극(151)에 영상신호 데이터가 입력된다.

따라서, 표시화면 상에서부터 N 행째의 화소에 대응하는 화소전극 중, 비표시 영역(503, 504)의 화소에 대응하는 화소전극(151)에는 비표시 데이터, 예를 들면 흑색표시의 전위가 입력되고 표시 영역(502)의 화소에 대응하는 화소전극(151)에는 표시 데이터가 입력된다.

이로써, 표시영역(502)에는 표시 데이터가 표시되고 비표시영역(503, 504)에는 비표시 데이터, 상술한 경우는 「흑색」이 표시된다. 또한, 도 3에 도시한 Δt 는 Y_{N-1} 번째 행의 주사선으로 제어되는 TFT(121)의 오프 타이밍이 주사선의 시정수의 영향으로 지연되고, Y_N 행째에 입력할 영상신호를 Y_{N-1} 행째의 화소전극(151)이 유지하는 것을 방지하기 위한 것이다.

이상 설명한 바와 같이 본 실시형태의 표시장치에 의하면, 리셋 신호를 변화시키는 것만으로 수평커선기간에 비표시영역의 신호선에 비표시 데이터를 입력하는 것이 가능해지고, 비표시 영역의 비표시 데이터의 표시를 용이하게 실시할 수 있다.

또한, 상기 실시형태의 액정표시장치에서 비표시 데이터로서 동일한 프레임에서 화소전극에 입력하는 영상신호와 동일한 극성의 신호를 지정하고, 수평 커선 기간중에 미리 입력해 두는 것, 즉 프리차지(precharge)함으로써 표시 데이터의 충분한 입력을 실시하는 것이 가능해지고, 높은 콘트라스트 표시를 얻을 수 있다.

또한, 본 실시형태에서는 리셋 신호에 의해 일수평 화소 전체에 대해 비표시 데이터의 입력을 실시하고 있으므로, 구동회로에 의해 표시화면상의 수평방향으로 임의의 표시 영역을 선택한 경우에, 선택되지 않은 영역의 표시 화소에는 이미 비표시 데이터가 유지된다. 이 때문에 영상신호에 손 대는 일 없이 표시 영역을 임의로 선택할 수 있다.

다음에, 본 발명에 의한 표시장치의 제 2 실시형태의 구성을 도 5 및 도 6를 참조하여 설명한다. 이 실시형태의 표시장치는 도 1 내지 도 2에 도시한 제 1 실시형태의 액정표시장치에서, 영상신호선 구동회로(291)의 구성을 도 5에 도시한 구성의 영상신호선 구동회로로 전환함과 동시에 영상신호 버스라인(207) 대신에 영상신호 버스라인(407A, 407B)을 설치한 것이다.

도 5에 나타내는 영상신호선 구동회로는 매트릭스 배선부(401)와 2종류의 구동부를 구비하고 있으며, 한 쪽의 구동부는 표시영역의 영상신호선을 구동하는데 사용되며, 다른 쪽 구동부는 비표시영역의 영상신호선을 구동하는데 사용된다.

상기 한쪽의 구동부는 도 5의 (a)에 나타내는 바와 같이 표시영역의 각 영상신호선마다 설치되며, 논리회로(402A)와 이 논리회로(402A)의 출력을 받는 버퍼앰프회로(404A)와 이 버퍼앰프회로(404A)의 출력에 기초하여 영상신호를 선택하는 영상신호 선택회로(405A)를 구비하고 있다. 또한, 상기 다른 쪽 구동부는 도 5의 (b)에 나타내는 바와 같이 비표시영역의 각 영상신호선마다 설치되며, 논리회로(402B)와 이 논리회로(402B)의 출력을 받은 버퍼앰프 회로(404B)와 이 버퍼앰프회로(404B)의 출력에 기초하여 영상신호를 선택하는 영상신호 선택회로(405B)를 구비하고 있다.

매트릭스 배선부(401)는 도 2에 나타내는 매트릭스 배선부(201)와 동일한 구성으로 되어 있다. 또한, 논리회로(402A, 402B)는 도 2에 나타내는 논리회로(202)와 동일한 구성으로 되어 있다. 버퍼앰프회로(404A, 404B)는 도 2에 나타내는 버퍼앰프회로(204)와 동일한 구성으로 되어 있다. 또한, 매트릭스 배선부(401)와 논리회로(402A)는 구동하는 영상신호선의 어드레스가 매트릭스 배선부(401A)에 입력되어 있을 때 상기 구동하는 영상신호선에 영상데이터가 송출되도록 접속된다. 또한, 매트릭스 배선부(401)와 논리회로(402B)와의 접속도 마찬가지이다. 또한, 도 5에는 영상신호 선택회로에 접속되는 유지 용량은 도시되어 있지 않다.

그리고, 버퍼앰프 회로(404A)는 논리회로(402A)의 출력을 증폭 및 반전 증폭하고, 버퍼앰프 회로(404B)는 논리회로(402B)의 출력을 증폭 및 반전 증폭한다. 또한, 영상신호 선택회로(405)는 2개의 트랜스퍼 게이트(405A, 405B)를 갖고 있다. 트랜스퍼 게이트(405A)는 버퍼앰프회로(404A)의 출력에 기초하여 영상신호 버스라인(407A)을 통하여 보내져 오는 영상신호(Video1)를 선택하고, 트랜스퍼 게이트(405B)는 버퍼앰프 회로(404B)의 출력에 기초하여 영상신호 버스라인(407B)을 통하여 보내져 오는 영상신호(Video2)를 선택한다.

이와같은 구성으로 하는 것에 의해 표시패널내의 비표시 데이터의 내용에 대응하여 TFT121의 입력 배선(영상신호선)의 접속을 미리 영상신호 버스라인(407A)과 영상신호 버스라인(407B)으로 나누어 두면, 도 6에 나타내는 바와 같이 영상신호에 비표시 데이터를 삽입할 필요가 없어진다. 또한, 수평커선기간에 동시에 다른 표시 데이터를 입력하는 것도 가능해지며, 일수평화소라인내에서 표시영역으로의 프리차지를 위한 전압과 비표시영역으로의 비표시 데이터의 전압을 별도로 설정할 수 있다. 예를들면 도 4에 나타난

표시화상의 경우에는 표시영역(502)에 대응하는 신호선에 영상신호(Video1)가 입력되도록 접속하고, 비표시영역(503)과 비표시영역(504)에 대응하는 신호선에 영상신호(Video2)가 입력되도록 접속한다. 비표시데이터를 표시하지 않는 경우에는 영상신호(Video1)와 영상신호(Video2)는 모두 같지만, 비표시 데이터를 표시하는 경우에는 영상신호(Video1)는 그대로, 영상신호(Video2)는 비표시데이터가 된다. 또한, 프리차지용 전압을 설정하여 입력하고 싶을 때는 도 7에 나타내는 바와 같이 영상신호(Video1)의 수평구선기간의 전압을 $\pm V_1$ 으로 설정한다.

이 제 2 실시형태의 액정표시장치도 제 1 실시형태와 같은 효과를 갖는 것은 물론이다.

다음으로, 본 발명에 의한 표시장치의 제 3 실시형태의 구성을 도 8 및 도 9를 참조하여 설명한다. 이 실시형태의 표시장치는 도 1 내지 도 2에 나타내는 제 1 실시형태의 액정표시장치에 있어서, 영상신호선 구동회로(291)의 구성을 도 8에 나타내는 구성의 영상신호선 구동회로로 치환하고, 또 영상신호 버스라인(207) 대신에 영상신호 버스라인(607) 및 래스터신호 버스라인(608A, 608B)을 설치한 것이다.

도 8에 나타내는 영상신호선 구동회로는 매트릭스 배선부(601)와 2종류의 구동부를 구비하고 있다. 2종류의 구동부 중 한쪽의 구동부는 도 8의 (a)에 나타내는 바와 같이 구동하는 신호선마다 설치되며, 논리회로(602A)와 버퍼앰프회로(604A₁, 604A₂) 및 트랜스퍼게이트로 이루어진 영상신호 선택회로(605A₁, 605A₂)를 구비하고 있다. 또한, 다른쪽의 구동부는 도 8의 (b)에 나타내는 바와 같이 구동하는 신호선마다 설치되며, 논리회로(602B)와 버퍼앰프회로(604B₁, 604B₂) 및 트랜스퍼게이트로 이루어진 영상신호 선택회로(605B₁, 605B₂)를 구비하고 있다. 또한, 도 8에서는 유지용량은 도시되어 있지 않다.

매트릭스 배선부(601)는 도 2에 나타내는 매트릭스 배선부(201)와 동일한 구성으로 되어 있다. 논리회로(602A, 602B)는 각각 도 2에 나타내는 논리회로(202)에서 NAND게이트(NA6)를 삭제한 것이다. 버퍼앰프회로(604A₁, 604B₂, 604C₁, 604D₂)는 각각 도 2에 나타낸 버퍼앰프회로(204)와 동일한 구성을 갖고 있다. 그리고, 버퍼앰프회로(604A₁)는 논리회로(602A)의 출력을 증폭 및 반전 증폭하고, 버퍼앰프회로(604B₁)는 논리회로(602B)의 출력을 증폭 및 반전 증폭한다. 또한, 버퍼앰프회로(604A₂, 604A₃)는 각각 리셋 신호(본 실시형태에 있어서는 양값 논리)를 증폭 및 반전 증폭한다.

트랜스퍼게이트(605A₁)는 버퍼앰프회로(604A₁)의 출력에 기초하여 영상신호 버스라인(607)을 통하여 보내져 오는 영상신호를 선택하고, 트랜스퍼게이트(605B₁)는 버퍼앰프회로(604B₁)의 출력에 기초하여 영상신호 버스라인(607)을 통하여 보내져 오는 영상신호를 선택한다. 또한, 트랜스퍼게이트(605A₂)는 버퍼앰프회로(604A₂)의 출력에 기초하여 래스터 신호 버스라인(608A)을 통하여 보내져 오는 래스터 신호(Raster1)를 선택하고, 트랜스퍼게이트(605B₂)는 버퍼앰프회로(604B₂)의 출력에 기초하여 래스터신호 버스라인(608B)을 통하여 보내져 오는 래스터신호(Raster2)를 선택한다.

이와같은 구성으로 함으로써 비표시 데이터 또는 프리차지용 전압을 나타내는 래스터신호(Raster1, Raster2)를 표시 데이터를 나타내는 영상신호와 별도로 입력하는 것이 가능해지며, 도 9에 나타내는 바와 같이 영상신호의 수평구선기간의 데이터를 수정할 필요가 없어진다. 또한, 래스터신호(Raster1)와 래스터신호(Raster2)를 별도의 배선으로 공급하여 제 2 실시형태와 마찬가지로 일수평화소라인내에서 비표시 데이터와 프리차지용 전압을 별도로 설정하여 입력할 수 있다.

이 제 3 실시형태의 표시장치도 제 1 실시형태의 표시장치와 같은 효과를 갖는 것은 물론이다.

본 발명에 의한 표시장치의 제 1, 제 2, 제 3의 실시형태에 대해서 설명했지만, 이것들은 각 영상신호선마다 논리회로가 설치된 예이다. 이에 비해 본 발명의 제 4 실시형태는 1개의 논리회로로 복수의 영상신호선을 동시에 구동할 수 있다. 이 제 4 실시형태에 대해서 도 10, 도 11을 참조하여 설명한다. 이 실시형태의 표시장치는 도 1 내지 도 2에 나타내는 제 1 실시형태의 액정표시장치에 있어서, 버퍼앰프회로 및 영상신호 선택회로를 도 10에 나타내는 버퍼앰프부(704) 및 영상신호 선택회로부(705)로 치환한 것이다. 버퍼앰프부(704)는 2개의 버퍼앰프회로(704, 704b)를 갖고 있으며, 영상신호 선택회로부(705)는 트랜스퍼 게이트로 이루어진 영상신호 선택회로(705a) 및 트랜스퍼게이트로 이루어진 영상신호 선택회로(705b)를 갖고 있다.

논리회로(702)로부터 출력된 샘플링 필스가 2개의 버퍼앰프(704a, 704b)에 입력된다. 이 버퍼앰프회로(704a, 704b)는 샘플링필스를 증폭, 반전 증폭하여 각각 트랜스퍼게이트(705a, 705b)에 입력한다. 트랜스퍼게이트(705a)는 영상신호 버스라인(706a)을 통하여 보내져 오는 영상신호(Video1)를 선택하고, 트랜스퍼 게이트(705b)는 영상신호 버스라인(706b)을 통하여 보내져 오는 영상신호(Video2)를 선택한다. 그리고, 도 11에 나타내는 바와 같이 영상신호 버스라인(706a)에는 홀수번째의 영상신호선으로 입력하는 영상신호를 공급하고, 영상신호 버스라인(706b)에는 짝수번째의 영상신호선으로 입력하는 영상신호를 공급한다. 단, 도 11의 영상신호(Video1, Video2)의 파형은 홀수번째 또는 짝수번째의 영상신호선에 대응한 신호의 내용을 도시하는 것은 어렵기 때문에 모식적 표현을 취하고 있다.

그리고, 제 1 실시형태와 마찬가지로 NAND게이트(NA1, NA2, NA3, NA4)에 입력하는 디지털 수치 신호가 모두 「H」가 되었을 때만 논리회로(702)에서 샘플링 필스가 출력되어 영상신호가 선택, 출력된다. 또한, 리셋 신호가 「L」 레벨이 되는 것에 동기하여 영상신호 버스라인(706a, 706b)에서 필요한 비표시 데이터를 공급함으로써 영상신호선 전부에 대응하는 영상신호 선택회로부(705)에서 비표시영상신호가 출력된다. 또한, 이 제 4 실시형태에서는 디지털 입력신호(D0~D19)의 주파수 및 영상신호의 주파수가 제 1 실시형태의 반정도로 제 1 실시형태와 같은 표시를 실시할 수 있다. 또한, 이 구동법을 사용하여 트랜스퍼 게이트의 영상신호의 충분한 입력이 가능하게 된다. 본 발명의 제 4 실시형태는 제 1 실시형태뿐만 아니라 제 2, 제 3 실시형태에도 적용할 수 있는 것은 물론이다.

또한, 이상 설명한 실시형태에서는 리셋신호에 기초하여 비표시 데이터를 선택했지만 본 발명의 제 5 실시형태와 같이 리셋 신호에 기초하여 비표시 데이터를 선택하는 회로가 없는 경우라도 비표시 데이터를

표시하는 것이 가능하다. 이 제 5 실시형태의 표시장치를 도 12, 도 13을 참조하여 설명한다.

이 제 5 실시형태의 표시장치의 영상신호선 구동회로(291)의 구성을 도 12에 나타내고 있다. 이 실시형태의 영상신호선 구동회로는 도 12에 나타내는 바와 같이 매트릭스 배선부(801), 논리회로(802), 버퍼앰프회로(804), 영상신호 선택회로(805)를 구비하고 있다. 매트릭스 배선부(801)는 도 2에 나타내는 제 1 실시형태의 매트릭스 배선부(201)에서 리셋 신호용 배선을 삭제한 것이다. 또한, 논리회로(802)는 도 2에 나타내는 제 1 실시형태의 논리회로(202)에서 최종 단의 NAND 게이트(NA6)를 삭제한 것이다. 또한, 버퍼앰프회로(804) 및 영상신호 선택회로(805)는 도 2에 나타내는 제 1 실시형태의 버퍼앰프회로(204) 및 영상신호 선택회로(205)와 각각 동일한 구성으로 되어 있다.

도 13에 나타내는 바와 같이 비표시 데이터를 선택, 출력할 때는 NAND 게이트(NA1, NA2, NA3, NA4)에 입력하는 디지털 수치 신호(DA0~DA19)를 모두 「H」로 하고, 이에 동기하여 영상신호 버스라인에 비표시 데이터를 공급한다. 이에 의해 모든 영상신호선에 대해 비표시 데이터를 입력할 수 있다.

이상 설명한 실시형태의 표시장치에 있어서는 도 4에 나타내는 바와 같이 표시화면의 좌우에 비표시영역이 있는 경우에 대해서 설명했다. 본 발명의 표시장치의 제 6 실시형태와 같이 표시화면의 상하에 비표시영역이 있는 경우에도 비표시 데이터의 표시를 용이하게 실시할 수 있다. 이 제 6 실시형태의 표시장치를 도 14 내지 도 16을 참조하여 설명한다.

이 제 6 실시형태의 표시장치는 제 1 내지 제 4 실시형태중 어느 실시형태의 표시장치에 있어서, 주사선 구동회로(293)는 도 15에 나타나있는 구성을 갖고 있다. 그리고, 도 14에 나타나 있는 표시화면을 용이하게 표시하는 것이 가능하게 된다.

도 14에 있어서 표시 데이터 표시영역(902)에서는, 주사선 구동회로(293)는 주사선(Y₁), 주사선(Y₂), …주사선(Y_n)에 차례로 게이트 ON 전압(V_g)을 출력한다. 이에 대해 상하의 비표시 데이터 표시영역(903, 904)에서의 비표시 데이터의 입력에서 주사선 구동회로(293)는 비표시영역의 주사선 모두에 대해 동시에 게이트 ON 전압(V_g)을 출력한다.

이 실시형태에 따른 주사선 구동회로(293)는 도 15에 나타내는 바와 같이, 매트릭스 배선부(1005a, 1005b, 1005c)와 리셋 신호 배선부(1008)를 갖고, 또 각 주사선마다 설치된 논리회로(1006a, 1006b, 1006c, 1006d) 및 버퍼앰프회로(1007)를 갖고 있다.

이제, 주사선(Y_j(j=1, …n))을 선택하기 위한 어드레스신호를 A₀, … A₈(A_i(i=0, …8)은 0 또는 1의 값을 갖는다)로 하면 매트릭스 배선부(1005a, 1005b, 1005c) 전체가 18개의 배선을 갖는다. 이 18개의 배선에는 어드레스신호의 9비트(A₀, …A₈)의 각각의 수치(DAY0~DAY8)와 이들 10비트(A₀, …A₈)를 각각 반전한 수치(DAY9~DAY17)가 입력된다.

매트릭스 배선부(1005a)는 수치(DAY6~DAY8)가 입력되는 3개의 배선과 수치(DAY15~DAY17)가 입력되는 3개의 배선으로 이루어지며, 매트릭스 배선부(1005b)는 수치(DAY3~DAY5)가 입력되는 3개의 배선과, 수치(DAY12~DAY14)가 입력되는 3개의 배선으로 이루어지며, 매트릭스 배선부(1005c)는 수치(DAY0~DAY2)가 입력되는 3개의 배선과 수치(DAY9~DAY11)가 입력되는 3개의 배선으로 되어 있다.

또한, 리셋 신호 배선부(1008)는 리셋 신호(ResetY1)가 입력되는 배선과 리셋신호(ResetY2)가 입력되는 배선을 갖고 있다.

논리회로(1006a, 1006b, 1006c)는 각각 3개의 입력 NAND 게이트(NA1, NA2, NA3)로 이루어진다. 논리회로(1006d)는 각각 2개의 입력 NOR게이트(N01, N02)로 이루어진다. NAND게이트(NA1)는 수치신호(DAY6)나 수치신호(DAY15)중 어느쪽으로, 수치신호(DAY7)나 수치신호(DAY16)중 어느쪽으로, 수치신호(DAY8)나 수치신호(DAY17)중 어느쪽으로 입력되어 있다. NAND게이트(NA2)는 수치신호(DAY3)나 수치신호(DAY12)중 어느쪽으로, 수치신호(DAY4)나 수치신호(DAY13)중 어느쪽으로, 수치신호(DAY5)나 수치신호(DAY14)중 어느쪽으로 입력되어 있다. NAND게이트(NA3)는 수치신호(DAY0)나 수치신호(DAY9)중 어느쪽으로, 수치신호(DAY1)나 수치신호(DAY10)중 어느쪽으로, 수치신호(DAY2)나 수치신호(DAY11)중 어느쪽으로 입력되어 있다. NOR게이트(N01)에는 NAND게이트(NA1, NA2, NA3)의 출력이 입력된다. 다른 주사선에 대해서는 3개의 입력 NAND 게이트(NA1, NA2, NA3)로 접속되는 수치신호의 조합이 각각 다르다.

NOR게이트(N02)에는 2개의 입력의 NOR게이트로 NOR게이트(N01)의 출력과 리셋 신호가 입력되며, 연산결과가 버퍼앰프회로(1007)를 통하여 주사선에 송출된다. 또한, 리셋 신호 배선부(1008)에서는 표시영역의 주사선(A)을 선택하는 논리회로(1006d)에는 리셋신호(ResetY1)가 입력되며, 비표시영역의 주사선(B)을 선택하는 논리회로(1006d)에는 리셋신호(ResetY2)가 입력된다. 이상과 같이, 접속된 NAND 게이트(NA1, NA2, NA3)의 모든 입력이 「H」가 되었을 때나 또는 리셋 신호가 「H」가 되었을 때 디코더의 NOR게이트(N02)는 「L」을 출력한다.

여기서, 표시 패널의 상하에 비표시 데이터를 표시하지 않은 경우는 리셋 신호(ResetY1, ResetY2)는 항상 「L」로 되어 있기 때문에 주사신호 구동회로(293)는 수직주사기간에만 순차적인 주사전압을 차례로 출력한다. 이에 대해 표시패널의 상하 비표시 데이터를 표시하는 경우는 리셋신호(ResetY1)는 항상 「L」, 리셋신호(ResetY2)의 수직주사기간은 「L」, 수직귀선기간에는 「H」가 된다(도 16참조). 이에 의해 수직귀선기간에는 리셋신호(ResetY2)가 입력된 모든 논리회로(1006d)에는 NAND게이트(NA1, NA2, NA3, NA4)의 입력에 상관없이 동시에 샘플링펄스를 버퍼앰프회로(1007)에 대해 출력하여 주사전압이 출력된다(도 16 참조). 이에 맞춰 영상신호선 구동회로(291)는 수직주사기간 동안에 비표시 데이터를 출력함으로써 복수의 수평화소라인에 비표시 데이터의 입력이 실시된다.

상기 실시형태로 리셋신호(ResetY1)는 항상 「L」이기 때문에 리셋신호(ResetY1)와 NOR게이트(N02)의 입력을 설정하지 않은 회로도 가능하지만 본 실시형태에서는 각 단에서의 동작속도에 차가 나지 않도록 모든 단에 NOR게이트(N02)가 설정된 회로로 하였다.

상기한 수평귀선기간에 좌우의 비표시 데이터를 입력함과 동시에 상기한 구동회로와 구동방법을 사용하여

상하에도 비표시 데이터를 표시한 표시화면예를 도 14에 나타낸다. 853×480 개의 표시화소를 갖는 표시장치로 640×400 화소의 표시영역(902)에서 컴퓨터의 영상신호에 의거한 표시를 실시하고, 나머지 표시영역(903, 904, 905, 906)에는 비표시 데이터를 표시시킨다.

또한, 리셋 신호를 상기 2종류 보다도 많이 설정하여 더욱 많은 수직화소수의 영상신호 규격에 대응할 수 있도록 할 수 있는 것은 물론이다.

상기 제 1 내지 제 6 실시형태에서는 영상신호선 구동회로(291) 및 주사선 구동회로(293)의 논리회로로서는 디코더가 사용되었지만 시프트레지스터를 사용할 수도 있다. 영상신호선 구동회로의 논리회로에 시프트레지스터를 사용한 경우를 제 7 실시형태로 설명한다.

본 발명에 의한 표시장치의 제 7 실시형태를 도 17 내지 도 19를 참조하여 설명한다. 이 실시형태의 표시장치는 도 1에 나타나 있는 액정표시장치에 있어서, 영상신호선 구동회로(291)를 도 19에 나타내는 구성의 영상신호선 구동회로로 치환한 것이다.

도 19에 나타내는 영상신호선 구동회로는 논리회로(20), 버퍼앰프부(30) 및 영상신호선택회로(40)를 구비하고 있다. 논리회로(20)는 시작펄스, 아스펙트비 전환신호 및 리셋신호에 기초하여 영상신호 버스라인(50)에서 영상 데이터 또는 비표시 데이터를 꺼내기 위한 타이밍신호를 차례로 발생하는 것으로, 수평 시프트 레지스터회로(21), 아스펙트비 전환회로(24) 및 리셋회로(26)를 구비하고 있다.

이제, 본 실시형태의 표시장치의 표시영역(281)의 가로의 화소수와 세로의 화소가 도 4에 나타내는 바와 같이 853×480 인 경우, 즉 아스펙트비가 16:9인 경우를 고려해 보자. 이 경우, 시프트레지스터회로(21)는 상기 가로의 화소수에 대응하여 설치된 853개의 예를들면 D형 플립플롭($22_1, \dots 22_{853}$)과 입력단 전환회로(23)를 구비하고 있다. 853개의 플립플롭($22_1, \dots 22_{853}$)은 세로로 접속되어 있다.

그리고, 상기 표시영역에 도 4에 나타내는 바와 같이 표시화면(502)의 시작이 되는 가로의 화소에 대응하는 플립플롭(22_{108})과 이 플립플롭(22_{108})의 전 단(前段)의 플립플롭(22_{107}) 사이에 입력단 전환회로(23)가 설치되어 있다. 외부로부터의 시작 펄스가 플립플롭(22_1)에 입력되면 도시하지 않은 클럭펄스에 동기하여 상기 시작 펄스는 후단(後段)의 플립플롭(22_2)으로 전송되고 또 시프트레지스터회로(21)의 출력인 타이밍신호가 아스펙트비 전환회로(24)로 보내진다. 이것이 각 단의 플립플롭으로 차례로 반복된다. 플립플롭(22_{107})의 출력은 입력단 전환회로(23)로 보내진다.

입력단 전환회로(23)는 표시영역(281)에 아스펙트비 16:9의 표시화면을 표시하는 경우에는 플립플롭(22_{107})의 출력을 선택하고, 아스펙트비 4:3의 표시화면을 표시하는 경우에는 우회된 시작 펄스를 선택하여 다음 단의 플립플롭(22_{108})으로 송출한다. 플립플롭(22_{108})은 입력단 전환회로(23)의 출력(시작 펄스)을 상기 클럭 펄스에 동기하여 후단의 플립플롭(22_{109})에 전송하고 또 아스펙트비 전환회로(24)로 보낸다. 이것이 각 단의 플립플롭에서 반복되며, 시작 펄스가 차례로 다음 단의 플립플롭으로 전송됨과 동시에 아스펙트비 전환회로(24)에 송출된다.

아스펙트비 전환회로(24)는 853개의 NOR회로($25_1, \dots 25_{853}$)를 갖고 있다. NOR회로(25_i)($i=1, \dots 107, 748, \dots 853$)는 아스펙트비 전환신호와 플립플롭(22_i)의 출력에 기초하여 NOR 연산을 실시하고, 연산결과를 리셋회로(26)에 송출한다. NOR회로(25_i)($i=108, \dots 747$)는 아스펙트비 전환신호와 「L」 레벨 신호에 기초하여 NOR 연산을 실시하고 연산결과를 리셋회로(26)에 송출한다.

리셋회로(26)는 853개의 NOR회로($27_1, \dots 27_{853}$)를 갖고 있다. NOR회로(27_i)($i=1, \dots 853$)는 아스펙트비 전환회로(24)의 NOR 회로(25_i)의 출력과 리셋신호에 기초하여 NOR연산을 실시하고, 연산결과를 버퍼앰프부(30)에 송출한다.

버퍼앰프부(30)는 853개의 버퍼앰프회로($32_1, \dots 32_{853}$)를 갖고 있다. 또한, 영상신호 선택회로(40)는 853개의 트랜스퍼게이트($42_1, \dots 42_{853}$)를 구비하고 있다. 버퍼앰프회로(32_i)($i=1, \dots 853$)는 NOR회로(27_i)의 출력을 증폭 및 반전증폭하여 트랜스퍼게이트(42_i)를 구성하는 p채널 TFT 및 n채널 TFT의 게이트에 각각 입력된다. 이 트랜스퍼 게이트(42_i)($i=1, \dots 853$)가 ON으로 되어 있는 기간 동안에 영상신호 버스라인을 통하여 보내져 오는 영상 데이터 또는 비표시 데이터가 샘플링되어 대응하는 영상신호선(X_i)($i=1, \dots 853$)에 보내진다.

이 실시형태의 표시장치의 동작을 도 18 및 도 19를 참조하여 설명한다.

도 18은 아스펙트비가 16:9인 표시화면을 표시하는 경우의 타이밍 차트이며, 도 19는 아스펙트비가 4:3인 표시화면을 표시하는 경우의 타이밍 차트이다.

아스펙트비가 16:9인 표시화면을 표시하는 경우는 아스펙트비 전환신호는 「L」 레벨로 설정된다. 그리고, 입력단 전환회로(23)에 의해서 플립플롭(22_{107})의 출력이 선택되어 플립플롭(22_{108})에 보내지도록 접속이 전환되어 있다. 따라서, 일수평주사기간의 개시시에 외부에서 수평 시프트레지스터회로(21)에 입력된 시작 펄스는 클럭신호에 동기하여 플립플롭($22_1, \dots 22_{853}$)에서 차례로 전송되고, 또 이것들의 각 플립플롭(22_i)($i=1, \dots 853$)에서 아스펙트비 전환회로(24)의 대응하는 NOR회로(25_i)에 타이밍신호가 송출된다. 또한, 시작펄스 및 타이밍 신호는 이 실시형태에서는 도 18에 나타내는 바와 같이 음의 값 논리로 되어 있고, 또 리셋신호는 양의 값 논리로 되어 있다. 각 플립플롭(22_i)($i=1, \dots 853$)에서 타이밍신호가 대응하는 NOR회로(25_i)로 보내지면 NOR회로(25_i)에서 「H」 레벨의 신호가 출력되어 리셋회로(26)의 대응하는 NOR회로(27_i)로 보내진다.

상기 일수평주사기간중에 리셋신호는 「L」 레벨로 설정되어 있기 때문에 NOR회로(25_i)의 출력이 「H」 일때만 NOR회로(27_i)(i=1, …853)에서 「L」 레벨의 신호가 출력되며, 버퍼앰프회로(32_i)를 통하여 대응하는 트랜스퍼게이트(42_i)가 ON된다. 이것에 의해 트랜스퍼 게이트(42_i)(i=1, …853)에 의해서 영상신호 버스라인(50)으로부터 영상 데이터가 대응하는 영상신호선(X_i)으로 받아 들어진다(도 18 참조). 이와같이 하여 일수평주사기간중에 영상신호선(X_i, …X₈₅₃)에 영상데이터가 차례로 받아들여진다.

또한, 이 실시형태에 있어서는 수평귀선기간의 어느 기간에 리셋신호가 「H」 레벨이 되기 때문에(도 18 참조), 리셋회로(26)의 각 NOR회로(27_i)(i=1, …853)에서 「L」 레벨의 신호가 출력되며, 모든 트랜스퍼게이트(42_i, …42₈₅₃)가 ON이 된다. 이 때 영상신호 버스라인(50)에 비표시 데이터, 예를들면 흑색 표시의 전위를 공급하면 이 비표시 데이터는 트랜스퍼게이트(42_i)(i=1, …853)를 통하여 대응하는 영상신호선(X_i)에 보내진다. 그리고, 제 1 실시형태의 경우와 마찬가지로 주사선 구동회로(293)에 의해서 현재 선택되어 있는 주사선에 접속된 TFT(121)를 통하여 853개의 화소전극에 상기 비표시 데이터가 입력된다.

한편, 아스펙트비가 4:3인 표시화면을 표시하는 경우는 도 19에 나타내는 바와 같이 아스펙트비 전환신호는 「H」 레벨로 고정된다. 따라서 아스펙트비 전환회로(24)의 NOR 회로(25₁~25₁₀₇) 및 NOR회로(25₇₄₈~25₈₅₃)의 출력은 각각 항상 「L」 레벨로 되어 있다. 수평귀선기간의 어느 기간에 리셋신호는 「H」 레벨이 되기 때문에(도 19 참조), 아스펙트비가 16:9의 경우와 마찬가지로 주사선구동회로(293)에 의해서 현재 선택되어 있는 주사선에 접속된 TFT(121)를 통하여 853개의 화소전극에 비표시 데이터를 입력하는 것이 가능하게 된다.

그리고, 일수평주사기간에 있어서는 상기와 같이 NOR회로(25₁~25₁₀₇) 및 NOR회로(25₇₄₈~25₈₅₃)의 출력은 항상 「L」 레벨이며, 도 19에 나타내는 바와 같이 리셋신호는 「L」 레벨이기 때문에 리셋회로(26)의 NOR회로(27₁~27₁₀₇) 및 NOR회로(27₇₄₈~27₈₅₃)의 출력은 각각 「H」 레벨이 된다. 이때문에, 일수평주사기간내에서는 트랜스퍼 게이트(42₁~42₁₀₇) 및 트랜스퍼 게이트(42₇₄₈~42₈₅₃)는 ON하지않아 대응하는 영상신호선(X₁~X₁₀₇ 및 X₇₄₈~X₈₅₃)에 TFT(121)를 통하여 접속된 화소전극에는 영상 데이터가 입력되지 않는다. 상기 화소전극은 수평귀선기간에 입력된 데이터를 유지하고 있다.

또한, 일수평 주사기간중에 외부에서 송출되어 오는 시작 펄스는 플립플롭(22₁)에 입력됨과 동시에 입력단 전환회로(23)를 통하여 플립플롭(22₁₀₈)에 입력된다. 그리고, 클럭신호에 동기하여 플립플롭(22₁)에서 플립플롭(22₁₀₇)까지 시작 펄스가 차례로 전송되고, 또 플립플롭(22₁₀₈)에서 최종 단의 플립플롭(22₈₅₃)까지 시작 펄스가 차례로 전송된다. 또한, 플립플롭(107)의 출력은 입력단 전환회로(23)에 의해서 플립플롭(22₁₀₈)에는 보내지 않는다.

그리고, 상기 클럭신호에 동기하여 각 단의 플립플롭(22_i)(i=1, …853)에서 시작 펄스가 출력됨과 동시에 대응하는 NOR 회로(25_i)에 타이밍신호가 송출된다.

이와같이 일수평주사기간중에 각 NOR회로(25_i)(i=1, …853)에는 타이밍신호가 송출되지만 전술한 바와 같이 트랜스퍼 게이트(42₁~42₁₀₇) 및 트랜스퍼 게이트(42₇₄₈~42₈₅₃)는 ON하지 않는다.

이에 대해 트랜스퍼 게이트(42₁₀₈~42₇₄₇)는 아스펙트비 16:9의 경우와 마찬가지로 상기 타이밍신호에 대해 ON하기 때문에 영상데이터를 꺼내는 것이 가능하게 된다. 따라서, 영상신호선(X_i)(i=108, …747)에 TFT(121)를 통하여 접속된 화소전극에는 영상데이터가 입력되게 되며, 예를들면 도 4에 나타내는 바와 같이 표시영역(502)에는 영상데이터가 표시되며, 비표시 영역(503, 504)에는 비표시 데이터가 표시되게 된다.

또한, 이 제 7 실시형태에 있어서는 제 1 실시형태의 영상신호선 구동회로(291)의 논리회로로서 디코더 대신에 시프트레지스터를 사용했지만 제 2, 제 4 및 제 5 실시형태의 영상신호선 구동회로의 논리회로로서 디코더 대신에 시프트레지스터를 사용하는 것이 가능한 것은 물론이다.

또한, 본 실시형태에 있어서는 영상 데이터와 비표시 데이터를 선택하기 위한 스위치는 공용의 아날로그 스위치를 사용하고 있기 때문에 영상신호선 구동회로는 작게 하는 것이 가능해지며, 영상신호선 구동회로가 설치되는 표시화면의 주위의 액자라고 불리우는 영역을 작게 할 수 있다. 또한, 영상신호선 구동회로를 표시영역의 양측에 설치하여 양측에서 구동하는 것이 가능해져 더욱 고정밀화할 수 있다.

다음으로 주사선 구동회로(293)의 논리회로로서 시프트레지스터를 사용한 경우를 제 8 실시형태로 설명한다.

본 발명에 의한 표시장치의 제 8 실시형태를 도 20 내지 도 22를 참조하여 설명한다. 이 제 8 실시형태의 표시장치는 예를들면 제 7 실시형태의 표시장치에 있어서 주사선 구동회로(293)의 논리회로에 시프트레지스터를 사용한 것이다. 이 주사선 구동회로(293)는 논리회로(60)와 버퍼앰프회로(70)를 구비하고 있다.

논리회로(60)는 시작 펄스, 아스펙트비 전환신호 또는 리셋신호에 기초하여 주사선을 선택하기 위한 타이밍신호를 차례로 발생하는 것으로 시프트레지스터회로(61)와 아스펙트비 전환회로(64) 및 리셋회로(66)를 구비하고 있다.

이제, 본 실시형태의 표시장치의 표시영역(281)(도 1 참조)의 가로의 화소수와 세로의 화소수가 도 14에 나타내는 바와 같이 853×480인 경우, 즉 아스펙트비가 16:9인 경우를 고려해 보자. 이 경우, 시프트레지스터회로(61)는 상기 세로의 화소수에 대응하여 설치된 480개의 예를들면 D형의 플립플롭(63₁, …63₄₈₀)

과 입력단 전환회로(62)를 구비하고 있다. 480개의 플립플롭(63₁, …63₄₈₀)은 세로로 접속되어 있다.

그리고, 상기 표시영역(281)에 도 14에 나타내는 바와 같이 아스펙트비가 8:5인 표시화면(902)을 표시할 때, 이 표시화면(902)의 시작이 되는 세로의 화소에 대응하는 플립플롭(63₄₁)과 이 전단의 플립플롭(63₄₀) 사이에 입력단 전환회로(62)가 설치되어 있다.

외부에서 보내져 오는 시작 펄스가 플립플롭(63₁)에 입력되면 도시하지 않은 클럭 펄스에 동기하여 상기 시작 펄스는 차례로 다음 단의 플립플롭에 전송되고, 또 각 단의 플립 플롭(63_i)(i=1, …40)에서 타이밍 신호가 아스펙트비 전환회로(64)에 차례로 송출된다.

입력단 전환회로(62)는 표시영역(281)(도 1 참조)에 도 14에 나타내는 아스펙트비가 8:5인 표시화면(902)을 표시하는 경우에는 우회된 시작 펄스를 선택하고, 도 4에 나타내는 아스펙트비가 4:3인 표시화면(502)을 표시하는 경우에는 플립플롭(63₄₀)의 출력을 선택하여 다음 단의 플립플롭(63₄₁)으로 송출한다.

플립플롭(63₄₁)은 입력단 전환회로(62)의 출력을 상기 클럭 펄스에 동기하여 후단의 플립 플롭(63₄₂)(도시하지 않음)에 전송함과 동시에 아스펙트비 전환회로(64)로 보낸다. 이것이 이후의 각 단의 플립플롭으로 반복되어 시작 펄스가 차례로 다음 단의 플립 플롭으로 전송됨과 동시에 아스펙트비 전환회로(64)에 송출된다.

아스펙트비 전환회로(64)는 480개의 NOR회로(65₁, …65₄₈₀)를 갖고 있다. NOR회로(65_i)(i=1, …40, 411, …480)는 아스펙트비 전환신호와 플립플롭(63_i)의 출력에 기초하여 NOR연산을 실시하여 연산결과를 리셋회로(66)로 송출한다. 또한 NOR회로(65_i)(i=41, …440)는 플립플롭(63_i)의 출력과 「L」 레벨의 신호에 기초하여 NOR연산을 실시하여 연산결과를 리셋회로(66)로 송출한다.

리셋회로(66)는 480개의 NOR회로(67₁, 67₄₈₀)를 갖고 있다. NOR회로(67_i)(i=1, …40, 411, …480)는 아스펙트비 전환회로(64)의 NOR회로(65_i)의 출력과 리셋 신호에 기초하여 NOR연산을 실시하여 연산결과를 버퍼앰프회로(70)에 송출한다. 또한, NOR회로(67_i)(i=41, …440)는 NOR회로(65_i)의 출력과 「L」 레벨의 신호에 기초하여 NOR연산을 실시하여 연산결과를 버퍼앰프회로(70)에 송출한다.

버퍼앰프회로(70)는 480개의 버퍼앰프(72₁, …72₄₈₀)를 갖고 있다. 버퍼앰프(72_i)(i=1, …480)는 리셋회로(66)의 NOR회로(67_i)의 반전 출력을 증폭하여 대응하는 주사선(Y_i)에 송출한다.

이제 8 실시형태의 동작을 도 21 및 도 22를 참조하여 설명한다. 도 21은 아스펙트비가 4:3인 표시화면을 표시하는 경우의 타이밍차트이며, 도 22는 아스펙트비가 8:5인 표시화면을 표시하는 경우의 타이밍차트이다.

아스펙트비가 4:3인 표시화면을 표시하는 경우는 아스펙트비 전환신호 및 리셋신호(본 실시예에서는 양의 논리)는 「L」 레벨로 설정되어 있다. 그리고, 입력전환회로(23)에 의해서 플립플롭(63₄₀)의 출력이 선택되어 플립플롭(63₄₁)에 보내지도록 접속이 전환된다.

따라서, 일수직주사기간의 개시시에 외부에서 시프트레지스터회로(61)에 입력된 시작 펄스는 클럭신호에 동기하여 플립플롭(63₁, …63₄₈₀)에 차례로 전송됨과 동시에 이들 각 플립플롭(63_i)(i=1, …480)에서 아스펙트비 전환회로(64)의 대응하는 NOR회로(65_i)에 「L」 레벨의 타이밍펄스신호(SR(i))가 출력된다(도 21 참조). 이와같이 출력되면 NOR회로(65_i)(i=1, …480)에서 「H」 레벨의 펄스신호가 출력되며, 이것에 의해 리셋회로(66)의 NOR회로(67_i)에서 「L」 레벨의 펄스신호가 출력되며, 또한 대응하는 버퍼앰프(72_i)에서 「H」 레벨의 펄스신호(Vg(i))가 출력된다.

이상에 의해 일수직주사기간에 전 주사선으로 차례로 입력이 실시되며, 도 4에 나타내는 아스펙트비가 4:3인 표시화면(502)이 표시되게 된다.

아스펙트비가 8:5인 표시화면을 표시하는 경우는 도 22에 나타내는 바와 같이 아스펙트비 전환신호는 「H」 레벨로 설정됨과 동시에 리셋신호는 수직구선기간중의 소정기간 만큼 「H」 레벨이 된다. 그리고, 입력단전환회로(23)에 의해서 우회된 시작 펄스가 선택되어 플립플롭(63₄₁)에 보내지도록 접속이 전환된다.

따라서, 일수직주사기간의 개시시에 외부에서 시프트레지스터회로(61)에 입력된 시작펄스는 클럭신호에 동기하여 플립플롭(63₁, …63₄₁)과 플립플롭(63₄₁, …63₄₈₀) 각각으로 차례로 전송되고, 또 이 각 플립플롭(63_i)(i=1, …480)에서 아스펙트비 전환회로(64)의 대응하는 NOR회로(65_i)에 「L」 레벨의 타이밍 펄스신호(SR(i))가 출력된다(도 22 참조).

이와같이 출력되면 NOR회로(65_i)(i=1, …480)에서 「H」 레벨의 펄스신호가 출력된다. 그러나, 아스펙트비 전환신호가 「H」 레벨로 설정되어 있기 때문에 다른 NOR회로(65_i)(i=1, …40, 441, …480)의 출력은 「L」 레벨로 고정된 상태로 되어 있다.

따라서, 리셋회로(66)의 NOR회로(67_i)(i=1, …40, 441, …480)의 출력은 일수직주사기간중 「H」 레벨로 고정되지만 표시 데이터 표시영역의 NOR회로(67_i)(i=41, …441)의 출력은 아스펙트비 전환회로(64)의 대응하는 NOR회로(65_i)로부터 펄스신호를 수신했을 때 「L」 레벨의 펄스신호를 출력한다.

이것에 의해 표시전환영역(903, 904)(도 14 참조)의 버퍼앰프(72_i)(i=1, …40, 441, …480)의 출력은 일수직주사기간중 「L」 레벨로 고정되며, 표시전환영역의 주사선은 선택되지 않는다. 그러나, 데이터 표시영역의 버퍼앰프(72_i)(i=41, …440)로부터는 선택하기 위한 타이밍펄스신호(Vg(i))가 차례로 출력되어 일수

직주사기간중에 대응하는 주사선(Y_i)이 차례로 주사된다. 이것에 의해 도 14에 나타내는 바와 같이, 표시데이터 표시영역(902)에만 영상데이터의 입력이 실시된다.

또한, 수직구선기간의 소정 기간중에 리셋신호가 「H」 레벨이 되는 것에 의해 표시전환영역(903, 904)의 NOR회로(67_i) ($i=1, \dots, 40, 441, \dots, 480$)의 출력은 수직구선기간의 소정기간중에 「L」 레벨이 된다. 또한, 이때 표시영역의 NOR회로(67_i) ($i=41, \dots, 441$)의 출력은 「H」 레벨이다.

따라서, 표시전환영역의 버퍼앰프의 출력은 「H」 레벨이 되기 때문에 이 표시전환영역의 주사선(Y_i) ($i=1, \dots, 40, 441, \dots, 480$)은 상기 소정기간중 항상 선택되어 있으며, 이를 주사선에 접속된 모든 TFT는 ON이 된다. 또한, 표시영역의 버퍼앰프의 출력은 「L」 레벨이 되기 때문에 표시영역의 주사선(Y_i) ($i=41, \dots, 440$)에 접속된 모든 TFT는 상기 기간중에 항상 OFF가 된다.

이상 설명한 바와 같이 본 실시형태의 표시장치에 의하면 비표시영역의 비표시 데이터의 표시를 용이하게 실시할 수 있다.

또한, 상기 제 1 내지 제 8 실시형태에 있어서도 23에 나타내는 바와 같이 비표시데이터를 입력할 때 액정에 인가하는 전압을 표시 데이터를 표시할 때 액정에 인가하는 전압영역(ΔV_{LC1}) 보다 큰 전압(V_{LC2})으로 하여 플릭커를 보이기 어렵게 할 수도 있다.

또한, 상기 실시형태에서는 비표시 데이터를 흑색 표시로 하였지만 백색이라도 중간색조라도 상관없다.

또한, 상기 실시형태에 있어서 표시장치는 액정표시장치였지만 다른 표시 장치에도 본 발명을 적용할 수 있는 것은 물론이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 비표시 영역의 비표시 데이터의 표시를 용이하게 실시할 수 있다.

(57) 청구의 범위

청구항 1

매트릭스형상으로 배치된 복수의 화소전극, 각 화소전극에 대응하여 설치된 스위치소자, 상기 화소전극 중 동일한 행방향으로 배치된 화소전극에 대응하는 스위치소자를 공통 접속하여 동시에 개폐 동작시키는 제어신호를 보내기 위한 주사선, 상기 화소전극 중 동일한 열방향으로 배치된 화소전극에 대응하는 스위치소자를 통하여 영상신호를 보내기 위한 영상신호선 및 상기 복수의 화소전극에 대향 배치된 대향전극을 갖는 표시패널부; 및

영상 데이터를 수신하기 전에 수신한 리셋신호에 따른 제 1 타이밍신호를 생성하고, 이 제 1 타이밍신호에 기초하여 상기 리셋신호에 동기하여 보내져 오는 비표시 데이터를 선택하며, 이 선택한 비표시 데이터를 상기 제 1 타이밍 신호에 대응하는 상기 영상신호선에 송출하고, 그 후 보내져 오는 상기 영상 데이터를 제 2 타이밍신호에 기초하여 선택하며, 이 선택한 영상 데이터를 상기 제 2 타이밍신호에 대응하는 상기 영상신호에 송출하는 영상신호선 구동회로를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 2

비표시 데이터를 일수평구선기간중에 입력하고, 영상 데이터를 일수평주사기간중에 입력하는 것을 특징으로 하는 제 1 항에 기재된 표시장치의 구동방법.

청구항 3

제 2 항에 있어서,

상기 일수평구선기간중에 입력되는 상기 비표시 데이터의 신호의 극성이 동일 수평화소라인중의 표시영역에 상기 수평주사기간중에 입력되는 상기 영상 데이터의 신호의 극성과 동일한 것을 특징으로 하는 표시장치의 구동방법.

청구항 4

제 2 항에 있어서,

상기 비표시 데이터의 표시로는 상기 영상데이터의 표시에 사용되는 화소전극과 대향전극 사이의 전위 차의 영역외의 전위차가 사용되는 것을 특징으로 하는 표시장치의 구동방법.

청구항 5

제 1 항에 있어서,

상기 영상신호선 구동회로는 n비트의 어드레스신호와 상기 리셋신호에 기초하여 상기 제 1 또는 제 2 타이밍신호를 출력하는 논리회로와 이 논리회로의 출력에 기초하여 상기 영상 데이터 또는 비표시 데이터를 선택하는 선택회로를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 6

제 1 항에 있어서,

상기 영상신호선 구동회로는 n비트의 어드레스신호에 기초하여 상기 제 1 또는 제 2 타이밍신호를 출력하

는 논리회로;

상기 제 1 타이밍신호에 기초하여 상기 비표시 데이터를 선택하는 제 1 선택회로; 및

상기 제 2 타이밍신호에 기초하여 상기 영상 데이터를 선택하는 제 2 선택회로를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 7

제 1 항에 있어서,

상기 영상신호선 구동회로는 세로로 접속된 복수의 플립플롭으로 이루어져 시작 펄스를 수신하고, 이 시작 펄스를 클럭신호에 동기하여 다음 단의 플립 플롭에 차례로 전송하는 시프트레지스터회로;

상기 시프트레지스터회로의 각 단의 플립플롭의 출력과 상기 리셋 신호에 기초하여 상기 제 1 또는 제 2 타이밍신호를 출력하는 리셋회로를 갖는 논리회로; 및

상기 제 1 또는 제 2 타이밍신호에 기초하여 상기 영상 데이터 또는 상기 비표시데이터를 선택하는 선택회로를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 8

제 7 항에 있어서,

상기 시프트레지스터회로의 소정의 단의 플립플롭과 다음 단의 플립플롭 사이에 설치되어 표시되는 화면의 아스펙트비에 따라서 상기 소정의 단의 플립플롭의 출력을 선택하든지 또는 최초 단의 플립플롭에 입력되는 시작펄스를 우회한 펄스신호를 선택하도록 접속을 전환하고, 이 선택한 신호를 상기 다음 단의 플립플롭에 송출하는 전환수단을 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 9

제 8 항에 있어서,

상기 논리회로는 상기 전환수단이 상기 우회된 펄스신호를 선택하도록 접속을 전환한 경우에는 상기 최초 단 내지 상기 소정의 단의 플립플롭을 포함하는 복수 단의 플립플롭의 출력에 기초한 상기 제 2 타이밍신호를 출력하지 않도록 하는 수단도 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 10

제 1 항, 제 5 항, 제 6 항, 제 7 항, 제 8 항, 또는 제 9 항 중 어느 한 항에 있어서,

상기 표시패널부는 상기 화소전극, 상기 스위치소자, 상기 주사선 및 상기 영상신호선이 형성된 어레이기판;

상기 대향전극이 형성된 대향기판; 및

상기 어레이기판과 상기 대향기판 사이에 끼워진 액정층을 구비하고 있는 것을 특징으로 하는 표시장치.

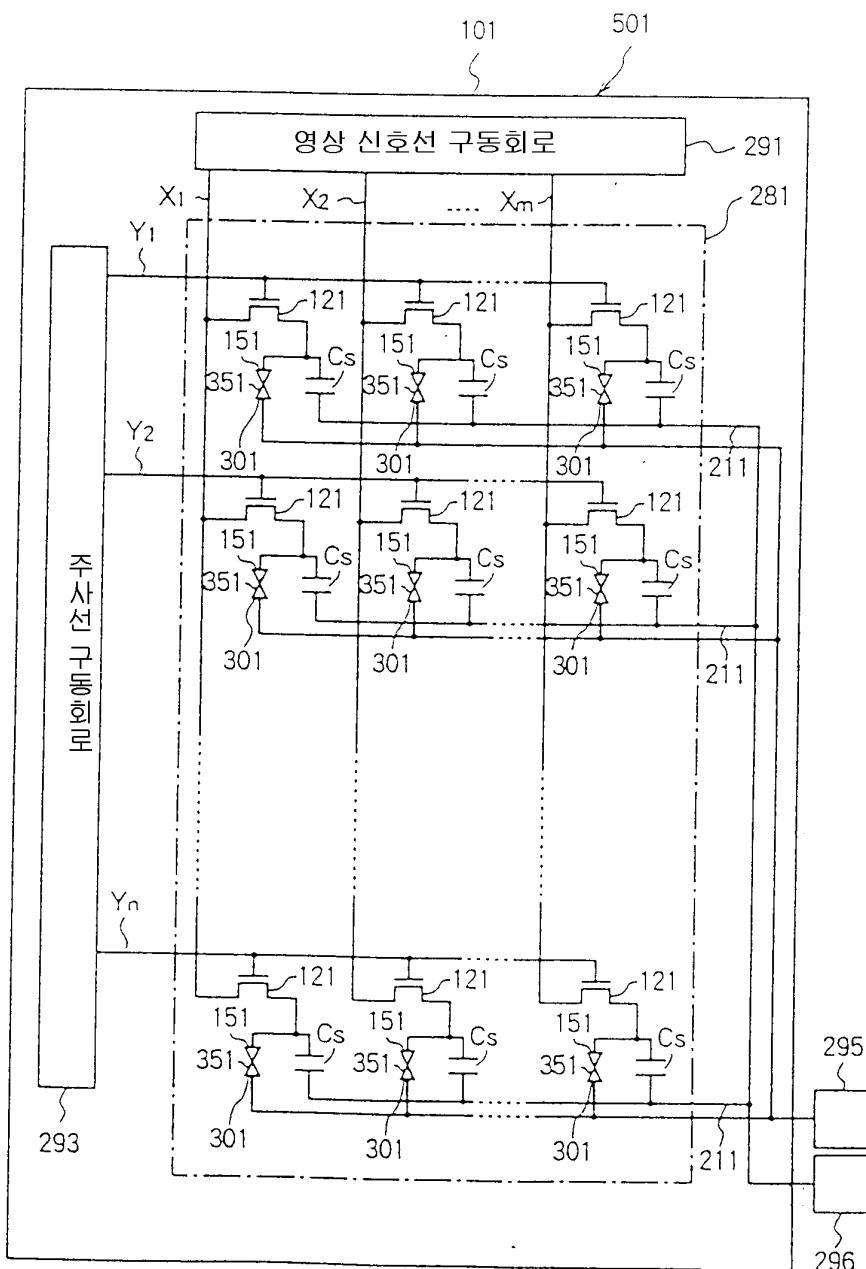
청구항 11

제 10 항에 있어서,

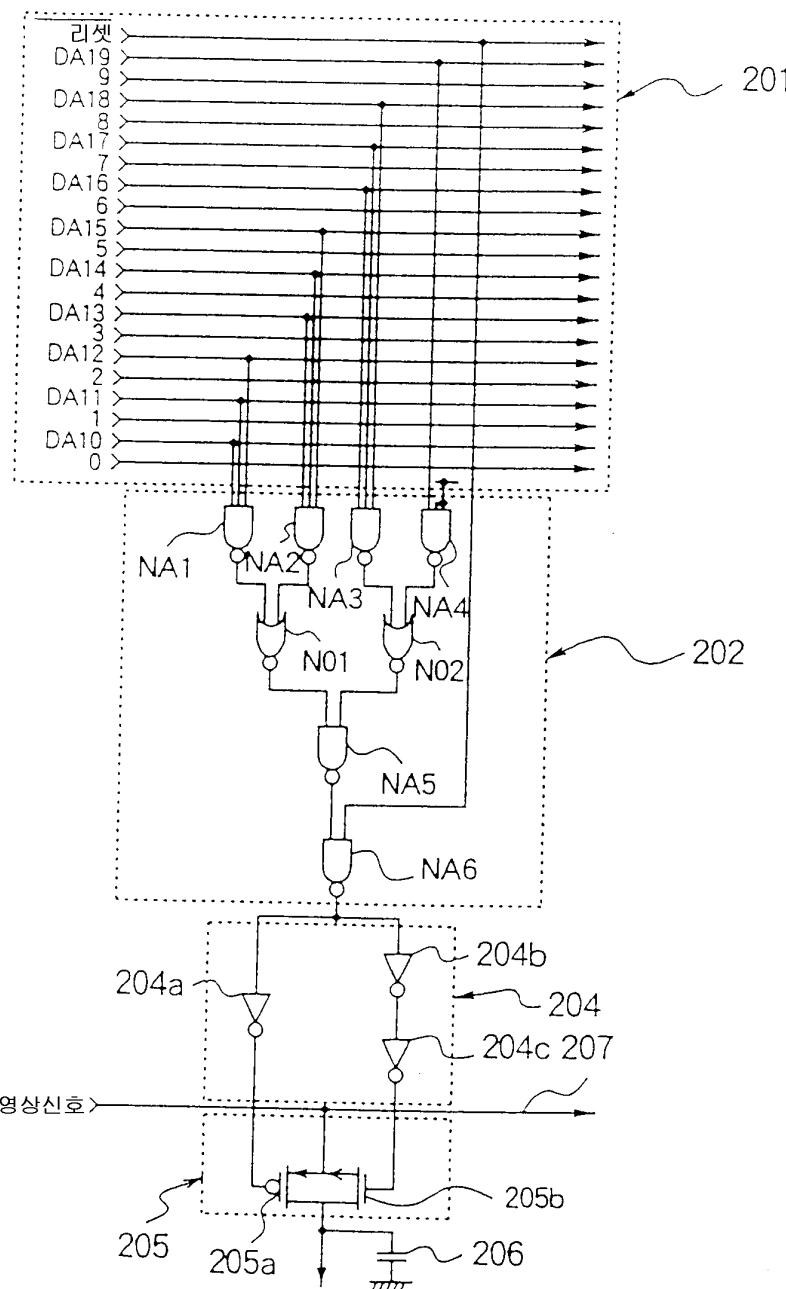
상기 영상신호선 구동회로는 상기 어레이기판상에 형성되어 있는 것을 특징으로 하는 표시장치.

도면

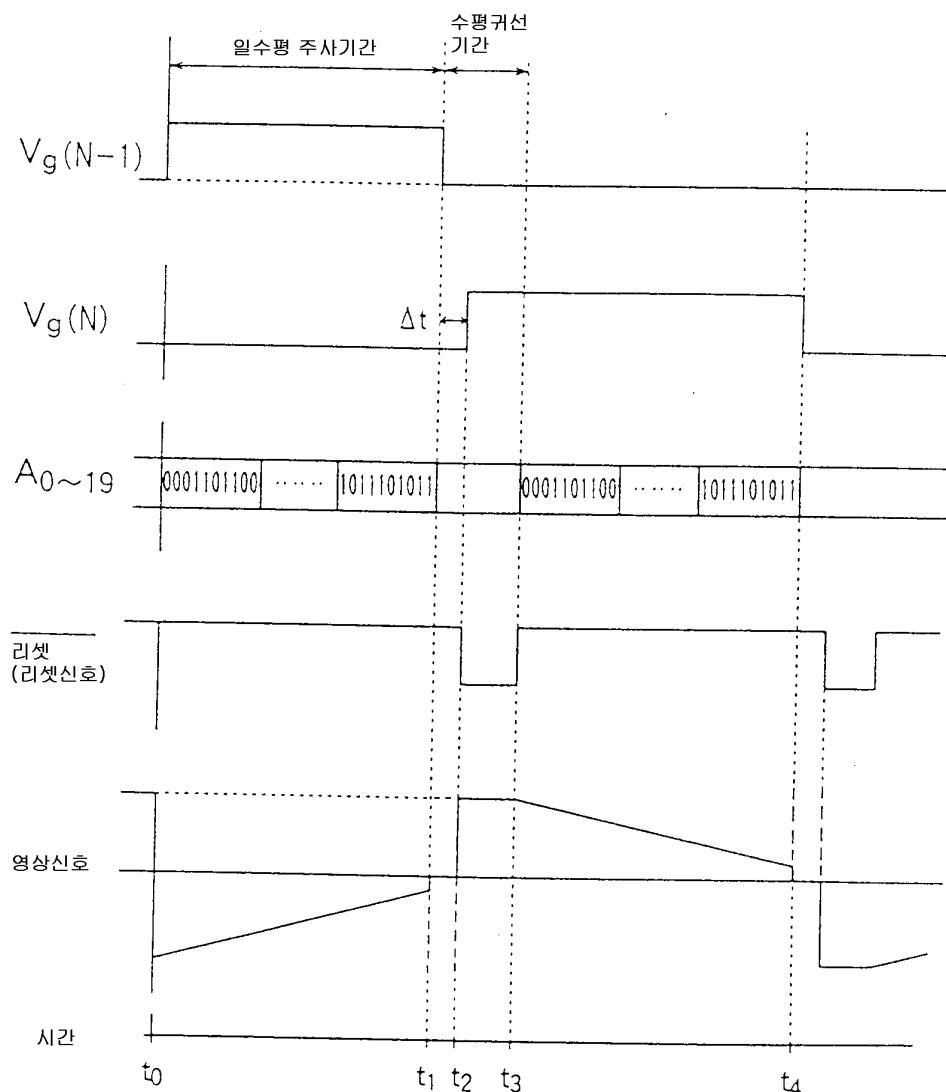
도면1



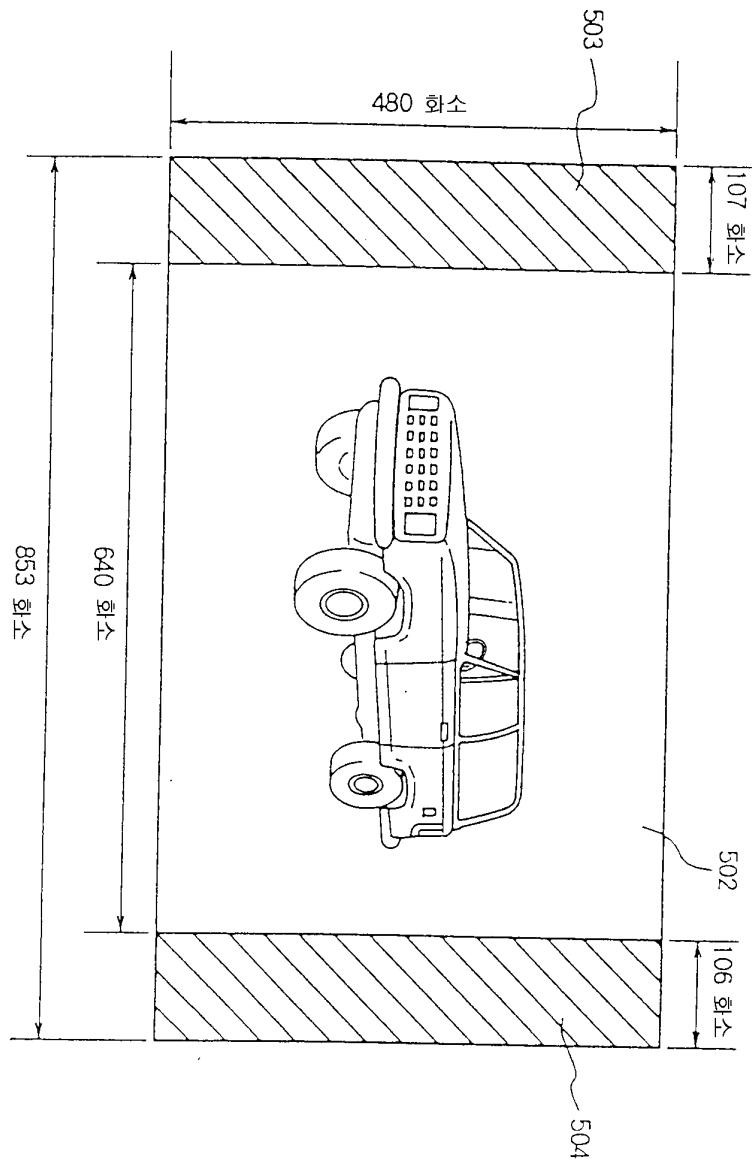
도면2



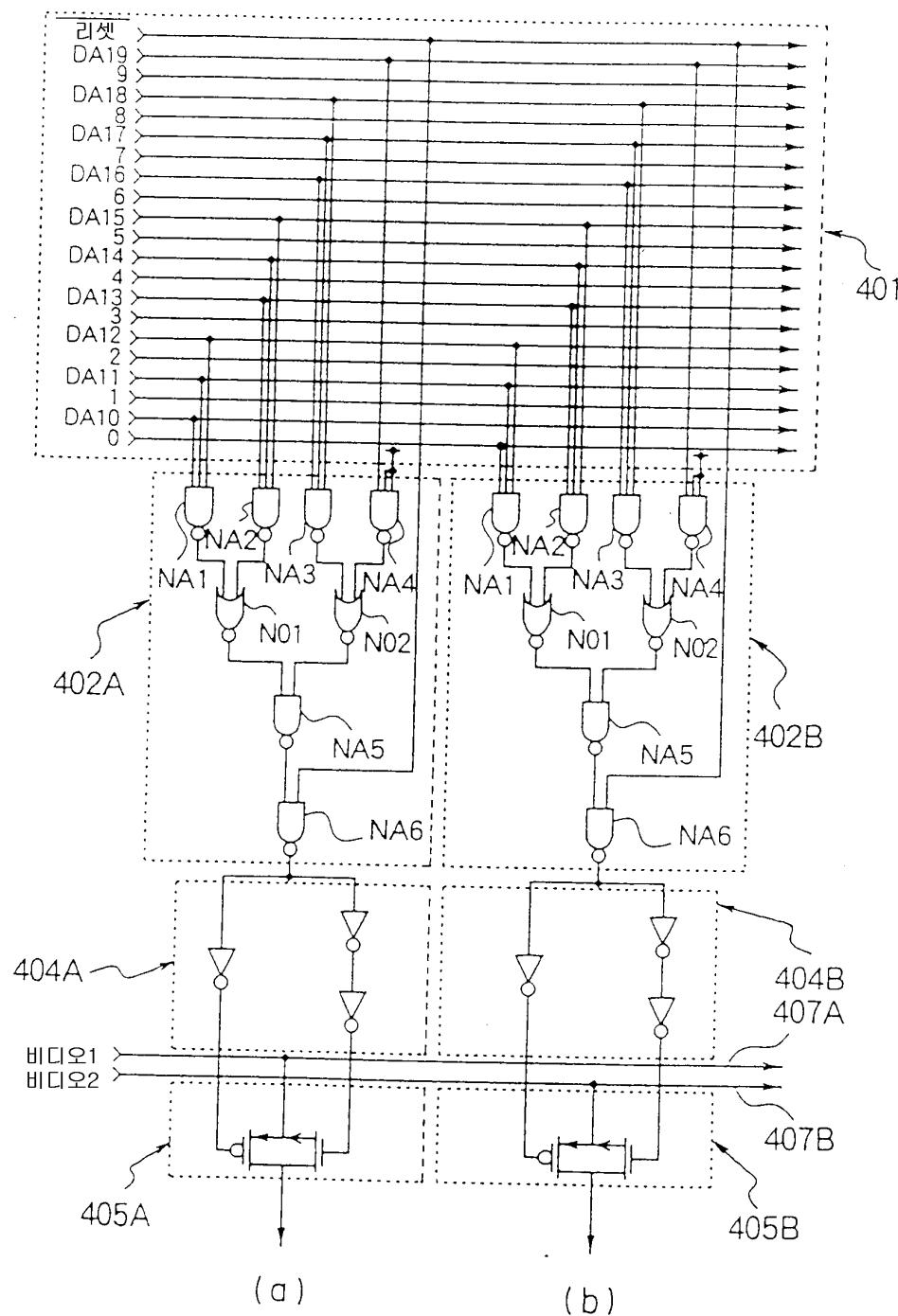
도면3



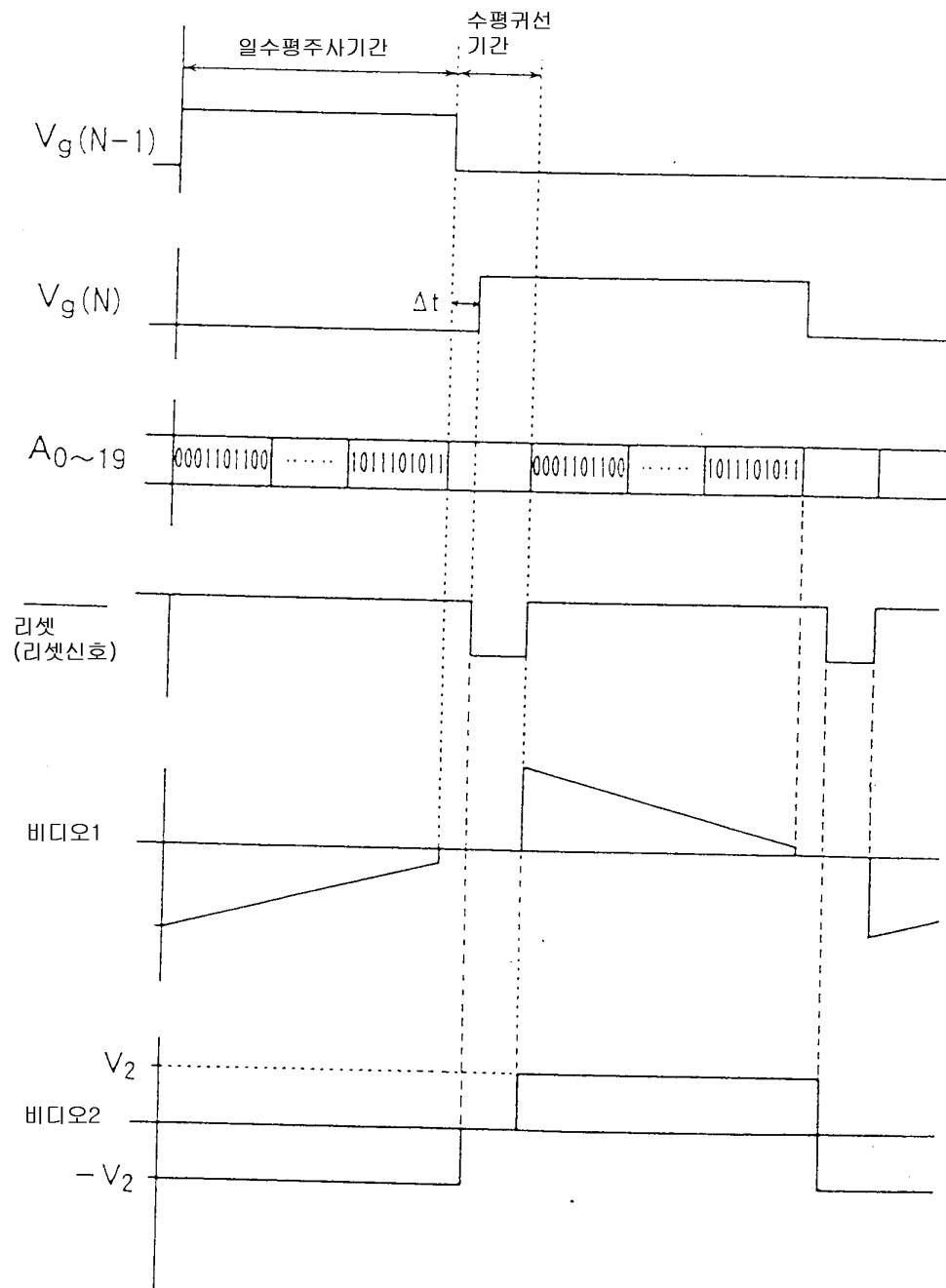
도면4



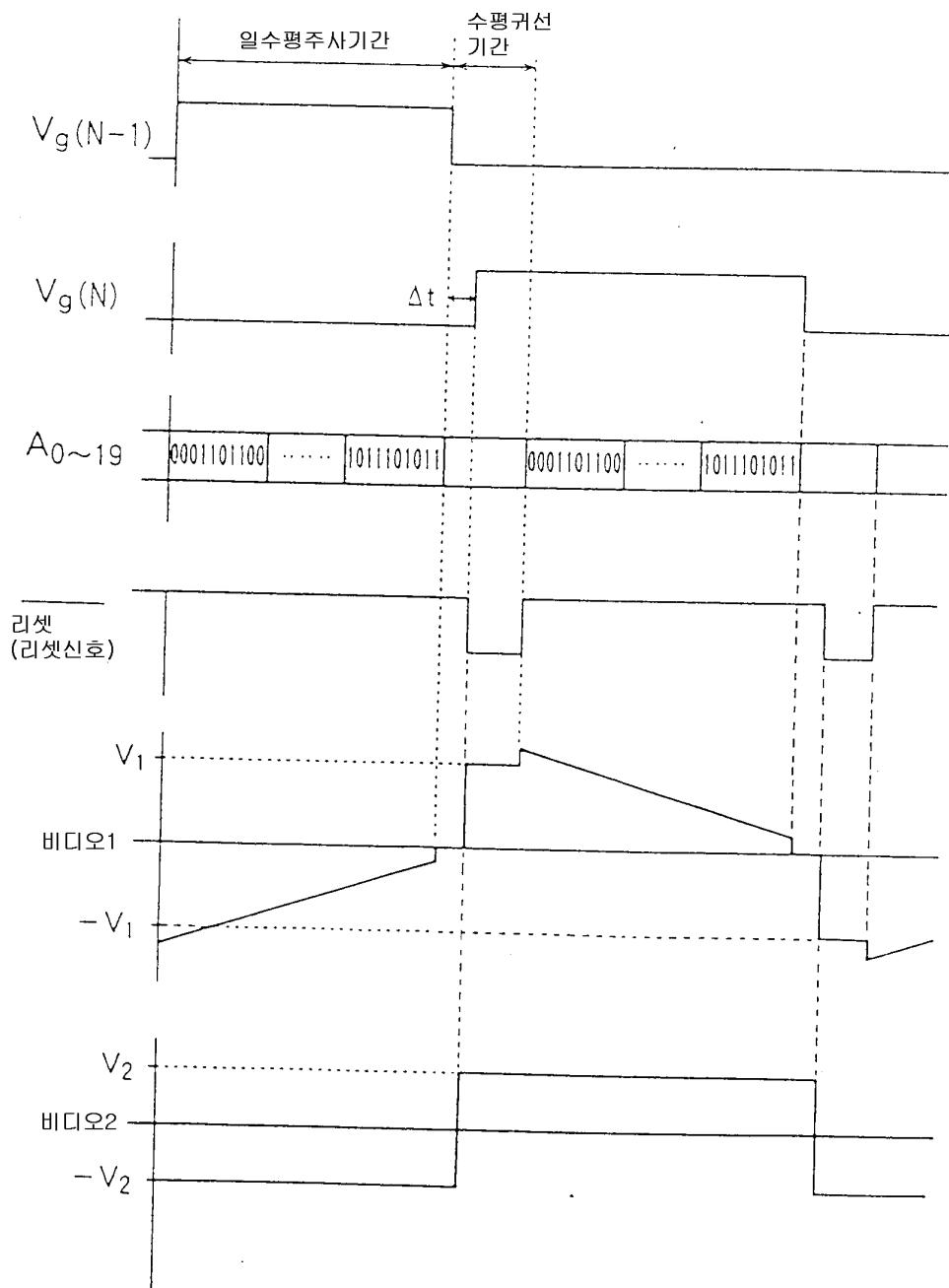
도면5



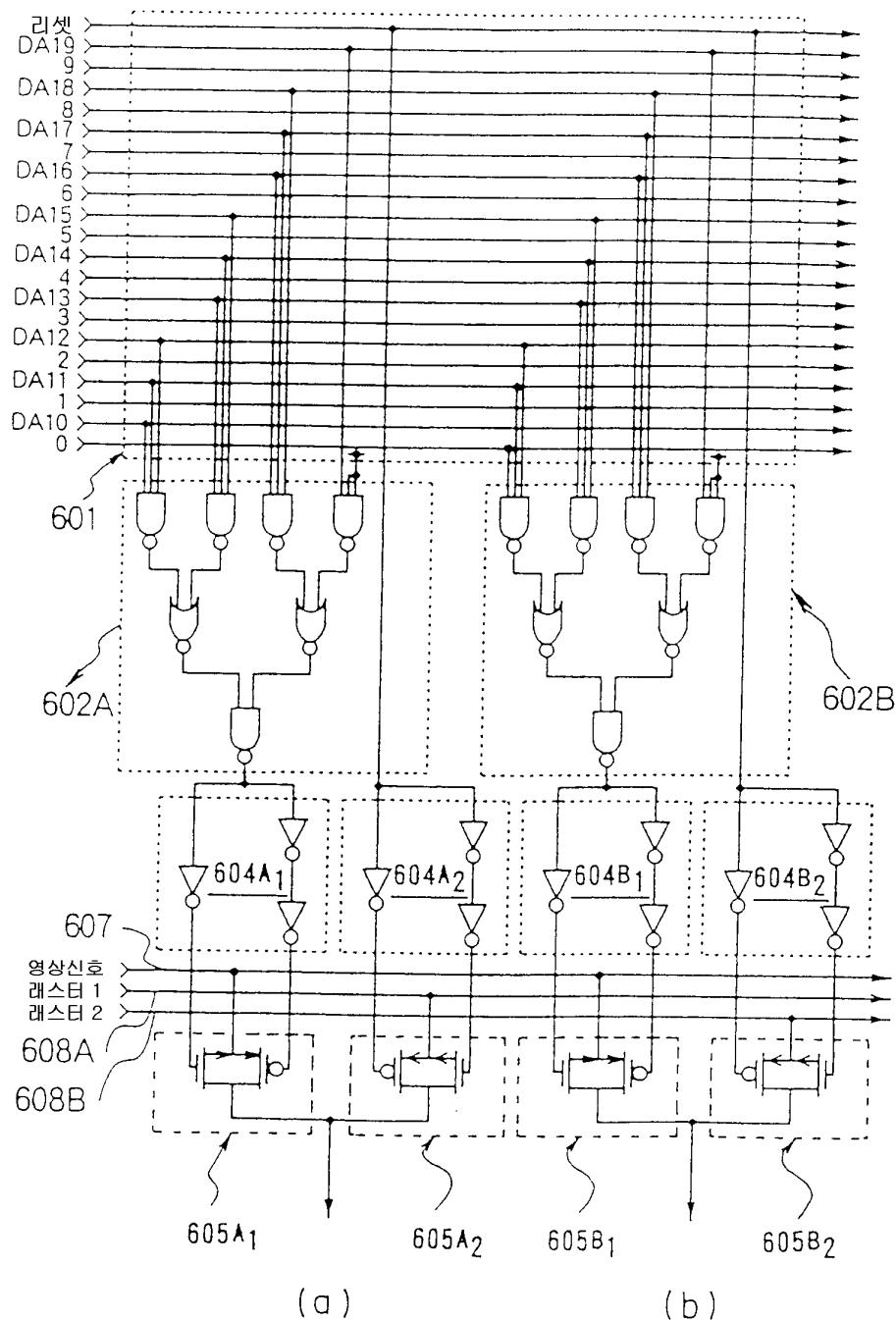
도면6



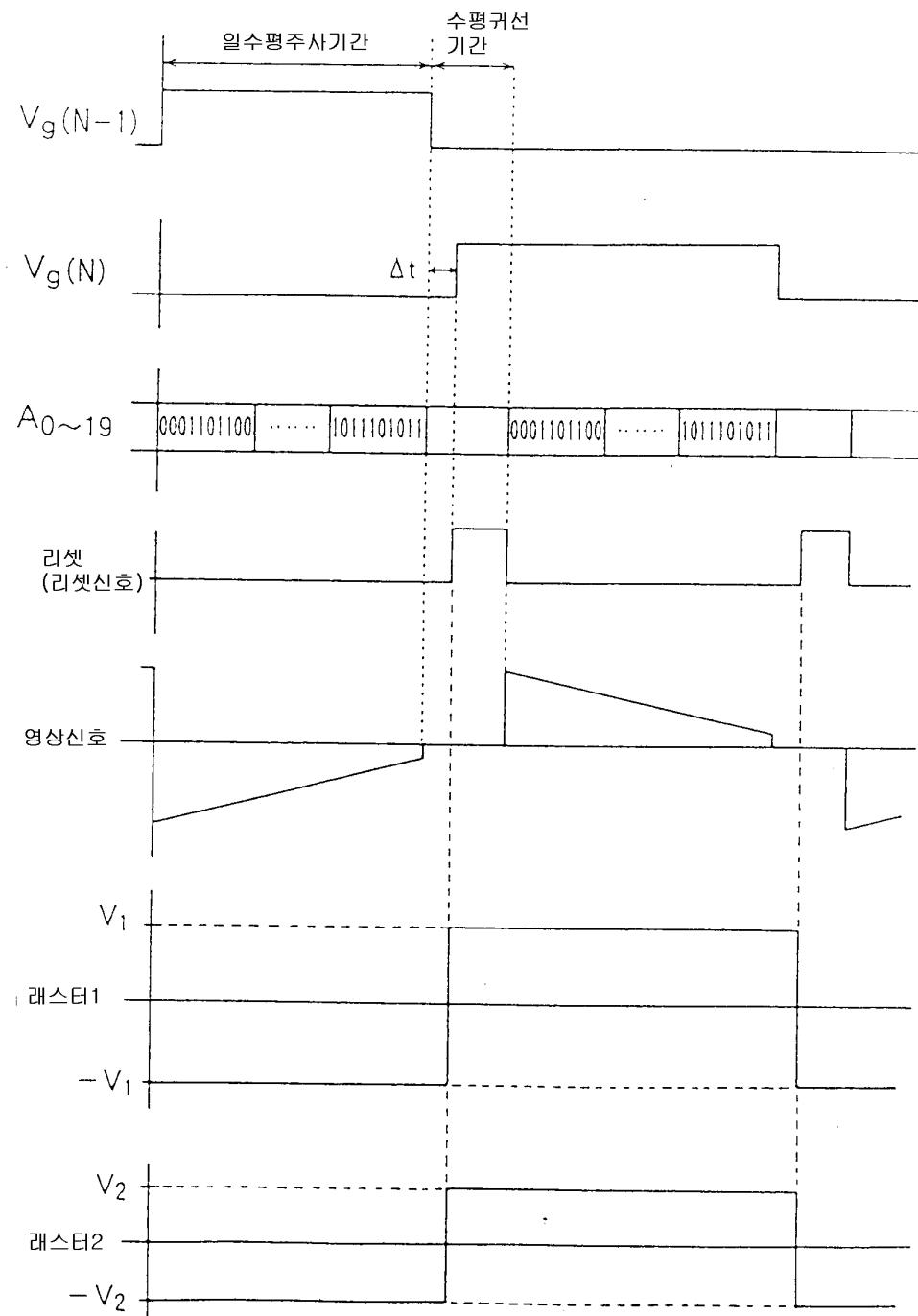
도면7



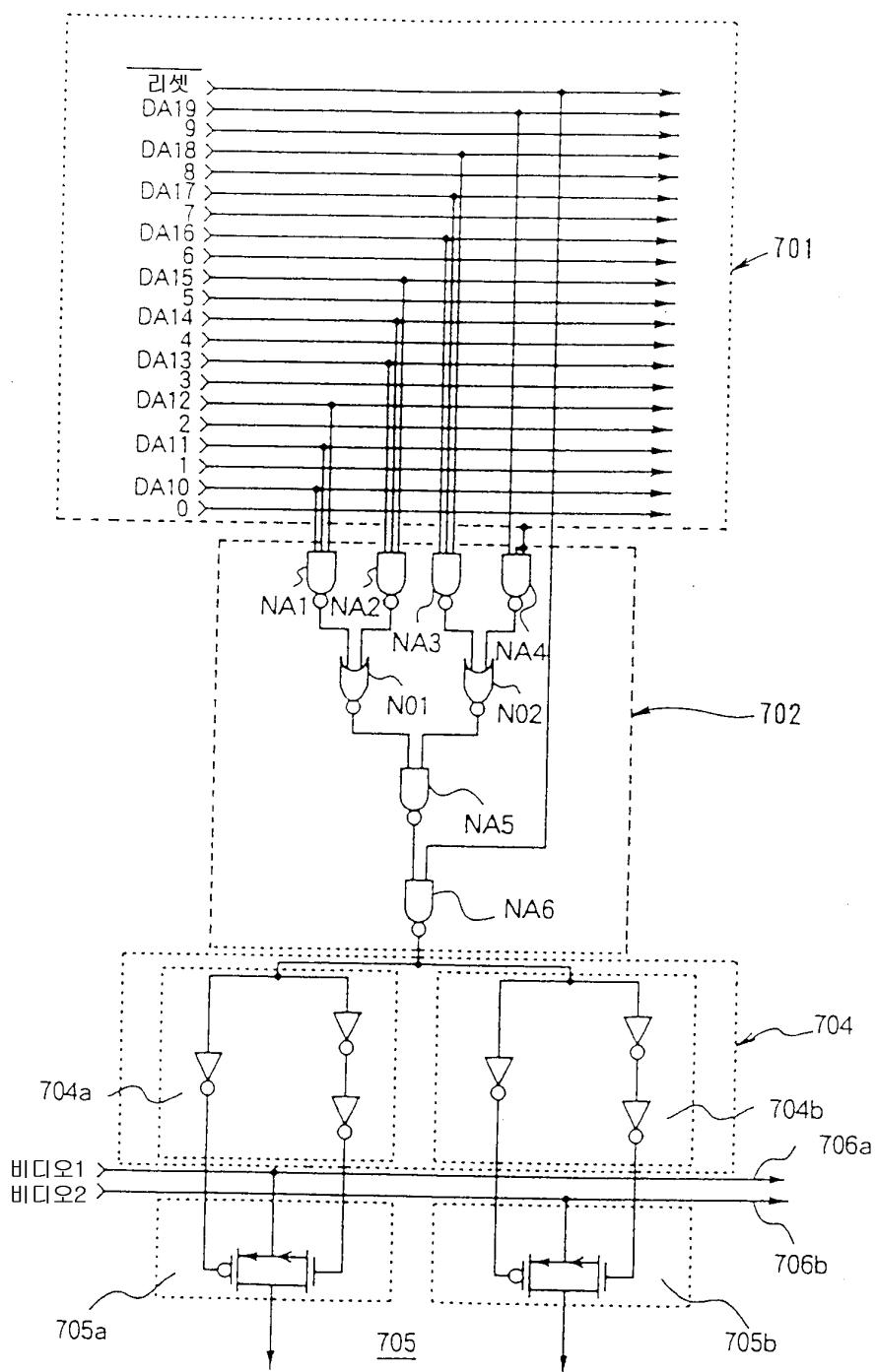
도면8



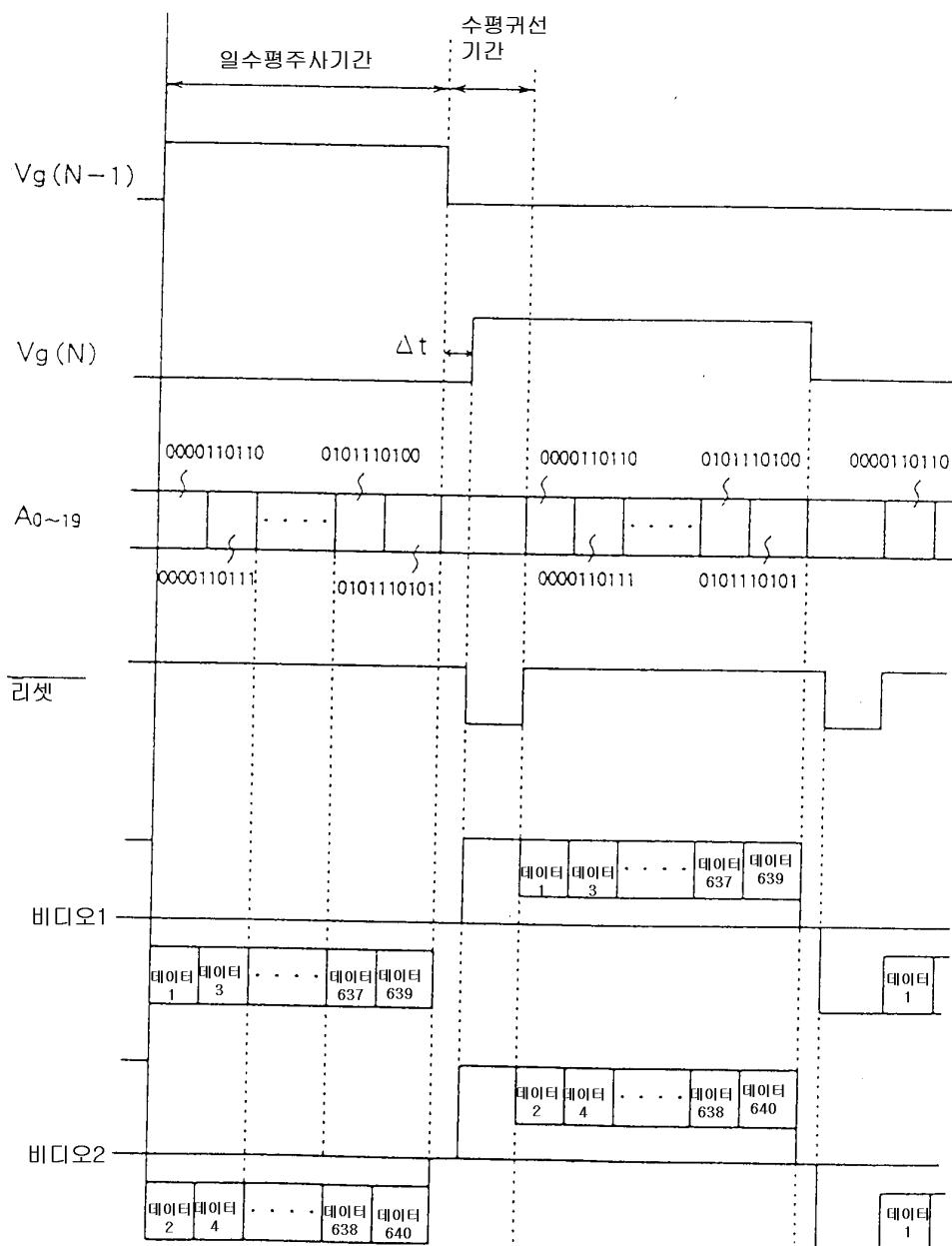
도면9



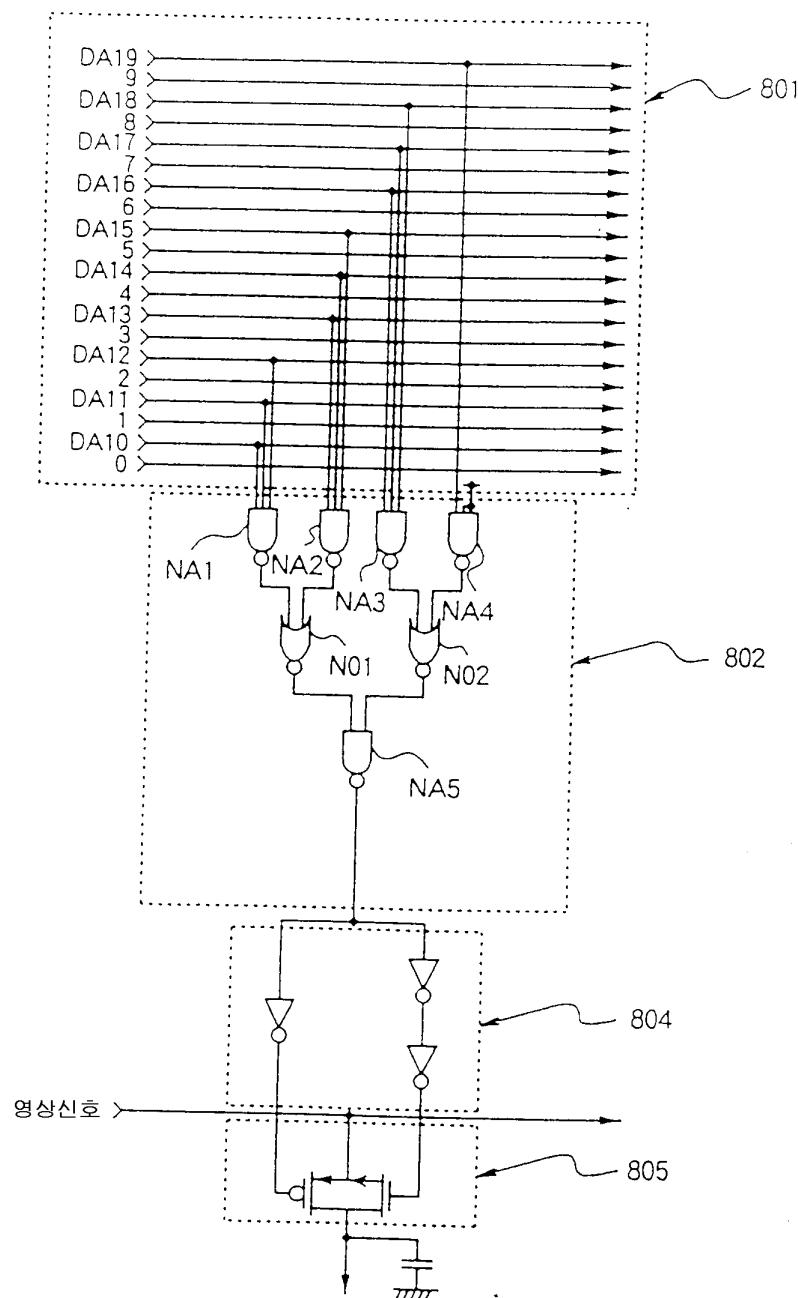
도면10



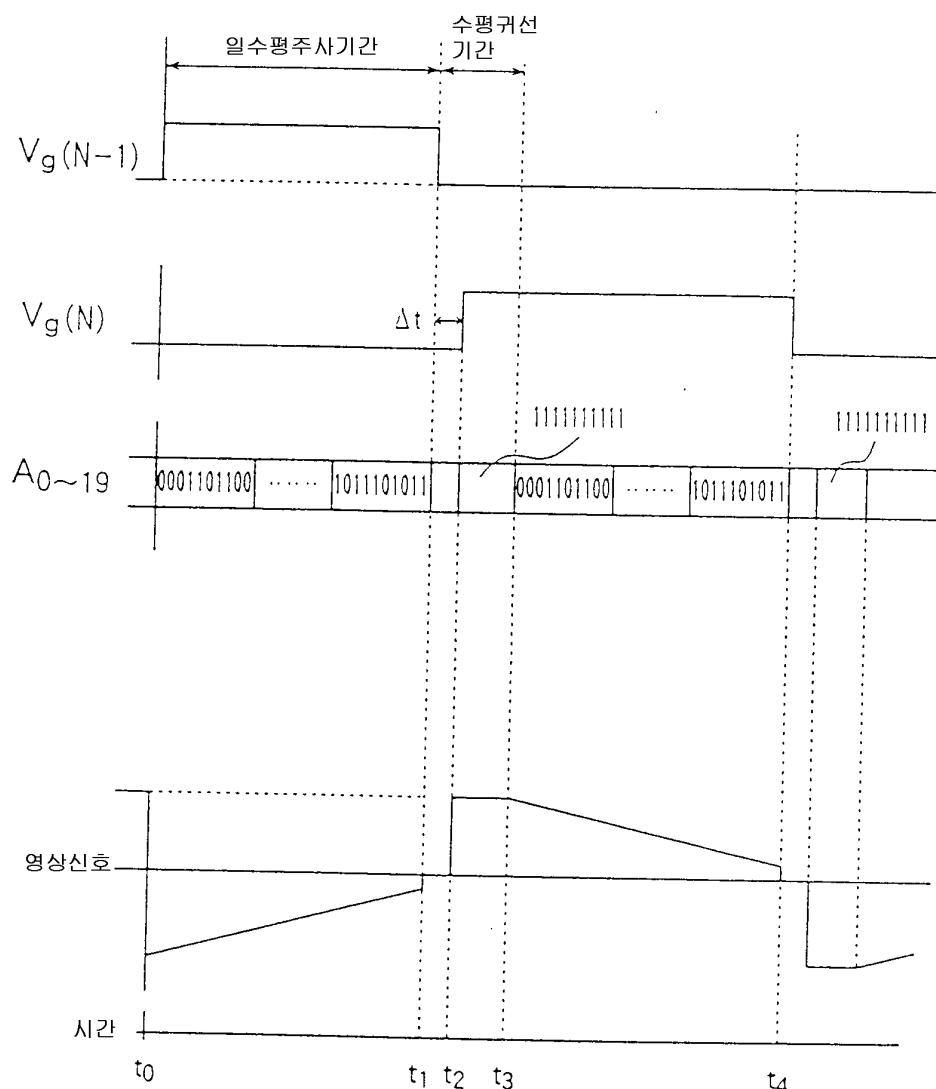
도면11



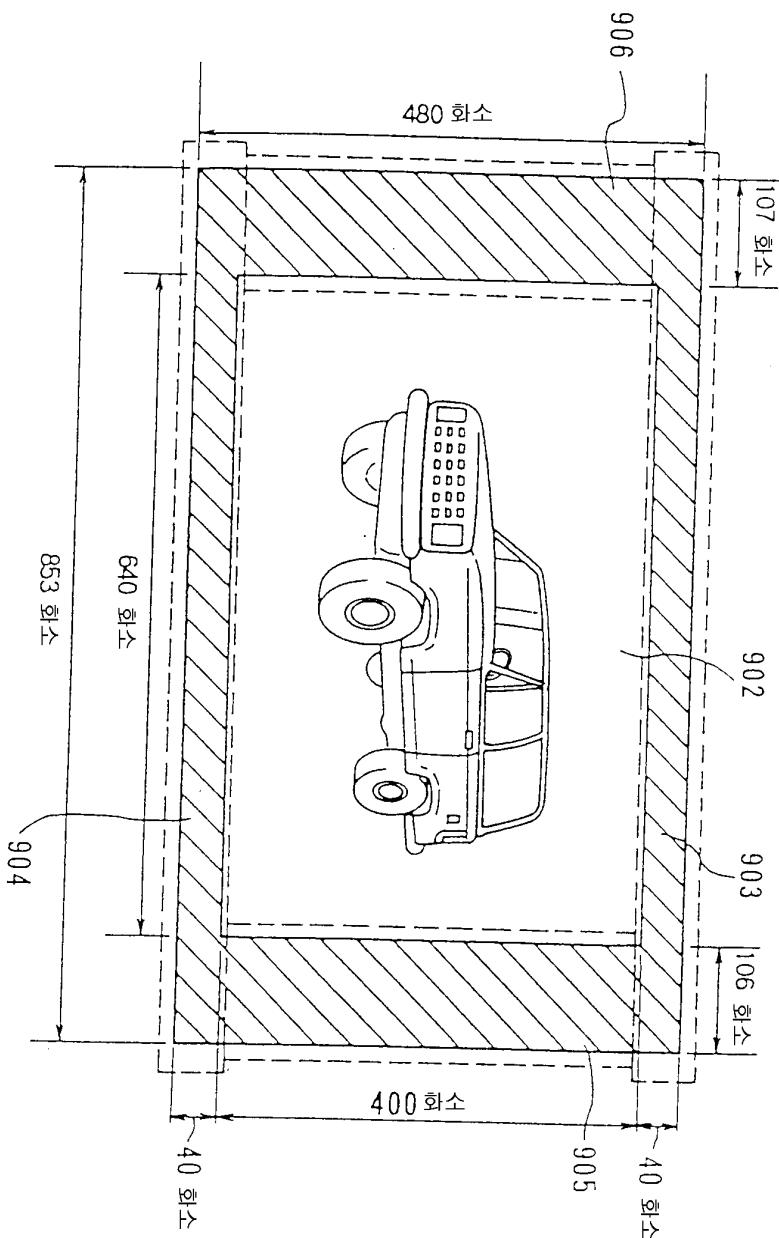
도면12



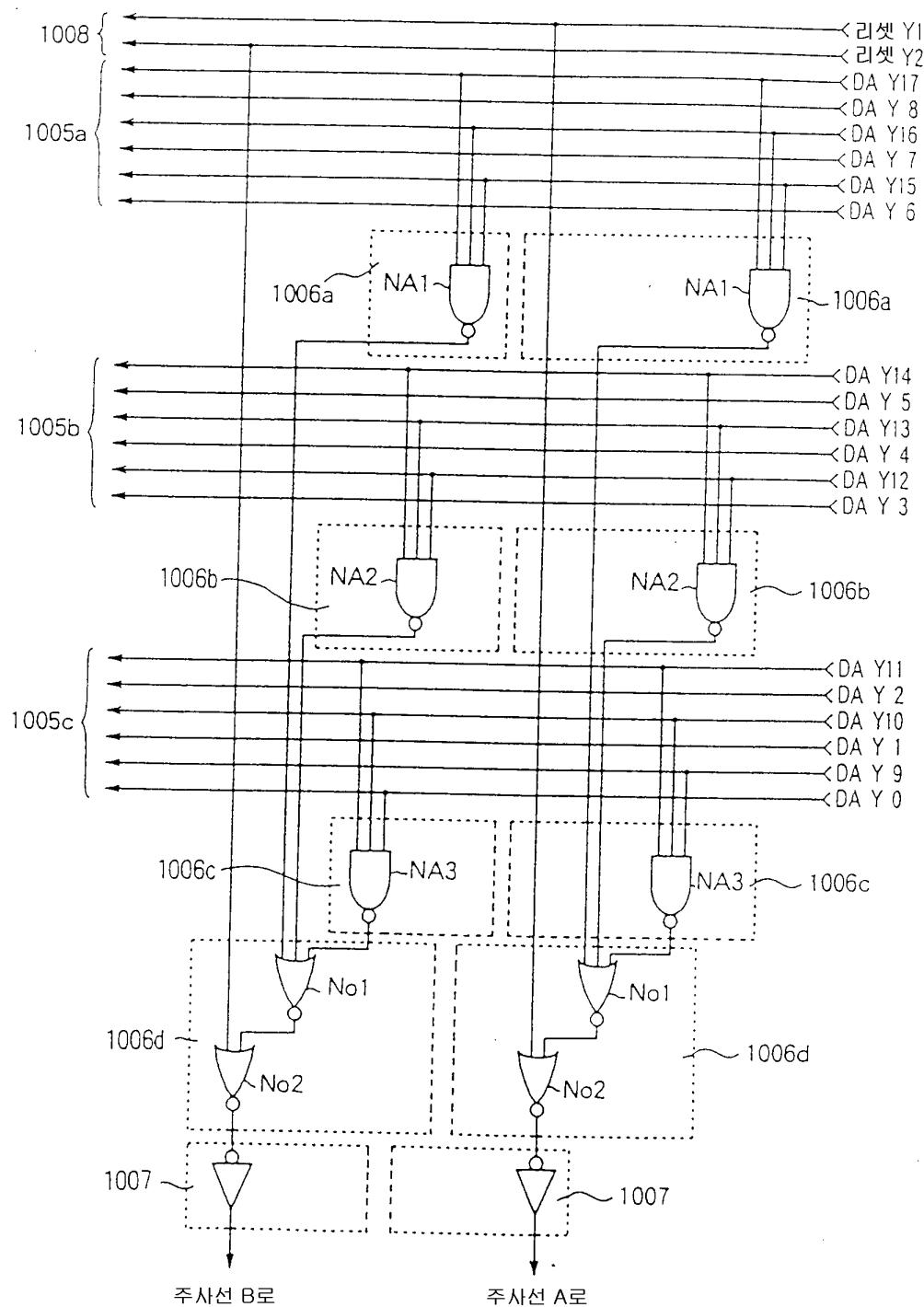
도면13



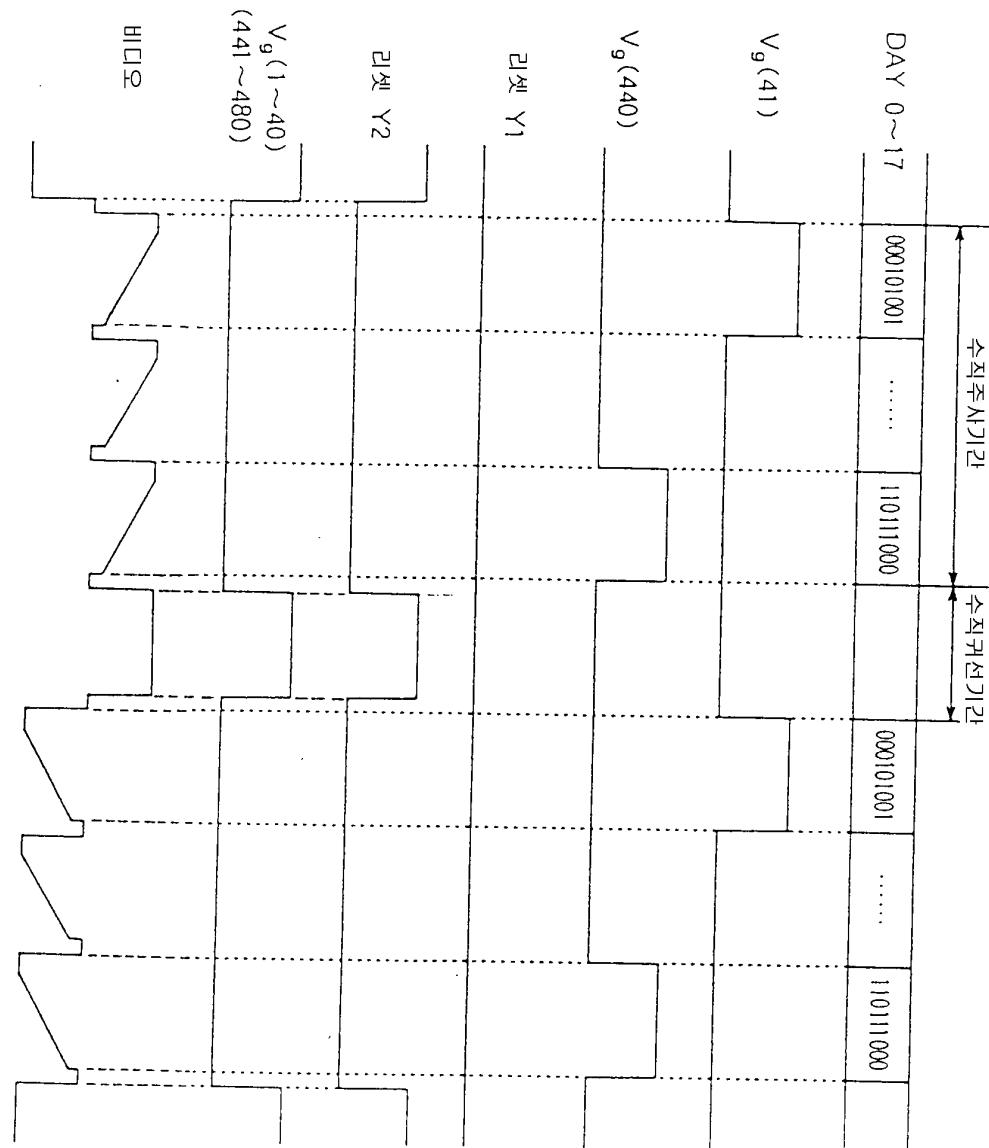
도면14



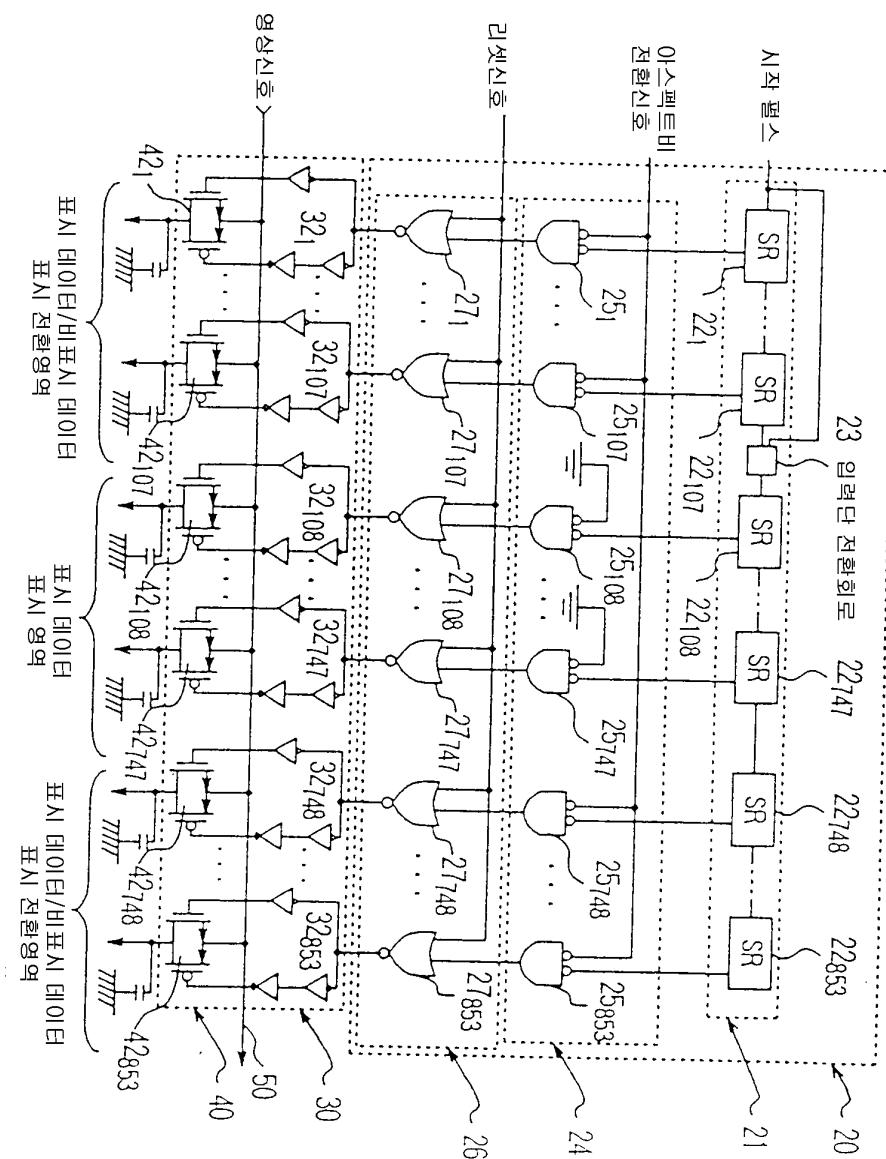
도면15



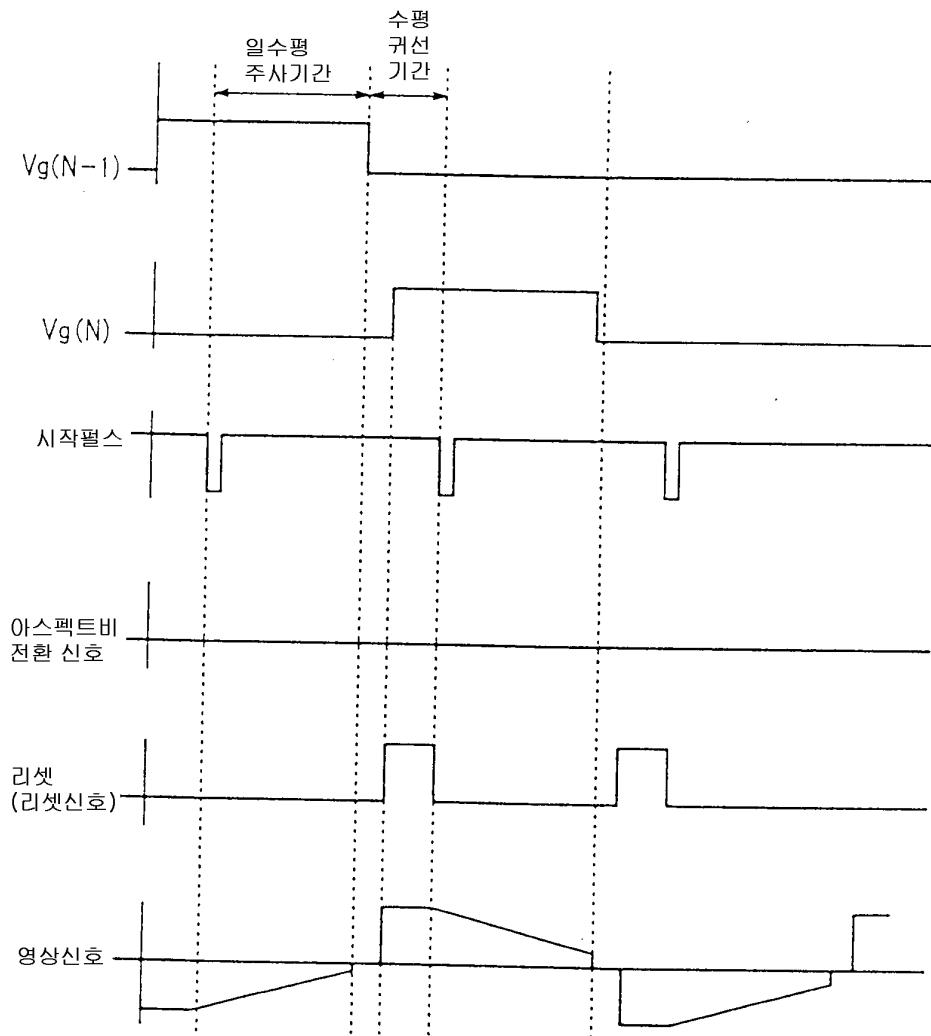
도면16



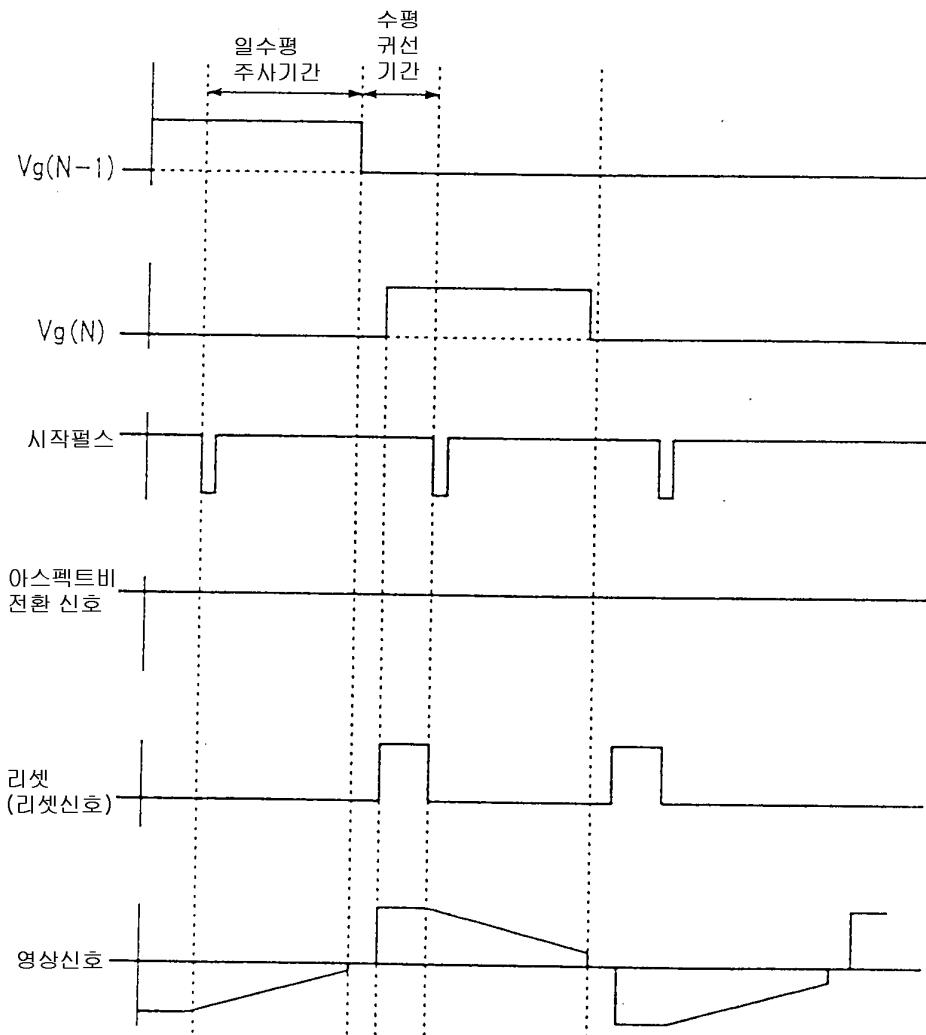
도면 17



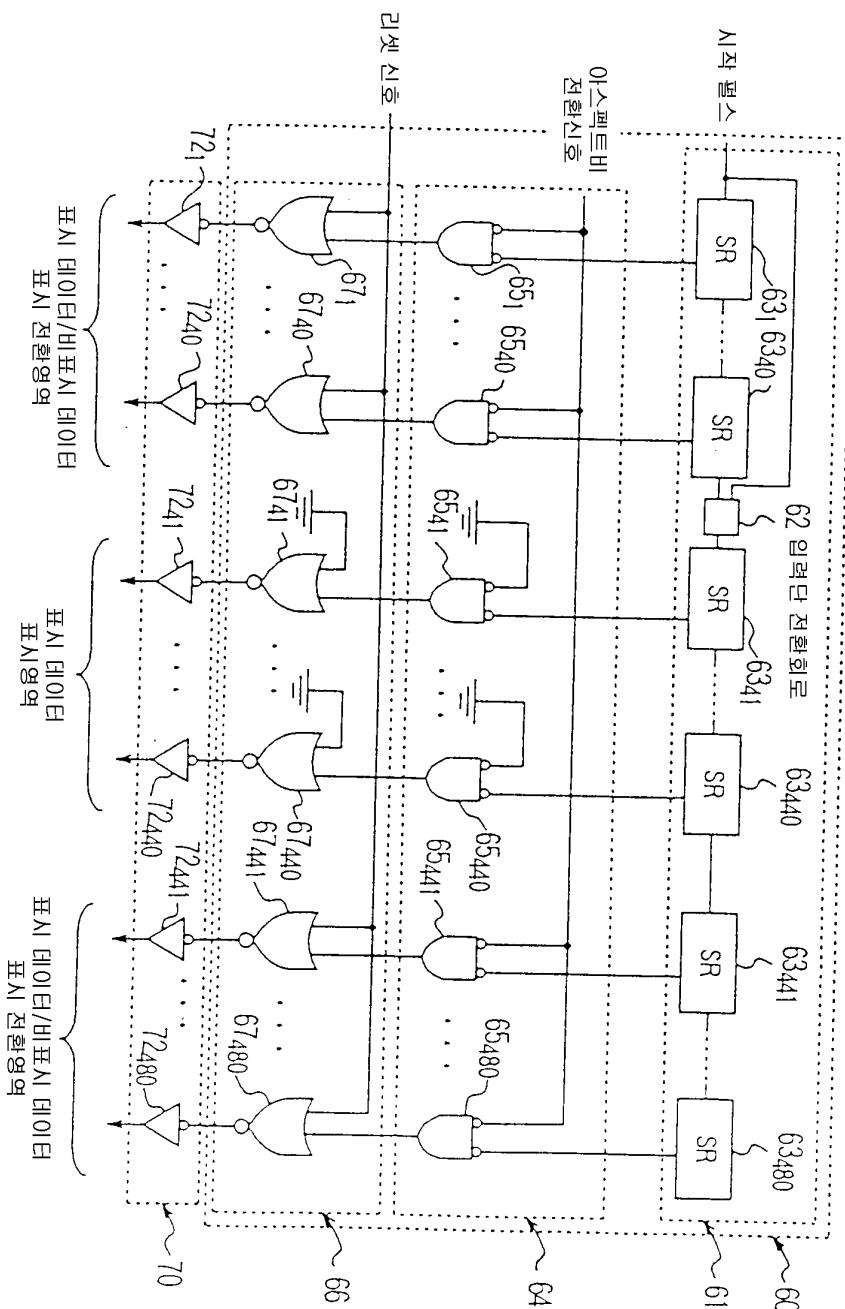
도면 18



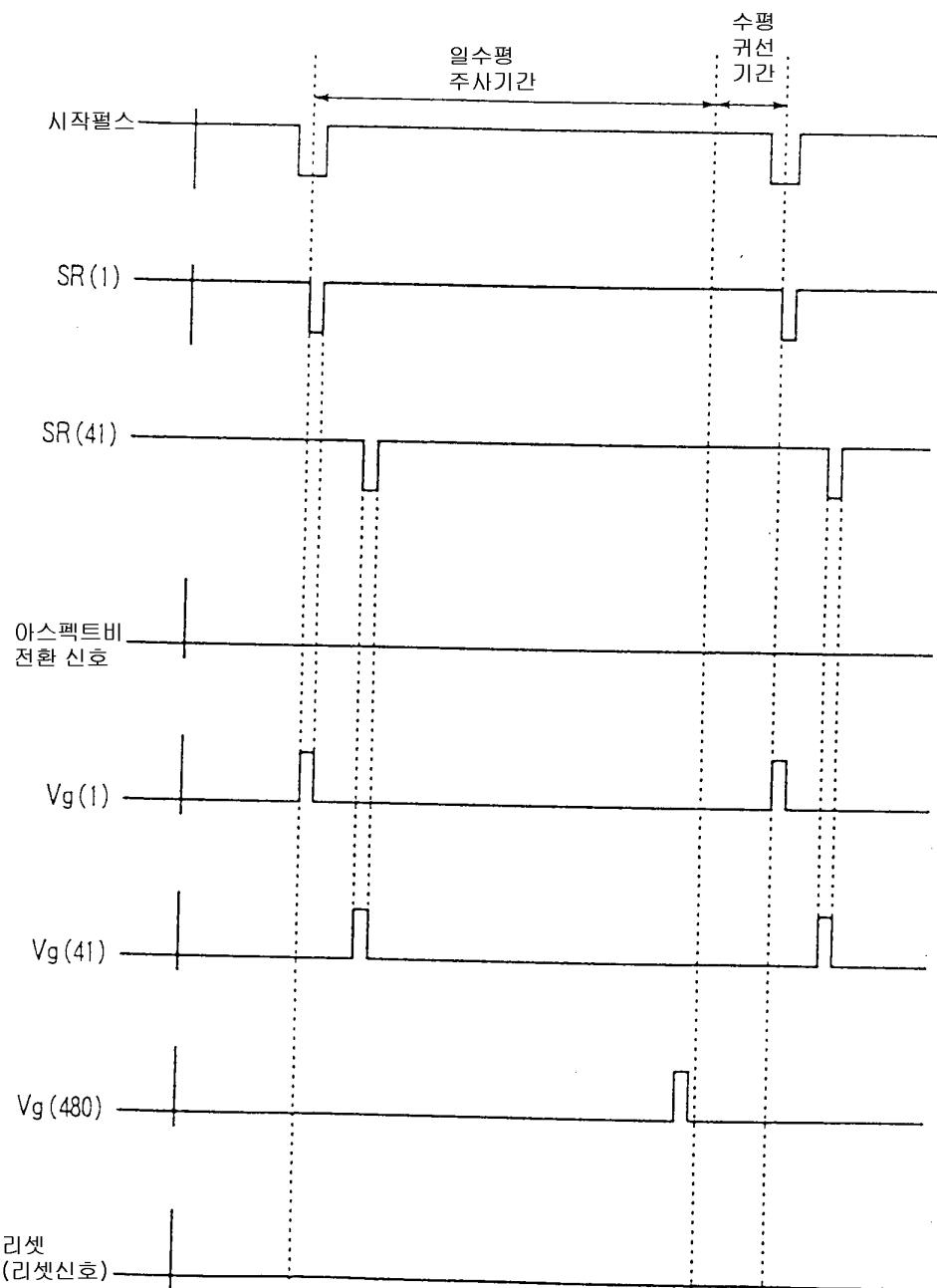
도면 19



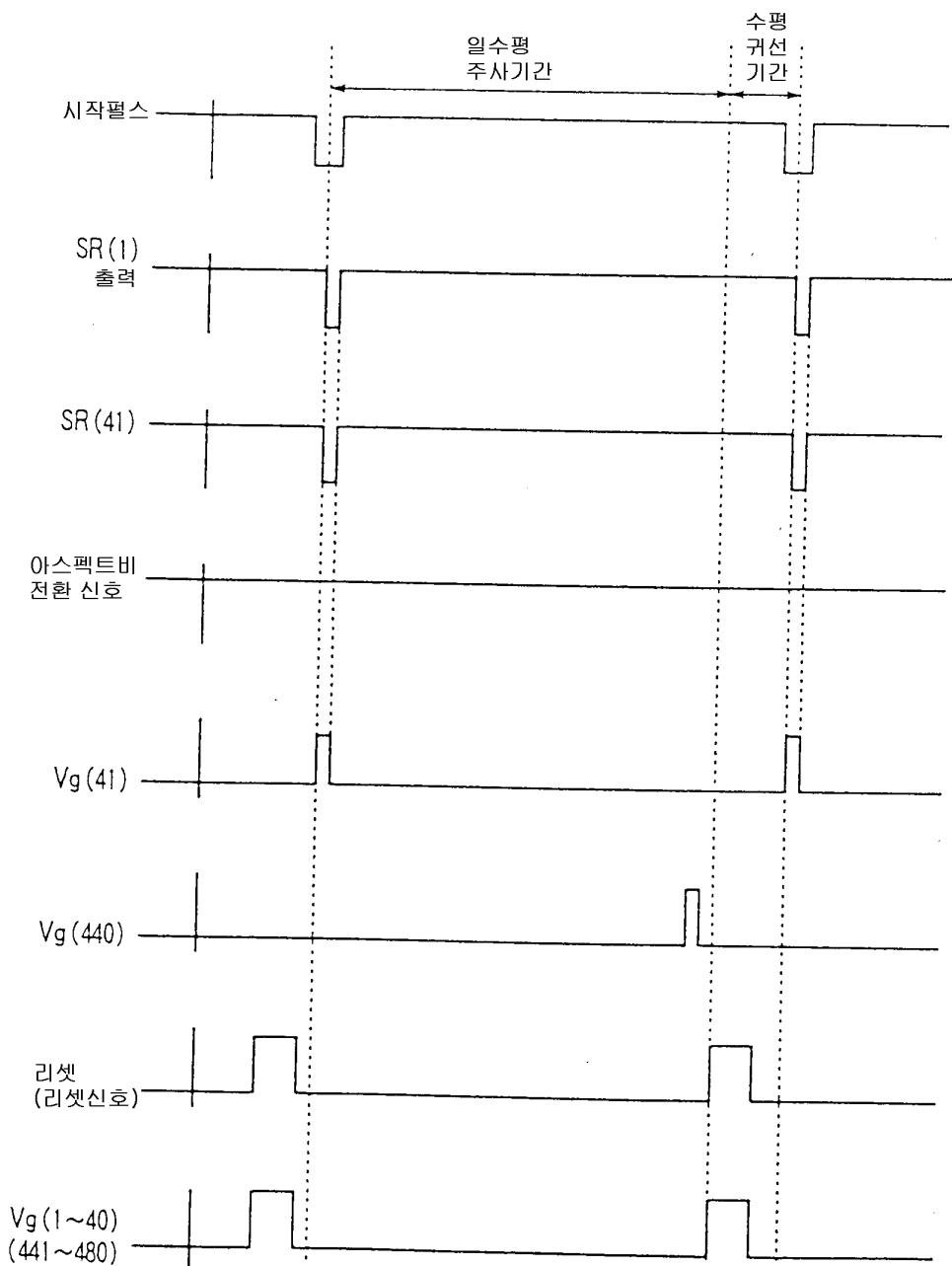
도면20



도면21



도면22



도면23

