(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0038995
(43) 공개일자 2025년03월20일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01)
(52) CPC특허분류
H10B 12/482 (2023.02)
H10B 12/05 (2023.02)
(21) 출원번호 10-2023-0121639
(22) 출원일자 2023년09월13일
심사청구일자 2023년09월13일

(71) 출원인
단국대학교 산학협력단
경기도 용인시 수지구 죽전로 152(죽전동, 단국대학교내)
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
김민주
경기도 용인시 기흥구 사은로126번길 33, 205동 904호 (보라동, 민속마을신창미션힐아파트)
전승배
대전광역시 유성구 죽동로 251, 305동 1803호 (죽동, 푸르지오아파트)
(74) 대리인
두호특허법인

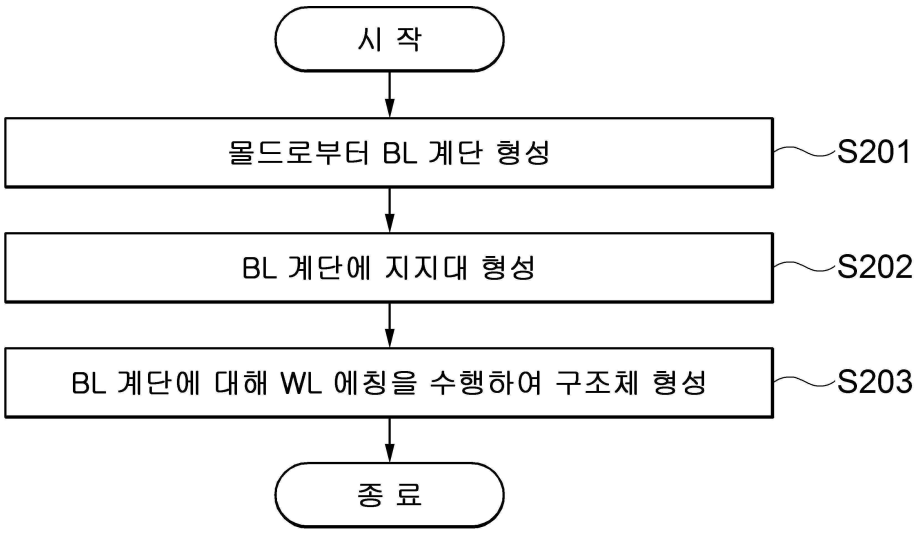
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **메모리 소자 및 메모리 소자의 제조 방법**

(57) 요 약

실시예들에 따르면, 기판; 및 기판 상에 마련되는 구조체; 를 포함하고, 구조체는, 기판 상에 적층되어 형성되는 비트라인; 및 기판에 수직하고, 비트라인을 관통하여 형성되는 워드라인; 을 포함하는, 메모리 소자를 제공한다.

대 표 도 - 도3



(52) CPC특허분류
H10B 12/488 (2023.02)

명 세 서

청구범위

청구항 1

기판; 및

상기 기판 상에 마련되는 구조체; 를 포함하고,

상기 구조체는,

상기 기판 상에 적층되어 형성되는 비트라인; 및

상기 기판에 수직하고, 상기 비트라인을 관통하여 형성되는 워드라인; 을 포함하는,

메모리 소자.

청구항 2

제 1 항에 있어서,

상기 구조체는,

하나 또는 그 이상의 절연층 및 하나 또는 그 이상의 활성층이 교대로 적층되어 형성된 뒤 적어도 일부가 계단 형상으로 식각되어 형성되는,

메모리 소자.

청구항 3

제 2 항에 있어서,

상기 구조체는,

상기 절연층을 지지하기 위하여 상기 기판 상에 수직하게 형성되고, 상기 구조체를 관통하여 형성되는 하나 또는 그 이상의 제 1 홀; 및

상기 워드라인을 형성하기 위하여 상기 기판 상에 수직하게 형성되고, 상기 구조체를 관통하여 하나 또는 그 이상의 제 2 홀; 을 포함하는,

메모리 소자.

청구항 4

제 3 항에 있어서,

상기 제 2 홀은,

상기 구조체의 상면에 있어서, 상기 절연층의 일 측이 폐쇄되고 상기 일 측과 마주하는 상기 절연층의 다른 일 측은 개방되는 'ㄷ' 형태로 형성되는,

메모리 소자.

청구항 5

제 4 항에 있어서,

상기 제 2 홀은,

상기 구조체의 상면에 있어서, 상기 절연층의 일 측은 두께가 소정 두께 이상이 되도록 형성되는,

메모리 소자.

청구항 6

기판 상에 위치하는 몰드로부터 비트라인 계단을 형성하는 단계;

상기 비트라인 계단에 지지대를 형성하는 단계; 및

상기 지지대가 형성된 비트라인 계단에 에칭을 수행하여 구조체를 형성하는 단계; 를 포함하는,

메모리 소자의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 몰드로부터 비트라인 계단을 형성하는 단계는,

하나 또는 그 이상의 절연층 및 하나 또는 그 이상의 활성층을 교대로 적층하여 몰드를 형성하는 단계; 및

상기 몰드의 적어도 일부를 계단 형상으로 제거하여 상기 비트라인 계단을 형성하는 단계; 를 포함하는,

메모리 소자의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 비트라인 계단에 지지대를 형성하는 단계는,

상기 기판에 수직한 방향으로 하나 또는 그 이상의 제 1 홀을 형성하는 단계; 및

상기 홀에 제 1 충진재를 충진하는 단계; 를 포함하는,

메모리 소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 하나 또는 그 이상의 제 1 홀이 복수 개인 경우에 있어서,

상기 복수 개의 제 1 홀 사이의 간격은 상기 절연층의 두께와 비례하여 형성되는,

메모리 소자의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 지지대가 형성된 비트라인 계단에 에칭을 수행하여 구조체를 형성하는 단계는,

상기 기판에 수직한 방향으로 상기 비트라인 계단 상에 제 2 홀을 형성하는 단계; 를 포함하고,

상기 제 2 홀은,

상기 비트라인 계단의 상면에 있어서, 일 측이 폐쇄되고 상기 일 측과 마주하는 다른 일 측은 개방되는 'ㄷ' 형태로 형성되는,

메모리 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 2 홀에 있어서, 폐쇄된 일 측의 두께가 소정 두께 이상이 되도록 상기 제 2 홀을 형성하는,

메모리 소자의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 지지대가 형성된 비트라인 계단에 에칭을 수행하여 구조체를 형성하는 단계는,

상기 제 2 홀에 대해 제 2 충진재를 충진하여 워드라인(word line)을 형성하는 단계; 를 더 포함하는,

메모리 소자의 제조 방법.

청구항 13

제 6 항에 있어서,

상기 메모리 소자의 제조 방법은,

상기 구조체에 대해 채널 충진을 수행하는 단계;

상기 채널 충진이 수행된 부분의 적어도 일부를 식각하는 단계; 및

상기 적어도 일부가 식각된 구조체에 비트라인 충진 및 워드라인 충진을 수행하는 단계; 를 포함하는,

메모리 소자의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 식각은, 상기 구조체에 형성되는 워드라인이 노출될 때까지 상기 채널 충진이 수행된 부분에 대해 수행되는,

메모리 소자의 제조 방법.

발명의 설명

기 술 분 야

[0001] 실시예들은 메모리 소자 및 메모리 소자의 제조 방법에 관한 것이다. 예를 들어, 실시예들은 3차원 메모리 소자 및 3차원 메모리 소자의 제조 방법에 적용된다.

배 경 기 술

[0002] 반도체는 특정 환경에서만 도체와 같이 전류가 흐르는 물질이다. 최근 기술이 발전하면서 반도체 소자가 소형화, 고집적화, 고기능화됨에 따라 전자 산업 전반에 걸쳐 반도체에 대한 관심이 증가하고 있다.

[0003] 이러한 반도체는 정보를 저장하는 용도로 사용되는 메모리 반도체 및 정보 처리를 목적으로 하는 비메모리 반도체를 포함한다. 이때, 메모리 반도체의 경우 하나의 메모리 소자가 하나의 트랜지스터(transistor)와 하나의 커패시터(capacitor)를 포함한다. 또한, 메모리 소자는 트랜지스터의 게이트(gate)와 연결되어 트랜지스터와 연결되는 워드 라인(Word Line, WL) 및 소스 및/또는 드레인에 연결되어 커패시터에 접근하는 비트 라인(Bit Line, BL)을 포함한다. 예를 들어, 메모리 소자는 서로 수직하는 하나 또는 그 이상의 BL, WL 및 BL 및 WL과 연결되는 트랜지스터를 포함한다.

[0004] 한편 최근 기술 발전에 따라, 메모리 반도체의 미세화에 대한 연구가 진행되고 있다. 이에 따라, 상술한 구조와 같은 2D 형태의 메모리 반도체에서 3D 형태의 메모리 반도체가 대두된다. 3D 형태 메모리 반도체는 BL을 수직으로 세우거나 또는 WL을 수직으로 세우는 방안을 포함한다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 3D VSCAT(Vertical Stacked Cell Array Transistor)에 따라 구현되는 메모리 소자를 제공한다.

[0006] 실시예들은 3D 구조를 갖는 메모리 소자를 제조하는 방법을 제공한다.

[0007] 실시예들을 통해 해결하고자 하는 과제는 상술한 내용들에 제한되지 않으며, 통상의 기술자가 실시예들을 통해 설명되는 내용을 통해 고려될 수 있는 사항들을 모두 포함한다.

과제의 해결 수단

[0008] 실시예들에 따르면, 기판; 및 기판 상에 마련되는 구조체; 를 포함하고, 구조체는, 기판 상에 적층되어 형성되는 비트라인; 및 기판에 수직하고, 비트라인을 관통하여 형성되는 워드라인; 을 포함하는, 메모리 소자를 제공한다.

[0009] 실시예들에 따르면, 구조체는, 하나 또는 그 이상의 절연층 및 하나 또는 그 이상의 활성층이 교대로 적층되어 형성된 뒤 적어도 일부가 계단 형상으로 식각되어 형성되는, 메모리 소자를 제공한다.

[0010] 실시예들에 따르면, 구조체는, 절연층을 지지하기 위하여 기판 상에 수직하게 형성되고, 구조체를 관통하여 형성되는 하나 또는 그 이상의 제 1 홀; 및 워드라인을 형성하기 위하여 기판 상에 수직하게 형성되고, 구조체를 관통하여 하나 또는 그 이상의 제 2 홀; 을 포함하는, 메모리 소자를 제공한다.

[0011] 실시예들에 따르면, 제 2 홀은, 구조체의 상면에 있어서, 절연층의 일 측이 폐쇄되고 일 측과 마주하는 절연층의 다른 일 측은 개방되는 'ㄷ' 형태로 형성되는, 메모리 소자를 제공한다.

[0012] 실시예들에 따르면, 제 2 홀은, 구조체의 상면에 있어서, 절연층의 일 측은 두께가 소정 두께 이상이 되도록 형성되는, 메모리 소자를 제공한다.

[0013] 실시예들에 따르면, 기판 상에 위치하는 몰드로부터 비트라인 계단을 형성하는 단계; 비트라인 계단에 지지대를 형성하는 단계; 및 지지대가 형성된 비트라인 계단에 에칭을 수행하여 구조체를 형성하는 단계; 를 포함하는, 메모리 소자의 제조 방법을 제공한다.

[0014] 실시예들에 따르면, 몰드로부터 비트라인 계단을 형성하는 단계는, 하나 또는 그 이상의 절연층 및 하나 또는 그 이상의 활성층을 교대로 적층하여 몰드를 형성하는 단계; 및 몰드의 적어도 일부를 계단 형상으로 제거하여 비트라인 계단을 형성하는 단계; 를 포함하는, 메모리 소자의 제조 방법을 제공한다.

[0015] 실시예들에 따르면, 비트라인 계단에 지지대를 형성하는 단계는, 기판에 수직한 방향으로 하나 또는 그 이상의 제 1 홀을 형성하는 단계; 및 홀에 제 1 충진재를 충진하는 단계; 를 포함하는, 메모리 소자의 제조 방법을 제공한다.

[0016] 실시예들에 따르면, 하나 또는 그 이상의 제 1 홀이 복수 개인 경우에 있어서, 복수 개의 제 1 홀 사이의 간격은 절연층의 두께와 비례하여 형성되는, 메모리 소자의 제조 방법을 제공한다.

[0017] 실시예들에 따르면, 지지대가 형성된 비트라인 계단에 에칭을 수행하여 구조체를 형성하는 단계는, 기판에 수직한 방향으로 비트라인 계단 상에 제 2 홀을 형성하는 단계; 를 포함하고, 제 2 홀은, 비트라인 계단의 상면에 있어서, 일 측이 폐쇄되고 일 측과 마주하는 다른 일 측은 개방되는 'ㄷ' 형태로 형성되는, 메모리 소자의 제조 방법을 제공한다.

[0018] 실시예들에 따르면, 제 2 홀에 있어서, 폐쇄된 일 측의 두께가 소정 두께 이상이 되도록 상기 제 2 홀을 형성하는, 메모리 소자의 제조 방법을 제공한다.

[0019] 실시예들에 따르면, 지대가 형성된 비트라인 계단에 에칭을 수행하여 구조체를 형성하는 단계는, 제 2 홀에 대해 제 2 충진재를 충진하여 워드라인(word line)을 형성하는 단계; 를 더 포함하는, 메모리 소자의 제조 방법을 제공한다.

[0020] 실시예들에 따르면, 메모리 소자의 제조 방법은, 구조체에 대해 채널 충진을 수행하는 단계; 채널 충진이 수행된 부분의 적어도 일부를 식각하는 단계; 및 적어도 일부가 식각된 구조체에 비트라인 충진 및 워드라인 충진을 수행하는 단계; 를 포함하는, 메모리 소자의 제조 방법을 제공한다.

[0021] 실시예들에 따르면, 식각은, 구조체에 형성되는 워드라인이 노출될 때까지 채널 충진이 수행된 부분에 대해 수행되는, 메모리 소자의 제조 방법을 제공한다.

발명의 효과

[0022] 실시예들은 3D VSCAT(Vertical Stacked Cell Array Transistor)를 구현할 수 있다.

[0023] 실시예들은 다양한 채널에 적용가능한 범용적인 구조를 제안할 수 있다. 예를 들어, 다양한 채널은 poly-Si, IGZO(Indium Gallium Zink Oxide), 2D 등을 포함한다.

[0024] 실시예들을 통해 얻을 수 있는 효과는 상술한 내용들에 의해 한정되지 않으며, 통상의 기술자가 실시예들로부터 도출할 수 있는 다양한 효과들을 포함한다.

도면의 간단한 설명

[0025] 이하에서는, 실시예들에 대한 설명을 더 돕기 위하여 아래의 도면들과 함께 다양한 실시예들의 기술적 특징을 설명한다.

도 1은 실시예들에 따른 메모리 소자의 개략적인 구조를 설명하는 개략도이다.

도 2는 실시예들에 따른 메모리 소자의 제조 방법을 설명하는 순서도이다.

도 3은 도 2에서 설명한 s101을 더 상세하게 설명하는 순서도이다.

도 4는 도 3에서 설명한 s201을 설명하는 평면도이다.

도 5는 도 3에서 설명한 s201을 설명하는 평면도이다.

도 6은 도 3에서 설명한 s202를 설명하는 평면도이다.

도 7은 도 3에서 설명한 s203을 설명하는 평면도이다.

도 8은 도 3에서 설명한 s203을 설명하는 평면도 및 사시도이다.

도 9는 도 3에서 설명한 s102를 설명하는 평면도 및 사시도이다.

도 10은 도 2에서 설명한 s102를 설명하는 평면도 및 사시도이다.

도 11은 도 2에서 설명한 s103을 설명하는 사시도이다.

도 12는 도 2에서 설명한 s104을 설명하는 사시도이다.

도 13은 도 2에서 설명한 s104를 설명하는 사시도이다.

도 14는 도 2에서 설명한 s104를 설명하는 사시도이다.

도 15는 도 2에서 설명한 s104를 설명하는 평면도 및 사시도이다.

도 16은 도 2에서 설명한 s104를 설명하는 평면도 및 사시도이다.

도 17은 도 2에서 설명한 s104를 설명하는 평면도 및 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 도면을 참조하여 본 발명의 구체적인 실시형태를 설명하기로 한다. 이하의 상세한 설명은 본 명세서에서 기술된 방법, 장치 및/또는 시스템에 대한 포괄적인 이해를 돕기 위해 제공된다. 그러나 이는 예시에 불과하며 본 발명은 이에 제한되지 않는다.

[0027] 본 발명의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 본 발명의 실시예들을 기술하기 위한 것이며, 결코 제한적이어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다.

[0028] 또한, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성 요소는 제2 구성 요소로 명

명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.

[0029] 또한, 본 명세서에서 부, 유닛 또는 모듈이라 함은, 본 발명의 기술적 사상을 수행하기 위한 하드웨어 및 상기 하드웨어를 구동하기 위한 소프트웨어의 기능적, 구조적 결합을 의미할 수 있다. 예컨대, 상기 "부", "유닛" 또는"모듈"은 소정의 코드와 상기 소정의 코드가 수행되기 위한 하드웨어 리소스의 논리적인 단위를 의미할 수 있으며, 반드시 물리적으로 연결된 코드를 의미하거나, 한 종류의 하드웨어를 의미하는 것은 아니다. 또한, 부, 유닛 또는 모듈은 적절하게 혼용되어 이용될 수 있다.

[0031] 도 1은 실시예들에 따른 메모리 소자의 개략적인 구조를 설명하는 개략도이다.

[0032] 도 1에서 100은 실시예들에 따른 메모리 소자(100) 또는 메모리 소자(100)가 제조되는 과정을 설명하는 단계를 나타낸다. 또한, 도 1에서 23은 메모리 소자(100)의 지지대를 나타낸다. 도 1에서 BC는 비트라인 컷을 나타낸다. 도 1에서 WC는 워드라인 컷을 나타낸다. 각 부호에 대하여는 이하의 도면들에서 설명한다.

[0033] 이러한 메모리 소자(100)(또는, 메모리 반도체 소자, 이하 메모리 소자라고 칭함)는 비트라인(Bit Line) 및 워드라인(Word Line)을 포함한다. 예를 들어, 메모리 소자(100)는 비트라인이 적층되어 형성된다. 이때, 적층되어 형성된 비트라인은 다른 회로와 전기적으로 연결되기 위한 배선과 연결될 것이 요구된다. 이에 따라, 메모리 소자(100)는 적층된 복수 개의 비트라인 중 적어도 일부와 배선을 연결하기 위하여, 도 1에 도시한 바와 같이 계단 형상으로 형성된다.

[0034] 이와 같은 구조에 의해 실시예들에 따른 메모리 소자(100)는 3차원 메모리 소자의 구조를 제안한다. 예를 들어, 실시예들은 3D VSCAT(Vertical Stacked Cell Array Transistor)를 구현할 수 있다. 이를 통해 실시예들은 채널에 활용 가능한 범용적인 구조 및/또는 공정 솔루션을 제공할 수 있다. 예를 들어, 실시예들은 poly-Si, IGZO, 2D 와 같은 채널에 적용 가능하다.

[0035] 이하의 도 2 내지 도 20을 통해 이러한 메모리 소자(100)의 제조 방법 및 이와 같은 메모리 소자의 제조 방법에 의해 형성된 메모리 소자(100)에 대해 상세히 설명한다.

[0037] 도 2는 실시예들에 따른 메모리 소자의 제조 방법을 설명하는 순서도이다.

[0038] 도 2에서는 실시예들에 따른 메모리 소자(100)를 제조하는 전반적인 과정에 대해 설명한다.

[0039] 도 2에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 구조체를 형성하는 단계(s101)를 포함한다. s101에 대하여는 도 3 내지 도 6을 통해 더 상세하게 설명한다.

[0040] 도 2에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 구조체에 채널 충진(channel fill)을 수행하는 단계(s102)를 포함한다. s102에 대하여는 도 9 내지 도 10을 통해 더 상세하게 설명한다.

[0041] 도 2에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 채널 충진이 수행된 부분의 적어도 일부를 식각하는 단계(s103)를 포함한다. s103에 대하여는 도 11를 통해 더 상세하게 설명한다.

[0042] 도 2에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다. s104에 대하여는 도 12 내지 도 18을 통해 더 상세하게 설명한다.

[0043] 한편, 도 2에서는 실시예들에 따른 메모리 소자(100)를 제조하기 위하여 s101 내지 s104를 설명하였다. 그러나 실시예들은 s102 내지 s104의 전부 또는 일부가 생략되거나 및/또는 새로운 단계가 s101 내지 s104 사이 또는 s101 내지 s104의 전후 단계에 추가되는 것을 포함한다. 즉, 실시예들에 따른 메모리 소자(100)의 제조 방법은 s101에 의한 단계를 포함하는 모든 메모리 소자(100)의 제조 방법에 적용될 수 있다.

[0045] 도 3은 도 2에서 설명한 s101을 더 상세하게 설명하는 순서도이다.

[0046] 도 2에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 구조체를 형성하는 단계(s101)를 포함한다.

[0047] 도 3에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 몰드로부터 비트라인 계단을 형성

하는 단계(s201)를 포함한다. s201에 대하여는 도 4 내지 도 5를 통해 더 상세하게 설명한다.

[0048] 도 3에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 계단에 지지대를 형성하는 단계(s202)를 포함한다. s201에 대하여는 도 6을 통해 더 상세하게 설명한다.

[0049] 도 3에 도시한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 에칭을 통해 구조체를 형성하는 단계(s203)를 포함한다. s201에 대하여는 도 7 내지 도 8을 통해 더 상세하게 설명한다.

[0051] 도 4는 도 3에서 설명한 s201을 설명하는 평면도이다.

[0052] 도 3의 s201을 통해 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 몰드로부터 비트라인 계단을 형성하는 단계(s201)를 포함한다. 도 4를 통해 비트라인 계단을 생성하기 위한 몰드(10)를 생성하는 방안을 설명한다. 한편, 도 4 및 이하의 도 5 내지 도 7은, 도 1에 도시된 A-A'를 따라 메모리 소자(100)를 절단한 단면 방향에 있어서, 메모리 소자(100)를 생성하는 방안을 설명한다.

[0053] 실시예들에 따른 몰드(10)는 하나 또는 그 이상의 절연층(11) 및 하나 또는 그 이상의 활성층(12)을 포함한다. 몰드(10)는 절연층(11) 및 활성층(12)이 교대로 적층되어 형성된다. 예를 들어, 몰드(10)는 하나의 절연층(11) 상에 하나의 활성층(12)이 형성되고, 이러한 활성층(12) 상에 또 다른 하나의 절연층(11)이 형성되는 구조를 포함한다.

[0054] 이때, 절연층(11)은 몰드(10)에 있어서, 층과 층 사이를 전기적으로 분리한다. 예를 들어, 절연층(11)은 절연층(11)의 하부에 위치하는 활성층(12a)과 절연층(11)의 상부에 위치하는 활성층(12b)을 전기적으로 분리한다. 절연층(11)은 예를 들어, 산화물(oxide)을 포함한다. 예를 들어, 절연층(11)은 실리콘 산화물을 포함한다.

[0055] 이때, 활성층(12)은 메모리 소자(100)에 있어서, 트랜지스터 동작을 수행하는 채널 물질의 역할을 수행한다. 또는, 활성층(12)은 전부 또는 일부가 에칭(etching)되어 새로운 물질이 들어오는 자리를 제공한다. 활성층(12)은 절연층(11)과 선택비가 있는 모든 물질을 포함한다. 또는, 몰드(10) 또는 메모리 소자(100)를 제조하는 과정에 있어서 다른 희생 막질을 사용하는 경우, 활성층(12)은 이러한 희생 막질과 선택비가 있는 모든 물질을 포함한다. 활성층(12)은 예를 들어 poly-si, nitride, silicon nitride를 포함한다.

[0056] 도 4에 도시하지는 않았으나, 실시예들에 따른 메모리 소자(100)는 기판을 더 포함할 수 있다. 기판은 예를 들어 반도체 기판으로서, 예를 들어, 실리콘(Si), 갈륨비소(GaAs) 등을 포함한다. 몰드(10)는 기판 상에 형성될 수 있다. 예를 들어, 몰드(10)는 기판 상에 절연층(11) 및 활성층(12)이 교대로 적층되어 형성된다. 이때, 도 4에 도시하지는 않았으나, 기판과 몰드(10) 사이에는 기판과 몰드(10)의 적어도 일부를 전기적으로 연결하는 회로가 형성될 수 있다.

[0057] 이와 같은 과정을 통해, 실시예들은 비트라인 계단을 형성하기 위한 몰드(10)를 생성하는 방안을 제공한다.

[0059] 도 5는 도 3에서 설명한 s201을 설명하는 평면도이다.

[0060] 도 3의 s201을 통해 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 몰드로부터 비트라인 계단을 형성하는 단계(s201)를 포함한다. 도 5를 통해 도 4에서 설명한 몰드(10)로부터 비트라인 계단(20)을 형성하는 방안을 설명한다.

[0061] 실시예들은 몰드(10)의 적어도 일부를 제거하여 몰드(10)가 계단 형상으로 형성되도록 한다. 예를 들어, 몰드(10)는 에칭 또는 트리밍(trimming) 공정을 통해 계단 형상으로 형성된다. 이때, 계단 형상은 예를 들어 도 5에 도시한 바와 같이 몰드(10)의 중간에 V 자 형태를 이루며 형성될 수 있다. 몰드(10)는 복수 개의 층(예를 들어, 21)을 포함한다. 도 5에서는 각 층(예를 들어, 21)이 비스듬하게 형성되어 있으나, 각 층(예를 들어, 21)은 90도의 각도를 가지고 형성될 수 있다.

[0062] 이때, 하나의 층(예를 들어, 21)은 하나의 절연층(11) 및 하나의 활성층(12)을 포함한다. 그러나, 하나의 층은 하나 또는 그 이상의 절연층 및 하나 또는 그 이상의 활성층을 포함하여도 된다. 이때 각 층(예를 들어, 21)은 하나의 비트라인으로서의 역할을 수행한다. 예를 들어, 각각의 비트라인은 계단 형상에 의해 외부와 배선으로 연결된다. 이를 통해, 실시예들에 따른 메모리 소자(100)는 계단 형상으로 형성된 각각의 비트라인(예를 들어, 21)을 개별 구동하는 방안을 제공한다.

[0063] 한편, 실시예들은 제거된 몰드(10)의 적어도 일부에 대하여 절연 물질(22)을 충진한다. 예를 들어, 계단 형상으로 형성된 몰드(10)는, 에칭 또는 트리밍 공정을 통해 제거된 부분에 절연 물질(22)이 충진된다. 예를 들어, 절연 물질(22)은 CVD(Chemical vapor deposition)을 통해 충진된다. 이때, 절연 물질(22)은 예를 들어 층간 유전체(Inter Layer Dieletric, ILD)이고, 예를 들어, TEOS(Tetra Ethyl Ortho Silicate) 물질을 포함한다.

[0064] 이와 같이, 실시예들은 계단 형상의 몰드(10)에 절연 물질(22)을 충진함으로써, 비트라인 계단(20)을 형성한다. 비트라인 계단(20)은, 연마 공정(Chemical Mechanical Polishing, CMP)을 통해 평탄화될 수 있다. 이와 같이, 실시예들은 단차 없는 비트라인 계단(20)을 형성한다. 이를 통해 실시예들은 포토(photo)와 같은 이후의 공정이 수월하게 진행되도록 한다.

[0065] 이와 같은 방안을 통해, 실시예들에 따른 메모리 소자(22)는 절연 물질(22)을 통해 비트라인(22) 간 절연이 되도록 한다. 또한, 실시예들은 절연 물질(22)을 통해 이후의 공정을 수월하게 진행할 수 있는 방안을 제공한다.

[0067] 도 6은 도 3에서 설명한 s202를 설명하는 평면도이다.

[0068] 도 3의 s201을 통해 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 계단에 지지대를 형성하는 단계(s202)를 포함한다. 도 4 내지 도 5를 통해 비트라인 계단(20)을 형성하였다. 이때, 예를 들어, 이후의 공정에서 활성층(12)의 전부 또는 일부가 제거될 수 있다. 이 경우, 활성층(12)이 제거됨에 따라 비트라인 계단(20)의 적어도 일부가 무너질 수 있다. 도 6에서는 이와 같이 비트라인 계단(20)이 무너지는 것을 방지하기 위하여 비트라인 계단(20) 내에 지지대(23)를 형성하는 방법을 설명한다.

[0069] 지지대(23)는 비트라인 계단(20)의 적어도 일부(예를 들어, H1)를 통과한다. 이에 따라, 비트라인 계단(20) 내에 형성된 계단의 폭이 좁아질 수 있다.

[0070] 예를 들어, 비트라인 계단(20)의 적어도 일부(예를 들어, H1, 편의상 이하에서는 비트라인 계단(20)의 적어도 일부를 제 1 홀(H1)이라고 칭한다. 그러나, 제 1 홀(H1)은 실제로 비트라인 계단(20) 내에 구멍 또는 통로가 형성되는 개념뿐만 아니라, 도 6에서 설명한 바와 같이, 지지대(23)가 비트라인 계단(20)을 통과하면서 형성되는 공간을 의미한다.)는 도 1에 형성된 바와 같이, 비트라인 컷(BC)과 셀 캡을 위한 컷(CC)이 수행되는 위치 사이에 형성된다.

[0071] 이때, 지지대(23)는 비트라인(21)에 수직한 방향으로 하나 또는 그 이상 형성된다. 비트라인(21)에 대해 수직한 방향은, 예를 들어, 도 4에서 설명한 기판에 수직한 방향이다. 또는, 예를 들어, 비트라인(21)에 대해 수직한 방향은, 절연층(11) 및/또는 활성층(12)에 대해 수직한 방향이다. 도 6에서는 설명의 편의를 위해 6 개의 제 1 홀이 형성된 예시를 도시하였으나, 제 1 홀(H1)의 개수는 이에 한정되지 않는다. 제 1 홀(H1)은 예를 들어 비트라인 계단(20)에 대해 드라이 에칭(dry etching)을 수행하여 형성된다.

[0072] 지지대(23)는 제 1 충진재에 의해 형성된다. 제 1 충진재는 예를 들어 산화 필러(oxide filler), 질화 필러(nitride filler) 등을 포함한다. 제 1 홀(H1)이 복수 개인 경우에 있어서, 제 1 홀(H1)들 사이의 간격은 절연층(11)의 두께와 비례한다. 예를 들어, 절연층(11)이 두꺼운 경우, 제 1 홀(H1)들 사이의 간격이 길어질 수 있고, 이에 따라 비트라인 계단(20)에 형성되는 제 1 홀(H1)의 개수가 적어질 수 있다.

[0073] 지지대(23)는 예를 들어 도 1의 사시도를 통해 나타낸 바와 같이 메모리 소자(100)의 상면에서 볼 때 단면이 둥근 형상으로 형성될 수 있다. 그러나 지지대(23)의 단면의 형상은 이에 한정되지 않으며, 제조 공정의 편리성 또는 기능 향상에 도움이 되는 어떤 형태로도 형성될 수 있다.

[0074] 이와 같은 방안을 통해, 실시예들에 따른 메모리 소자(22)는 이후의 공정에서 예를 들어 활성층(12)의 전부 또는 일부가 삭제되는 경우에도 비트라인 계단(20)이 무너지지 않도록 하는 방안을 제공한다.

[0076] 도 7은 도 3에서 설명한 s203을 설명하는 평면도이다.

[0077] 도 8은 도 3에서 설명한 s203을 설명하는 평면도 및 사시도이다.

[0078] 도 3의 s203을 통해 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 에칭을 통해 구조체를 형성하는 단계(s203)를 포함한다. 도 8의 (a)는 도 7에서 나타낸 B-B'의 단면도이다. 도 8의 (b)는 도 8의 (a)에 나타낸 구조체(30)의 사시도이다. 즉, 도 8의 (a)는 도 8의 (b)를 화살표 G 방향에서 바라본 정면도 또는 평

면도이다. 도 8의 (c)는 도 8의 (b)에 대해 제 2 충진재가 충진된 예시를 나타낸 사시도이다. 한편, 도 8에서 S는 기판(예를 들어, 도 4에서 설명한 기판)을 나타낸다.

[0079] 메모리 소자(100)는 3차원 구조를 갖는다. 이에 따라, 메모리 소자(100)는 비트라인 간 및/또는 워드라인 간 전기적 분리가 요구된다. 따라서, 전기적 분리를 위해 메모리 소자(100)는 워드라인 컷(도 1의 WL 참조)을 수행한다. 즉, 비트라인 계단(20)은 비트라인에 수직한 방향으로 워드라인 에칭 공정이 수행된다. 워드라인 에칭은 예를 들어 드라이 에칭을 포함한다. 이러한 에칭 공정을 통해, 비트라인 계단(20)에는 제 2 홀(H2)이 형성된다. 이를 통해, 구조체(30)가 형성된다. 도 7에서는 2 개의 제 2 홀(H2)이 형성된 예시를 도시하였으나, 메모리 소자(100)에 형성되는 제 2 홀(H2)의 개수는 이에 한정되지 않는다.

[0080] 이때, 제 2 홀(H2)은 도 8의 (b)에 도시한 바와 같이, 구조체(30)에 포함되는 제 2 홀(H2)은 상면에서 볼 때 일 측이 폐쇄되어 있고, 다른 일 측이 개방되어 있는 형태를 갖는다. 예를 들어, 제 2 홀(H2)은 구조체(30)의 일 측에 있어서, 소정 두께(d)를 남겨둔 채로 형성된다. 제 2 홀(H2)은 일 측의 폐쇄와 다른 일 측의 개방으로 인해, 예를 들어 상면에서 보는 방향에 있어서 "ㄷ" 형태의 둘레를 갖는다.

[0081] 이와 같이, 실시예들에 따른 메모리 소자(100)는 비트라인이 지나갈 폭을 남겨둔다. 이를 통해, 실시예들은 이후 공정에서 비트라인 간 연결되는 방안을 제공한다.

[0082] 구조체(30)에 형성된 하나 또는 그 이상의 제 2 홀(H2)에 대하여 제 2 충진재가 채워진다. 제 2 충진재는 예를 들어 산화 필러(oxide filler), 질화 필러(nitride filler) 등을 포함한다. 이때, 제 2 충진재는 예를 들어 STI(Shallow Trench Isolation) 공정을 통해 제 2 홀(H2)에 채워진다. 제 2 홀(H2)에 채워진 제 2 충진재는 워드라인(31)이 된다. 워드라인(31)은 예를 들어 도 8의 (c)에 도시한 바와 같이 형성된다.

[0083] 이를 통해, 실시예들에 따른 메모리 소자(100)는 이후 공정을 거쳐 워드라인 간 전기적으로 분리가 이루어지는 방안을 제공한다.

[0085] 도 9는 도 3에서 설명한 s102를 설명하는 평면도 및 사시도이다.

[0086] 도 2의 s102에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 구조체에 채널 충진(channel fill)을 수행하는 단계(s102)를 포함한다.

[0087] 도 9의 (a)는 도 8의 (a)에 대해 채널 충진이 수행된 단계를 나타내는 평면도이다. 도 8의 (b)에 대해 대해 채널 충진이 수행된 단계를 나타내는 사시도이다.

[0088] 채널 충진(channel fill)을 수행하기 위하여, 우선 도 7 내지 도 8에서 설명한 구조체(30)에 대해 에칭이 수행된다. 예를 들어, 도 9에 도시한 바와 같이, 제 2 충진물이 충진된 곳에 있어서 워드라인(31)이 형성되지 않을 영역에 대하여는 에칭이 수행된다.

[0089] 먼저 구조체(30)는 에칭을 하고자 하는 영역에 기초하여 구조체(30) 상에 마스크(mask)를 위치시킨다. 구조체(30)에 있어서, 마스크 위치에 기초하여 선택적으로 에칭이 수행된다.

[0090] 예를 들어, 구조체(30)의 양측에 위치하는 제 2 충진물에 대해 에칭이 수행된다. 이를 통해 워드라인(24)으로 이용되지 않는 영역에 형성된 제 2 충진물이 제거된다. 구조체(30)의 제 2 충진물이 제거된 영역으로서, 예를 들어 구조체(30)의 양측에 제 3 충진물(32)이 증착된다. 이때, 제 3 충진물(32)은 예를 들어 nitride로서 예를 들어 SiN이다. 그러나 제 3 충진물(32)은 이에 한정되지 않으며, 제 3 충진물(32)은 제 2 충진물과 다른 etch 선택비를 갖는 어떤 물질도 가능하다. 제 3 충진물(32)은 예를 들어 CVD 또는 ALD 등의 공정을 통해 증착된다.

[0091] 한편, 예를 들어, 구조체(30)의 가운데에 위치하는 제 2 충진물에 대해 에칭이 수행된다. 가운데 영역은 예를 들어 워드라인(24)으로 이용되지 않는 영역으로서, 비트라인의 연결을 위해 폐쇄된 영역이 있는 곳이다. 이를 통해, 구조체(30)는 기판(S)에 수직한 방향으로 개구(33)가 형성된다. 또한, 구조체(30)는 photo 공정 또는 습식 식각을 이용하여 개구(33)에 수직하게 형성된 활성층(12)의 적어도 일부를 제거한다. 이를 통해 구조체(30)에는 수직 개구(34)가 형성된다.

[0092] 도 9를 통해 채널 충진이 수행될 수 있는 공간을 마련하는 방안을 설명하였다. 이하의 도 10을 통해 이러한 공간에 대해 채널 충진을 수행하는 내용을 설명한다.

[0094] 도 10은 도 2에서 설명한 s102를 설명하는 사시도이다.

[0095] 도 2의 s102에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 구조체에 채널 충진(channel fill)을 수행하는 단계(s102)를 포함한다.

[0096] 구조체(30)에는 oxidation 공정을 통해 산화막(35)이 형성된다. 이때, 산화막(35)을 예를 들어 ALD 또는 CVD를 통해 증착된다. 예를 들어, 산화막(35)은 활성층(12)이 열에 의해 산화되면서 생기는 oxide 막질이다. 이때, 산화막(35)은 수직 개구(35)와 활성층(12)의 경계에 형성된다. 이를 통해 실시예들은 이후 공정에서 스탑 레이어(stopping layer)로서 역할을 수행하도록 한다.

[0097] 구조체(30)에는 채널(36)이 더 형성된다. 채널(36)은 예를 들어 수직 개구(35)를 채우면서 형성된다. 채널(36)은 예를 들어 Poly Si 또는 IGZO를 포함한다. 예를 들어, 채널(36)이 Poly-Si를 포함하는 경우, 채널(36)은 CVD 또는 ALD(Atomic Layer Deposition)를 통해 수직 개구(35) 내에 형성된다. 또는, 예를 들어, 채널(36)이 IGZO를 포함하는 경우, 채널(36)은 ALD를 통해 수직 개구(35) 내에 형성된다. 이와 같은 채널 충진을 통해 실시예들은 예를 들어 메모리 소자(100)의 트랜지스터의 채널로서 기능하는 채널(36)을 형성하는 방법을 제공한다.

[0099] 도 11은 도 2에서 설명한 s103을 설명하는 사시도이다.

[0100] 도 2의 s103에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 채널 충진이 수행된 부분의 적어도 일부를 식각하는 단계(s103)를 포함한다. 도 11의 (a)는 s103을 설명하는 사시도이고, 도 11의 (b)는 도 11의 (a)의 일부분을 확대하여 나타낸 사시도이다.

[0101] 도 9 내지 도 10을 통해 구조체(30)에 형성된 수직 개구(35)에 대해 채널(36)을 형성하는 방법을 설명하였다. 그러나, 이 경우 메모리 소자(100)에 포함되는 셀들 간에 전기적으로 연결이 되는 문제가 있다. 따라서, 도 11을 통해 셀들이 서로 전기적으로 절연될 수 있는 방안을 설명한다.

[0102] 채널(36)의 적어도 일부는 식각된다. 이를 통해 구조체(30)에는 제 3 홀(H3)이 형성된다. 제 3 홀(H3)은 예를 들어 습식 식각 또는 트리밍에 의해 형성된다. 이때, 제 3 홀(H3)을 통해 워드라인(31)으로 형성되는 제 2 충진물이 노출된다. 즉, 제 3 홀(H3)은 제 2 충진물이 노출될 때까지 식각된다. 이때, 제 3 홀(H3)이 식각되는 방향은 수직 개구(35)가 형성된 방향과 동일 또는 유사하다.

[0103] 이와 같은 방안을 통해, 실시예들에 따른 메모리 소자(100)는 셀 간 전기적 절연을 도모한다. 예를 들어, 이후 공정에 따라 메모리 소자(100)는 제 1 셀(c1) 및 제 2 셀(c2)을 포함한다. 이때, 제 1 셀(c1) 및 제 2 셀(c2)은 제 3 홀(H3)에 의해 서로 전기적으로 분리된다.

[0105] 도 12는 도 2에서 설명한 s104을 설명하는 사시도이다.

[0106] 도 2의 s104에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다.

[0107] 비트라인 충진 및/또는 워드라인 충진을 수행하기 위하여, 먼저 구조체(30)에 대해 드레인(drain) 및/또는 소스(source)를 형성한다. 이때, 드레인 및/또는 소스는, 채널(36)보다 도펀트의 농도가 높다. 예를 들어, 채널(36)이 Poly-Si로서 low-doped 물질을 이용하는 경우 드레인 및/또는 소스는 high-doped 물질을 이용한다. 한편, 예를 들어, 채널(36)이 IGZO인 경우 별도의 구조체(30)는 드레인 및/또는 소스는 형성되지 않아도 된다. 도 12를 통해 드레인을 생성하는 방안을 설명한다.

[0108] 구조체(30)에 있어서, 채널(36)의 일 측에는 산화막(35)이 형성되고, 채널(36)의 상면 또는 하면에는 절연층(11)이 형성된다. 또한, 산화막(35)과 대향되는 면인 채널(36)의 다른 일 측에는 예를 들어 드레인(37)이 형성된다. 이를 위해, 구조체(30)의 다른 일 측에 금속 배선이 마련된다. 금속 배선은 메모리 소자(100) 내의 셀 간 연결을 수행한다. 금속 배선은 예를 들어 CVD 또는 ALD와 같은 증착 방법에 의하여 구조체(30)의 다른 일 측에 마련된다. 금속 배선은 예를 들어 습식 식각과 같은 트리밍(trim 공정)을 통해 절연층(11)보다 외부로 돌출되지 않도록 형성된다. 이에 따라, 예를 들어, 도 12에 도시한 바와 같이, 드레인(37)은 채널(36)의 다른 일 측에 형성되고, 절연층(11) 사이에 오목하게 삽입된 형태로 마련된다.

[0109] 한편, 실시예들은 이후 공정의 편의를 위하여 드레인(37)이 형성되지 않아 비어있는 공간에 대해 제 4 충진물

(38)을 충진한다. 제 4 충진물(38)은 예를 들어 nitride로서, 예를 들어 SiN이다. 제 4 충진물(38)은 구조체(30)의 빈 공간으로부터 드레인(37)을 보호하도록 예를 들어 CVD 또는 ALD와 같은 증착 방법에 의해 생성된다.

[0110] 이를 통해, 실시예들은 드레인(37)을 형성하고, 공정 과정에서 드레인(37)을 보호하는 방안을 제공한다.

[0112] 도 13은 도 2에서 설명한 s104를 설명하는 사시도이다.

[0113] 도 2의 s104에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다. 도 13에서는 메모리 소자(100) 내에 소스(39)를 생성하는 방안을 설명한다.

[0114] 먼저, 실시예들에 따른 메모리 소자(100)에 포함되는 셀 커패시터(capacitor)를 형성하기 위하여, 구조체(30)의 양 측에 형성된 제 3 충진물(32)을 제거한다. 예를 들어, 제 3 충진물(32)은 습식 식각에 의해 제거된다. 이에 따라, 구조체(30)의 양 측에는 빈 공간(32')이 형성된다.

[0115] 또한, 실시예들에 따른 메모리 소자(100)에 포함되는 소스를 형성하기 위하여, 구조체(30)에 형성된 활성층(12)의 전부 또는 일부를 제거한다. 예를 들어, 활성층(12)은 빈 공간(32')으로부터 산화막(35)을 향하는 방향으로 예를 들어 습식 식각과 같은 트리밍을 통해 제거된다.

[0116] 또한, 실시예들에 따른 메모리 소자(100)에 포함되는 소스를 형성하기 위하여, 구조체(30)에 형성된 산화막(35)을 제거한다. 예를 들어, 산화막(35)은 HF 용액에 의해 제거된다.

[0117] 실시예들은 소스를 형성하기 위하여, 구조체(30)의 일 측에 금속 배선을 마련한다. 금속 배선은 예를 들어 CVD 또는 ALD와 같은 증착 방법에 의하여 구조체(30)의 일 측에 마련된다. 금속 배선은 예를 들어 습식 식각과 같은 트리밍(trim 공정)을 통해 절연층(11)보다 외부로 돌출되지 않도록 형성된다. 이에 따라, 예를 들어, 도 12에 도시한 바와 같이, 소스(39)는 채널(36)의 일 측에 형성되고, 절연층(11) 사이에 오목하게 삽입된 형태로 마련된다. 이에 따라, 채널(36)은 일 측에 소스(39)가 위치하고, 다른 일 측에 드레인(37)이 위치하도록 형성된다.

[0118] 또한, 실시예들은 커패시터(41)를 마련하기 위하여, 빈 공간(32')으로부터 소스(39)를 향하여 제 5 충진물을 증착한다. 제 5 충진물은 예를 들어 ALD와 같은 증착 공정을 통해 구조체(30)에 증착된다. 제 5 충진물은 예를 들어 TiN, HZO을 포함한다. 이에 따라, 소스(39)의 일 측에는 채널(36)이 형성되고, 소스(39)의 다른 일 측에는 커패시터(41)가 형성된다. 또한, 커패시터(41)는 절연층(11)에 의해 층 별로 분리되어 형성된다.

[0119] 이와 같은 방안을 통해 실시예들은 메모리 소자(100)에 커패시터 및/또는 소스를 형성하는 방안을 제공한다.

[0121] 도 14는 도 2에서 설명한 s104를 설명하는 사시도이다.

[0122] 도 2의 s104에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다. 도 14에서는 드레인(37)과 비트라인(21)을 전기적으로 연결하는 비트라인 배선(43)을 생성하는 비트라인 충진에 대해 설명한다.

[0123] 먼저, 실시예들은 빈 공간(32')에 대해 제 6 충진물(42)을 형성한다. 제 6 충진물(42)은 예를 들어 CVD 또는 ALD와 같은 증착 방법을 통해 증착된다. 제 6 충진물(42)은 예를 들어 W, Mo, Ru 등의 금속 또는 poly-Si를 포함한다. 제 6 충진물은 예를 들어 캡 컨택(cap contact)을 형성한다. 즉, 제 6 충진물(42)은 예를 들어 메모리 소자(100)에서 셀 캡 라인을 형성한다. 이를 통해 메모리 소자(100)의 양 측도 외부와 전기적으로 연결된다.

[0124] 실시예들은 비트라인 오프닝을 수행한다. 예를 들어, 실시예들은 비트라인 배선(43)이 생성되는 공간을 생성하기 위하여, 제 4 충진물(38)을 제거한다. 제 4 충진물(38)은 예를 들어 습식 식각을 통해 제거된다. 이에 따라, 구조체(30)는 충진물(38)이 제거된 빈 공간(38')을 포함한다.

[0125] 실시예들은 구조체(30)에 대해 비트라인 배선(43)을 형성한다. 비트라인 배선(43)은 빈 공간(38')의 적어도 일부 상에 형성된다. 비트라인 배선(43)은 드레인(37)과 비트라인(21)을 전기적으로 연결할 수 있도록 형성된다. 예를 들어, 비트라인 배선(43)은 CVD, ALD와 같은 증착 공정을 통해 증착된다.

[0126] 이와 같이, 실시예들은 셀 캡 라인 및 비트라인 배선을 형성하는 방안을 제시한다. 이를 통해, 메모리 소자(100)는 비트라인과 드레인이 전기적으로 연결된 구조를 포함한다.

[0128] 도 15는 도 2에서 설명한 s104를 설명하는 평면도 및 사시도이다.

[0129] 도 2의 s104에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다. 도 15에서는 게이트 전극을 형성하는 방안을 설명한다. 도 15의 (a)는 구조체의 평면도이고, 도 15의 (b)는 구조체의 사시도이다.

[0130] 실시예들은 워드라인 충진을 수행하기 위하여, 워드라인 충진이 수행될 공간을 마련한다. 이를 위해, 구조체(30)로부터 절연층(11)의 적어도 일부를 제거한다. 이를 통해 구조체(30)에는 빈 공간(11')이 형성된다. 이때, 빈 공간(11')은 예를 들어 채널(36) 사이의 적어도 일부에 형성된다. 절연층(11)은 마스크에 의해 선택적으로 적어도 일부가 제거된다.

[0131] 또한, 실시예들은 구조체(30)로부터 워드라인(31)을 구조체(30)의 상부부터 하부까지 연결하기 위한 오프닝 작업을 수행한다. 이때, 오프닝 작업과 절연막(11)의 적어도 일부를 제거하는 작업은 동시에 또는 순차적으로 진행된다. 이때, 오프닝 작업에 따라 구조체(30)에 개구되는 영역은, 상술한 채널(36)이 형성되는 영역보다 좁다.

[0132] 이때, 워드라인 충진이 수행될 공간을 마련하고, 오프닝 작업을 수행하기 위하여 구조체(30)의 상부에 상부막(43)을 형성한다. 상부막(43)은 예를 들어 poly-Si를 포함한다. 실시예들은 구조체(30) 상에 상부막(43)을 형성한 후 트리밍을 통해 절연층(11)의 적어도 일부가 제거된다. 한편 이와 같이 상부막(43)을 형성하는 과정은 생략되어도 된다. 즉, 실시예들은 적절히 구조체(30)로부터 절연층(11)의 적어도 일부가 제거되는 방안이라면 상부막(43)을 이용하는 것에 한정되지 않고 어느 것이어도 적용 가능하다.

[0134] 도 16은 도 2에서 설명한 s104를 설명하는 평면도 및 사시도이다.

[0135] 도 2의 s104에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다. 도 16에서는 도 15에서 수행한 과정들에 이어서 워드라인 충진을 수행하기 위한 방안을 설명한다. 도 16의 (a)는 구조체의 평면도이고, 도 16의 (b)는 구조체의 사시도이다. 한편, 도 16의 (b)는 빈 공간(38')에 충진된 제 8 충진물을 설명하기 위하여 제 8 충진물이 생략된 예시를 도시하였다.

[0136] 실시예들은 구조체(30)에 제 7 충진물(44)을 충진한다. 제 7 충진물(44)은 예를 들어 상부막(43)의 적어도 일부가 제거됨으로써 상부막(43)을 통해 구조체(30)에 충진된다. 또는, 제 7 충진물(44)은 예를 들어 마스크를 통해 구조체(30)에 충진된다. 제 7 충진물(44)은 도 15에서 생성된 오프닝을 따라 구조체(30)의 상부로부터 하부를 채운다. 오프닝의 상부로부터 하부에 채워진 제 7 충진물(44)은 트림(trim) 공정을 통해 etch-back이 수행된다. 이를 통해, 제 7 충진물(44)은 게이트 전극의 전부 또는 일부를 감싼다. 이때, 제 7 충진물(44)은 예를 들어 nitride이나, 제 7 충진물(44)은 이에 한정되지 않고 절연층(11) 또는 제 8 충진물(45)과 에칭 선택비를 갖는 모든 물질을 포함한다. 제 7 충진물(44)이 충진되는 공간은, 이후의 과정에 있어서 워드라인 배선이 형성되는 공간을 제공한다.

[0137] 한편, 상술한 바와 같이, 제 8 충진물(45)이 구조체(30)의 빈 공간(38')에 충진된다. 이때, 제 8 충진물(45)은 예를 들어 SiO2이고, 예를 들어 절연층(11)과 동일 또는 유사한 물질을 포함한다.

[0139] 도 17은 도 2에서 설명한 s104를 설명하는 평면도 및 사시도이다.

[0140] 도 2의 s104에서 설명한 바와 같이, 실시예들에 따른 메모리 소자(100)의 제조 방법은 비트라인 충진(BL fill) 및/또는 워드라인 충진(WL fill)을 수행하는 단계(s104)를 포함한다. 도 17에서는 도 16에서 수행한 과정들에 이어서 워드라인 충진을 수행하기 위한 방안을 설명한다. 도 17의 (a)는 구조체의 평면도이고, 도 17의 (b)는 구조체의 사시도이다.

[0141] 실시예들에 따른 메모리 소자(100)의 제조 방법은, 워드라인 충진을 수행하기 위하여 상부막(43)을 제거하는 과정을 포함한다. 또한, 제조 방법은, 상부막(43)을 제거한 후 제 7 충진물(44)을 제거하는 과정을 포함한다. 예를 들어, 제 7 충진물은 습식 식각을 통해 제거된다. 예를 들어, 제 7 충진물(44)은 인산 등을 통해 제거된다.

[0142] 또한, 실시예들에 따른 메모리 소자(100)의 제조 방법은, 제 7 충진물이 제거된 공간(44')에 대하여 워드라인

배선(46)을 형성한다. 워드라인 배선(46)은 예를 들어 CVD, ALD 등의 증착 공정을 통해 제 7 층진물이 제거된 공간(44')에 형성된다. 워드라인 배선(46)은 예를 들어 W, Mo, Ru 등의 금속을 포함한다. 이를 통해 실시예들은 워드라인 배선(46)을 형성하는 방안을 제공한다. 또한, 워드라인 배선(46)은 TiN을 더 포함하여도 된다. 이를 통해 실시예들은 워드라인 배선(46)의 일함수를 조절하는 방안을 제공한다.

[0144] 도 1 내지 도 17을 통해, 3차원 적층 구조를 갖는 메모리 소자(100)의 제조 방법 및 그 구조에 대하여 설명하였다. 이와 같은 방안을 통해, 실시예들은 3D DRAM 아키텍처를 구현한다. 또한, 실시예들은 다양한 채널에 적용 가능한 범용적인 구조 및/또는 공정을 제공한다.

[0146] 이상에서 본 발명의 대표적인 실시예들을 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0148] 10: 몰드(mold)

20: 비트라인 계단

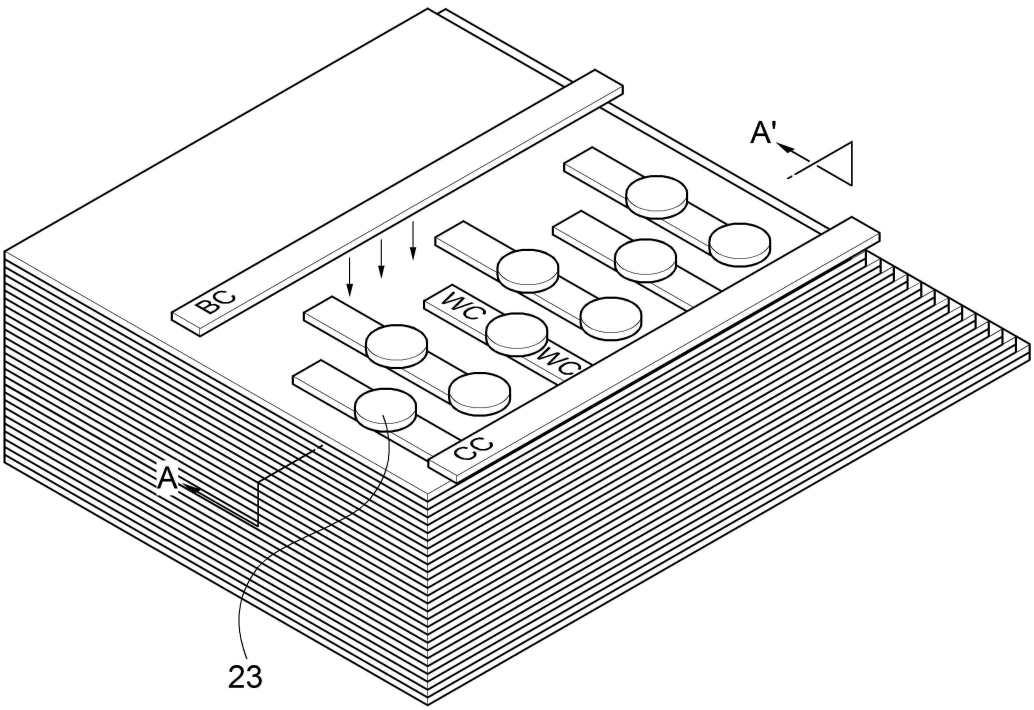
30: 구조체

100: 메모리 소자

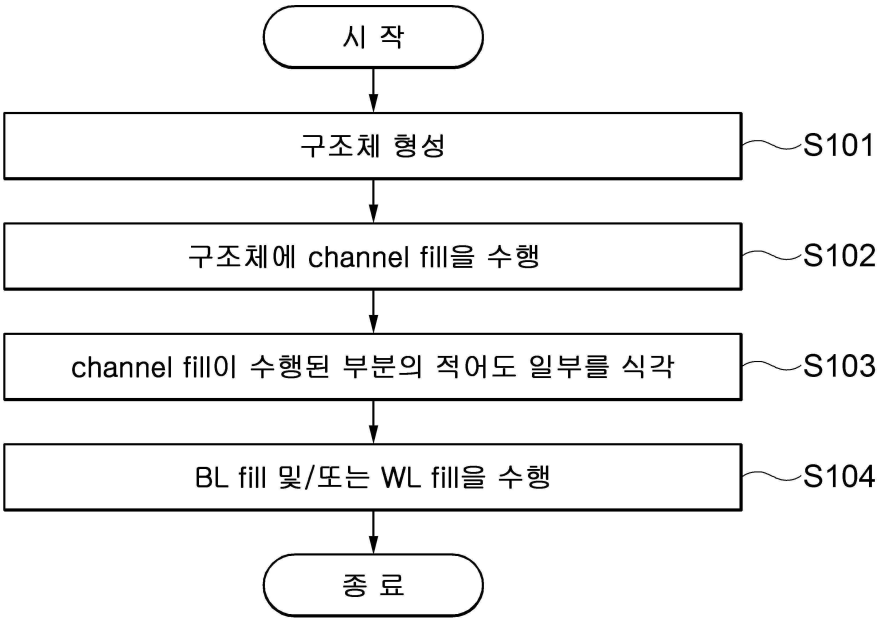
도면

도면1

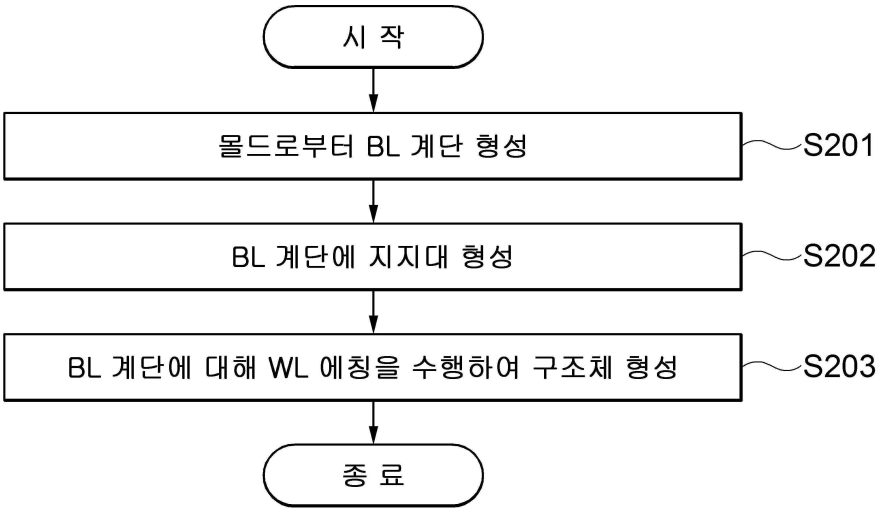
100



도면2


시 작
구조체 형성
S101
구조체에 channel fill을 수행
S102
channel fill이 수행된 부분의 적어도 일부를 식각
S103
BL fill 및/또는 WL fill을 수행
S104
종 료

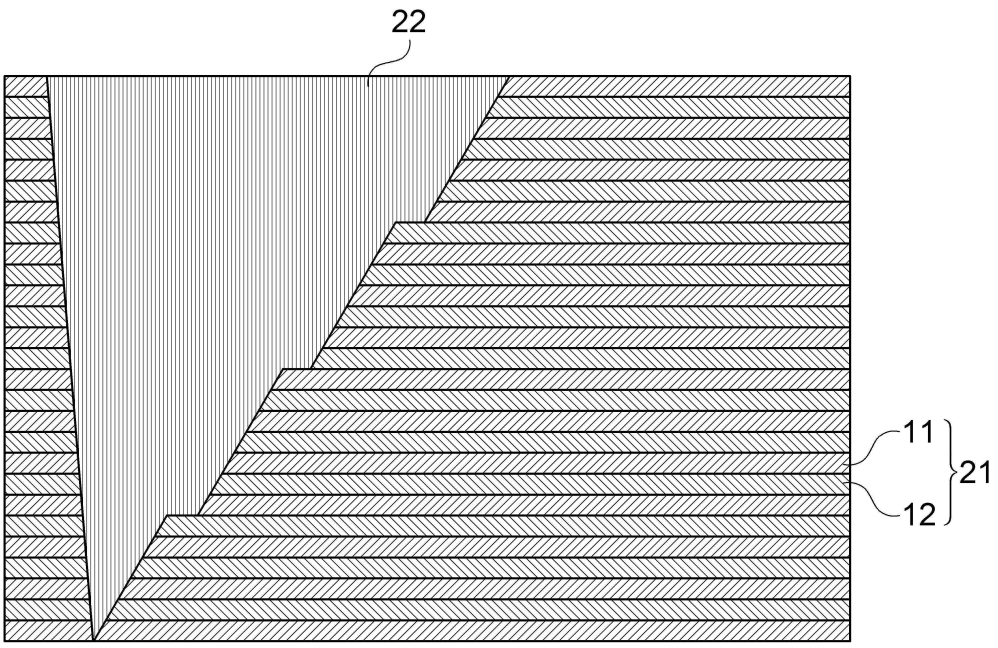
도면3


시 작
몰드로부터 BL 계단 형성
S201
BL 계단에 지지대 형성
S202
BL 계단에 대해 WL 에칭을 수행하여 구조체 형성
S203
종 료

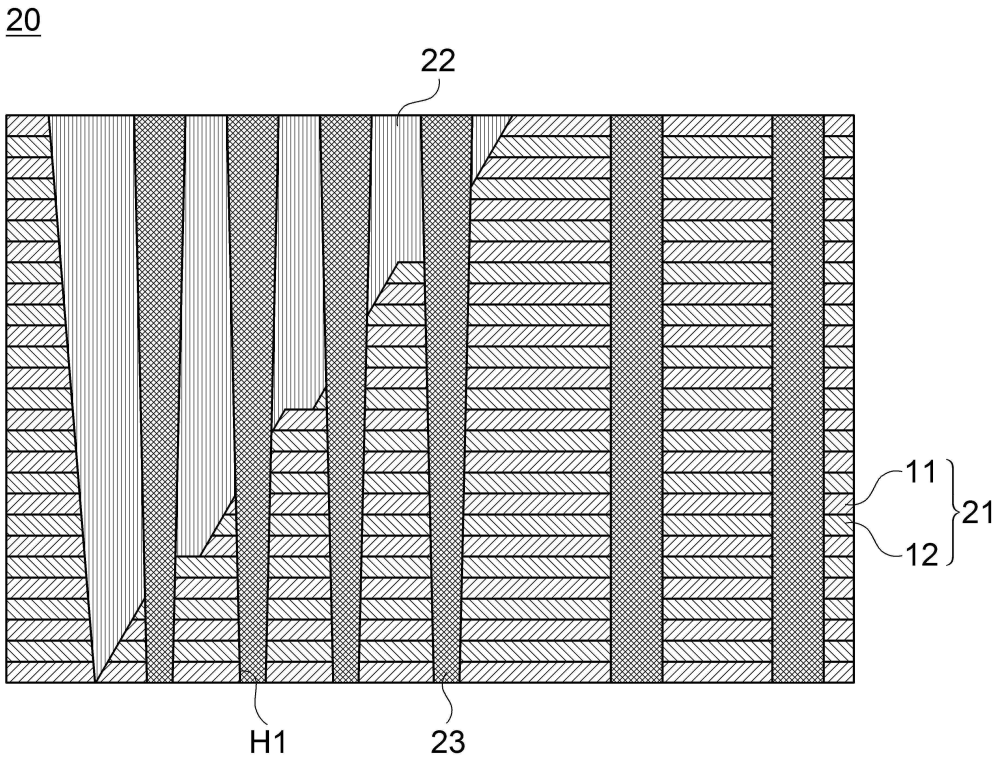
도면4



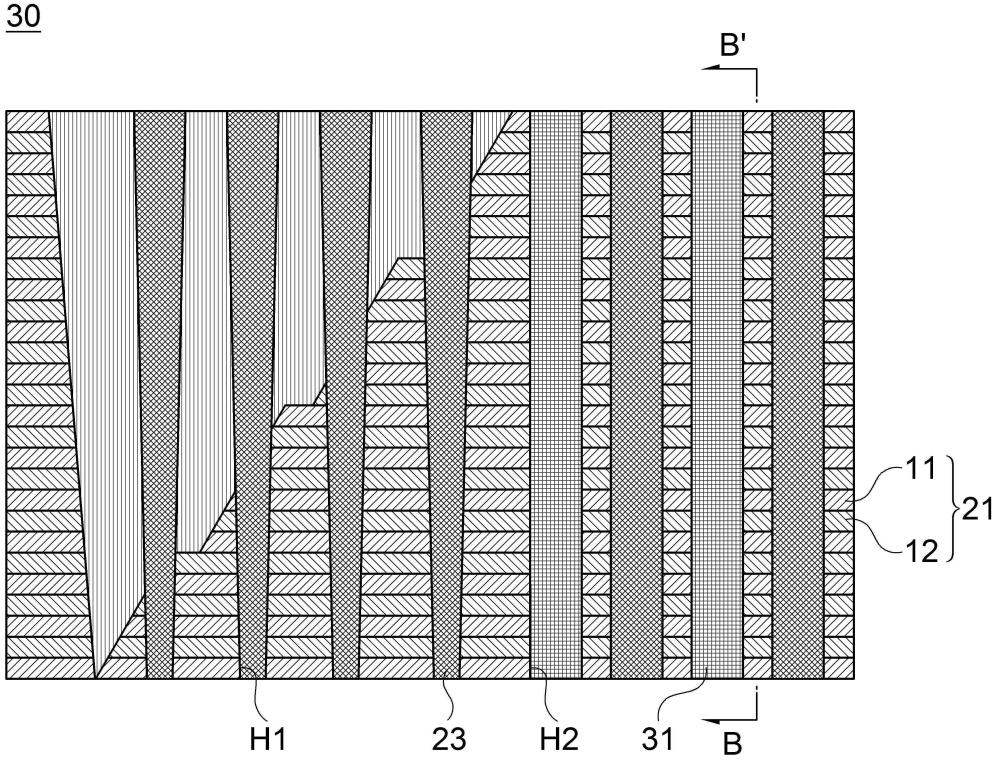
도면5



도면6

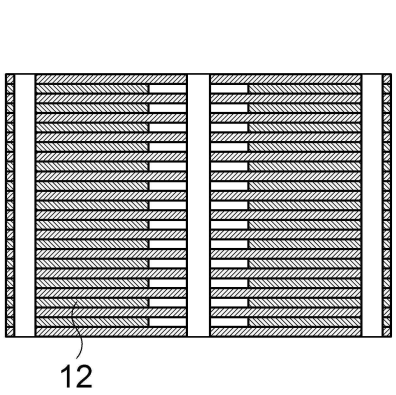


도면7

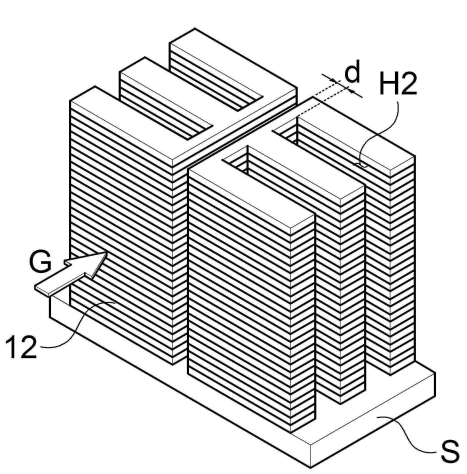


도면8

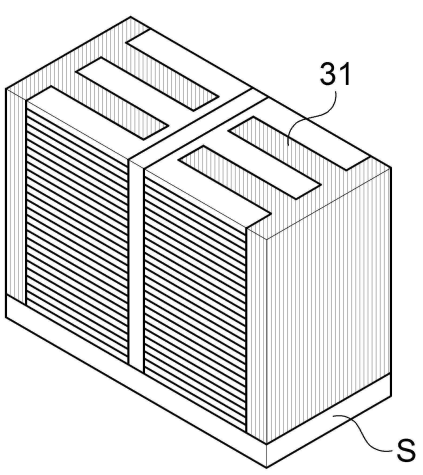
(a)



(b)

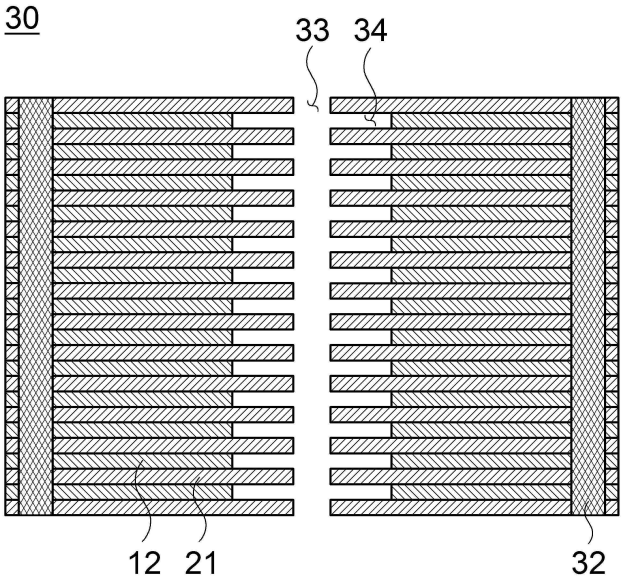


(c)

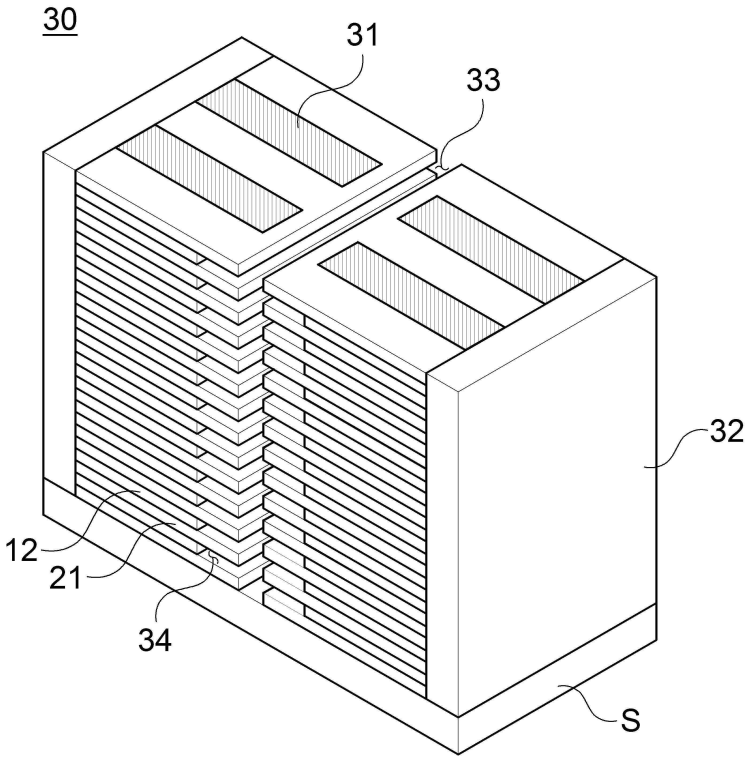


도면9

(a)

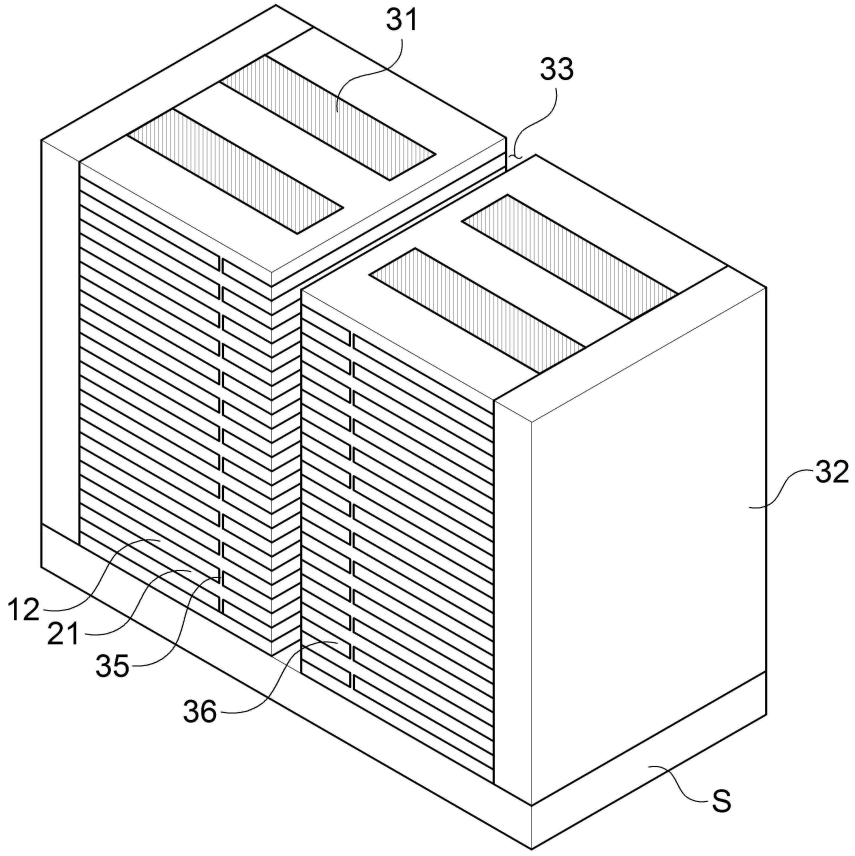


(b)



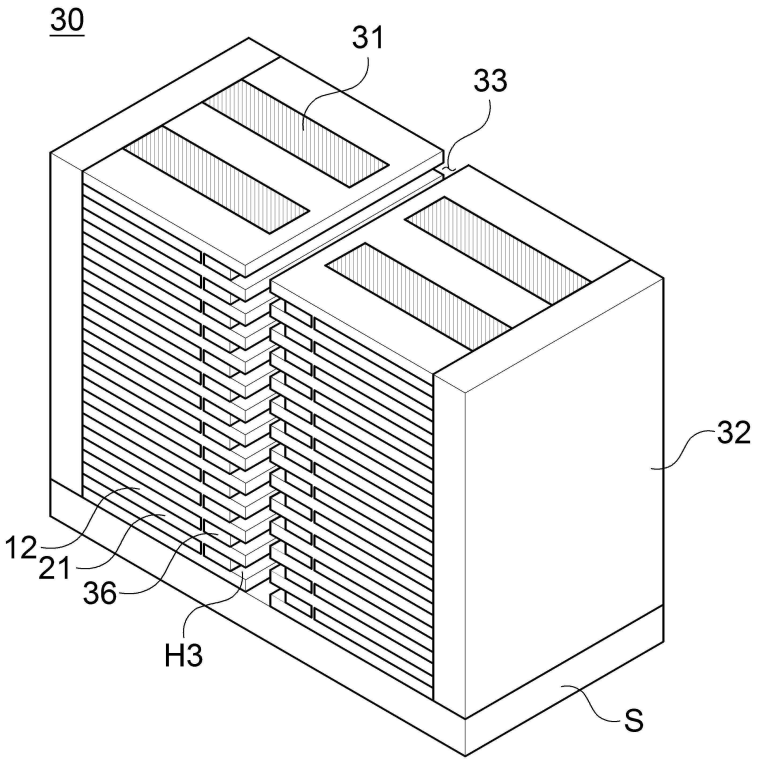
도면10

30

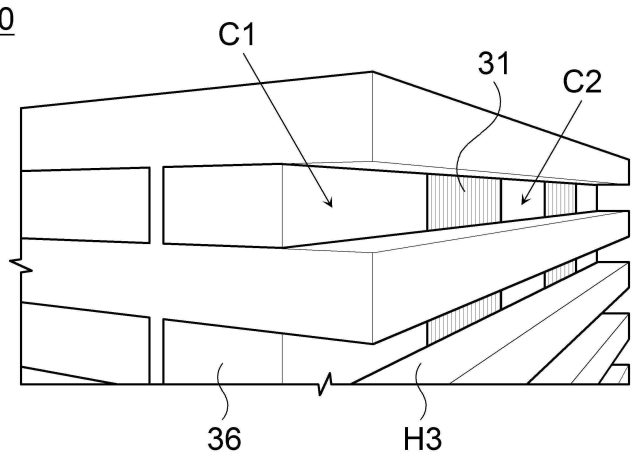


도면11

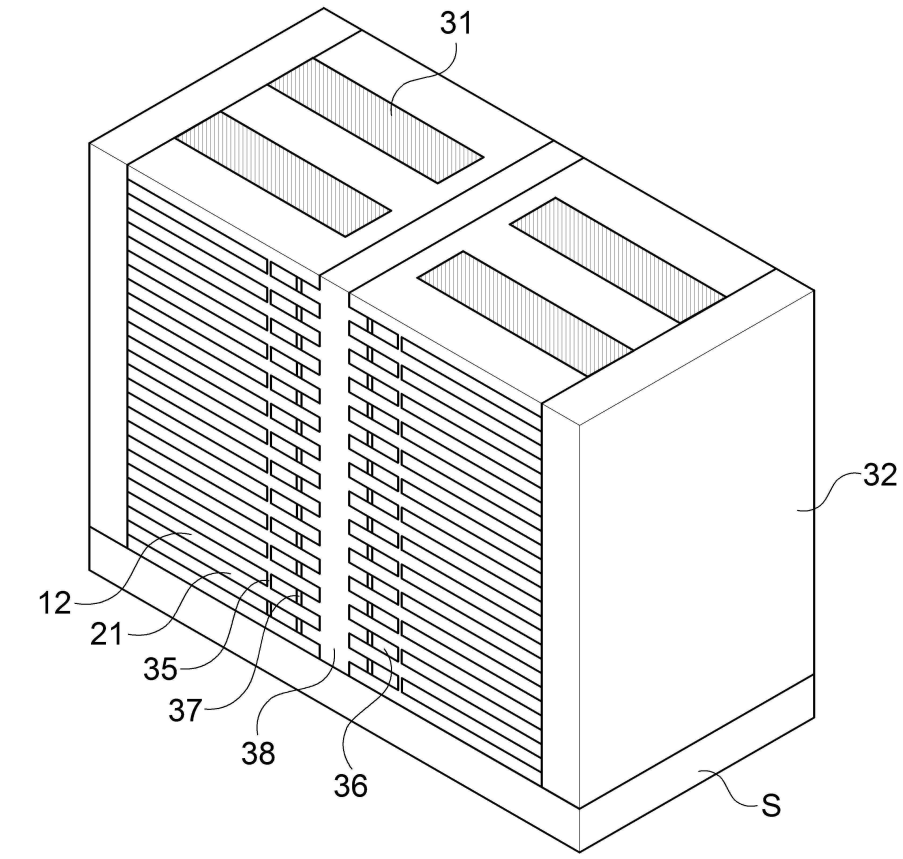
(a)



(b)

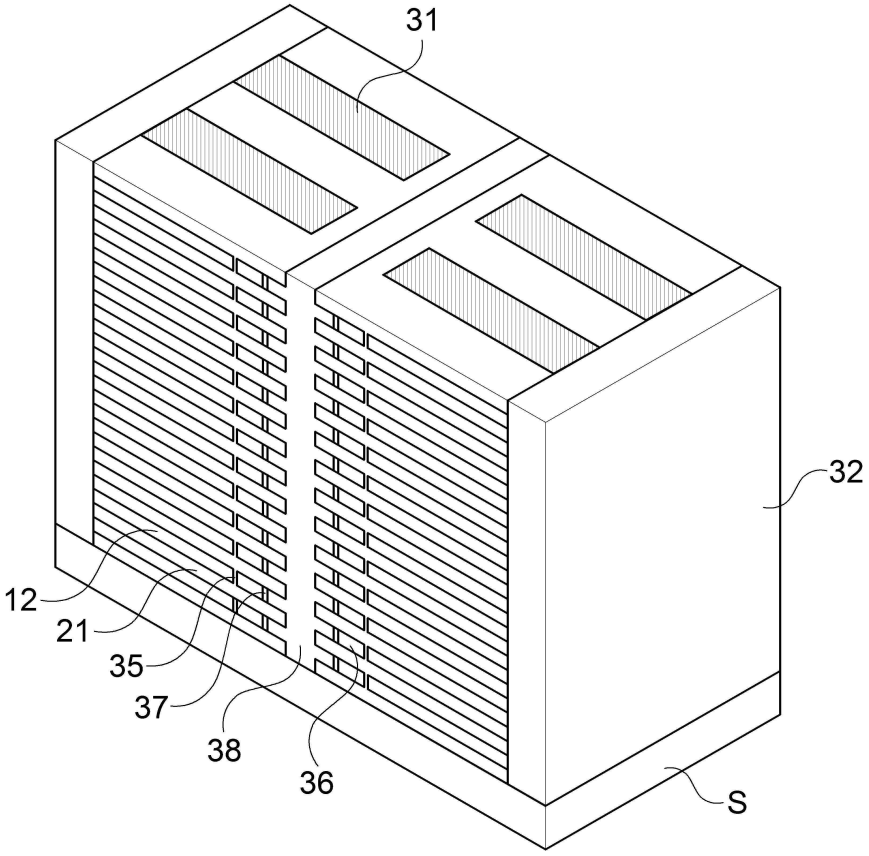


도면12



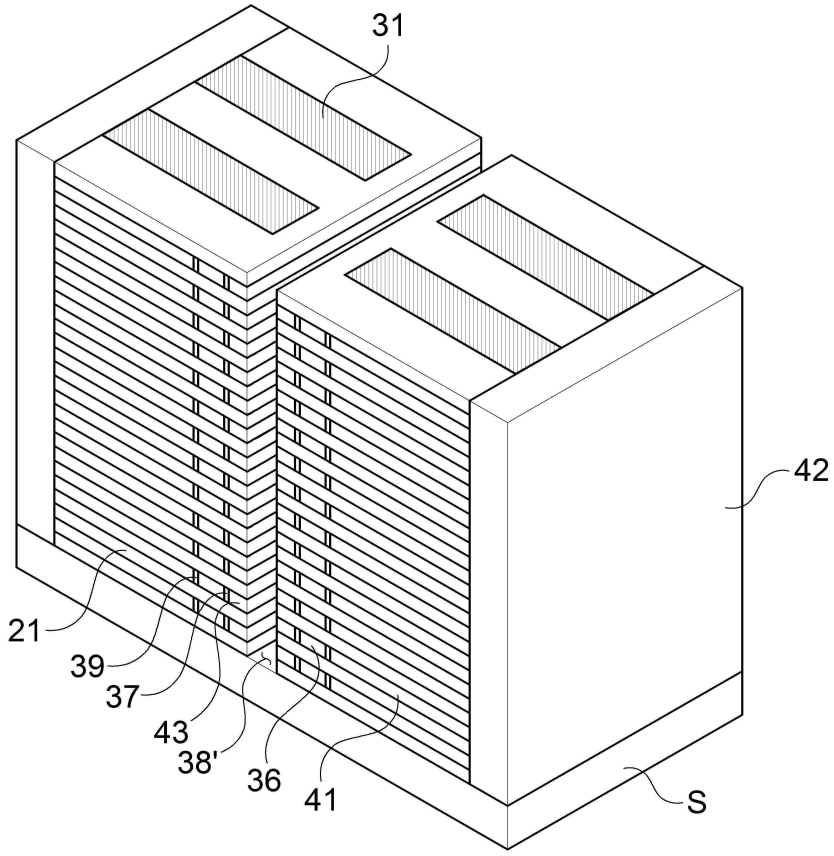
도면13

30



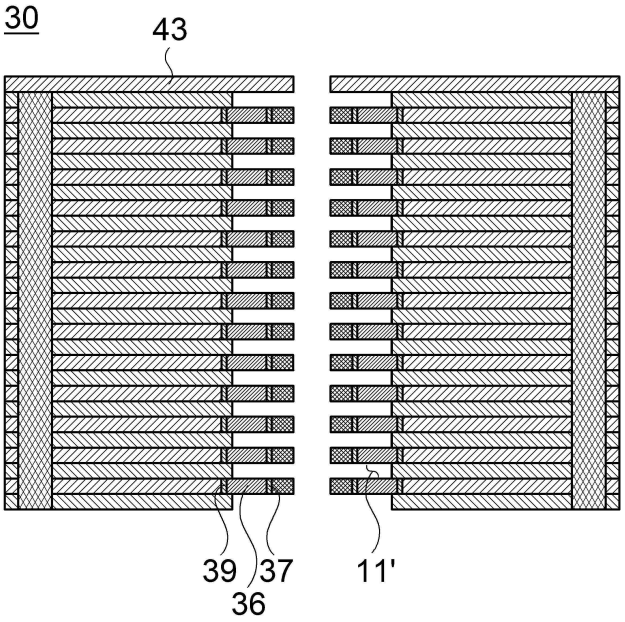
도면14

30

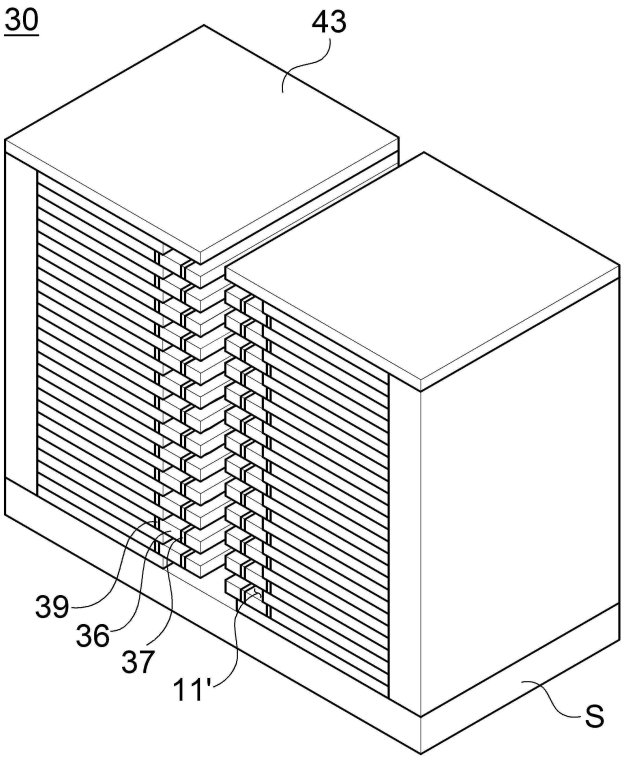


도면15

(a)

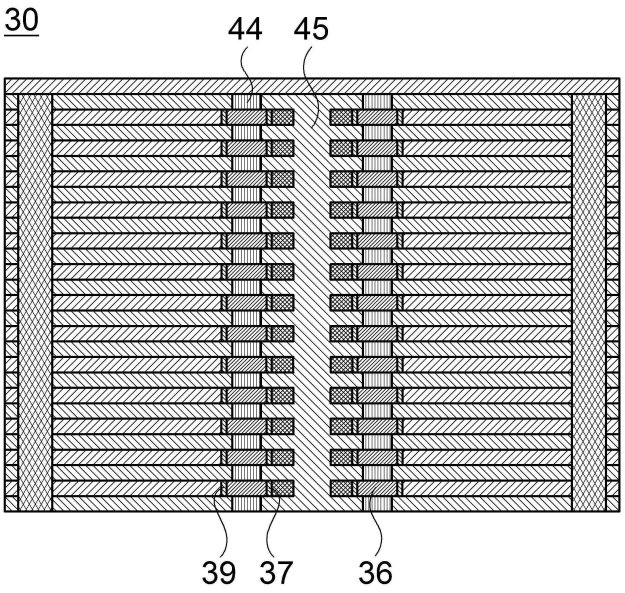


(b)

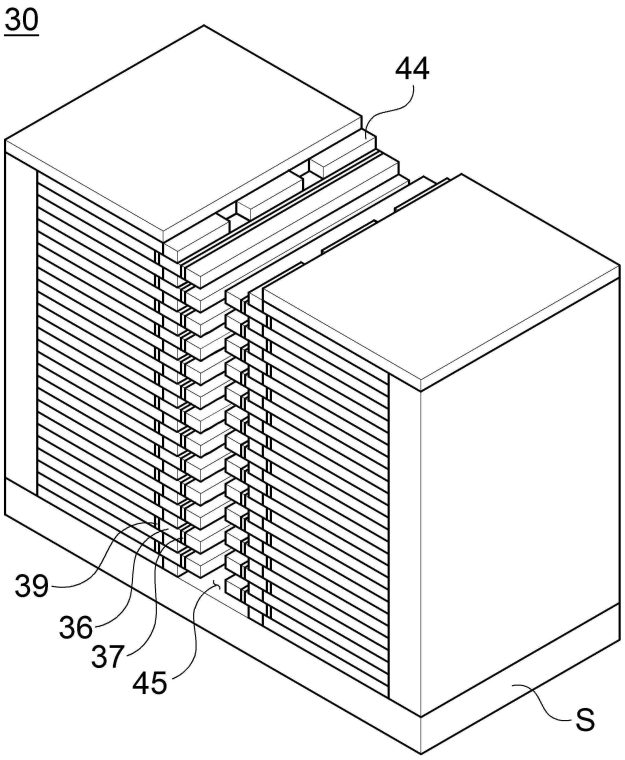


도면16

(a)

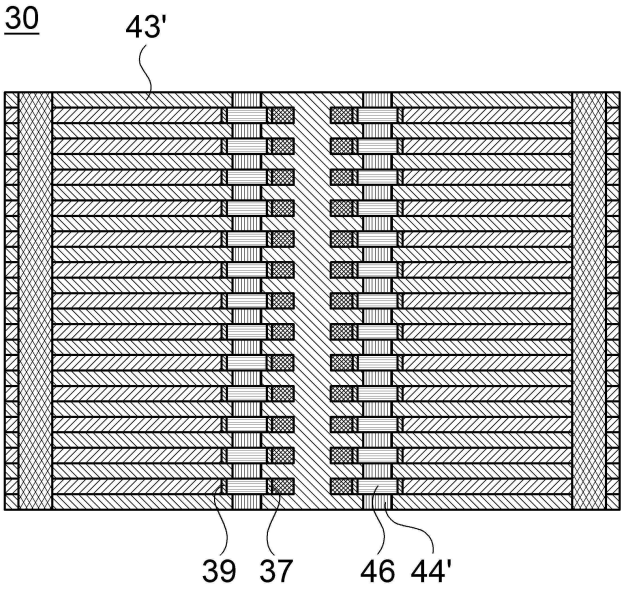


(b)



도면17

(a)



(b)

