(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6737192号
(P6737192)

(45)発行日　令和2年8月5日(2020.8.5)　(24)登録日　令和2年7月20日(2020.7.20)

(51)Int.Cl.			F I		
H04N	5/378	(2011.01)	H04N	5/378	
H04N	5/374	(2011.01)	H04N	5/374	
H04N	1/028	(2006.01)	H04N	1/028	A

請求項の数 8　(全 18 頁)

(21)出願番号　特願2017-10804(P2017-10804)
(22)出願日　平成29年1月25日(2017.1.25)
(65)公開番号　特開2018-121183(P2018-121183A)
(43)公開日　平成30年8月2日(2018.8.2)
審査請求日　令和1年10月31日(2019.10.31)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区新宿四丁目１番６号
(74)代理人　100116665
弁理士　渡辺　和昭
(74)代理人　100194102
弁理士　磯部　光宏
(74)代理人　100179475
弁理士　仲井　智至
(74)代理人　100216253
弁理士　松岡　宏紀
(74)代理人　100110777
弁理士　宇都宮　正明
(74)代理人　100110858
弁理士　柳瀬　睦肇

最終頁に続く

(54)【発明の名称】固体撮像装置及び電子機器

(57)【特許請求の範囲】
【請求項１】
光電変換機能を有する受光素子と、
前記受光素子から画素情報を読み出して出力電圧を出力する読み出し回路と、
それぞれの入力経路に直流カット素子が配置された３段のソース接地回路が直列接続されて構成され、前記読み出し回路から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分に基づいて、画素信号を生成するＣＤＳ回路と、
前記３段のソース接地回路のトランジスターのゲートに直流バイアス電圧を供給するバイアス電圧供給回路と、
を備える固体撮像装置。
【請求項２】
前記バイアス電圧供給回路が、前記３段のソース接地回路のトランジスターのゲート電圧が閾値電圧を超えるように、それぞれのトランジスターのゲートに直流バイアス電圧を個別に供給する、請求項１記載の固体撮像装置。
【請求項３】
前記バイアス電圧供給回路が、前記読み出し回路の出力電圧に応じて第１段のソース接地回路のトランジスターのゲート電圧が変化する範囲が第２段のソース接地回路のトランジスターのゲート電圧が変化する範囲と重ならないように、それぞれのトランジスターのゲートに直流バイアス電圧を供給する、請求項１又は２記載の固体撮像装置。

【請求項４】
第１段のソース接地回路の電圧増幅率と第２段のソース接地回路の電圧増幅率とが略等しい、請求項１～３のいずれか１項記載の固体撮像装置。
【請求項５】
第３段のソース接地回路のトランジスターのゲート電圧が、前記読み出し回路の出力電圧に応じて閾値電圧以下の電圧と閾値電圧よりも大きい電圧との間で変化する、請求項１～４のいずれか１項記載の固体撮像装置。
【請求項６】
前記直流カット素子が、キャパシターを含み、
前記バイアス電圧供給回路が、前記読み出し回路による画素情報の読み出しに先立って、前記３段のソース接地回路のトランジスターの動作点を定める直流バイアス電圧を供給する、
請求項１～５のいずれか１項記載の固体撮像装置。
【請求項７】
前記直流カット素子が、スイッチ回路を含み、
前記バイアス電圧供給回路が、前記スイッチ回路がオフ状態であるときに、前記３段のソース接地回路のトランジスターがオフ状態となる直流バイアス電圧を供給する、
請求項１記載の固体撮像装置。
【請求項８】
請求項１～７のいずれか１項記載の固体撮像装置と、
前記固体撮像装置によって生成される画素信号を処理する信号処理部と、
を備える電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像装置、及び、固体撮像装置を用いた電子機器等に関する。
【背景技術】
【０００２】
コンタクトイメージセンサー等の固体撮像装置においては、画素部の各画素に配置された受光素子によって、照度に応じた光電変換が行われ、読み出し回路によって、受光素子から画像情報が読み出される。読み出し回路の出力電圧は、複数の画素間におけるオフセット電圧のばらつきをキャンセルするために、ＣＤＳ（correlated double sampling：相関２重サンプリング）回路に供給される。ＣＤＳ回路は、読み出し回路から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分に基づいて、画素信号を生成する。
【０００３】
関連する技術として、特許文献１には、ダイオードの電流電圧特性に基づく温度測定精度を向上させることを目的とする固体撮像装置が開示されている。この固体撮像装置には、画素アレイ部と、画像用ＣＤＳ処理部と、温度センサーと、温度用ＣＤＳ処理部と、タイミングジェネレーターとが設けられている。特許文献１の図５に示されているように、画像用ＣＤＳ処理部には、コンデンサーＣ１、コンパレーター（オペアンプ）ＰＡ、スイッチトランジスターＴｃｐ、インバーターＶ、及び、アップダウンカウンターＵＤが、カラム毎に設けられている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２０１２－１５１６６４号公報（段落０００５－０００６、００３１、図５）
【発明の概要】
【発明が解決しようとする課題】

【０００５】
固体撮像装置においては、照度の変化に対する信号電圧の直線性の向上と共に、回路の小型化や消費電流の削減が求められている。しかしながら、特許文献１の固体撮像装置におけるように、ＣＤＳ回路をオペアンプで構成する場合には、回路面積の増大や消費電流の増加というデメリットが大きい。また、動作テストにおいてＣＤＳ回路が不良と判定された場合に、不良箇所の検出が困難であるという問題がある。
【０００６】
そこで、上記の点に鑑み、本発明の第１の目的は、回路面積や消費電流をあまり大きくすることなく、不良箇所の検出が容易なＣＤＳ回路を備える固体撮像装置を提供することである。また、本発明の第２の目的は、そのような固体撮像装置において、照度の変化に対する信号電圧の直線性を向上させることである。さらに、本発明の第３の目的は、そのような固体撮像装置を用いた電子機器等を提供することである。
【課題を解決するための手段】
【０００７】
以上の課題の少なくとも一部を解決するために、本発明の第１の観点に係る固体撮像装置は、光電変換機能を有する受光素子と、受光素子から画素情報を読み出して出力電圧を出力する読み出し回路と、それぞれの入力経路に直流カット素子が配置された３段のソース接地回路が直列接続されて構成され、読み出し回路から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分に基づいて、画素信号を生成するＣＤＳ回路と、３段のソース接地回路のトランジスターのゲートに直流バイアス電圧を供給するバイアス電圧供給回路とを備える。
【０００８】
本発明の第１の観点によれば、ＣＤＳ回路が３段のソース接地回路で構成されるので、回路面積や消費電流があまり大きくならない。また、ソース接地回路の入力経路に配置された直流カット素子によって前段の直流成分が遮断されるので、バイアス電圧供給回路が直流バイアス電圧を制御してＣＤＳ回路の動作を停止させることにより、ＣＤＳ回路における不良箇所の検出が容易となる。
【０００９】
ここで、バイアス電圧供給回路が、３段のソース接地回路のトランジスターのゲート電圧が閾値電圧を超えるように、それぞれのトランジスターのゲートに直流バイアス電圧を個別に供給するようにしても良い。それにより、それぞれのトランジスターに適した動作点を定めて、照度の変化に対する信号電圧の直線性を向上させることができる。
【００１０】
また、バイアス電圧供給回路が、読み出し回路の出力電圧に応じて第１段のソース接地回路のトランジスターのゲート電圧が変化する範囲が第２段のソース接地回路のトランジスターのゲート電圧が変化する範囲と重ならないように、それぞれのトランジスターのゲートに直流バイアス電圧を供給するようにしても良い。それにより、第１段のソース接地回路と第２段のソース接地回路とを直線性が異なる動作範囲で使用して、それらの直線性誤差を相殺することができる。
【００１１】
さらに、第１段のソース接地回路の電圧増幅率と第２段のソース接地回路の電圧増幅率とが略等しくなるようにしても良い。ソース接地回路においては電圧増幅率の調整が容易であるので、第１段のソース接地回路の電圧増幅率と第２段のソース接地回路の電圧増幅率とが略等しくなるように調整することにより、信号振幅をスムーズに増加させることができる。
【００１２】
以上において、第３段のソース接地回路のトランジスターのゲート電圧が、読み出し回路の出力電圧に応じて閾値電圧以下の電圧と閾値電圧よりも大きい電圧との間で変化するようにしても良い。それにより、３次関数の入出力特性が得られるので、直線性誤差が小さくなる入力電圧の範囲を広くすることができる。

【００１３】
また、直流カット素子が、キャパシターを含み、バイアス電圧供給回路が、読み出し回路による画素情報の読み出しに先立って、３段のソース接地回路のトランジスターの動作点を定める直流バイアス電圧を供給するようにしても良い。その場合には、ソース接地回路の入力経路に配置されたキャパシターによって常に前段の直流成分が遮断されているので、読み出し回路からＣＤＳ回路にリセット時の出力電圧が供給されているときに、それぞれのトランジスターに適した動作点を定めることができる。
【００１４】
あるいは、直流カット素子が、スイッチ回路を含み、バイアス電圧供給回路が、スイッチ回路がオフ状態であるときに、３段のソース接地回路のトランジスターがオフ状態となる直流バイアス電圧を供給するようにしても良い。その場合には、ソース接地回路の入力経路に配置されたスイッチ回路がオフ状態であるときに前段の直流成分が遮断されるので、バイアス電圧供給回路が直流バイアス電圧を制御してＣＤＳ回路の動作を停止させることにより、ＣＤＳ回路における不良箇所の検出が容易となる。
【００１５】
本発明の第２の観点に係る電子機器は、上記いずれかの固体撮像装置と、固体撮像装置によって生成される画素信号を処理する信号処理部とを備える。本発明の第２の態様によれば、回路面積や消費電流をあまり大きくすることなく、不良箇所の検出が容易なＣＤＳ回路を備える固体撮像装置を用いることにより、消費電力が小さく検査が容易な電子機器を提供することができる。
【図面の簡単な説明】
【００１６】
【図１】ＣＩＳモジュールの構成例を示す斜視図。
【図２】ＣＩＳモジュールを用いたスキャナー装置の構成例を示すブロック図。
【図３】図２に示すイメージセンサーＩＣの概略構成を示すブロック図。
【図４】図３に示すイメージセンサーＩＣの第１の構成例を示す回路図。
【図５】図４に示すイメージセンサーＩＣの動作を説明するための波形図。
【図６】図４に示す第１段のソース接地回路の入出力特性の例を示す図。
【図７】図４に示す第２段のソース接地回路の入出力特性の例を示す図。
【図８】図４に示す第３段のソース接地回路の入出力特性の例を示す図。
【図９】第３段のソース接地回路の直線性誤差のシミュレーション結果を示す図。
【図１０】図４に示すＣＤＳ回路の直線性誤差のシミュレーション結果を示す図。
【図１１】図３に示すイメージセンサーＩＣの第２の構成例を示す回路図。
【発明を実施するための形態】
【００１７】
以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照符号を付して、重複する説明を省略する。
以下においては、本発明の一実施形態に係る電子機器として、本発明の一実施形態に係る固体撮像装置であるイメージセンサーＩＣを含むコンタクトイメージセンサー（ＣＩＳ）モジュールを用いたＣＩＳ方式のスキャナー装置について説明する。このスキャナー装置は、プリンター又はファクシミリ装置等に一体化されていても良い。
【００１８】
＜スキャナー装置＞
図１は、ＣＩＳモジュールの構成例を示す斜視図であり、図２は、図１に示すＣＩＳモジュールを用いたスキャナー装置の構成例を示すブロック図である。図１に示すように、ＣＩＳモジュール１０は、原稿１に光を照射するライトガイド１１と、原稿１からの反射光を結像させる複数のレンズを有するレンズアレイ１２と、それらの結像位置に配置される複数の受光素子を有するイメージセンサー１３とを含んでいる。
【００１９】
さらに、ＣＩＳモジュール１０は、ライトガイド１１の端部に入射する光を生成する光

源１４（図２）を含んでも良い。カラースキャナーの場合には、光源１４が、例えば、赤色（Ｒ）、緑色（Ｇ）、及び、青色（Ｂ）のＬＥＤを含んでいる。３色のＬＥＤは、時分割でパルス点灯される。

【００２０】

ライトガイド１１は、光源１４によって生成される光が主走査方向Ａに沿った原稿１の領域に照射されるように光を案内する。レンズアレイ１２は、例えば、ロッドレンズアレイ等で構成される。イメージセンサー１３は、主走査方向Ａに沿って複数の画素を有しており、ライトガイド１１及びレンズアレイ１２等と共に、副走査方向Ｂに移動する。

【００２１】

図２に示すように、複数のイメージセンサーＩＣ２０を直列接続してイメージセンサー１３を構成しても良く、例えば、１２個のイメージセンサーＩＣ２０が直列接続される。一例として、各々のイメージセンサーＩＣ２０は、長辺の長さが１８ｍｍ～２０ｍｍ程度で、短辺の長さが０．５ｍｍ以下の細長の矩形形状を有している。

【００２２】

副走査方向Ｂに移動可能なＣＩＳモジュール１０は、フレキシブル配線１５を介して、スキャナー装置に固定されたメイン基板１６に接続されている。メイン基板１６には、システムオンチップ（ＳｏＣ）１７と、アナログフロントエンド（ＡＦＥ）１８と、電源回路１９とが搭載されている。

【００２３】

システムオンチップ１７は、ＣＩＳモジュール１０にクロック信号及び制御信号等を供給する。ＣＩＳモジュール１０のイメージセンサーＩＣ２０は、原稿１からの反射光の強度に応じた画素信号を生成し、画素信号をアナログフロントエンド１８に供給する。アナログフロントエンド１８は、アナログの画素信号をアナログ／デジタル変換してデジタルの画素データを生成し、画素データをシステムオンチップ１７に供給する。

【００２４】

システムオンチップ１７は、ＣＰＵを始めとする複数の処理機能を１つのチップに組み込んだ半導体集積回路（ＩＣ）であり、アナログフロントエンド１８と共に、イメージセンサーＩＣ２０によって生成される画素信号を処理する信号処理部を構成する。

【００２５】

例えば、システムオンチップ１７は、アナログフロントエンド１８から供給される画素データに基づいて画像データを生成し、プリンターの印字部又はファクシミリ装置の通信部等に出力する。あるいは、システムオンチップ１７が、プリンターの印字部を制御することにより、画像データに基づいて用紙に印字を行ったり、ファクシミリ装置の通信部を制御することにより、画像データを外部に送信しても良い。

【００２６】

電源回路１９は、ＣＩＳモジュール１０、システムオンチップ１７、及び、アナログフロントエンド１８に電源電圧等を供給する。なお、アナログフロントエンド１８、電源回路１９の一部、又は、光源ドライバー等を、ＣＩＳモジュール１０に搭載しても良い。

【００２７】

＜イメージセンサーＩＣ＞

図３は、図２に示すイメージセンサーＩＣの概略構成を示すブロック図である。図３に示すように、イメージセンサーＩＣ２０は、画素部３０と、読み出し回路４０と、ＣＤＳ（correlated double sampling：相関二重サンプリング）回路５０と、バイアス電圧供給回路６０と、出力回路７０と、ロジック回路８０と、キャパシター９１～９４とを含んでいる。

【００２８】

画素部３０において、複数の画素（例えば、８６４画素）の各々には、光電変換機能を有する受光素子が配置されている。読み出し回路４０は、受光素子から画素情報を読み出して出力電圧を出力する。読み出し回路４０の出力電圧は、ＣＤＳ回路５０に供給される。

【００２９】
ＣＤＳ回路５０は、読み出し回路４０の出力電圧を相関二重サンプリング処理する。即ち、ＣＤＳ回路５０は、読み出し回路４０から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分に基づいて、画素信号を生成する。それにより、複数の画素間におけるオフセット電圧のばらつきをキャンセルして、光の強度に応じた画素信号を生成することができる。
【００３０】
バイアス電圧供給回路６０は、ＣＤＳ回路５０の複数のトランジスターに直流バイアス電圧を供給する。ＣＤＳ回路５０によって生成される画素信号は、出力回路７０に供給される。出力回路７０は、例えば、オペアンプ等で構成され、ＣＤＳ回路５０から供給される画素信号をバッファーしてアナログフロントエンド１８（図２）に出力する。
【００３１】
ロジック回路８０は、組み合わせ回路又は順序回路を含む論理回路で構成され、図２に示すシステムオンチップ１７からクロック信号及び制御信号等が供給されて、読み出し回路４０及びバイアス電圧供給回路６０を制御する。キャパシター９１～９４は、イメージセンサーＩＣ２０における高電位側の電源電位の配線と低電位側の電源電位の配線との間に接続されて、電源電圧を安定化する。
【００３２】
＜第１の構成例＞
図４は、図３に示すイメージセンサーＩＣの第１の構成例を示す回路図である。画素部３０及び読み出し回路４０については、１画素分の等価回路が示されている。画素部３０の１つの画素には、光電変換機能を有する受光素子として、例えば、フォトダイオードＰＤが配置されている。フォトダイオードＰＤは、入射した光の強度に応じた信号電荷を蓄積する。
【００３３】
読み出し回路４０は、フォトダイオードＰＤに蓄積された信号電荷を信号電圧に変換することにより、フォトダイオードＰＤから画素情報を読み出して出力電圧Ｖｓを生成する。例えば、読み出し回路４０は、転送ゲートＴＧと、電荷蓄積容量Ｃ０と、バッファートランジスターＱＮ１と、リセットトランジスターＱＮ２と、選択トランジスターＱＮ３と、定電流源４１とを含んでいる。定電流源４１は、全ての画素に共通に用いられる。また、読み出し回路４０の最終段にアナログシフトレジスターが設けられる場合には、選択トランジスターＱＮ３をアナログシフトレジスターに含めることができる。
【００３４】
電荷蓄積容量Ｃ０は、例えば、Ｐ型の半導体層（半導体基板又はウェル等）と、Ｐ型の半導体層内に配置されたＮ型のフローティングディフュージョン（浮遊拡散領域）ＦＤとで構成される。また、転送ゲートＴＧは、Ｐ型の半導体層上にゲート絶縁膜を介して配置されたゲート電極を含み、フォトダイオードＰＤのカソードとフローティングディフュージョンＦＤとの間に配置される。
【００３５】
フォトダイオードＰＤ及び転送ゲートＴＧは、低電位側の電源電位ＶＳＳの配線とバッファートランジスターＱＮ１のゲートとの間に直列に接続されている。図４には、電源電位ＶＳＳが接地電位（０Ｖ）である場合が示されている。バッファートランジスターＱＮ１は、高電位側の電源電位ＶＤＤの配線に接続されたドレインを有しており、ゲートに印加されるフローティングディフュージョンＦＤの電圧ＶＦＤに応じた電圧をソースから出力する。
【００３６】
リセットトランジスターＱＮ２は、電源電位ＶＤＤの配線に接続されたドレインと、バッファートランジスターＱＮ１のゲートに接続されたソースと、リセット信号ＲＳＴが印加されるゲートとを有している。リセットトランジスターＱＮ２は、リセット信号ＲＳＴがハイレベルに活性化されたときにオン状態となって、バッファートランジスターＱＮ１

のゲートをプルアップする。

【００３７】

選択トランジスターＱＮ３は、バッファートランジスターＱＮ１のソースに接続されたドレインと、定電流源４１の一端に接続されたソースと、画素選択信号ＳＥＬが印加されるゲートとを有している。また、定電流源４１の他端は、電源電位ＶＳＳの配線に接続されている。

【００３８】

主走査方向Ａ（図２）に沿って複数の画素が順次選択される際に、画素選択信号ＳＥＬがハイレベルに活性化されると、選択トランジスターＱＮ３がオン状態となって、バッファートランジスターＱＮ１がソースフォロア回路として動作する。それにより、バッファートランジスターＱＮ１のソースから選択トランジスターＱＮ３を介して、読み出し回路４０の出力電圧ＶｓがＣＤＳ回路５０に出力される。

【００３９】

ＣＤＳ回路５０は、それぞれの入力経路に直流カット素子が配置された３段のソース接地回路が直列接続されて構成され、読み出し回路４０から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分に基づいて、画素信号を生成する。図４に示す第１の構成例においては、直流カット素子としてキャパシターＣ１～Ｃ３が用いられる。

【００４０】

第１段のソース接地回路は、例えば、キャパシターＣ１と、ＮチャネルＭＯＳトランジスターＱＮ５１と、抵抗Ｒ１とを含んでいる。トランジスターＱＮ５１は、抵抗Ｒ１を介して電源電位ＶＤＤの配線に接続されたドレインと、電源電位ＶＳＳの配線に接続されたソースと、キャパシターＣ１を介して読み出し回路４０の出力電圧Ｖｓが印加されるゲートとを有している。トランジスターＱＮ５１は、読み出し回路４０の出力電圧Ｖｓを増幅してドレインから出力する。

【００４１】

第２段のソース接地回路は、例えば、キャパシターＣ２と、ＮチャネルＭＯＳトランジスターＱＮ５２と、抵抗Ｒ２とを含んでいる。トランジスターＱＮ５２は、抵抗Ｒ２を介して電源電位ＶＤＤの配線に接続されたドレインと、電源電位ＶＳＳの配線に接続されたソースと、キャパシターＣ２を介して第１段のソース接地回路の出力電圧が印加されるゲートとを有している。トランジスターＱＮ５２は、第１段のソース接地回路の出力電圧を増幅してドレインから出力する。

【００４２】

第３段のソース接地回路は、例えば、キャパシターＣ３と、ＮチャネルＭＯＳトランジスターＱＮ５３と、抵抗Ｒ３とを含んでいる。トランジスターＱＮ５３は、抵抗Ｒ３を介して電源電位ＶＤＤの配線に接続されたドレインと、電源電位ＶＳＳの配線に接続されたソースと、キャパシターＣ３を介して第２段のソース接地回路の出力電圧が印加されるゲートとを有している。トランジスターＱＮ５３は、第２段のソース接地回路の出力電圧を増幅して、ドレインからキャパシターＣ４を介して出力回路７０に出力する。

【００４３】

バイアス電圧供給回路６０は、ＣＤＳ回路５０に含まれている３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３のゲートに直流バイアス電圧を供給する。また、バイアス電圧供給回路６０は、出力回路７０に直流バイアス電圧を供給する。

【００４４】

例えば、バイアス電圧供給回路６０は、電源電位ＶＤＤの配線に一端が接続された定電流源６１～６３と、定電流源６１～６３の他端にそれぞれ接続されたＮチャネルＭＯＳトランジスターＱＮ６１～ＱＮ６３と、スイッチ回路としてのＮチャネルＭＯＳトランジスターＱＮ６４～ＱＮ７０と、キャパシターＣ５とを含んでいる。

【００４５】

トランジスターＱＮ６１～ＱＮ６３は、定電流源６１～６３の他端にそれぞれ接続され

たドレイン及びゲートと、電源電位ＶＳＳの配線に接続されたソースとを有しており、ドレインとゲートとの接続点において、ゲート・ソース間電圧に等しい直流バイアス電圧ＶＢ１～ＶＢ３をそれぞれ生成する。

【００４６】

トランジスターＱＮ６１～ＱＮ６３のサイズは、ＣＤＳ回路５０のトランジスターＱＮ５１～ＱＮ５３のサイズとそれぞれ同一に設定されても良い。その場合には、トランジスターＱＮ６１及びＱＮ５１のペア、トランジスターＱＮ６２及びＱＮ５２のペア、及び、トランジスターＱＮ６３及びＱＮ５３のペアの各々が、カレントミラー回路を構成する。トランジスターＱＮ５１～ＱＮ５３のサイズが互いに異なる場合には、トランジスターＱＮ６１～ＱＮ６３のサイズも互いに異なり、直流バイアス電圧ＶＢ１～ＶＢ３の大きさも互いに異なっている。

【００４７】

トランジスターＱＮ６４～ＱＮ６６は、トランジスターＱＮ６１～ＱＮ６３のドレインとゲートとの接続点にそれぞれ接続されたドレインと、ＣＤＳ回路５０のトランジスターＱＮ５１～ＱＮ５３のゲートにそれぞれ接続されたソースと、バイアス制御信号ＢＣ１が印加されるゲートとを有している。トランジスターＱＮ６４～ＱＮ６６は、バイアス制御信号ＢＣ１がハイレベルに活性化されたときにオン状態となって、直流バイアス電圧ＶＢ１～ＶＢ３をトランジスターＱＮ５１～ＱＮ５３のゲートにそれぞれ供給する。

【００４８】

バイアス電圧供給回路６０は、ＣＤＳ回路５０に含まれている３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３のゲート電圧が閾値電圧を超えるように、それぞれのトランジスターＱＮ５１～ＱＮ５３のゲートに直流バイアス電圧ＶＢ１～ＶＢ３を個別に供給することができる。それにより、それぞれのトランジスターＱＮ５１～ＱＮ５３に適した動作点（バイアス点）を定めて、照度の変化に対する信号電圧の直線性を向上させることができる。

【００４９】

トランジスターＱＮ６７～ＱＮ６９は、ＣＤＳ回路５０のトランジスターＱＮ５１～ＱＮ５３のゲートにそれぞれ接続されたドレインと、電源電位ＶＳＳの配線に接続されたソースと、バイアス制御信号ＢＣ２が印加されるゲートとを有している。トランジスターＱＮ６７～ＱＮ６９は、バイアス制御信号ＢＣ２がハイレベルに活性化されたときにオン状態となって、トランジスターＱＮ５１～ＱＮ５３のゲート電圧を略０Ｖに低下させる。通常動作モードにおいては、バイアス制御信号ＢＣ２がローレベルに非活性化されており、トランジスターＱＮ６７～ＱＮ６９はオフ状態となっている。

【００５０】

キャパシターＣ５は、例えば、電源回路１９（図２）からリファレンス電圧ＶＲＥＦが供給される端子と電源電位ＶＳＳの配線との間に接続されて、リファレンス電圧ＶＲＥＦを安定化する。トランジスターＱＮ７０は、リファレンス電圧ＶＲＥＦが供給される端子に接続されたドレインと、ＣＤＳ回路５０の出力端子に接続されたソースと、バイアス制御信号ＢＣ３が印加されるゲートとを有している。トランジスターＱＮ７０は、バイアス制御信号ＢＣ３がハイレベルに活性化されたときにオン状態となって、ＣＤＳ回路５０の出力端子を介して出力回路７０にリファレンス電圧ＶＲＥＦを供給する。

【００５１】

ロジック回路８０は、システムオンチップ１７（図２）の制御の下で、転送制御信号ＴＸを転送ゲートＴＧに供給し、リセット信号ＲＳＴをリセットトランジスターＱＮ２のゲートに供給し、画素選択信号ＳＥＬを選択トランジスターＱＮ３のゲートに供給する。また、ロジック回路８０は、バイアス制御信号ＢＣ１をトランジスターＱＮ６４～ＱＮ６６のゲートに供給し、バイアス制御信号ＢＣ２をトランジスターＱＮ６７～ＱＮ６９のゲートに供給し、バイアス制御信号ＢＣ３をトランジスターＱＮ７０のゲートに供給する。

【００５２】

＜動作説明＞

図５は、図４に示すイメージセンサーＩＣの動作を説明するための波形図である。リセット信号ＲＳＴがハイレベルに活性化されると、読み出し回路４０のリセットトランジスターＱＮ２がオン状態となって、フローティングディフュージョンＦＤの電圧ＶＦＤを初期状態にリセットする。リセットトランジスターＱＮ２のドレイン・ソース間電圧をＶＤＳとすると、フローティングディフュージョンＦＤの電圧ＶＦＤは、リセット時の電圧（ＶＤＤ－ＶＤＳ）にリセットされる。

【００５３】

リセット信号ＲＳＴがローレベルに非活性化されると、リセットトランジスターＱＮ２がオフ状態となって、リセットが解除される。その後、転送制御信号ＴＸがハイレベルに活性化されると、転送ゲートＴＧが、画素部３０のフォトダイオードＰＤに蓄積された信号電荷を電荷蓄積容量Ｃ０に転送する。電荷蓄積容量Ｃ０は、転送された信号電荷を信号電圧に変換する。それにより、フローティングディフュージョンＦＤの電圧ＶＦＤが決定される。

【００５４】

転送制御信号ＴＸが活性化されている期間において、フォトダイオードＰＤから電荷蓄積容量Ｃ０に負の信号電荷が転送されるので、フローティングディフュージョンＦＤの電圧ＶＦＤは、リセット時の電圧（ＶＤＤ－ＶＤＳ）から画素情報読み出し後の電圧に低下する。リセット時の電圧（ＶＤＤ－ＶＤＳ）と画素情報読み出し後の電圧との差分が、信号電圧ＶＳＧに相当する。読み出し回路４０は、フローティングディフュージョンＦＤの電圧ＶＦＤに応じた出力電圧ＶｓをＣＤＳ回路５０に出力する。

【００５５】

バイアス制御信号ＢＣ１は、リセット信号ＲＳＴが活性化された後に、転送制御信号ＴＸの活性化に先立って、所定の期間だけハイレベルに活性化される。従って、バイアス電圧供給回路６０のトランジスターＱＮ６４～ＱＮ６６が、読み出し回路４０による画素情報の読み出しに先立って、ＣＤＳ回路５０に含まれている３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３の動作点を定める直流バイアス電圧ＶＢ１～ＶＢ３を供給する。

【００５６】

第１の構成例においては、ソース接地回路の入力経路に配置されたキャパシターＣ１～Ｃ２によって常に前段の直流成分が遮断されているので、読み出し回路４０からＣＤＳ回路５０にリセット時の出力電圧が供給されているときに、それぞれのトランジスターＱＮ５１～ＱＮ５３に適した動作点を定めることができる。

【００５７】

バイアス制御信号ＢＣ１がハイレベルに活性化されている期間において、第１段のソース接地回路のトランジスターＱＮ５１のゲート電圧Ｖ１は、バイアス電圧供給回路６０から供給される直流バイアス電圧ＶＢ１にクランプされる。同様に、第２段のソース接地回路のトランジスターＱＮ５２のゲート電圧Ｖ３は、直流バイアス電圧ＶＢ２にクランプされ、第３段のソース接地回路のトランジスターＱＮ５３のゲート電圧Ｖ５は、直流バイアス電圧ＶＢ３にクランプされる。

【００５８】

同様に、バイアス制御信号ＢＣ３も、リセット信号ＲＳＴが活性化された後に、転送制御信号ＴＸの活性化に先立って、所定の期間だけハイレベルに活性化される。従って、バイアス電圧供給回路６０のトランジスターＱＮ７０が、読み出し回路４０による画素情報の読み出しに先立って、出力回路７０の動作点を定めるリファレンス電圧ＶＲＥＦをＣＤＳ回路５０の出力端子に供給する。バイアス制御信号ＢＣ３がハイレベルに活性化されている期間において、ＣＤＳ回路５０の出力電圧Ｖｏｕｔは、リファレンス電圧ＶＲＥＦにクランプされる。

【００５９】

その後、バイアス制御信号ＢＣ１及びＢＣ３がローレベルに非活性化されて、転送制御信号ＴＸがハイレベルに活性化される。転送制御信号ＴＸが活性化されている期間におい

て、第１段のソース接地回路のトランジスターＱＮ５１のゲート電圧Ｖ１は、直流バイアス電圧ＶＢ１を基準として、読み出し回路４０から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分である信号電圧ＶＳＧに応じて変化する。

【００６０】

同様に、第２段のソース接地回路のトランジスターＱＮ５２のゲート電圧Ｖ３は、直流バイアス電圧ＶＢ２を基準として、１段増幅された信号電圧ＶＳＧに応じて変化し、第３段のソース接地回路のトランジスターＱＮ５３のゲート電圧Ｖ５は、直流バイアス電圧ＶＢ３を基準として、２段増幅された信号電圧ＶＳＧに応じて変化する。

【００６１】

また、ＣＤＳ回路５０の出力電圧Ｖｏｕｔは、リファレンス電圧ＶＲＥＦを基準として、３段増幅された信号電圧ＶＳＧに応じて変化する。それにより、ＣＤＳ回路５０は、複数の画素間におけるオフセット電圧のばらつきをキャンセルして、光の強度に応じた画素信号を生成することができる。

【００６２】

＜動作停止機能＞

図４に示すイメージセンサーＩＣは、テストモードにおいてＣＤＳ回路５０の動作を停止させる動作停止機能を有している。従って、動作テストにおいてＣＤＳ回路５０が不良と判定された場合に、不良箇所を検出するために動作停止機能を利用することができる。

【００６３】

例えば、テストモードにおいて、ロジック回路８０が、バイアス制御信号ＢＣ１をローレベルに非活性化すると共に、バイアス制御信号ＢＣ２をハイレベルに活性化する。それにより、バイアス電圧供給回路６０において、トランジスターＱＮ６４～ＱＮ６６がオフ状態となり、トランジスターＱＮ６７～ＱＮ６９がオン状態となる。従って、バイアス電圧供給回路６０は、ＣＤＳ回路５０に含まれている３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３がオフ状態となる直流バイアス電圧（略０Ｖ）を供給する。

【００６４】

その結果、ＣＤＳ回路５０において、３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３がオフ状態となる。その際に、トランジスターＱＮ５１～ＱＮ５３のドレイン電位が電源電位ＶＤＤまで上昇するか否かをチェックすることにより、トランジスターＱＮ５１～ＱＮ５３、キャパシターＣ１～Ｃ４、抵抗Ｒ１～Ｒ３、又は、配線における不良箇所を検出したり、不良原因を解析したりすることができる。

【００６５】

＜各部の動作電圧＞

リセット時の電圧を基準とした読み出し回路４０の出力電圧ＶｓをＣＤＳ回路５０の入力電圧Ｖｉｎとすると、第１段のソース接地回路のトランジスターＱＮ５１のゲート電圧Ｖ１は、次式（１）で表される。

$$V1 = VB1 + Vin \quad \cdots (1)$$

【００６６】

従って、トランジスターＱＮ５１の相互コンダクタンスｇｍ１を用いて、トランジスターＱＮ５１のドレイン電圧（第１段のソース接地回路の出力電圧）Ｖ２は、次式（２）で表される。

$$V2 = VB1 - gm1 \cdot R1 \cdot Vin \quad \cdots (2)$$

【００６７】

また、第２段のソース接地回路のトランジスターＱＮ５２のゲート電圧Ｖ３は、次式（３）で表される。

$$V3 = VB2 - gm1 \cdot R1 \cdot Vin \quad \cdots (3)$$

従って、トランジスターＱＮ５２の相互コンダクタンスｇｍ２を用いて、トランジスターＱＮ５２のドレイン電圧（第２段のソース接地回路の出力電圧）Ｖ４は、次式（４）で表される。

Ｖ４＝ＶＢ２＋ｇｍ１・ｇｍ２・Ｒ１・Ｒ２・Ｖｉｎ　・・・（４）

【００６８】

また、第３段のソース接地回路のトランジスターＱＮ５３のゲート電圧Ｖ５は、次式（５）で表される。

Ｖ５＝ＶＢ３＋ｇｍ１・ｇｍ２・Ｒ１・Ｒ２・Ｖｉｎ　・・・（５）

従って、トランジスターＱＮ５３の相互コンダクタンスｇｍ３を用いて、トランジスターＱＮ５３のドレイン電圧（第３段のソース接地回路の出力電圧）Ｖ６は、次式（６）で表される。

Ｖ６＝ＶＢ３－ｇｍ１・ｇｍ２・ｇｍ３・Ｒ１・Ｒ２・Ｒ３・Ｖｉｎ
・・・（６）

【００６９】

さらに、出力回路７０に供給されるＣＤＳ回路５０の出力電圧Ｖｏｕｔは、次式（７）で表される。

Ｖｏｕｔ＝ＶＲＥＦ－ｇｍ１・ｇｍ２・ｇｍ３・Ｒ１・Ｒ２・Ｒ３・Ｖｉｎ
・・・（７）

【００７０】

このようにして、ＣＤＳ回路５０は、画素信号として出力電圧Ｖｏｕｔを生成する。以上においては、キャパシターＣ１～Ｃ４による減衰がないものとして各部の電圧を算出したが、キャパシターＣ１～Ｃ４と配線間等の寄生容量との容量比により、各段のソース接地回路において画素信号の電圧振幅が８０％～９０％程度に低下する場合もある。

【００７１】

＜動作点の設定例＞

【００７２】

図４に示す第１段～第３段のソース接地回路においては、キャパシターＣ１～Ｃ３によって常に前段の直流成分が遮断されているので、互いに独立して動作点を設定することが可能である。例えば、各々のソース接地回路の入出力特性において直線性が最も良くなるように動作点を設定しても良いし、あるいは、他のソース接地回路の直線性誤差を相殺するように動作点を設定しても良い。

【００７３】

図６は、図４に示す第１段のソース接地回路の入出力特性の例を示す図である。第１段のソース接地回路のトランジスターＱＮ５１のゲートには、直流バイアス電圧ＶＢ１を基準とする入力電圧が印加される。例えば、直流バイアス電圧ＶＢ１は、０．９５Ｖであり、入力電圧の範囲は、０．８５Ｖ～０．９５Ｖである。トランジスターＱＮ５１は、入力電圧の振幅０．１Ｖを略２倍に増幅して、０．２Ｖの振幅を有する出力電圧をドレインから出力する。

【００７４】

図７は、図４に示す第２段のソース接地回路の入出力特性の例を示す図である。第２段のソース接地回路のトランジスターＱＮ５２のゲートには、直流バイアス電圧ＶＢ２を基準とする入力電圧が印加される。例えば、直流バイアス電圧ＶＢ２は、１．１Ｖであり、入力電圧の範囲は、１．１Ｖ～１．３Ｖである。トランジスターＱＮ５２は、入力電圧の振幅０．２Ｖを略２倍に増幅して、０．４Ｖの振幅を有する出力電圧をドレインから出力する。

【００７５】

図８は、図４に示す第３段のソース接地回路の入出力特性の例を示す図である。第３段のソース接地回路のトランジスターＱＮ５３のゲートには、直流バイアス電圧ＶＢ３を基準とする入力電圧が印加される。例えば、直流バイアス電圧ＶＢ３は、１．３Ｖであり、入力電圧の範囲は、０．９Ｖ～１．３Ｖである。トランジスターＱＮ５３は、入力電圧の振幅０．４Ｖを略３倍に増幅して、１．２Ｖの振幅を有する出力電圧をドレインから出力する。

【００７６】

上記の設定例においては、バイアス電圧供給回路６０が、読み出し回路４０の出力電圧Ｖｓに応じて第１段のソース接地回路のトランジスターＱＮ５１のゲート電圧が変化する範囲が第２段のソース接地回路のトランジスターＱＮ５２のゲート電圧が変化する範囲と重ならないように、それぞれのトランジスターＱＮ５１及びＱＮ５２のゲートに直流バイアス電圧ＶＢ１及びＶＢ２を供給する。

【００７７】

それにより、第１段のソース接地回路と第２段のソース接地回路とを直線性が異なる動作範囲で使用して、それらの直線性誤差を相殺することができる。また、第３段のソース接地回路の直線性誤差を第２段のソース接地回路の直線性誤差で相殺するように、第２段のソース接地回路の動作点を設定し、回路全体の直線性誤差を小さくしても良い。

【００７８】

さらに、上記の設定例においては、第１段のソース接地回路の電圧増幅率と第２段のソース接地回路の電圧増幅率とが略等しくなっている。ソース接地回路においては電圧増幅率の調整が容易であるので、第１段のソース接地回路の電圧増幅率と第２段のソース接地回路の電圧増幅率とが略等しくなるように調整することにより、信号振幅をスムーズに増加させることができる。

【００７９】

図９は、図４に示す第３段のソース接地回路における直線性誤差のシミュレーション結果の例を示す図である。図９において、横軸は、トランジスターＱＮ５３のゲートに印加される入力電圧［Ｖ］を表しており、縦軸は、使用範囲における出力電圧の下限と上限とを結ぶ理想直線に対するトランジスターＱＮ５３のドレイン電圧の直線性誤差［ｍＶ］を表している。

【００８０】

また、図９における実線は、直流バイアス電圧ＶＢ３が１．２Ｖの場合を示している。また、図９における３本の一点鎖線は、直流バイアス電圧ＶＢ３が１．１Ｖ、１．１５Ｖ、及び、１．３６Ｖの場合を示している。なお、電源電位ＶＤＤは、３．３Ｖであり、温度は２５℃である。

【００８１】

トランジスターＱＮ５３の閾値電圧の影響が無ければ、入力電圧に対する直線性誤差は、図９において破線で示すように、下に凸の２次曲線で近似される。しかしながら、実際には、トランジスターＱＮ５３の閾値電圧Ｖｔ（例えば、０．７Ｖ）の影響により、入力電圧に対する直線性誤差は、図９において実線で示すように、閾値電圧Ｖｔの近傍において上に凸の部分（極）を有する。

【００８２】

これを利用して、直流バイアス電圧ＶＢ３を通常よりも低目に設定することにより、第３段のソース接地回路のトランジスターＱＮ５３のゲート電圧が、読み出し回路４０の出力電圧Ｖｓに応じて閾値電圧Ｖｔ以下の電圧と閾値電圧Ｖｔよりも大きい電圧との間で変化するようにしても良い。

【００８３】

それにより、３次関数の入出力特性が得られるので、直線性誤差が小さくなる入力電圧の範囲を広くすることができる。また、イメージセンサーにおいてはバイアス点付近の入出力特性の直線性が重視されるので、直流バイアス電圧ＶＢ３を低目に設定することによってバイアス点付近の入出力特性の直線性が改善されることは、視覚特性上好ましい。

【００８４】

図１０は、図４に示すＣＤＳ回路における直線性誤差を直結型の場合と比較するシミュレーション結果の例を示す図である。図１０において、横軸は、使用範囲における入力電圧の下限を基準（０Ｖ）とした入力差分電圧［Ｖ］を表しており、縦軸は、使用範囲における出力電圧の下限と上限とを結ぶ理想直線に対する出力電圧の直線性誤差［ｍＶ］を表している。なお、電源電位ＶＤＤは、３．３Ｖであり、温度は２５℃である。

【００８５】

また、図１０における実線は、図４に示すＣＤＳ回路５０の直線性誤差を表しており、図１０における破線は、直結型の３段のソース接地回路で構成されるＣＤＳ回路の直線性誤差を表している。図１０に示すように、使用範囲において、図４に示すＣＤＳ回路５０の直線性誤差は、直結型のＣＤＳ回路の直線性誤差よりも大きく改善されている。

【００８６】

第１の構成例によれば、ＣＤＳ回路５０が３段のソース接地回路で構成されるので、回路面積や消費電流があまり大きくならない。また、ソース接地回路の入力経路に配置されたキャパシターＣ１～Ｃ３によって前段の直流成分が遮断されるので、バイアス電圧供給回路６０が直流バイアス電圧を制御してＣＤＳ回路５０の動作を停止させることにより、ＣＤＳ回路５０における不良箇所の検出が容易となる。

【００８７】

＜第２の構成例＞

図１１は、図３に示すイメージセンサーＩＣの第２の構成例を示す回路図である。第２の構成例においては、ＣＤＳ回路５０における直流カット素子として、図４に示す第１の構成例におけるキャパシターＣ１～Ｃ３の替りにアナログスイッチＳＷ１～ＳＷ３が設けられ、バイアス電圧供給回路６０において、定電流源６１～６３及びトランジスターＱＮ６１～ＱＮ６６が省略されている。その他の点に関しては、第２の構成例は、第１の構成例と同様でも良い。

【００８８】

図１１に示すように、ＣＤＳ回路５０は、それぞれの入力経路にアナログスイッチＳＷ１～ＳＷ３が配置された３段のソース接地回路が直列接続されて構成される。アナログスイッチＳＷ１～ＳＷ３の各々は、ＮチャネルＭＯＳトランジスターとＰチャネルＭＯＳトランジスターとで構成されるスイッチ回路である。ＣＤＳ回路５０は、読み出し回路４０から出力されるリセット時の出力電圧と画素情報の読み出しに基づいて出力される出力電圧との差分に基づいて、画素信号を生成する。

【００８９】

通常動作モードにおいて、ロジック回路８０は、バイアス制御信号ＢＣ１をハイレベルにすると共に、バイアス制御信号ＸＢＣ１及びＢＣ２をローレベルにする。それにより、ＣＤＳ回路５０において、アナログスイッチＳＷ１～ＳＷ３がオン状態となって、３段のソース接地回路が直結される。また、バイアス電圧供給回路６０において、トランジスターＱＮ６７～ＱＮ６９がオフ状態となる。

【００９０】

バイアス制御信号ＢＣ３は、リセット信号ＲＳＴが活性化された後に、転送制御信号ＴＸの活性化に先立って、所定の期間だけハイレベルに活性化される。従って、バイアス電圧供給回路６０のトランジスターＱＮ７０が、読み出し回路４０による画素情報の読み出しに先立って、出力回路７０の動作点を定めるリファレンス電圧ＶＲＥＦをＣＤＳ回路５０の出力端子に供給する。バイアス制御信号ＢＣ３がハイレベルに活性化されている期間において、ＣＤＳ回路５０の出力電圧Ｖｏｕｔは、リファレンス電圧ＶＲＥＦにクランプされる。

【００９１】

その後、バイアス制御信号ＢＣ３がローレベルに非活性化されて、転送制御信号ＴＸがハイレベルに活性化される。転送制御信号ＴＸが活性化されている期間において、ＣＤＳ回路５０の出力電圧Ｖｏｕｔは、リファレンス電圧ＶＲＥＦを基準として、３段増幅された信号電圧に応じて変化する。それにより、ＣＤＳ回路５０は、複数の画素間におけるオフセット電圧のばらつきをキャンセルして、光の強度に応じた画素信号を生成することができる。

【００９２】

テストモードにおいて、ロジック回路８０は、バイアス制御信号ＢＣ１をローレベルにすると共に、バイアス制御信号ＸＢＣ１及びＢＣ２をハイレベルにする。それにより、ＣＤＳ回路５０において、アナログスイッチＳＷ１～ＳＷ３がオフ状態となって、前段の直

流成分が遮断される。また、バイアス電圧供給回路６０において、トランジスターＱＮ６７～ＱＮ６９がオン状態となる。従って、バイアス電圧供給回路６０は、アナログスイッチＳＷ１～ＳＷ３がオフ状態であるときに、ＣＤＳ回路５０に含まれている３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３がオフ状態となる直流バイアス電圧（略０Ｖ）を供給する。

【００９３】

その結果、ＣＤＳ回路５０において、３段のソース接地回路のトランジスターＱＮ５１～ＱＮ５３がオフ状態となる。その際に、トランジスターＱＮ５１～ＱＮ５３のドレイン電位が電源電位ＶＤＤまで上昇するか否かをチェックすることにより、トランジスターＱＮ５１～ＱＮ５３、キャパシターＣ１～Ｃ４、抵抗Ｒ１～Ｒ３、又は、配線における不良箇所を検出したり、不良原因を解析したりすることができる。

【００９４】

第２の構成例によれば、ＣＤＳ回路５０が３段のソース接地回路で構成されるので、回路面積や消費電流があまり大きくならない。また、ソース接地回路の入力経路に配置されたアナログスイッチＳＷ１～ＳＷ３がオフ状態であるときに前段の直流成分が遮断されるので、バイアス電圧供給回路６０が直流バイアス電圧を制御してＣＤＳ回路５０の動作を停止させることにより、ＣＤＳ回路５０における不良箇所の検出が容易となる。

【００９５】

また、本実施形態によれば、回路面積や消費電流をあまり大きくすることなく、不良箇所の検出が容易なＣＤＳ回路５０を備える固体撮像装置を用いることにより、消費電力が小さく検査が容易な電子機器を提供することができる。

【００９６】

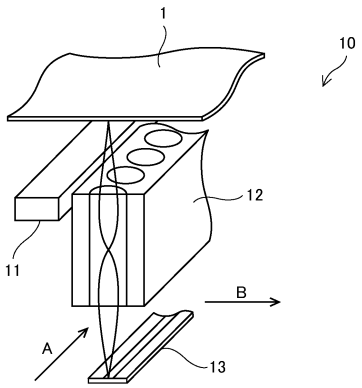
上記の実施形態においては、ソース接地回路においてＮチャネルＭＯＳトランジスターを用いる場合について説明したが、ソース接地回路においてＰチャネルＭＯＳトランジスターを用いても良い。このように、本発明は、以上説明した実施形態に限定されるものではなく、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。

【符号の説明】

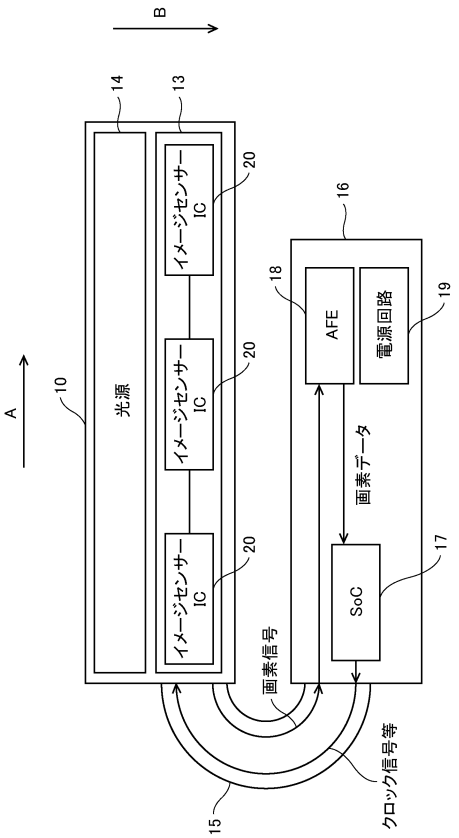
【００９７】

１…原稿、１０…ＣＩＳモジュール、１１…ライトガイド、１２…レンズアレイ、１３…イメージセンサー、１４…光源、１５…フレキシブル配線、１６…メイン基板、１７…システムオンチップ、１８…アナログフロントエンド、１９…電源回路、２０…イメージセンサーＩＣ、３０…画素部、４０…読み出し回路、４１、６１～６３…定電流源、５０…ＣＤＳ回路、６０…バイアス電圧供給回路、７０…出力回路、８０…ロジック回路、９１～９４、Ｃ１～Ｃ５…キャパシター、ＳＷ１～ＳＷ３…アナログスイッチ、ＰＤ…フォトダイオード、ＴＧ…転送ゲート、ＱＮ１…バッファートランジスター、ＱＮ２…リセットトランジスター、ＱＮ３…選択トランジスター、ＱＮ５１～ＱＮ７０…ＮチャネルＭＯＳトランジスター、Ｃ０…電荷蓄積容量、Ｒ１～Ｒ３…抵抗

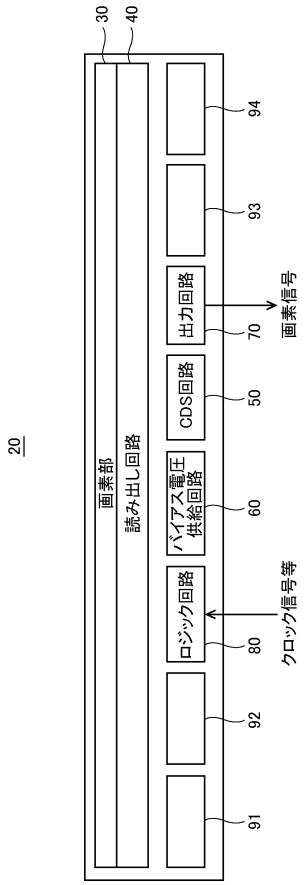
【図１】


1
10
12
11
B
A
13

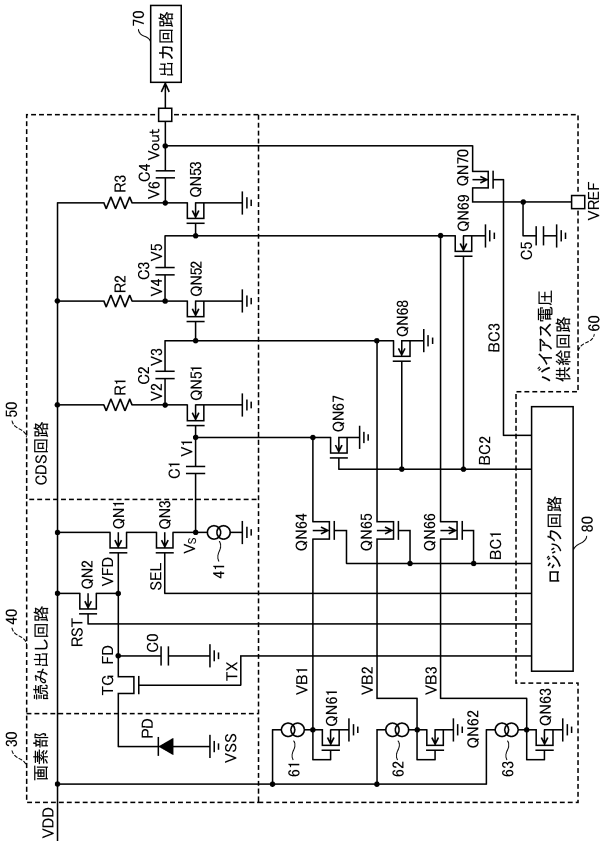
【図２】


B
14
13
20
イメージセンサーIC
16
18
AFE
電源回路
19
A
10
光源
画素データ
17
SoC
画素信号
クロック信号等
15

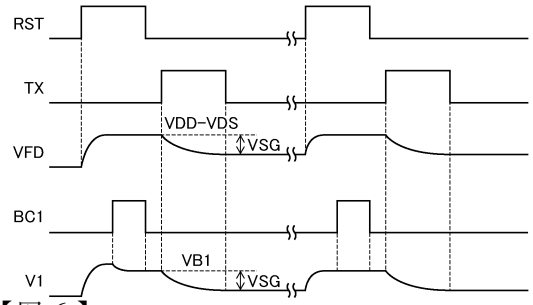
【図３】


20
30
40
画素部
読み出し回路
バイアス電圧供給回路
CDS回路
出力回路
ロジック回路
94
93
70
画素信号
60
50
80
クロック信号等
92
91

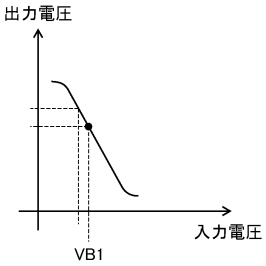
【図４】


70
出力回路
Vout
C4
V61
R3
QN53
C3
V5
V41
R2
QN52
C2
V3
V21
R1
QN51
C1
V1
50
CDS回路
QN1
QN3
VS
41
QN2
VFD
SEL
40
読み出し回路
RST
TG
FD
C0
TX
PD
VSS
30
画素部
VDD
QN67
QN68
QN69
QN70
VREF
C5
BC3
BC2
BC1
60
バイアス電圧供給回路
80
ロジック回路
QN64
QN65
QN66
VB1
VB2
VB3
61
62
63
QN61
QN62
QN63

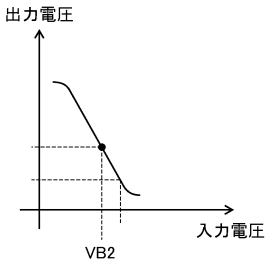
【図５】



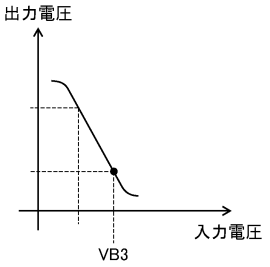
【図６】



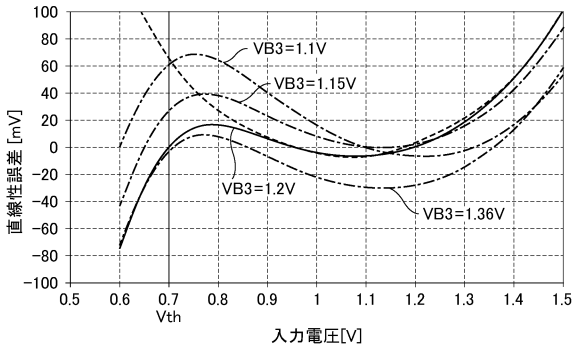
【図７】



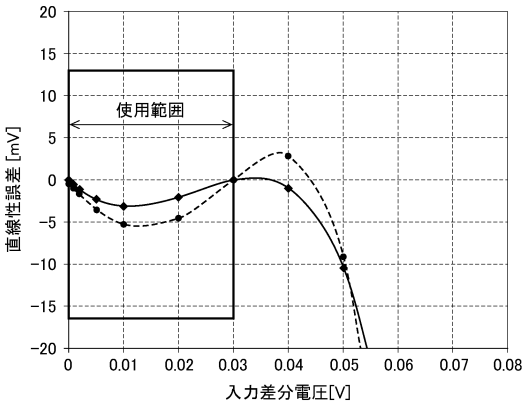
【図８】



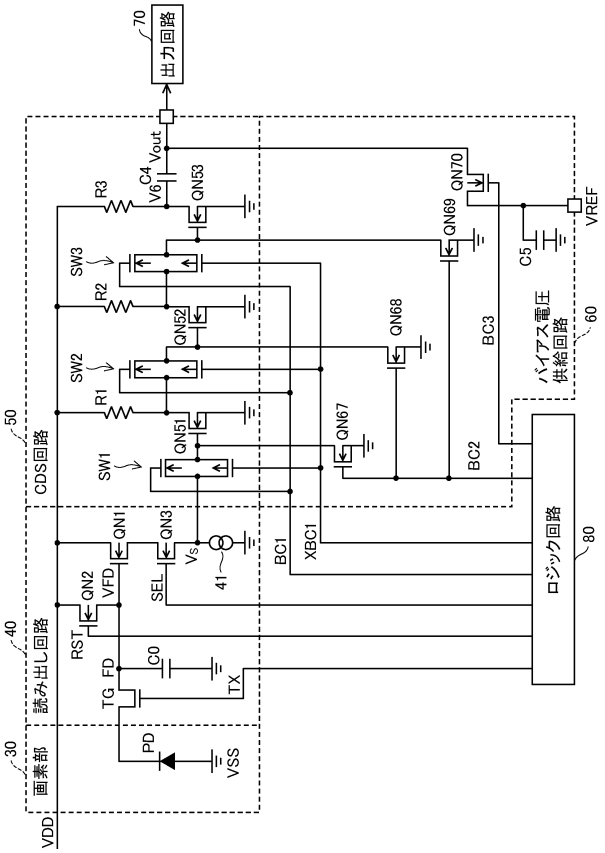
【図９】



【図１０】



【図１１】


70
出力回路
Vout
C4
V61
R3
QN53
SW3
R2
QN52
SW2
R1
QN51
SW1
50
CDS回路
QN1
QN3
Vs
41
QN2
VFD
SEL
RST
FD
C0
TG
TX
40
読み出し回路
PD
VSS
30
画素部
VDD
BC1
XBC1
QN68
QN67
QN69
QN70
VREF
C5
BC3
BC2
バイアス電圧
供給回路
60
ロジック回路
80

フロントページの続き

(74)代理人　100100413
弁理士　渡部　温
(72)発明者　関田　真一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　野村　直樹
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　橘　高志

(56)参考文献　特開２００９－２９０７０３（ＪＰ，Ａ）
特開２００８－２７１１５９（ＪＰ，Ａ）
特開２００８－２５８９７３（ＪＰ，Ａ）
特開２００７－３０６２７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　　５／３７８
Ｈ０４Ｎ　　１／０２８
Ｈ０４Ｎ　　５／３７４