

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 1 月 29 日 (29.01.2004)

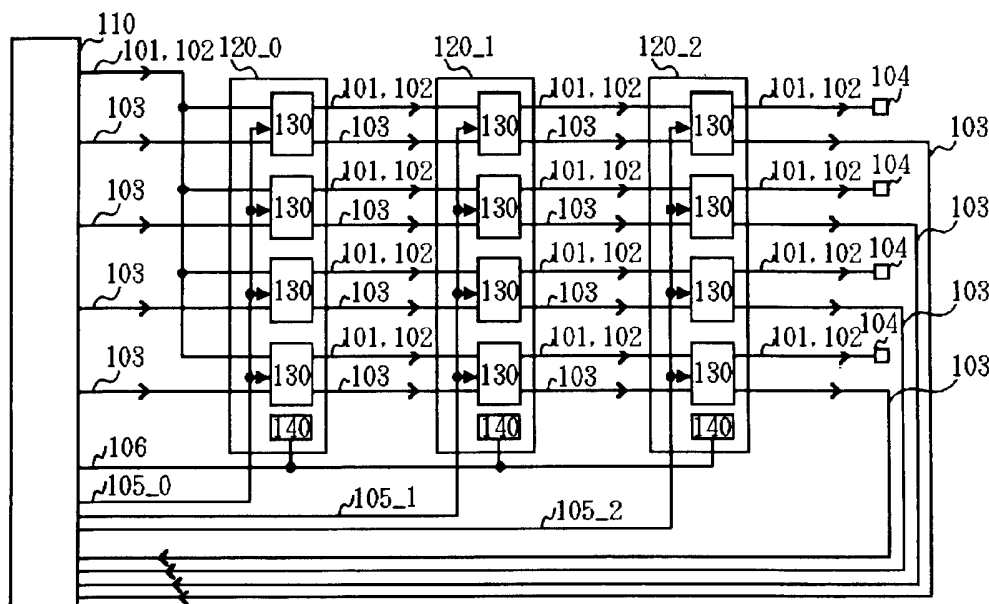
PCT

(10) 国際公開番号
WO 2004/010315 A1

- (51) 国際特許分類: **G06F 13/16**, 12/00 (OKUDA, Yuichi) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/008973
- (22) 国際出願日: 2003 年 7 月 15 日 (15.07.2003) (74) 代理人: 徳若 光政 (TOKUWAKA, Kousei); 〒181-0001 東京都三鷹市井の頭 5 丁目 1 6 番 8 号 Tokyo (JP).
- (25) 国際出願の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, SG, US.
- (26) 国際公開の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- (30) 優先権データ:
特願 2002-211973 2002 年 7 月 22 日 (22.07.2002) JP (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 奥田 裕一
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, DATA PROCESSING SYSTEM, AND MEMORY SYSTEM

(54) 発明の名称: 半導体集積回路装置、データ処理システム及びメモリシステム



(57) Abstract: A plurality of semiconductor integrated circuit devices are used, each of which has an input terminal supplied with an input signal containing an instruction, information, an information location position, or a timing signal and an output terminal for outputting a signal formed in the internal circuit or the signal supplied from the input terminal. Among the plurality of semiconductor integrated circuit devices, the output terminals of the semiconductor integrated circuit devices of a preceding stage are connected to corresponding input terminals of the semiconductor integrated circuit devices of a subsequent stage, thereby constituting a daisy chain for data transfer for data processing and the like.

/ 続葉有 /



(57) 要約: 命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、上記入力信号に応答し、内部回路で形成された信号又は上記入力端子から供給された信号を出力させる出力端子とを持つ半導体集積回路装置を複数個用い、上記複数の半導体集積回路装置のうちの前段とされる半導体集積回路装置の出力端子と次段とされる半導体集積回路装置の入力端子との対応するもの同士を接続してデジチェーン構成としてデータ処理等のためのデータ転送を行う。

明 細 書

半導体集積回路装置、データ処理システム及びメモリシステム

05 技術分野

この発明は、半導体集積回路装置、データ処理システム及びメモリシステムに関し、主としてマイクロプロセッサとメモリ装置との間のデータ高速化技術に利用して有効な技術に関するものである。

10 背景技術

- メモリコントローラとメモリ間の通信方式は、主として複数本の伝送線路（バス：B u s）を用い、さらに3個以上の装置が物理的に同一の伝送線路で通信を行うことが可能なシェアードバス（S h a r e d B u s）方式が一般的に採用されている。シェアードバスは、1サイクル
- 15 で複数のデータを通信するため、単位時間当たりの送受信データ量が大きい。さらに装置の数によらずバスは1つでよいため、システムに応じたメモリ量の変更やメモリの追加（増設）を容易にしている。シェアードバスの例として、JEDEC Standard 79, Double Data Rate (DDR) SDRAM Specification（文献1）が挙げられる。
- 20 金属酸化膜半導体トランジスタ(MOS: Metal Oxide Semiconductor)のスケーリングにより、集積回路(IC: Integrated Circuit)、特に中央演算処理装置(CPU: Central Processing Unit)の処理能力は劇的に増加してきた。しかし近年、CPUの処理能力の増加に割にコンピュータシステム全体の処理能力が増加しないという問題点がある。これは、CPUの
- 25 処理能力に対して、相対的に主記憶（メモリ）の速度が遅くなりつつあることが原因の一つにあげられる。

特に、メモリコントローラとメモリ間インタフェースは、上記の通りシェアードバスを採用するため、通信速度の増加に伴い、データ線路間のタイミングのずれ（スキュー）が問題になってくる。また同一線路上に多数の装置が存在することで、装置間のタイミングの違い、装置数による伝送条件の変化、各装置が接続されている地点における信号の反射等の問題が発生する。それにより、特に高速なメモリコントローラメモリ間インタフェースでは、接続されるメモリの数(DIMM: Dual Inline Memory Module の枚数)に制限がつく、高価な Registered DIMM使用を余儀なくされ、すべてのメモリスロットを使用するとエラーが発生するなど様々な問題点が起こっている。

この発明の目的は、高速なデータの伝達を可能とした半導体集積回路装置、データ処理システム及びメモリシステムを提供することにある。この発明の他の目的は、簡単な構成で高速なデータの伝達を可能とした半導体集積回路装置、データ処理システム及びメモリシステムを提供することある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、半導体集積回路装置において、命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、上記入力信号に応答し、内部回路で形成された信号又は上記入力端子から供給された信号を出力させる出力端子とを持つようにする。

命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、かかる入力信号に応答して内部回路で形

- 成された信号又は上記入力端子から供給された信号を出力させる出力端子とを備えた半導体集積回路装置の複数個を用い、上記複数の半導体集積回路装置のうち、前段とされる半導体集積回路装置の出力端子と次段とされる半導体集積回路装置の入力端子との対応するもの同士が接続されて縦列形態とし、信号生成回路で形成された上記命令、情報、情報の
05 所在位置、タイミング信号のいずれかを含む入力信号を上記初段の半導体集積回路装置の入力端子に供給し、終段の半導体集積回路装置の出力端子からの信号を上記信号生成回路に供給してデータ処理システムを構成する。
- 10 コマンド、データ、アドレス、タイミング信号を含む入力信号がそれぞれ供給される入力端子と、上記入力端子から供給された入力信号に対応した信号をそれぞれ出力させる出力端子とを含む半導体記憶装置の複数個を用い、上記複数の半導体記憶装置のうち、前段とされる半導体記憶装置の出力端子と次段とされる半導体記憶装置の入力端子との対応するもの同士が接続されて縦列形態としてメモリシステムを構成する。
15

図面の簡単な説明

- 第1図は、本発明が適用されたメモリシステムの一実施例を示すブロック図であり、
- 20 第2図は、本願発明に係るデイジーチェーン接続におけるメモリコントローラとメモリとの接続方法の説明図であり、
- 第3図は、この発明に係るメモリチップおよびその信号線の説明図であり、
- 第4図は、この発明に係るメモリチップ間のコマンド／データの伝送
25 方法の一例を説明するための波形図であり、
- 第5図は、この発明に係るメモリチップ間のコマンド／データの伝送

方法の他の一例を説明するための波形図であり、

第 6 図は、この発明に係るメモリチップの一実施例を示すブロック図であり、

05 第 7 図は、第 6 図のメモリチップにおける入力信号の取り込み方法を説明するための波形図であり、

第 8 図は、第 6 図のメモリチップのバンク内部の一実施例を示すブロック図であり、

第 9 図は、第 6 図のメモリチップにおける読み出し動作を説明するための波形図であり、

10 第 10 図は、第 6 図のメモリチップにおける書き込み動作を説明するための波形図であり、

第 11 図は、この発明が適用される I C のパッケージの等価回路図であり、

15 第 12 図は、第 11 図の I C の動作の一例を説明するための出力波形図であり、

第 13 図は、この発明に係るメモリチップの符号変換説明図であり、

第 14 図は、本発明によるデイジーチェーンメモリバスシステムを用いたコンピュータのマザーボードの一実施例のブロック図であり、

20 第 15 図は、この発明に係るデイジーチェーンメモリバスシステムにおける D I M M の一実施例を示す平面図であり、

第 16 図は、この発明に係る D I M M ソケットの断面図であり、

第 17 図は、この発明に係るデイジーチェーンメモリバスシステムにおける D I M M の他の一実施例を示す平面図であり、

25 第 18 図は、この発明に係るデイジーチェーンメモリバスシステムにおける D I M M の他の一実施例を示す平面図であり、

第 19 図は、本発明に係るデイジーチェーンメモリバスシステムの他

の一実施例を示すブロック図であり、

第 20 図は、第 19 図のメモリチップの一実施例を示すブロック図であり、

05 第 21 図は、第 19 図のメモリチップの動作の一例を説明するための波形図であり、

第 22 図は、本発明に係るデイジーチェーンメモリバスシステムの他の一実施例を示すブロック図であり、

第 23 図は、第 22 図のメモリチップの一実施例を示すブロック図であり、

10 第 24 図は、本発明に係るデイジーチェーンメモリバスシステムの他の一実施例を示すブロック図であり、

第 25 図は、本発明に係るデイジーチェーンメモリバスシステムの更に他の一実施例を示すブロック図であり、

15 第 26 図は、本発明に係るデイジーチェーンメモリバスシステムの更に他の一実施例を示すブロック図であり、

第 27 図は、本発明に先立って検討されたシェアードバス接続におけるメモリコントローラとメモリの接続方法の説明図である。

発明を実施するための最良の形態

20 この発明をより詳細に説述するために、添付の図面に従ってこれを説明する。

第 1 図には、本発明が適用されたメモリシステムの一実施例のブロック図が示されている。この実施例は、特に制限があるわけではないが、コンピュータシステムにおけるメモリサブシステムに向けられている。

25 第 1 図において、110 はメモリコントローラであり、120__0 ~ 120__2 はメモリモジュール (DIMM) であり、130 はメモリチッ

ブであり、140はDIMM情報ROMであり、101はクロック伝送線路であり、102はコマンド伝送線路であり、103はデータ伝送線路であり、104はターミネータであり、105__0～105__2はPLL制御信号線であり、106はDIMM情報バスである。

05 第1図において、クロック伝送路101、コマンド伝送路102、データ伝送路103の各伝送路は、各メモリチップ130に入力され、その後各メモリチップ130から出力されている。このように接続することで、メモリコントローラ110と直後のメモリチップ130とを接続するクロック伝送線路101とコマンド伝送線路102を除き、対応するもの同士においてすべて1対1の接続となっている。それにより、各
10 伝送線路のタイミング条件が単純化され、さらに素子数の変化による伝送線路の条件変化も起こらず、伝送線路中で信号が反射を起こすことも防ぐことができる。

この時、システムクロックをデ이지チェーン接続しないとすれば、
15 クロックデータ間のタイミングをチップ内で調整するか、もしくは最悪の場合でもデータ転送ができるように規格化しなければならない。本発明では、システムクロックまで含めてデ이지チェーン接続を行っており、すべて2つの素子間のタイミングとして定義される。また信号の伝送方向も一方のみであり、従来のシェアードバスのように双方向通信
20 を行う場合と比較して読み出し／書き込みの切り替えを行う必要のないぶんタイミング条件等が緩和される。

ここで、従来のシェアードバス接続と、本発明のデ이지チェーン接続とを比較し、本発明の特徴を明らかにする。本願発明者において、先に検討されたシェアードバス接続におけるメモリコントローラとメモリ
25 の接続方法を第27図に示し、本願発明に係るデ이지チェーン接続におけるメモリコントローラとメモリとの接続方法を第2図に示す。

第2図と第27図において、それぞれ4個のメモリを接続した場合のデータ信号線の接続である。第27図と第2図において、110__a, 10__bはそれぞれメモリコントローラ、130__a, 130__bはメモリチップ、104はターミネータを示す。さらに、201は伝送線路の寄生容量、202はデータバスの分岐点(スタブ)、203は伝送線路における信号の反射、204, 206は出力ドライバ、205, 207は入力バッファを示す。

第27図のシェアードバス接続の問題点として、まず駆動される負荷が大きくなるという点を挙げられる。シェアードバス接続では、双方向通信を行うため各メモリコントローラ110__aおよびメモリチップ130__aは、出力ドライバ204と入力バッファ205からなるトライステートバッファを持っている。第27図の例において、各出力ドライバ204が駆動しなければならない総容量負荷 C_a は、寄生容量201が C_p , 出力ドライバ204の容量が C_{da} , 入力バッファの容量が C_{ia} とすると、 $C_a = 4 \times C_p + 5 \times C_{da} + 5 \times C_{ia}$ となる。

この容量 C_a の容量値は非常に大きく、大きな電流駆動力を必要とする。また通信速度が増すと、信号波形の立ち上がり時間/立下り時間を小さくしなければならないため、さらに大きな電流駆動力が必要となる。電流駆動力が大きくなると、出力ドライバ205のサイズが増し、 C_{da} の値がさらに大きくなる傾向にある。そのため、高速な波形の立ち上がり/立下りを得ようとしても、電流駆動力の増加分が出力バッファ205の容量の増加により相殺され、思うように立ち上がり時間/立下り時間が小さくならない。

次に、信号波形の完全性(シグナルインテグリティ)の問題点を挙げる。シェアードバス接続では、1つのバス上に複数のチップが存在するため、バスに必ずスタブ202が存在する。バス配線に直接メモリを実

装することで、見た目上スタブ 202 をなくすことは可能であるが、短いとは言ってもメモリのパッケージ自体がスタブ 202 となってしまうため、シェアードバスにスタブ 202 は必ず存在するといっていよい。

このようなスタブ 202 が存在すると、信号が反射 203 を起こす。

- 05 反射 203 の影響により信号波形が乱れ、信号伝達に支障をきたす。言うまでもないことであるが、通信速度が速くなればそれだけ反射の影響が大きくなる。バスに接続されている機器の個数が一定であるシステムの場合、線路インピーダンスを慎重に設計することで、信号反射を押さえることもできる。しかしメモリサブシステムの場合、ユーザーによる
- 10 メモリの増設が可能であることという要求が強い。そのため、それぞれ固有の誤差を持つ様々な機器との接続を行う必要があり、信号反射を押さえることは困難である。

- なお、バスのターミネータ 104 および、チップ入出力端子においても信号の反射は起こり得る。しかしチップ入出力端子では、スタブ 20
- 15 2 と比較してインピーダンス整合が取り易く、信号反射の影響は比較的少なくてすむ。これらの理由により、シェアードバス接続を用いて高速通信を行うことは非常に難しくなりつつある。

- この発明に係るデイジーチェーン接続においては、第 2 図に示した通り、一つの出力ドライバ 206 が駆動しなければならない総負荷容量 C_b
- 20 b は、寄生容量 201 が C_p 、出力ドライバ 206 の容量が C_{db} 、入力バッファの容量が C_{ib} とすると、 $C_b = C_p + C_{db} + C_{ib}$ となる。

- 第 2 図の例において、 C_b の値は C_a と比較して、大体 $1/4$ 程度になることは明らかである。更に、出力ドライバが駆動しなければならない総負荷容量が減少するため $C_{db} < C_{da}$ となる。それにより、総負
- 25 荷容量はさらに小さくすることができる。ゆえに、デイジーチェーン接

続は、波形の立ち上がり／立下り時間を小さくすることが容易である。

さらに、デイジーチェーン接続では信号反射の問題も起きにくい。上でも述べた通り、チップの出力端子ではインピーダンス整合が取り易いため信号反射は起こりにくい。無論、チップの入力端子でもインピーダンス整合を取ることが可能である。さらに、インピーダンス整合を取らなくとも、出力端子側でインピーダンス整合が取れていれば、再び入力端子側に信号が反射してくることはないため、シグナルインテグリティを悪化させる要因とはならない。よって、デイジーチェーン接続ではシグナルインテグリティが良いと言うことができる。

10 このように、シェアードバス接続と比較してデイジーチェーン接続は高速通信を行うのに適した接続法式であると言える。またメモリ増設の容易さにおいても、シェアードバス接続では、バスに接続されたメモリの個数が増えるにしたがって、総負荷容量が大きくなる。またスタブが増えることで信号の反射が大きくなり、シグナルインテグリティが悪化する。一方、デイジーチェーン接続では、メモリの個数が増えても各信号線の条件は変化しないため、メモリ増設も容易である。

一般的なシステムでは、特にクロック信号は1つのチップから出力されたものを、他すべてのチップで共有するというアプローチをとることが多い。本発明におけるデイジーチェーンメモリバスシステムではクロック101まで、デイジーチェーン接続を行う。これは、タイミング条件の簡素化が目的である。すなわち、あらゆる信号には必ずタイミングのずれが存在するため、メモリサブシステム全体を規格化するに当たっては、このタイミングのずれも考慮に入れなければならない。

ここで、クロック供給と、コマンド、データの供給とを別系統とすると、クロックーデータ、コマンド間のタイミングのずれを考慮する必要がある。このタイミングのずれは、ずれの大きさが動作中に大きく変化

することも考慮に入れなければならない。このタイミング変化を許容できるようにするためには、コマンド，データの入力から出力までの遅延に、あらかじめマージンをとっておくか、もしくは、ヘッダやフッタにウェイトを挿入したり削除したりしてタイミング調整をできるようにする必要がある。

入力から出力への遅延にマージンを持たせておく方法は、有効であるが、マージン分の遅延が直列に接続されるメモリチップ130の個数分積み上がる。これにより、メモリコントローラが読み出し命令を発行した後、データを受け取るまでの遅延時間が大きくなってしまうという問題がある。また、上記ウェイトの挿入／削除はあらかじめ削除可能なウェイトを挿入しておく必要があり、バス効率が悪化する。上記ウェイトを削除したスロット (slot) から更に後ろのチップでウェイトを削除することを防ぐ必要があるなど、チップの構成が複雑化する。このようにクロックを別に供給するのは、様々な問題点があり実用的ではない。

よって本発明ではクロック101も含めて、デ이지チェーン接続する。

第3図には、この発明に係るメモリチップ130およびその信号線が示されている。同図は、デ이지チェーンメモリバスシステムの信号の内容を説明するものである。各信号線におけるメモリチップ130への入出力を明確にするため、それぞれ、入力クロック101_i，出力クロック101_o，入力コマンド102_i，出力コマンド102_o，入力データ103_i，出力データ103_oとする。特に制限するものではないが、この説明では、各クロック101は1bit，コマンド102は8bit，データ103は6bitとする。

第4図には、この発明に係るメモリチップ130の動作の一例を説明するための波形図が示されている。メモリチップ130のすべての信号

はスロットという単位で区切られる。クロック 1 0 1 は各チップにシステムクロックを供給するという役割のほか、上記のスロットを区切る役割をになう。コマンド 1 0 2 とデータ 1 0 3 は、スロット毎に C 0 ~ C 7 及び D 0 ~ D 7 のような 8 ワード (word) と、その前後に挿入されたヘッダ (H:Header) とフッタ (F:Footer) とが含まれる。

第 4 図に示した通り、メモリチップに入力されたクロック 1 0 1 __i, コマンド 1 0 2 __i, データ 1 0 3 __i はそれぞれ入力タイミングがずれている可能性がある。各チップ内部でそれぞれのタイミングを調整して外部へ出力する。そのことにより、デイジーチェーンメモリバスシステムのタイミング条件は、2 チップ間 (出力チップー入力チップ) のみに限定される。

第 4 図及び第 5 図には、この発明に係るメモリチップ 1 3 0 間のコマンド/データの伝送方法の概略を説明するための波形図が示されている。言うまでもないことであるが、メモリチップ 1 3 0 へは、データのリード/ライト (読み出し/書き込み) を行う必要がある。コマンド伝送路 1 0 2 には、リード命令、ライト命令のほか、行アドレス、列アドレス、バンク指定等の内容が含まれている。これらコマンド情報は、メモリコントローラ 1 1 0 から、メモリチップ 1 3.0 へと一方的に送信される情報であるため、メモリチップ 1 3 0 側は受信するのみであるが、データはメモリチップ 1 3 0 から送信する場合がある。

データの送受信は、スロット (slot) 単位で行われる。メモリコントローラ 1 1 0 からリード命令が発行されたとき、第 5 図の 5 0 1 に示した通り、メモリチップ 1 3 0 はスロットのデータ部をリードデータへ置き換える。すなわち、該スロットにおける入力データ 1 0 3 __i は DAT 1 で示されるデータ集合であるのに対し、該スロットにおける出

力データ 1 0 3 __o はメモリ 1 0 3 からリードされたデータ R 0 で示されるデータ集合に置き換わる。ライト動作時は、ライト命令によって示されたスロットから、データを書き込む（第 5 図の 5 0 2 参照）。これにより、メモリチップ 1 3 0 におけるデータのリード／ライトが可能になる。

05 なお、入力コマンド 1 0 2 __i は、変更を加えず、出力コマンド 1 0 2 __o へ出力される。リードデータへと置き換わらなかった入力データ 1 0 3 __i も同じく出力データ 1 0 3 __o へと出力される。なお、命令体系の詳細な説明については後述する。

10 第 6 図には、この発明に係るメモリチップの一実施例のブロック図が示されている。第 6 図において、6 0 1 はメモリ内蔵の P L L 回路であり、6 0 2 はコマンドサンプリング回路であり、6 0 3 はコマンドタイミング検出回路であり、6 0 4 はコマンドラッチであり、6 0 5 はデータサンプリング回路であり、6 0 6 はデータタイミング検出回路であり、
15 、6 0 7 はデータラッチであり、6 0 8 はデータデコーダであり、6 0 9 はデータエンコーダであり、6 1 0 はコマンドデコーダであり、6 1 1 はマルチプレクサであり、6 1 2 はクロック生成回路であり、6 1 3 はコマンドパラレルーシリアル変換回路であり、6 1 4 はデータパラレルーシリアル変換回路であり、6 1 5 (6 1 5 __0 ~ 6 1 5 __7) はバンク F I F O であり、6 1 6 (6 1 6 __0 ~ 6 1 6 __7) はメモリアレイであり、6 1 7 (6 1 7 __0 ~ 6 1 7 __7) はバンクであり、6 1 8 はモードレジスタであり、6 2 0 はクロック選択回路である。

20 入力クロック 1 0 1 __i は P L L 回路 6 0 1 へ入力され、第 7 図 (A) で示されるような 3 0 相クロック 6 5 1 (6 5 1 [0] ~ 6 5 1 [2 9]) を生成する。生成された 3 0 相クロック 6 5 1 によって、入力コマンド 1 0 2 __i をコマンドサンプリング回路 6 0 2 によりサンプリン

グする。この時、入力コマンド 102_i と各クロックの位相は第7図 (B) のような関係となる。第7図 (B) において、 $0 \sim 29$ の数字はそれぞれクロック $651[0] \sim 651[29]$ の位相に対応している。

- 05 すなわち、各コマンドは、それぞれ位相がずれた3つのクロックでサンプリングし、合計240個のコマンドサンプル $651(651[29:0][7:0])$ を得る。ここで $[29:0]$ はサンプリングクロックを、 $[7:0]$ は 102_i の $b i t$ 選択を示す。コマンドサンプルを $651[3n][7:0]$, $651[3n+1][7:0]$, 651
10 $[3n+2][7:0]$ の3つのグループに分ける。

すると、それぞれが各コマンドの前半、中央、後半のサンプルとなる。第7図 (B) の例では、 $651[3n][7:0]$ が前半、 $651[3n+1][7:0]$ が中央、 $651[3n+2][7:0]$ が後半のサンプルである。ただし、前半、後半のサンプルはクロック 101 やコマンド 102 のジッタなどの影響により、安定したサンプリング結果が
15 得られないため、中央のサンプルを選択し使用することが望ましい。

そこで、コマンドタイミング検出回路 603 が3つのグループのうち、どのグループが中央のサンプルであるかを判定する。さらに、コマンドラッチ 604 でヘッダとフッタを判定し、ヘッダとフッタを除いた符号化コマンド $653(653[7:0][7:0])$ をラッチする。 $653[7:0][7:0]$ において、前者の $[7:0]$ は、前記第4図における $C0 \sim C7$ を示し、後者の $[7:0]$ は入力コマンド 102_i の $b i t$ 選択を示す。すなわち $C0 = 653[0][7:0]$ である。
20

- 25 データの入力も、ほぼ同じ手順で行う。 30 相クロック 651 で入力データ 103_i をデータサンプリング回路 605 でサンプリングし、

180個のデータサンプル654 (654 [29:0] [5:0]) を得る。データタイミング検出回路606で、中央のサンプルを判定する。さらにデータラッチ607でヘッダとフッタを判定し、符号化データ656 (656 [7:0] [5:0]) をラッチする。656 [7:0]] [5:0] において、[7:0] は第4図におけるD0～D7を示し、[5:0] は入力データ103__iのbit選択を示す。すなわちD0=656 [0] [5:0] である。中央のサンプル及び、ヘッダとフッタの判定法は後述する。

特に制限するものではないが、本発明におけるデিজチェーンメモリバスシステムでは高速データ通信を行うため、コマンド伝送線路102, データ伝送線路103上のコマンド/データは通信が容易になるように符号化されている。すなわち、これが第6図の符号化コマンド653であり、符号化データ656である。よって、入力されたデータをメモリアレイ616へ書き込む前に、符号化コマンド及び符号化データを復号しなければならない。

符号化コマンド653はコマンドデコーダ610で復号され、符号化データ656はデータデコーダ608で復号される。またメモリアレイ616から読み出されたデータは、データエンコーダ609で符号化される。入力されたコマンドに従って、各バンク617へデータを書き込んだりデータを読み出したりする。また、コマンドにはメモリチップ130の内部動作等を規定するモードレジスタセットがあり、その場合モードレジスタ618の内容を書きかえる。

また、クロック選択回路620は、クロック/コマンド/データ出力用に30相クロック651から10相クロック662を選択する。符号化コマンド653は、コマンドパラレルーシリアル変換回路613で10相クロック662を用いてタイミングを調整して出力コマンド102

__oとして出力される。符号化データ656もしくは符号化読み出しデータ660は、マルチプレクサ611で選択された後、データパラレル-シリアル変換回路614で10相クロック662を用いてタイミングを調整して出力データ103__oとして出力される。

- 05 マルチプレクサ611は、読み出し動作時にメモリチップ130からデータを出力する場合、符号化データ656の代わりに、符号化読み出しデータ660を選択する。出力クロック101__oは、クロックジェネレータ612で10相クロック662を用いて生成される。この時、クロックジェネレータ612、コマンドパラレル-シリアル変換回路6
- 10 13、データパラレル-シリアル変換回路614の遅延時間を同じになるように設計すれば、出力クロック101__o、出力コマンド102__o、出力データ103__oの位相が揃う。

- 次に、メモリチップ130における実際の読みだし/書き込み動作について説明する。第8図には、第6図のバンク617内部のブロック図
- 15 が示されている。バンク617は大きく分けてFIFO（ファーストイン-ファーストアウトメモリ）615とメモリアレイ616とに分かれる。このうち、メモリアレイ616は基本的なDRAMと同様な構成をしている。同図において、901は列アドレスFIFOであり、902はライトフラグFIFOであり、903はライトデータFIFOであり
- 20 、904はリードデータFIFOであり、905は行アドレスデコーダであり、906は列アドレスデコーダであり、907はメモリセルであり、908はセンスアンプであり、909はメインアンプであり、910はライトバッファである。

- メモリチップ130における読み出し動作を説明する。第9図に読み出し時の各信号の波形図が示されている。ここでは、メモリチップ130のバンク617__4に対するリード命令が行われる。第9図のスロッ
- 25

ト 0 のコマンド COM 0 において、バンク 6 1 7 __ 4 の行アドレス (ROW 0) 指定、バンク 6 1 7 __ 4 の列アドレス (COL 0) 指定、リード命令 R (WF 0 = 0) が行われる。次に、第 9 図のスロット 1 のコマンド COM 1 において、バンク 6 1 7 __ 4 の列アドレス (COL 1) 指定、リード命令 R (WF 1 = 0) が行われる。

入力コマンド 1 0 2 __ i は、コマンドデコーダ 6 1 0 で復号され、コマンド 6 5 9 として、バンク 6 1 7 __ 4 へ入力される。バンク 6 1 7 __ 4 中で、コマンド 6 5 9 は行アドレス 9 2 0 (ROW 0)、列アドレス (COL 0)、ライトフラグへ (WF 0) と分離される。第 9 図のコマンド COM 0 では、行アドレスがバンク 6 1 7 __ 4 を指定しているため、行アドレスデコーダ 9 0 5 が直ちに動作し、選択されたワード線 9 2 3 を立ち上げる。

列アドレスもバンク 6 1 7 __ 4 を指定しているため、列アドレス FIFO 9 0 1 へ格納され、ライトフラグ WF 0 はライトフラグ FIFO 9 0 2 へと格納される。この段階では列アドレス FIFO 9 0 1 には列アドレス COL 0 しか格納されていないため、列アドレスデコーダ 9 0 6 は列アドレス COL 0 をデコードする。そして、次の命令 COM 1 で指定された列アドレス COL 1 は列アドレス FIFO 9 0 1 へ入力され、ライトフラグ WF 1 はライトフラグ FIFO 9 0 2 へ入力される。

選択されたワード線 9 2 3 に接続されているメモリセル 9 0 7 はデータ線 9 2 4 とチャージシェアリングを起こし、データ線 9 2 4 に生じた微小なレベル変化は、センスアンプ 9 0 8 で増幅され、メモリセルの内容が読み出される。列アドレス COL 0 のデコード結果にしたがって、メモリセル 9 0 7 の内容はメイン I/O 線 9 2 5 へ出力される。

ここで、ライトフラグ FIFO 9 0 2 から出力されているフラグはリード指定であるため、メインアンプ 9 0 9 はメイン I/O 線 9 2 5 の内

容を増幅し、リードデータFIFO904へ格納する。この段階で、列アドレスFIFO901は列アドレスCOL0の内容を破棄し、次の列アドレスCOL1を列アドレスデコーダ906へ出力する。また、ライトフラグFIFO902も同様にWF0を破棄し、次のWF1を出力する。列アドレスCOL1がデコードされ、メインI/O線にデータが出力されたところで、WF1がまたリード指定であるため、メインアンプ909はメインI/O線925の内容を増幅し、リードデータFIFO904へ格納する。

第9図において、コマンドCOM0が指定されてから、リードデータFIFO904にデータが格納されるまでの時間は、行アドレスが指定されてからtRAC及び列アドレスが指定されてからtCACというスペックで規定される。第9図の例では、行アドレスと列アドレスとを同時に指定したため、列アドレスを指定した後、tRAC後にリードデータFIFOにデータが格納される。

その後、第9図のスロット2のコマンドCOM2で、バンク617__4に対するFIFO出力命令(DOUT)が行われる。すると、メモリチップ130はFIFO出力命令が行われた次のスロット3である、第9図のスロット3で、バンク617__4のReadデータFIFO904の内容を出力する。第9図をみてわかる通り、スロット3出力時にはR0のデータがリードデータFIFO904の出力に現れているため、第9図のスロット3における出力データ103__oの内容はR0となる。

更に、第9図のスロット3のコマンドCOM3においてもまた、バンク617__4に対するFIFO出力命令(DOUT)が行われる。バンク617__4のリードデータFIFO904からは、第9図のスロット3の出力時にR0が出力されて、第9図のスロット4の出力時にはR1

が出力されている。よって、次のスロットである第9図のスロット4の出力データ103__oの内容は、R1に置き換わっている。

次に、書き込み動作の説明する。第10図には、書き込み動作時の各信号の波形図を示す。ここでも書き込み動作と同様にバンク617__4
05 に対する書き込み動作が行われるとする。まず、第10図のスロット0におけるコマンドCOM0で、バンク617__4に対する行アドレス（ROW0）指定、バンク617__4に対する列アドレス（COL0）指定、ライト命令（WF0=1）が行われる。

そして、コマンドCOM0のライト命令に対応するデータは、第10
10 図のスロット1のデータDAT1として入力される。また、第10図のスロット1のコマンドCOM1では、バンク617__4の列アドレス（COL1）指定、ライト命令（WF1=1）が行われる。同様に第10図のコマンドCOM1のライト命令に対応するデータは、第10図のスロット2のデータDAT2として入力される。

15 読み出し動作時と同様、入力コマンド102__iは、コマンドデコーダ610で復号され、コマンド659としてバンク617__4へ入力される。バンク617__4中で、コマンド659は行アドレス920（ROW0）、列アドレス（COL0）、ライトフラグ（WF0）と分離される。

20 第10図のコマンドCOM0では、行アドレスがバンク617__4を指定しているため、行アドレスデコーダ905が直ちに動作し、選択されたワード線923を立ち上げる。また列アドレスもバンク617__4を指定しているため、列アドレスFIFO901へ格納され、ライトフラグWF0はライトフラグFIFO902へと格納される。

25 この段階では、列アドレスFIFO901には列アドレスCOL0しか格納されていないため、列アドレスデコーダ906はCOL0をデコ

ードする。そして、次のコマンドCOM1で指定された行アドレスCOL1は、列アドレスFIFO901へ入力され、ライトフラグWF1はライトフラグFIFO902へ入力される。そして遅れて入力された第10図のDAT1は、バンク617__4のライトデータFIFO903
05 に格納され、次のDAT2もバンク617__4のライトデータFIFO903に格納される。

バンク617__4において、行アドレスROW0及び列アドレスCOL0のデコードが終了する。ここで、ライトフラグFIFO902の出力は、ライト指定のため、ライトバッファ910が動作し、ライトデータFIFO903から出力されているDAT1を、メモリセル907へ
10 書き込む。メモリセル907への書き込みが終了した直後に、ライトデータFIFO903はDAT1を破棄し、ライトフラグFIFO902はWF0を破棄し、列アドレスFIFO901はCOL0を破棄する。

次に、列アドレスFIFO901から出力される列アドレスCOL1
15 が、列アドレスデコーダ906でデコードされる。そして、ライトフラグFIFO902から出力されているWF1は、ライト指定(WF1=1)のため、メモリセル907への書き込み準備が出来次第、ライトデータFIFO903からのデータDAT2をメモリセル907へと書き込む。第10図では説明を簡略化するために、同じメモリセル907へ
20 と書き込むように図示してあるが、もちろん列アドレスCOL0とCOL1が別のアドレスを指示している場合、別のメモリセルへと書き込まれる。

メモリチップ130への読み出し／書き込み動作は以上のような手順で行われる。ここでは、行アドレス指定は1回のみ行ったが、別の行ア
25 ドレスを指定する場合、該バンクにプリチャージ命令を発行した後行アドレスを指定することになる。または、プリチャージ命令を発行せずに

行アドレスを指定することも可能だが、その場合はメモリチップ130内部で自動プリチャージがかかる分だけ、リードデータFIFO904へのデータ出力や書き込み終了までの時間がかかる。

- ここまでは、単一バンクへのアクセス手順を示したが、本実施例におけるメモリチップ130は8バンク構成になっており、各バンクは独立して動作できる。よって、あるバンクがアクティブであっても、別バンクがプリチャージしていれば、行アドレスを指定することができる（バンクインターリーブが可能）。バンクインターリーブを可能にすることで、バスの使用効率を上げることができる。
- 10 列アドレス指定及びデータ入出力においてFIFOを使用する理由は、DRAMのアクセスの遅さに起因する。一般的に、DRAMへ行アドレスを指定した後、列アドレスを指定し、データが出力されるまでには数十nsの時間がかかる。この値は、半導体プロセスルールの進歩に伴って改善されるが、論理素子の動作速度の改善と比較して、その改善速度は非常にゆっくりしたものであることが知られている。故に、例えば
- 15 マイクロプロセッサのような論理素子とDRAMとを組み合わせたシステムが、半導体プロセスルールの進歩に伴って進歩した場合、マイクロプロセッサの進歩にDRAMの進歩が追いつかず、システム全体の性能をDRAMが制限してしまうという問題がある。
- 20 そのため、例えばSDRAM (Synchronous DRAM) では、バンクインターリーブの他に、CASレイテンシ (Latency) CL指定によるバス制御が取り入れられている。すなわち、クロック信号に同期して列アドレスが指定されたのち、CL値で指定されたサイクル後にデータ出力が開始されるという方法である。これにより、
- 25 行アドレスを変更せず列アドレスのみを変更して行くページモードアクセス時に、前の列アドレスのデータ出力が終了する前に、次の列アドレ

スを指定することができ、バス使用効率が改善される。

しかしこの方式では、CL値がすべてのメモリ素子でそろっていないとバスのコンフリクトが起こりやすいため、すべてのメモリ素子でCL値を揃えることが一般的である。これは複数の性能のメモリを混載させた場合、最も性能が劣るメモリ素子に全体の性能が足を引っ張られることを示している。また、一般的なSDRAMで使用されているクロック周波数は66～133MHz程度であるため、CL値は2～3と比較的小さな値である。しかし今後データレートがあがるに従い、CL値は増えていく傾向にある。CL値が増えていくとメモリコントローラ側の制御が煩雑になってしまう。

それに対して、本発明におけるFIFOを用いる方法では、まず列アドレス指定がきわめて自由に行われるということに特徴がある。列アドレスは行アドレスの処理が終わるまで列アドレスFIFO901に格納されているため、メモリコントローラ110側では、行アドレス処理を考慮する必要が無い。さらに、FIFOであるため、次の列アドレスも自由に投入することができる。

さらに、データ出力にもFIFOを用いるためCL制御を行う必要はなく、データがFIFOに格納されるまでの時間のみを考慮に入れば良い。また、CL制御をなくすことで性能が違うメモリを混載しても、高速なメモリは高速に読み出すことができる。データがFIFOに格納されるタイミングが一緒になる可能性はあるが、データ出力命令は1コマンドにつき1つであるため、メモリコントローラ110はコンフリクトの可能性を考慮する必要が無い。

さらに、読み出し動作においてはOUT命令の1スロット後にデータが出力され、書き込み動作においては、ライト命令の1スロット後に、データが入力される。このようにすることにより、メモリコントローラ

1 1 0 は読み出しと書き込みのコンフリクトを容易に回避することができる。つまり、ライト命令とOUT命令を同時に発行しなければ、読み出し／書き込みのデータがコンフリクトを起こすことはない。

ただし、前記第1図において、データの流れる方向から見て上流のメモリチップ130にライト命令を発行し、下流のメモリチップ130にOUT命令を発行してもデータはコンフリクトを起こさない。逆に、上流のメモリチップ130にOUT命令を発行し、下流のメモリチップ130にライト命令を発行すると、メモリコントローラ110を介さずに、上流のメモリチップ130から出力されたデータが、下流のメモリチップ130へ転送される。これらの特性をうまく使用することで、バス効率の更なる向上をねらうことができる。

このように、列アドレス指定およびデータ入出力においてFIFOを使用することで、メモリコントローラ110はデータリードが必要になった時点で自由に列アドレスを投入し、FIFOにデータの準備が出来次第、FIFO出力命令を発行すればよい。つまり、リード命令はメモリセルからFIFOまでのデータ読み出しを指示し、FIFO出力命令がデータ出力命令を指示するという階層的な読み出しとなる。つまり、第1読み出し動作ではメモリセルからFIFOまでの動作が実施され、第2読み出し動作ではFIFOから出力端子に出力されるまでの動作が実施される。また、データライトが必要になった時点で自由に列アドレスを投入し、直後にデータを出力すれば良い。このように本発明におけるデイジーチェーンメモリバスシステムでは、制御が簡潔でバス効率が高いシステムを構成することができる。

次に、コマンドの体系を説明する。特に制限するわけではないが例として、第3図を見てわかる通りコマンド伝送路102のバス幅は8bitである。ただし、コマンドには伝送を容易にする符号化が行われてい

るため実際には6 b i t 分の情報を伝えることができる。また第4図を見てわかる通り、1つのスロット当たりの8ワードの伝送が行われるため、1つのスロット当たりのコマンドの情報量は $6 \times 8 = 48$ b i t である。特に制限するわけではないが、48 b i t の内訳は以下の通りで

05 ある。

	行アドレスチップセレクト (C S R)	:	3 b i t
	列アドレスチップセレクト (C S C)	:	3 b i t
	出力命令チップセレクト (C S O)	:	3 b i t
	行アドレスバンクセレクト (B S R)	:	3 b i t
10	列アドレスバンクセレクト (B S C)	:	3 b i t
	出力命令バンクセレクト (B S O)	:	3 b i t
	命令 (R A S, C A S, O U T, W R I, P R E)	:	5 b i t
	行アドレス (R O W)	:	12 b i t
	列アドレス (C O L)	:	12 b i t
15	予約 (R e s e r v e d)	:	1 b i t
	合計	:	48 b i t

行アドレスROW、列アドレスCOL、出力命令OUTは、それぞれまったく独立に命令を発行できるため、チップセレクトとバンクセレクトはすべて専用のb i t が用意されている。命令は行アドレス指定 (R A S)、列アドレス指定 (C A S)、出力命令 (O U T)、ライト指定 (W R I)、プリチャージ (P R E) にそれぞれ1 b i t ずつ割り当てる。

R A S = 1 の場合、行アドレスチップセレクトC S Rで選択されたメモリチップ130における行アドレスバンクセレクトB S Rで指定されたバンクの行アドレス (R O W) が指定される。列アドレス (C O L) についても同様である。O U T = 1 の場合、出力命令チップセレクトC

SOで選択されたメモリチップ130における出力命令バンクセレクトBSOで指定されたバンクのリードデータFIFO904からデータが出力される。

05 ライト指定(WRI)は列アドレス指定(CAS)と組み合わせて書き込み動作であることを示す。プリチャージには指定バンクプリチャージと、全バンクプリチャージの2種類の命令が用意される。さらに、RASとBSRの組み合わせで、オートリフレッシュ、セルフリフレッシュ、モードレジスタセットが指定される。

10 RAS=1, PRE=1, BSR=任意 : 指定バンクプリチャージ

RAS=0, PRE=1, BSR=3'b000 : 全バンクプリチャージ

RAS=0, PRE=1, BSR=3'b001 : オートリフレッシュ

15 RAS=0, PRE=1, BSR=3'b010 : セルフリフレッシュ

RAS=0, PRE=1, BSR=3'b100 : モードレジスタセット

20 上記いずれの場合も、チップセレクトはCSRで指定する。指定バンクプリチャージの場合は、BSRで指定されたバンクをプリチャージする。リードデータFIFO904の内容は特に操作しない。リード/ライト命令の処理が完了していない場合は、リード/ライト処理を優先する。故に、列アドレスFIFO901、ライトフラグFIFO902、ライトデータFIFO903の内容はプリチャージ時には存在しない。

25 全バンクプリチャージの場合、CSRで指定されたメモリチップ130の全バンクをプリチャージする。この時、リードデータFIFO90

4の内容も同時にクリアする。リード／ライト命令の処理が完了していない場合は、リード／ライト処理を優先する。ただし全バンクプリチャージが発行された時点で、リードデータFIFO904の内容は破棄されることになるため、リード処理は無視しても問題ない。全バンクプリチャージ命令は、主にスタートアップ時にメモリチップ130の動作を初期化するために使用する。

オートリフレッシュは、メモリチップ130内部のリフレッシュカウンタ（図示せず）で自動的に生成される列アドレスのリフレッシュを行う命令である。この場合、全バンク同時にリフレッシュを行う。リード／ライト命令の処理が完了していない場合は、リード／ライト処理を優先する。リードデータFIFO904の内容は保持する。

セルフリフレッシュは、PLL回路601、入出力回路、各デコーダ／エンコーダ等を停止し、メモリチップ130内部のリフレッシュタイマ及びリフレッシュカウンタで自動的にメモリ内容を保持するという命令である。デイジーチェーン接続を行っているため、基本的にデイジーチェーン接続の下流側からセルフリフレッシュ命令を与えないとバス動作が不定になる。セルフリフレッシュからの復帰はスタートアップ手順と同様である。

モードレジスタセットは、主にスタートアップ時にメモリチップ130にチップセレクト番号を割り振ったり、ドライバ回路の電流駆動力を指定したりするためにモードレジスタ618の内容を書きかえる。レジスタの内容は行アドレスROWで指定する。

特に制限するわけではないが、本実施例におけるデイジーチェーンメモリバスシステムの起動手順（スタートアップ）は以下のようなものが考えられる。スタートアップについて第1図をもとに説明する。デイジーチェーンメモリバスシステムは、各メモリがPLL回路601を内蔵

しているため、一般的なSDRAMより起動手順が複雑になる。

(1) メモリコントローラ110を起動し、メモリコントローラ110から出力されるクロック信号101が安定する。この時各PLL制御信号105__0~105__2は1を出力している。そして、DIMM情報05 バス106を通して、各DIMMの情報をDIMM情報ROMから取得する。

(2) PLL制御信号105__0を1→0へ立ち下げる。これによりDIMM120__0のメモリチップ130のモードレジスタ618がリセットされ、PLL回路601がロックを開始する。なお、リセット直後10 のモードレジスタ618の内容は、チップ番号=3'b111(最下流)、アドレス出力バッファ電流駆動力=最大、データ出力バッファ電流駆動力=最大である。

(3) DIMM120__0のメモリチップ130中のPLL回路601がロックするまで待機した後、PLL制御信号105__0を1に戻す。15 その後、全バンクリフレッシュ命令を行い(CSR=3'b111)、次にモードレジスタ618設定を行う。モードレジスタ618の内容はチップ番号=3'b000(最上流)、アドレス出力バッファ電流駆動力=適宜、データ出力バッファ電流駆動力=適宜である。出力バッファの電流駆動力は、マザーボードの設計に依存するため適宜とする。

(4) PLL制御信号105__1を1→0へ立ち下げる。これによりDIMM120__1のメモリチップ130のモードレジスタ618がリセットされ、PLL回路601がロックを開始する。DIMM120__120 のメモリチップ130の動作は上記と同様である。

(5) DIMM120__0のメモリチップ130中のPLL回路60125 がロックするまで待機した後、PLL制御信号105__1を1に戻す。その後、全バンクリフレッシュ命令を行い(CSR=3'b111)、

次にモードレジスタ設定を行う。モードレジスタ 6 1 8 の内容はチップ番号 = 3' b 0 0 1, アドレス出力バッファ電流駆動力 = 適宜、データ出力バッファ電流駆動力 = 適宜である。

05 (6) PLL 制御信号 1 0 5 __ 2 を 1 → 0 へ立ち下げる。これにより DIMM 1 2 0 __ 2 のメモリチップ 1 3 0 のモードレジスタ 6 1 8 がリセットされ、PLL 回路 6 0 1 がロックを開始する。DIMM 1 2 0 __ 2 のメモリチップ 1 3 0 の動作は上記と同様である。

(7) DIMM 1 2 0 __ 2 のメモリチップ 1 3 0 中の PLL 回路 6 0 1 がロックするまで待機した後、PLL 制御信号 1 0 5 __ 2 を 1 に戻す。
10 その後、全バンクリフレッシュ命令を行い (CSR = 3' b 1 1 1)、次にモードレジスタ設定を行う。モードレジスタの内容はチップ番号 = 3' b 0 1 0、アドレス出力バッファ電流駆動力 = ゼロ (停止)、データ出力バッファ電流駆動力 = 適宜である。最下流のアドレス出力は、ターミネータ 1 0 4 で終端されるため出力バッファが動作する必要はない
15 。

(8) 前記のように、全メモリチップ 1 3 0 が起動したら、リードデータをメモリコントローラ 1 1 0 が正しく受け取れるように、メモリバス全体のレイテンシを計測する。本発明におけるデイジーチェーンメモリバスシステムは、メモリチップ 1 3 0 内部のレイテンシのばらつきを許
20 容できるため、OUT 命令が発行されてから、実際にデータをメモリコントローラ 1 1 0 で受け取るまでのレイテンシを測定する必要がある。これは、単純なテストパターンを使用するだけで良い。第 1 図の例ではデータ伝送路 1 0 3 は 4 系統用意してあるため、4 系統を個別にレイテンシ制御を行う。

25 下流の DIMM 1 2 0 上のメモリチップ 1 3 0 の入力クロック 1 0 1 __ i は、上流の DIMM 1 2 0 上のメモリチップ 1 3 0 から出力される

出力クロック 1 0 1 __ o であるため、上流のメモリチップ 1 3 0 に搭載された P L L 回路 6 0 1 が安定してから、下流のメモリチップ 1 3 0 に搭載された P L L 回路 6 0 1 を起動する。

また、モードレジスタリセット直後は、すべてのメモリチップ 1 3 0 がチップ番号 = 3' b 1 1 1 に設定されているため、上流の D I M M 1 2 0 上のメモリチップ 1 3 0 がモードレジスタ設定を終えるまで、下流の D I M M 1 2 0 上のメモリチップ 1 3 0 のリセットを解除してはならない。もし解除すれば、上流と下流のメモリが同じチップ番号 (= 3' b 1 1 1) となり、チップセレクトのコンフリクトが引き起こされる。

10 前記の例ではチップセレクトを上流から順に設定する方式を示したが、チップセレクトのコンフリクトを回避するために、メモリチップ 1 3 0 内部で下流に出力するチップセレクト信号の内容をデクリメントするという方法も考えられる。すなわち、メモリチップ 1 3 0 自体は各チップセレクト信号 = 3' b 0 0 0 の場合、自らが選択されたと判断し、モードセレクト信号に頼らない方法である。

15 例えばメモリコントローラ 1 1 0 が C S R = 3' b 0 0 1 を出力したとする。最上流のメモリチップ 1 3 0 は、C S R = 3' b 0 0 1 を判定し、自分への命令ではないと判断する。そして、下流のメモリチップへ出力する前に C S R = C S R - 1 という演算を行い、C S R = 3' b 0 0 0 を下流のメモリチップに出力する。

20 2 番目のメモリチップ 1 3 0 は C S R = 3' b 0 0 0 を判定し、自分への命令であると判断し処理を行う。その後下流のメモリチップへ出力する前に C S R = C S R - 1 という演算を行い、C S R = 3' b 1 1 1 を下流のメモリチップに出力する。このようにすることにより、チップセレクト信号のモードレジスタ設定をしなくても、コンフリクトを起こすことはなくなる。

このように、D I M M 1 2 0 を上流から順に、P L L ロック及びモードレジスタセットすることで、すべてのメモリチップ 1 3 0 に適切な設定を行うことができる。なお、D I M M 1 2 0 には表面だけにメモリチップ 1 3 0 が存在するシングルサイド D I M M と、両面にメモリチップ 1 3 0 が存在するデュアルサイド D I M M がある。第 1 図の実施例では説明の簡略化のため、シングルサイド D I M M で説明を行ったが、デュアルサイド D I M M の場合も上流側から設定する。また、各チップセレクト信号 (C S R, C S C, C S O) 及びチップ番号は 3 b i t であるので、シングルサイド D I M M で 8 枚、デュアルサイド D I M M で 4 枚まで対応することができる。

第 1 図において、D I M M 情報 R O M 1 4 0 には D I M M の容量、シングル／デュアルサイド D I M M の区別、推奨電流駆動力設定、t R A C、t C A C 等の情報が書き込まれている。

次に、この発明に係るデイジーチェーンメモリバスシステムにおけるコマンド／データの符号化について説明する。本発明は、特にこの符号化方式に制限されるわけではないが、例として符号化方式を説明する。デイジーチェーンメモリバスシステムはシェアードバスを使用しないことで、通信の高速化を行っているが、コマンド／データの符号化で更なる高速化を行う。

シェアードバスに限らず、伝送線を多ビット用いる、パラレル伝送方式は、伝送線を 1 本だけ用いるシリアル伝送方式と比較して、信号伝送の周波数を上げにくいといわれている。その原因の最も大きなものは、各伝送線の信号伝送タイミングのずれ (スキュー) である。このスキューが起こる原因は、いくつか考えられるが、大きな原因としては同時スイッチングノイズの影響が挙げられる。

一般的にパラレル伝送方式では、多ビットのデータを、ビット数と同

数の伝送線にのせ、データ取り込み用のクロック信号（もしくはストローク信号）を同時に伝送し、クロック信号に同期してデータを送受信する。そのため、データの変化が起こらない場合は、クロック信号のみが遷移し、逆にすべてのデータが逆転する場合は、クロック信号を含めすべての信号が遷移する。ゆえに、16ビットパラレル伝送では、クロックのみ1ビットの遷移から、17ビットの同時遷移まですべての可能性が起こり得る。

第11図に示した通り、ICのパッケージにおいて、各ピンには必ずインダクタンス成分1201が含まれる。信号遷移が起こり出力ドライバ1202に電流が流れると、このインダクタンス成分の影響でIC本体に印可される電源電圧が減少する。電源電圧の減少により、出力ドライバ1202の電流駆動力は減少する。この時、第12図に示した通り、1ビット（bit）のみ遷移した場合と、例えば17ビット（bit）遷移した場合とでは、17ビット同時に遷移した方が電流駆動力の減少が激しい。よって、1ビット遷移した場合と、17ビット遷移した場合では17ビット遷移した場合の方が、信号伝送の遅延時間が大きい。このずれがスキューとなって伝わる。

本発明のデイジーチェーンメモリバスシステムでは、アドレス伝送線102の8ビット、データ伝送線103の6ビットのうち、毎データ必ずアドレス伝送線102は4ビット、データ伝送線103は3ビット遷移するようにする。そして、伝送線のレベルではなく、直前のレベルと比較して伝送線が遷移したか／遷移しなかったかに情報を符号化する。そのように符号化を行った場合、1回に送ることができるコマンドとデータの場合の数は、 ${}_8C_4 = 70$ と ${}_6C_3 = 20$ と表すことができる。

6ビットの場合の数は64、4ビット場合の数は16であるため、コマンド6ビット／ワード、アドレス4ビット／ワードを伝送すること

ができる。

第13図に実データと伝送線103の遷移の対応を示す。データの欄に示される実データに対し、トランスミッションコードが与えられる。

トランスミッションコードが1であった場合、伝送線103のレベルは遷移し、トランスミッションコードが0であった場合、伝送線103のレベルは直前の値を保持する。アドレス伝送線102の場合も、Dataの部分が4ビットから8ビットへ、トランスミッションコードの部分が6ビットから8ビットへと拡張されるだけで基本的には同様である。

第13図には、データ無しにトランスミッションコードが割り当てられている。これは例えば、デイジーチェーンメモリバスシステムをグラフィックメモリに応用する場合有効である。グラフィックメモリの場合、ある一点に描画したいという場合が考えられる。しかし高速DRAMでは高速データ転送を実現するため、バースト転送を行うため、描画したい点以外のメモリも書き換える必要がある。

従来は、リード・モディファイ・ライト (Read-Modify-Write) で実現するか、データマスク機能で実現していた。ただ、前者は1回の動作で2回のメモリアクセスが必要なためバス効率が悪い。後者はメモリの制御が複雑になるという問題があった。本発明によるデイジーチェーンメモリバスシステムは、第13図に示した通り、データ無し (No Data) が直接転送できるため、容易にデータマスクが実現できる。

この符号化方式では、一回符号化／復号に失敗すると、伝送線のレベルの間違いがその後回復せず、復号方式によってはコマンド、データが伝送されなくなってしまう可能性がある。そのため、本発明におけるデイジーチェーンメモリバスシステムでは第4図に示した通り、データをスロットという単位に切り分け、データ伝送の復帰点としている。

前記の通り、スロットの初めはH (Header) となっている。このHは、伝送線のレベルがすべてLoレベルとなっている。このHはコマンド、データの内容と異なり、伝送線の遷移ではなくレベルで定義される事に注意する。スロットの最初であるHは全bitがLoレベルであるため、C0では8bit中4bitがHiレベル、D0は6bit中3bitがHiレベルとなる。この関係を利用することで、容易にHの位置を検出することができる。

Hの次には8ワードのコマンド、データ本体(C0~C7, D0~D7)が続く。このコマンド、データに前記の符号化が行われている。ここで、C7, D7における伝送線のレベルは、伝送されるコマンド、データの内容によって決定され、全ビットがハイレベルであることも考えられる。よって、C7, D7から直接H(全ビット=ロウレベル)へと遷移させると、大きな同時スイッチングノイズが発生する可能性がある。これでは、符号化を行った意味が低下する。

そこで第4図に示した通り、C7, D7とHの間にF (Footer) を定義する。このFは、例えばコマンド伝送線102の上位4ビット(102[7:4])及びデータ伝送線103の上位3ビット(103[5:3])を無条件でロウレベルにし、コマンド伝送線102の下位4ビット(102[3:0])及びデータ伝送線103の下位3ビット(103[2:0])はC7, D7のレベルを保持する。

すると、C7からFへの遷移は0~4ビットとなり、D7からFへの遷移は0~3ビットとなる。符号化によって、伝送線の遷移数をデータパターンによらず一定にするという目的からは少し外れるが、遷移数が多くなるよりは、少なくなる方が同時スイッチングノイズ耐性が良くなるため、あまり問題にはならない。

それでもなお問題であるならば、Fを前記のような単純な方法で生成

するのではなく、C 7, D 7 のレベルから生成することで対応することができる。H のレベルがすべてロウレベルであり、その後 1 ワード毎に、コマンド伝送線では 4 ビット、データ伝送線では 3 ビットの伝送線のレベル遷移が起こる。このことから、偶数回のデータ転送が行われた後は
05 、コマンド伝送線、データ伝送線とも偶数ビットの伝送線がハイレベルである。

このことから、C 7→F→H の遷移において、必ず 4 ビットごとの伝送線の遷移が行われるように F の値を算出することが可能である。同様に、D 7→F→H の遷移において、必ず 3 ビットごとの伝送線の遷移が行
10 われるように、F の値を算出することも可能である。このように、C 7, D 7 における伝送線のレベルから、F の値を適宜算出することで F, H も含め、1 ワード毎の伝送線レベル遷移の数を常に一定に保つことができ、同時スイッチングノイズ耐性を更に改善することができる。

第 14 図には、本発明によるデ이지チェーンメモリバスシステムを用いたコンピュータのマザーボード 1 5 0 1 のブロック図が示されている。
15 マザーボード 1 5 0 1 上には、マイクロプロセッサ（ソケット）1 5 0 2、メモリコントローラ 1 1 0、周辺機器コントローラ 1 5 0 3、I/O コントローラ 1 5 0 4、周辺機器ドータボード（スロット）1 5 0 5、外部増設ポート 1 5 0 6、メモリサブシステム 1 5 0 7、グラフィックサブシステム（スロット）1 5 0 8 等が配置されている。
20

マザーボード 1 5 0 1 は、マイクロプロセッサ 1 5 0 2 から、マイクロプロセッサバス 1 5 1 1 を通して、メモリコントローラ 1 1 0 へ接続されている。メモリコントローラ 1 1 0 は、メモリサブシステムをコントロールするための機器であり、メモリサブシステム 1 5 0 7 の他、周
25 辺機器コントローラ接続ポート 1 5 1 2 を通して周辺機器コントローラ 1 5 0 3 へ、グラフィックポート 1 5 1 5 を通してグラフィックサブシ

ステム 1 5 0 8 へと接続される。

周辺機器コントローラ 1 5 0 3 は、様々な周辺機器を接続するためのバスである、周辺機器バス 1 5 1 3 をコントロールする。周辺機器バス 1 5 1 3 には、コンピュータの様々な I / O 機器をコントロールする、
05 I / O コントローラ 1 5 0 4 をはじめとして、様々な周辺機器データボード 1 5 0 5 が接続されている。第 1 4 図では省略されているが、外部機器は外部増設コネクタ 1 5 0 6 に接続され、信号は外部機器ポート 1 5 1 4 を通して、I / O コントローラ 1 5 0 4 へ接続される。

第 1 図のデイジーチェーンメモリバスシステムは、メモリサブシステム
10 ムに最適されたものである。第 1 4 図においては、メモリサブシステム 1 5 0 7 に応用されている。しかし、第 1 4 図におけるマイクロプロセッサバス 1 5 1 1、周辺機器コントローラ接続ポート 1 5 1 2、周辺機器バス 1 5 1 3、外部機器ポート 1 5 1 4、グラフィックポート 1 5 1 5 等相方向接続を行うバス／ポートに応用することも可能である。また
15 、グラフィックサブシステム 1 5 0 8 にもメモリが搭載されることが一般的であり、このグラフィックサブシステム 1 5 0 8 のメモリバスにも、デイジーチェーンメモリバスシステムを応用することが可能である。

言うまでもない事ではあるが、本発明では D I M M を用いてメモリを増設しているが、D I M M を用いずに基盤に直接メモリを実装しても良
20 い。また、チップ内部の伝送線に本発明を適用することも可能である。

第 1 4 図にはコンピュータ用のマザーボードとしての応用例を挙げた。メモリサブシステムとして使用する場合、メモリチップ 1 3 0 をメモリサブシステムに接続するために、D I M M 及び、D I M M ソケットのしくみが必要となる。シェアードバスの場合は、メモリはスタブを通して
25 て接続されるため、D I M M 及び D I M M ソケットの構造は比較的単純であった。

しかし、デイジーチェーンメモリバスシステムは、信号がメモリチップ130内部を通る構造となっているため、DIMMソケット→DIMM120→DIMMソケットという信号の流れとなる。ここで、DIMM120が挿入されていない状態では、信号が途中で切り離された状態となり、デイジーチェーンメモリバスシステムが機能しなくなる。一般的には、メモリチップ130が搭載されていない、ダミーのDIMMを挿入し、信号の接続を保つ。しかし、この方式はコストがかかる上、ダミーDIMMをユーザーが保存しなければならない等、使い勝手の面で問題が多い。

第15図にデイジーチェーンメモリバスシステムにおけるDIMM120の概略図を示す。なお、第16図は概略図であるため、いろいろな信号線、電源、DIMM情報ROM140、メモリチップ130の数等が省略されている。メモリチップ130はすべて同様の構造である。

第15図の例では、メモリチップ130の右側に信号線の入力端子101_i, 102_i, 103_iが配置され、左側に信号線の出端子101_o, 102_o, 103_oが配置されている。また、左右で同じ高さのピンは、同じ信号の入力と出力という対応になっている。このようにメモリチップ130のピンを配置することで、DIMM120上の配線を簡略化することができる。

すなわち、表面側(front side)のメモリチップ130の出端子と、裏面側(back side)のメモリの出力端子が近い位置に存在するため、この2端子を接続するために単純に基盤にスルーホール1602を用いれば最短距離で接続できる。言うまでもないことであるが、この位置関係で重要なのは、入力ピンと出力ピンが、メモリチップ130の反対側の位置にあるということで、この関係において、左右が右左になろうと上下になろうと下上になろうと、ピンの配置が完

全に左右対称（上下対称）でなくとも問題ない。

その上で、D I M M 1 2 0 の信号配線パターン 1 6 0 . 1 を表裏で左右対称にすることで、D I M M 1 2 0 の入力端子 1 6 0 3 の信号線 1 0 1 __ i , 1 0 2 __ i , 1 0 3 __ i と、出力端子 1 6 0 4 の信号線 1 0 1 __ o , 1 0 2 __ o , 1 0 3 __ o が同じ位置の表裏という関係となる。また言うまでもないことであるが、ここで重要なのは、D I M M の端子 1 6 0 3 と 1 6 0 4 において、同じ信号が表裏の関係になることで、配線パターンの作り方に制限されるものではない。無論裏表の関係になるものは、信号線 1 0 1 , 1 0 2 , 1 0 3 であり、その他の信号線及び電源端子は関係ない。

前記のような D I M M 1 2 0 の構造を踏まえた上で、D I M M ソケットの構造例を第 1 6 図に示す。第 1 6 図は D I M M ソケットの断面図であり、D I M M 1 2 0 が挿入された状態と、挿入されていない状態の 2 態が図示されている。まず、D I M M 1 2 0 が挿入された状態では、通常の D I M M と変わらず、ソケットの端子と D I M M 1 2 0 の端子が接続されている。D I M M 1 2 0 が挿入されていない状態では左右の端子が短絡する。

ここで前記に記した D I M M 1 2 0 の構造によると、D I M M 1 2 0 の端子は表裏が同一の信号の入出力である。よって、短絡することで、D I M M 1 2 0 が挿入されていない状態でも、信号の接続が途絶えず、デジチェーンメモリバスシステムを動作させることができる。第 1 6 図の例では、D I M M ソケットにおける端子のばねの力を利用した単純なものであるが、動作を確実にするため、D I M M 1 2 0 固定用のレバー、D I M M 1 2 0 挿入時の力などを利用して機械的に端子を短絡させることも可能である。これらの構造により、D I M M 1 2 0 のコストや使い勝手も従来の S D R A M とほぼ変わらないメモリシステムが構成

できる。

05 DIMM120は基本的に次段への増設が可能であることを前提にしてきた。しかし、DIMM120は必ずしも次段への増設が必要であるとは限らない。例えば、携帯型コンピュータなどの場合、DIMMスロ
10 ットが1つしか搭載しておらず、メモリの増量は増設という形ではなくDIMMの交換という形態を取るものが多い。その場合、第17図に示した通り、ターミネータ104をDIMM120上に搭載することで、DIMMからクロック信号出力101__o及びコマンド信号出力102__oに対応した端子を省略できる。それにより、DIMMソケットの面積縮小が可能になる。携帯型のコンピュータでは、あらゆる部品の実装面積を縮小することが求められており、増設のできないDIMM120という選択肢もありえる。

もちろん、メモリチップ130の構造まで考えに入れば、第18図に示したように、クロック信号101__o及びコマンド信号102__o
15 が出力されないメモリチップ130__1を使用して、第17図と等価なDIMM120を構成することができる。この場合、メモリチップ130において、出力端子が製造段階で機能しないようにされていてもよいが、モードレジスタ618もしくは外部ピン設定で、オンチップターミネーションを機能させたり出力バッファを停止させたりしても良い。言
20 うまでもないが、第17図、第18図に示したDIMM120の構造を用いても、増設可能なデিজィチェーンメモリバスシステムでは、最下流のDIMM120として使用することができる。

第19図には、本発明に係るデিজィチェーンメモリバスシステムの他の一実施例のブロック図が示されている。第19図において、基本的な構成は、第1図の実施例とあまり変わらない。ただし、メモリチップ
25 150にPLL回路を内蔵せず、外部PLLチップ160が設けられる

。これにより、メモリチップ150のチップ面積と消費電力の低減を実現するものである。

05 デジチェーンの前段のDIMM120もしくはメモリコントローラ110から出力されたクロック信号101は、一旦PLLチップ160へと入力され、そこから、DIMMクロック101__1として、DIMM120上の各メモリチップ150へとクロックが分配さる。また、次段のDIMM120へクロック101が出力される。

10 この方式では、PLLチップ160における2つのクロック出力101__1, 101の位相差がメモリチップ150における入力クロック101__1と出力コマンド102, データ103の位相差と同じであるように遅延量を設計することで、クロック伝送線101とコマンド伝送線102, データ伝送線103との位相差を小さくすることができる。もちろん、位相差を別の手段で吸収すること、もしくは吸収する必要が無い場合、特に遅延量を一致させなくとも良い。さらにクロック101と
15 DIMMクロック101__1とを同一の信号線としても問題なくなる。

20 第20図には、前記第19図のメモリチップ150の一実施例のブロック図が示されている。また、第21図には、その動作の一例を説明するための波形図が示されている。第20図において、2101はコマンド入力遷移検出回路であり、2102はコマンドラッチであり、2103はデータ入力遷移検出回路であり、2104はデータラッチであり、2105はコマンドパラレルーシリアル変換回路であり、2106はデータパラレルーシリアル変換回路である。第21図では、コマンド102の入出力について説明するが、データ103の入出力についても同様の方法で処理することができる。

25 この実施例において、前記第1図の実施例と同様にデジチェーンメモリバスシステムにおいてコマンド102、データ103は各ワード

毎に伝送線のレベル遷移が起こる。よって、信号線の遷移でタイミングを測定しコマンド入力102__i, データ入力103__iをラッチすることができる。まず、コマンド入力遷移検出回路2101がコマンド入力102__iのレベル遷移を検出し、10相コマンドラッチクロック2151を生成する。このコマンドラッチクロックにしたがって、コマンドラッチ2102がコマンド入力102__iをラッチする。そして、DIMMクロック101__1に同期して、コマンド出力回路2105がコマンド出力102__oを出力する。

データ103においても、データ入力遷移検出回路2103でデータ入力103__iのレベル遷移を検出し、生成された10相データラッチクロック2152で、データラッチ2104がデータ入力103__iをラッチする。そして、DIMMクロック101__1に同期して、データ出力回路2106がデータ出力103__oを出力する。コマンド102、データ103が入力された後のメモリ150の動作は、前記第1図の実施例におけるメモリチップ130の動作と同様であるためここでは省略する。

前記第20図の実施例において、PLL回路を用いずにコマンド102, データ103を取り込む方法を示した。それを応用することで、第22図のブロック図に示すような更に他の実施例が考えられる。前記の各実施例と違い、この実施例では、各メモリチップ170へ共通にクロック信号101が入力されているということである。第23図に、第22図の実施例におけるメモリチップ170のブロック図が示されている。メモリチップ170の動作は、第20図の実施例におけるメモリチップ150と同様な動作を行うため詳細な説明は省く。

ただし、クロック101とコマンド102, データ103のタイミングが合っていないためメモリ内蔵DLL2401でクロックのタイミン

グを変更してから、コマンド出力回路 2 4 0 5 及びデータ出力回路 2 4 0 6 を動作させる。内部クロック 2 4 5 1 が 1 0 相クロックではないため、コマンド出力回路 2 4 0 5 及びデータ出力回路 2 4 0 6 は第 2 実施例と違うものを採用している。

- 05 クロックタイミングを調整する回路として、前記の例では D L L 2 4 0 1 を採用した。そのため、クロック信号 1 0 1 は、コマンド 1 0 2、データ 1 0 3 の転送レートと等しい周波数を持つかもしくは半分の周波数を持つことになる。もし、D L L の代わりに P L L を採用すれば、クロック 1 0 1 はコマンド 1 0 2、データ 1 0 3 の転送レートの $1/X$ という値を採用することができる。
- 10

- これまでの各実施例では、メモリコントローラ 1 1 0 とメモリチップ 1 3 0、1 5 0、1 7 0 との信号をコマンド 1 0 2 とデータ 1 0 3 とに分けてきた。ここで、ライトデータをコマンド伝送線 1 0 2 上で転送すると第 2 4 図のブロック図に示した実施例の形になる。このように構成
- 15 とすることで、メモリコントローラ 1 1 0 のピン数を削減することができる。またリードデータとライトデータを同時に転送することで、バス効率を向上させることができる。最上流 D I M M 1 2 0 __ 0 上のメモリチップ 1 3 0 の 1 0 3 __ i ピンは使用しないため、マザーボード上で終端処理を行ってあるが、単純に G N D へ接続しても良い。

- 20 ここまでの各実施例では、メモリを多段に接続することを前程として議論してきたが、メモリの応用には比較的小容量でデータ転送速度が高いことを要求するものがある。例えば高速マイクロプロセッサ用の外部キャッシュメモリや、グラフィックサブシステム用のメモリ等である。これらの応用例では、メモリを多段に接続する必要はない。このような
- 25 応用では、メモリチップ 1 3 0 のクロック出力 1 0 1 __ o 及びコマンド出力 1 0 2 __ o のピンが不用である。

第25図には、本発明のデ이지チェーンメモリバスシステムの更に他の一実施例のブロック図が示されている。第25図の実施例は、これまでの実施例と違い、コマンド伝送線102がメモリコントローラ110に入力されている。これまでの実施例ではリードデータは、データ伝送線103を通してメモリコントローラ110に入力されていたが、第25図の実施例では、データ伝送線103に加えて、不用になったコマンド伝送線102も使用する。

上記コマンド伝送線102にコマンドを出力するかデータを出力するかは、モードレジスタを書き換えて対応する。ライトデータは、基本的にデータ伝送線103でメモリチップ190へ入力するが、コマンド伝送線102からもデータを送るようにしても良い。このように構成することで、メモリチップ190における読み出し動作時のバス効率が改善される。

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。前記の各実施例では、クロック伝送線101とコマンド伝送線102は、メモリコントローラ110から1組出力して、最上流のメモリに分配しており、これらの信号線は1対1で接続していなかった。この事で問題があれば、クロック伝送線101とコマンド伝送線102を必要な分メモリコントローラから出力しても良い。

また、第26図に示した実施例のようにバスバッファ2701を利用して分配しても良い。この場合、データ伝送線もバスバッファ2701を通せば、クロック101、コマンド102、データ103のタイミングが一致する。なお言うまでもないことであるが、メモリ1個当たりのデータ入出力103は1組であったがこれが2組以上でも問題はない。

この発明は、半導体集積回路装置及びデータ処理システム及びメモリシステムに広く利用することができる。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。すなわち、1つの半導体集積回路装置において、命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、上記入力信号にตอบสนองし、内部回路で形成された信号又は上記入力端子から供給された信号を出力させる出力端子とを持つようにすることにより、デイジーチェーン構成で高速なデータの伝達を可能とした半導体集積回路装置を得ることができる。

命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、かかる入力信号にตอบสนองして内部回路で形成された信号又は上記入力端子から供給された信号を出力させる出力端子とを備えた半導体集積回路装置の複数個を用い、上記複数の半導体集積回路装置のうち前段とされる半導体集積回路装置の出力端子と次段とされる半導体集積回路装置の入力端子との対応するもの同士が接続されて縦列形態とし、信号生成回路で形成された上記命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号を上記初段の半導体集積回路装置の入力端子に供給し、終段の半導体集積回路装置の出力端子からの信号を上記信号生成回路に供給することにより、デイジーチェーン構成を利用した高速なデータの伝達を可能としたデータ処理システムを得ることができる。

コマンド、データ、アドレス、タイミング信号を含む入力信号がそれぞれ供給される入力端子と、上記入力端子から供給された入力信号に対応した信号をそれぞれ出力させる出力端子とを含む半導体記憶装置の複数個を用い、上記複数の半導体記憶装置のうち、前段とされる半導体記

憶装置の出力端子と次段とされる半導体記憶装置の入力端子との対応するもの同士が接続されて縦列形態とすることにより、デイジーチェーン構成を利用した高速なデータの伝達を可能としたメモリシステムを得ることができる。

05

請 求 の 範 囲

1. 命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、
上記入力信号に応答し、内部回路で形成された信号又は上記入力端子
05 から供給された信号を出力させる出力端子とを備えてなることを特徴とする半導体集積回路装置。
2. 請求の範囲第1項において、
上記命令は、動作状態を指示するコマンドであり、
上記情報は、記憶すべきデータであり、
10 上記情報の所在位置は、アドレス信号であり、
上記タイミング信号は、クロックであり、
上記半導体集積回路装置は、上記クロックに同期して入力されたコマンド及びアドレス信号に対応して動作するメモリ回路を含むものであることを特徴とする半導体集積回路装置。
15 3. 請求の範囲第2項において、
上記メモリ回路は、自身に割り当てられたアドレスに対応した読み出し動作が指示されたときに、上記アドレスに従って読み出された記憶情報を入力端子の入力情報に置き換えて出力端子から出力するものであることを特徴とする半導体集積回路装置。
20 4. 請求の範囲第1項において、
上記出力端子から出力される命令、情報、情報の所在位置、タイミング信号は、内部で再生されたタイミング信号により再調整されるものであることを特徴とする半導体集積回路装置。
5. 請求の範囲第4項において、
25 上記再調整されるタイミング信号は、基準タイミング信号を受ける位相同期ループ回路で生成されるものであることを特徴とする半導体集積

回路装置。

6. 請求の範囲第5項において、

上記基準タイミング信号は、外部から入力されるものであることを特徴とする半導体集積回路装置。

05 7. 命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号が供給される入力端子と、かかる入力信号に応答し、内部回路で形成された信号又は上記入力端子から供給された信号を出力させる出力端子とを備えた複数の半導体集積回路装置と、

10 上記半導体集積回路装置に対して、命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号を生成する信号生成回路とを備え、

前段とされる半導体集積回路装置の出力端子と次段とされる半導体集積回路装置の入力端子との対応するもの同士が接続され縦列形態にされ、

15 上記信号生成回路で生成された命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号は、上記縦列形態の初段とされる半導体集積回路装置の入力端子に供給され、

20 上記縦列形態の終段の半導体集積回路装置の出力端子の出力信号のうち、少なくとも情報に対応した信号が上記信号処理回路に伝えられるものであることを特徴とするデータ処理システム。

8. 請求の範囲第7項において、

上記命令は、動作状態を指示するコマンドであり、

上記情報は、記憶すべきデータであり、

上記情報の所在位置は、アドレス信号であり、

25 上記タイミング信号は、クロックであり、

上記複数の半導体集積回路装置の各々は、上記クロックに同期して入

力されたコマンド及びアドレス信号に対応して動作するメモリ回路を含むものであることを特徴とするデータ処理システム。

9. 請求の範囲第8項において、

上記出力端子から出力されるコマンド、データ、アドレス及びタイミング信号は、内部で再生されたタイミング信号により再調整されるものであることを特徴とするメモリシステム。

10. コマンド、データ、アドレス、タイミング信号を含む入力信号がそれぞれ供給される入力端子と、

上記入力端子から供給された入力信号に対応した信号をそれぞれ出力させる出力端子とを含む半導体記憶装置の複数個を備え、

上記複数の半導体記憶装置のうち、前段とされる半導体記憶装置の出力端子と次段とされる半導体記憶装置の入力端子との対応するもの同士が接続されて縦列形態とされてなることを特徴とするメモリシステム。

11. 請求の範囲第10項において、

上記縦列形態の初段の半導体記憶装置の入力端子には、信号生成回路により形成されたコマンド、データ、アドレス、タイミング信号が供給され、

上記縦列形態の終段の半導体記憶装置の出力端子から出力される出力信号のうち、少なくともデータに対応した信号は、上記信号生成回路に伝えられるものであることを特徴とするメモリシステム。

12. 請求の範囲第11項において、

上記信号生成回路は、1つの半導体集積回路装置から構成されるメモリ制御装置であることを特徴とするメモリシステム。

13. 請求の範囲第12項において、

上記出力端子から出力されるコマンド、データ、アドレス及びタイミング信号は、内部で再生されたタイミング信号により再調整されるもの

であることを特徴とするメモリシステム。

14. 請求の範囲第13項において、

上記再調整されるタイミング信号は、基準タイミング信号を受ける位
相同期ループ回路で生成されるものであることを特徴とするメモリシ
05 テム。

15. 請求の範囲第12項において、

上記メモリ制御装置により生成されたデータは、上記初段を構成する
複数の半導体記憶装置の入力端子に振り分けられて供給され、

上記初段の複数の半導体記憶装置に対応して次段から終段まで複数の
10 半導体記憶装置が設けられて、それぞれが一对一に対応して縦列接続さ
れるものであることを特徴とするメモリシステム。

16. 請求の範囲第15項において、

上記信号生成回路で形成されたコマンド及びアドレスは、上記初段を
構成する複数の半導体記憶装置の入力端子に共通に伝えられ、

上記初段の複数の半導体記憶装置の出力端子から終段の複数の半導体
15 記憶装置の入力端子までの接続においては、上記コマンド及びアドレス
が上記データに対応してそれぞれが一对一に接続されることを特徴とす
るメモリシステム。

17. 請求の範囲第15項において、

上記信号生成回路は、上記初段を構成する複数の半導体記憶装置の入
20 力端子に対応した複数組のコマンド及びアドレスを生成し、上記初段を
構成する複数の半導体記憶装置の入力端子に対して一对一に対応して伝
えられ、

上記初段の複数の半導体記憶装置の出力端子から終段の複数の半導体
25 記憶装置の入力端子までの接続においても、上記コマンド及びアドレス
が上記データに対応してそれぞれが一对一に接続されることを特徴とす

るメモリシステム。

18. 請求の範囲第15項において、

上記複数の半導体記憶装置は、自身に割り当てられたアドレスに対応した読み出し動作が指示されたときに、上記アドレスに従って読み出された記憶情報を入力端子の入力情報に置き換えて出力端子から出力するものであることを特徴とするメモリシステム。

19. 請求の範囲第16項において、

上記縦列接続される前段の半導体記憶装置と後段の半導体記憶装置とは、共通の実装基板の表面と裏面に実装され、スルーホールによって上記縦列形態に接続されるものであることを特徴とするメモリシステム。

20. 請求の範囲第10項において、

上記半導体記憶装置は、読み出し用バッファ回路を備え、メモリセルから上記読み出し用バッファ回路に記憶情報を読み出して保持させる第1読み出しコマンドと、

上記読み出し用バッファ回路に保持された記憶情報を出力端子から出力させる第2読み出しコマンドを備えるものであることを特徴とするメモリシステム。

21. 請求の範囲第20項において、

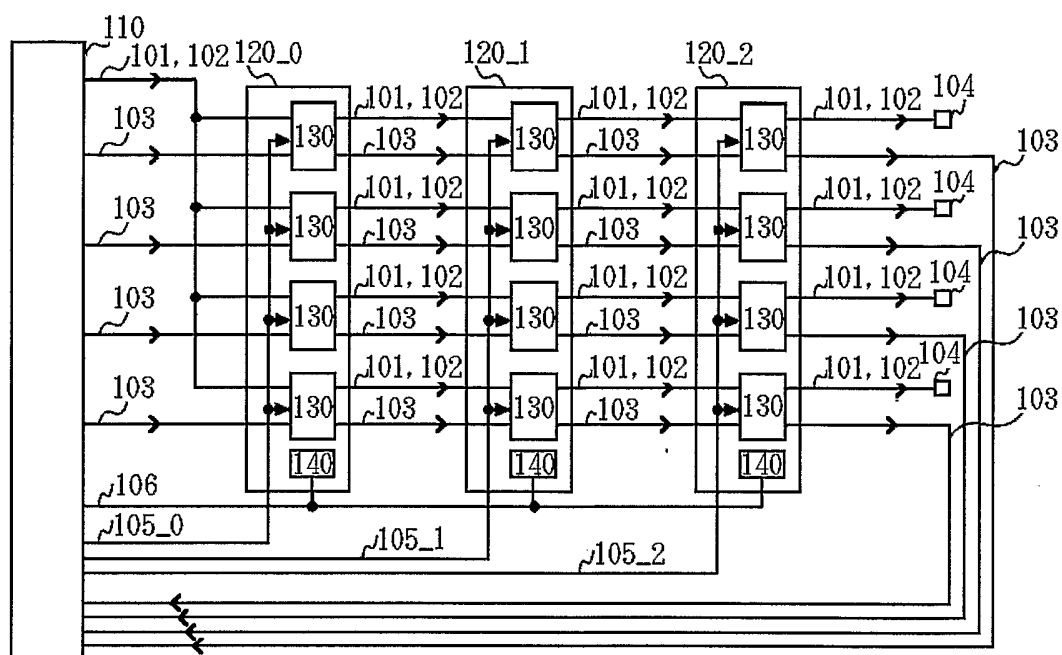
上記半導体記憶装置は、書き込み用バッファ回路を備え、書き込みコマンドは、外部端子から供給されたデータを上記書き込み用バッファに書き込み、上記書き込み用バッファに書き込まれたデータは、内部制御回路により自律的にメモリセルに書き込まれるものであることを特徴とするメモリシステム。

22. 請求の範囲第10項において、

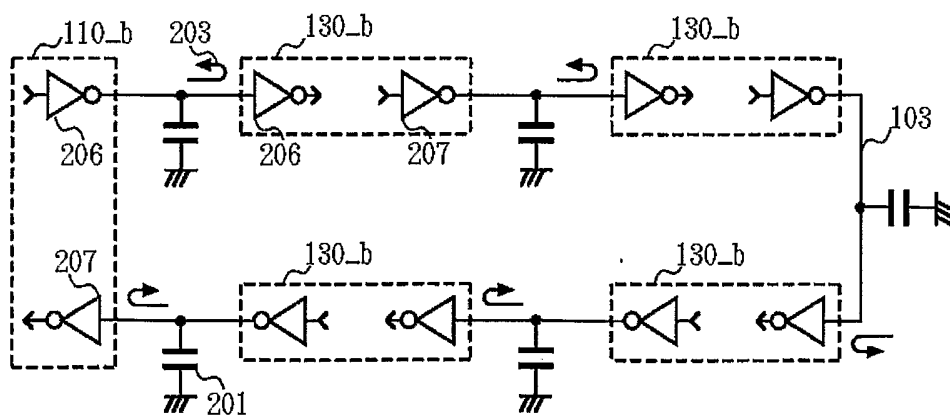
データは、m本の伝送線のうち、少なくともn本の伝送線が周期ごと

にレベル遷移を行うものであることを特徴とするメモリシステム。

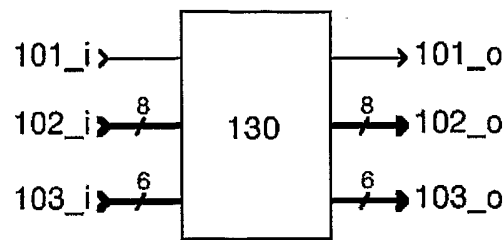
第 1 図



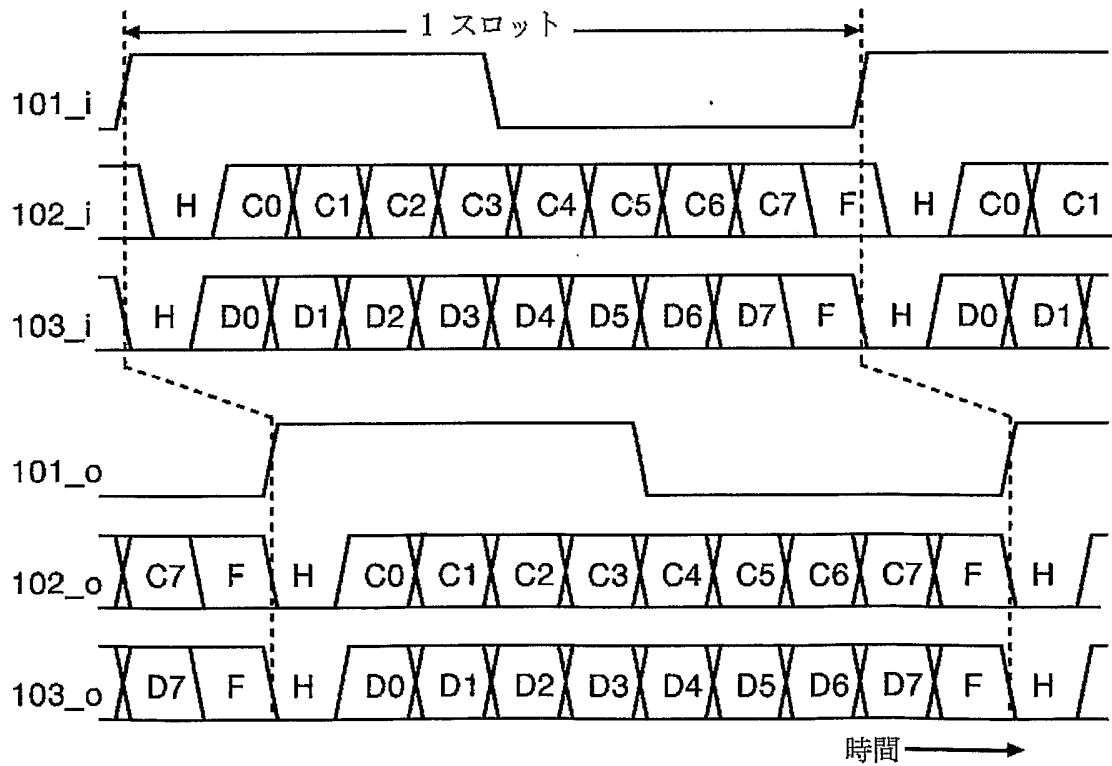
第 2 図



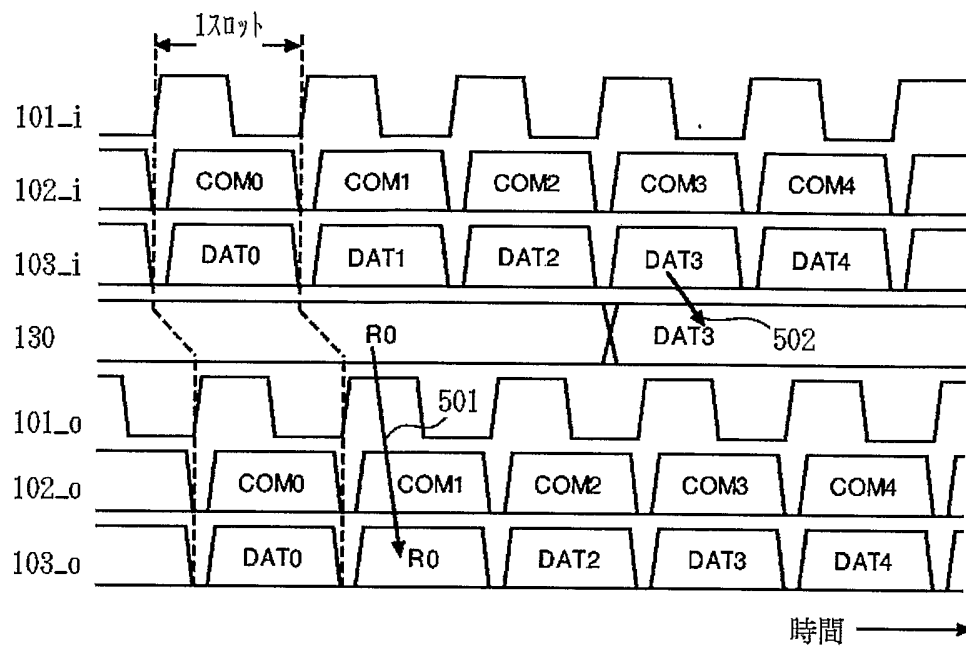
第 3 図



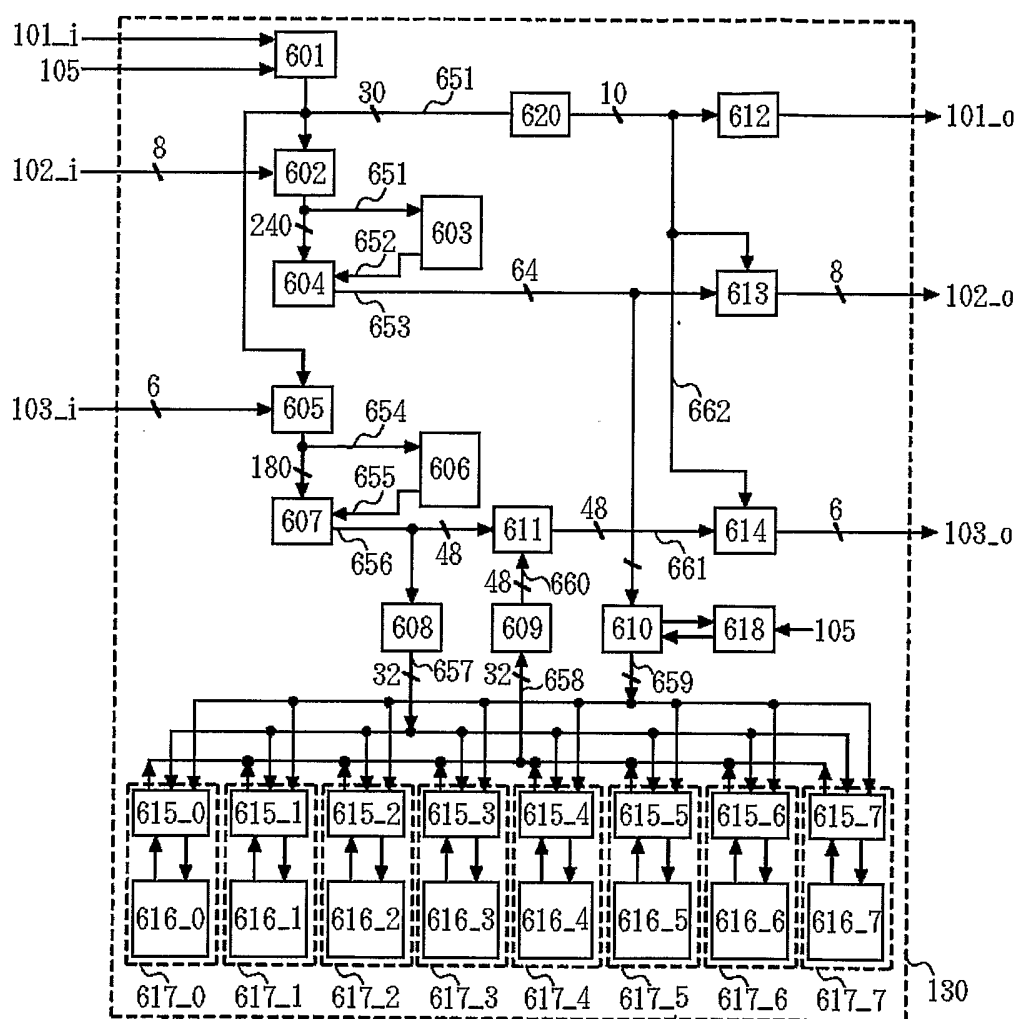
第 4 図



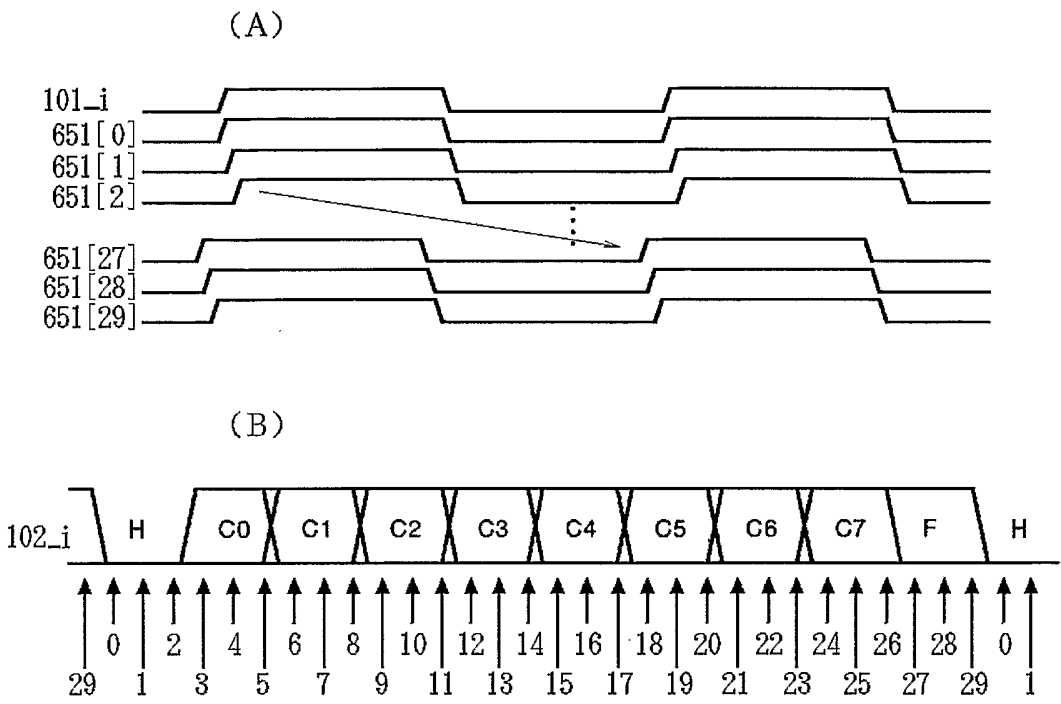
第 5 図



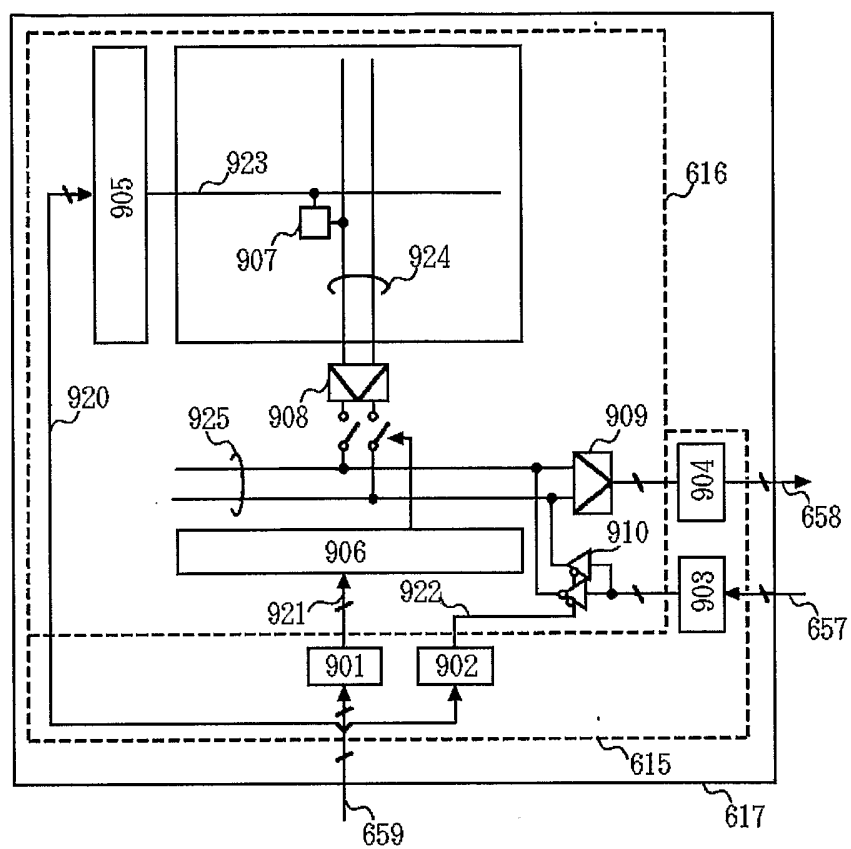
第 6 図



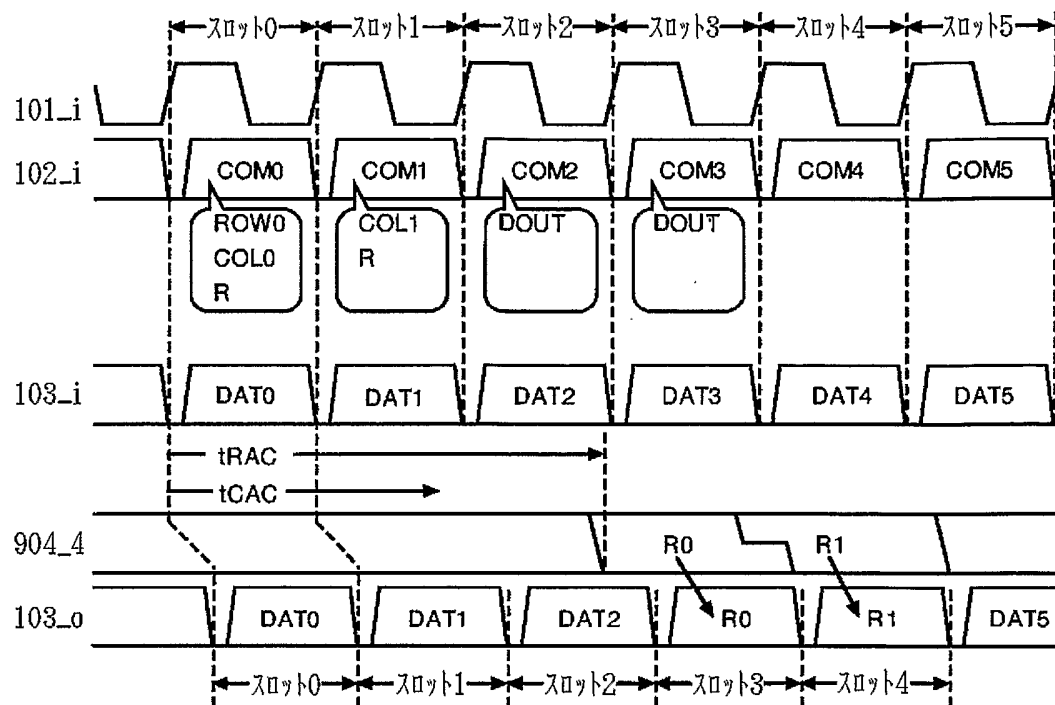
第 7 図



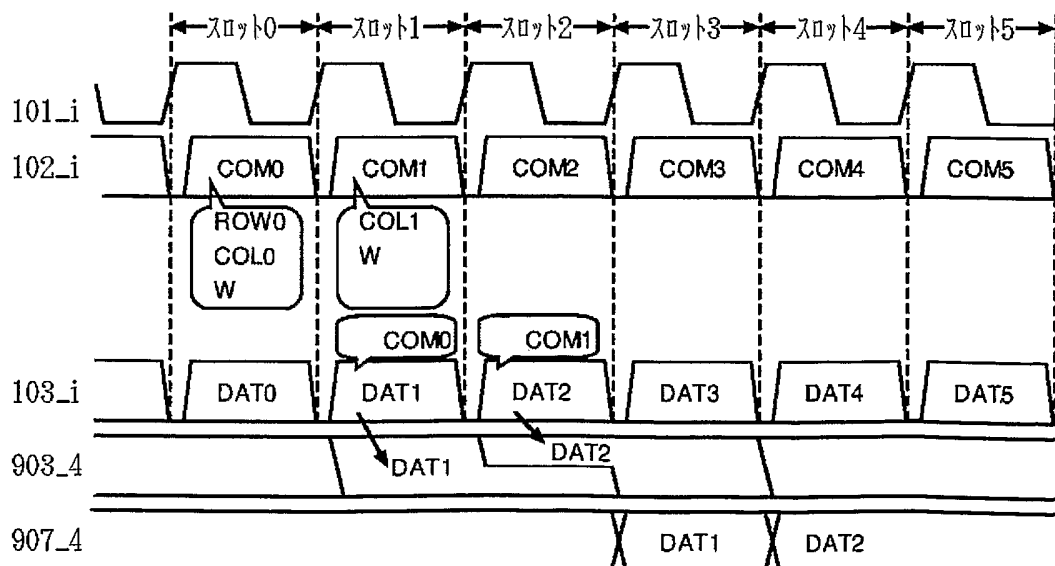
第 8 図



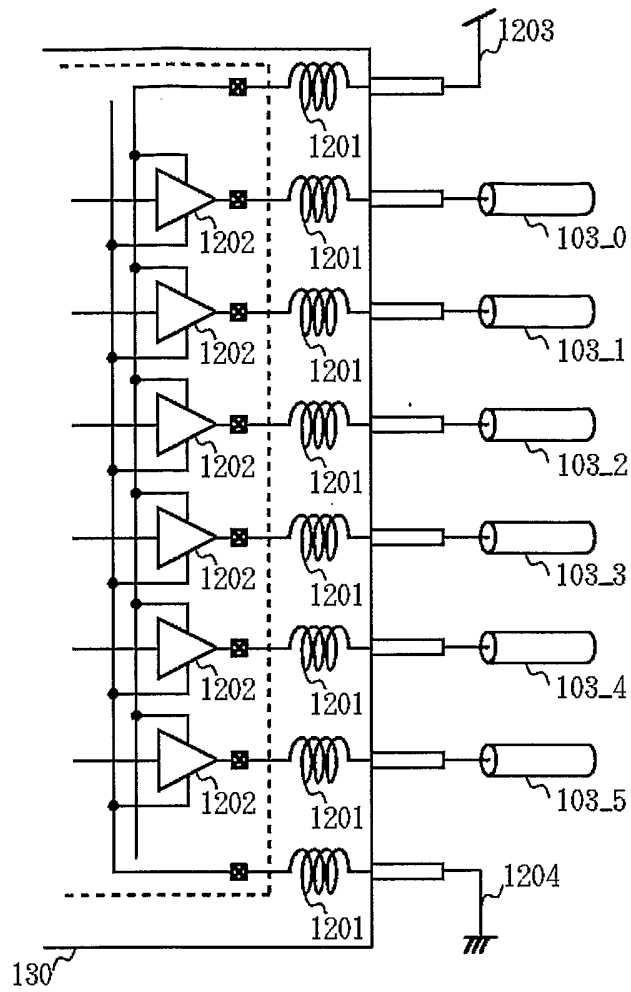
第 9 図



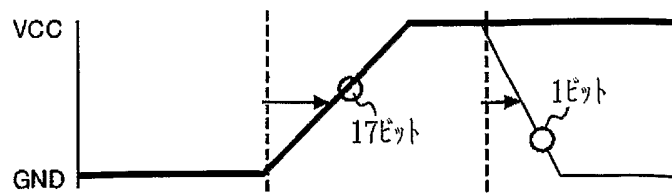
第 10 図



第 1 1 図



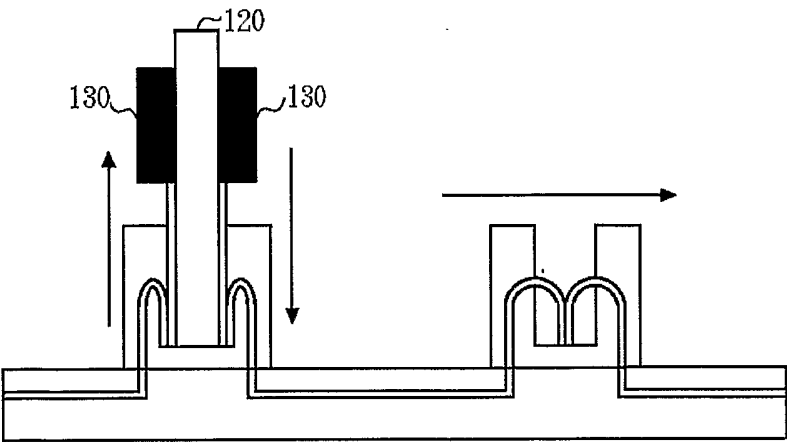
第 1 2 図



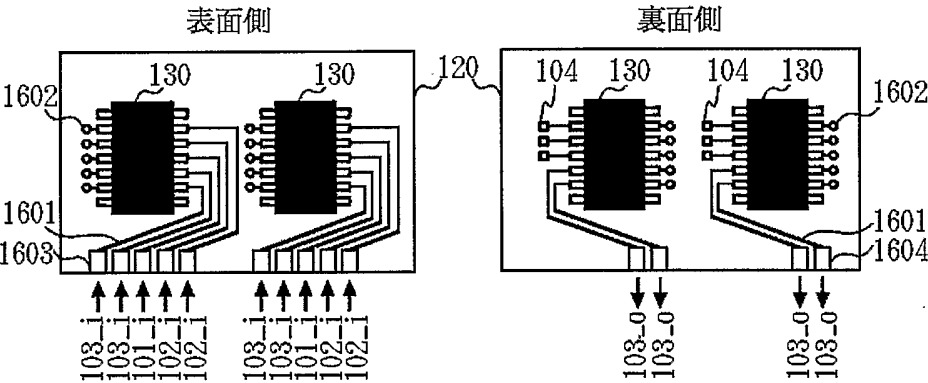
第 1 3 図

データ				トランスミッションコード					
0	0	0	0	0	0	1	0	1	1
1	0	0	0	0	1	0	0	1	1
0	1	0	0	1	0	0	0	1	1
1	1	0	0	0	0	1	1	0	1
0	0	1	0	0	1	0	1	0	1
1	0	1	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1	1	0
1	1	1	0	0	1	0	1	1	0
0	0	0	1	1	0	0	1	1	0
1	0	0	1	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	0
1	1	0	1	0	1	1	1	0	0
0	0	1	1	1	0	1	0	0	1
1	0	1	1	1	0	1	0	1	0
0	1	1	1	1	0	1	1	0	0
1	1	1	1	1	1	0	0	0	1
データ無し				1	1	0	0	1	0
				1	1	0	1	0	0
				1	1	1	0	0	0
				0	0	0	1	1	1

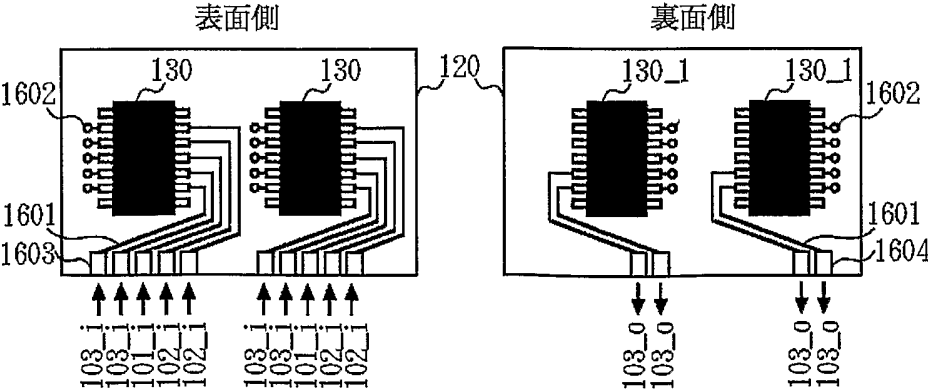
第 1 6 図



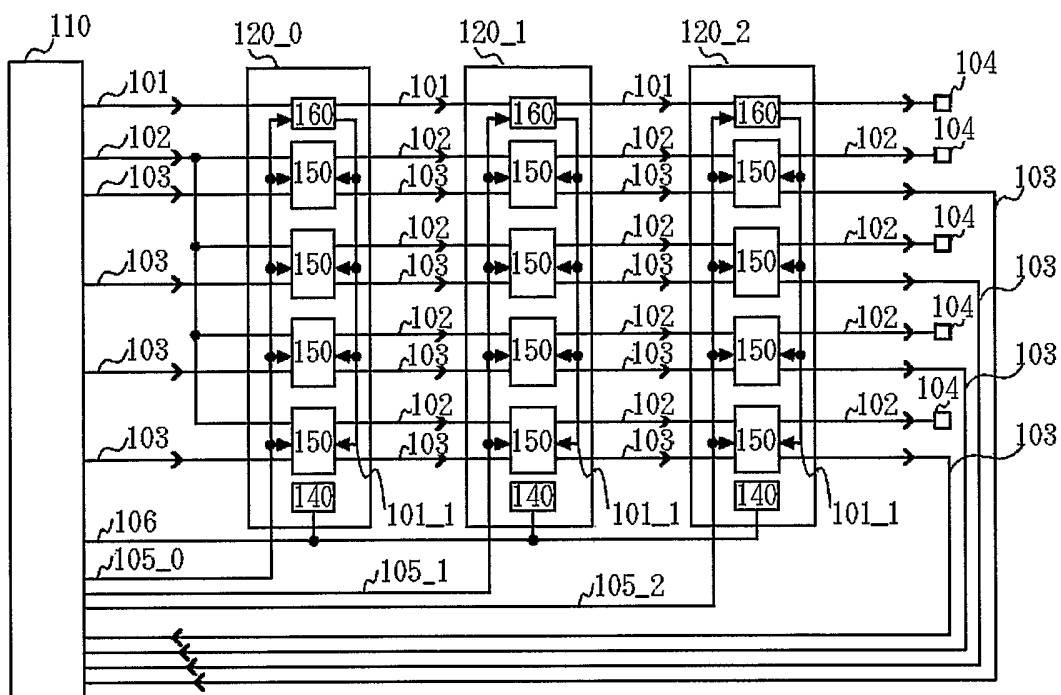
第 1 7 図



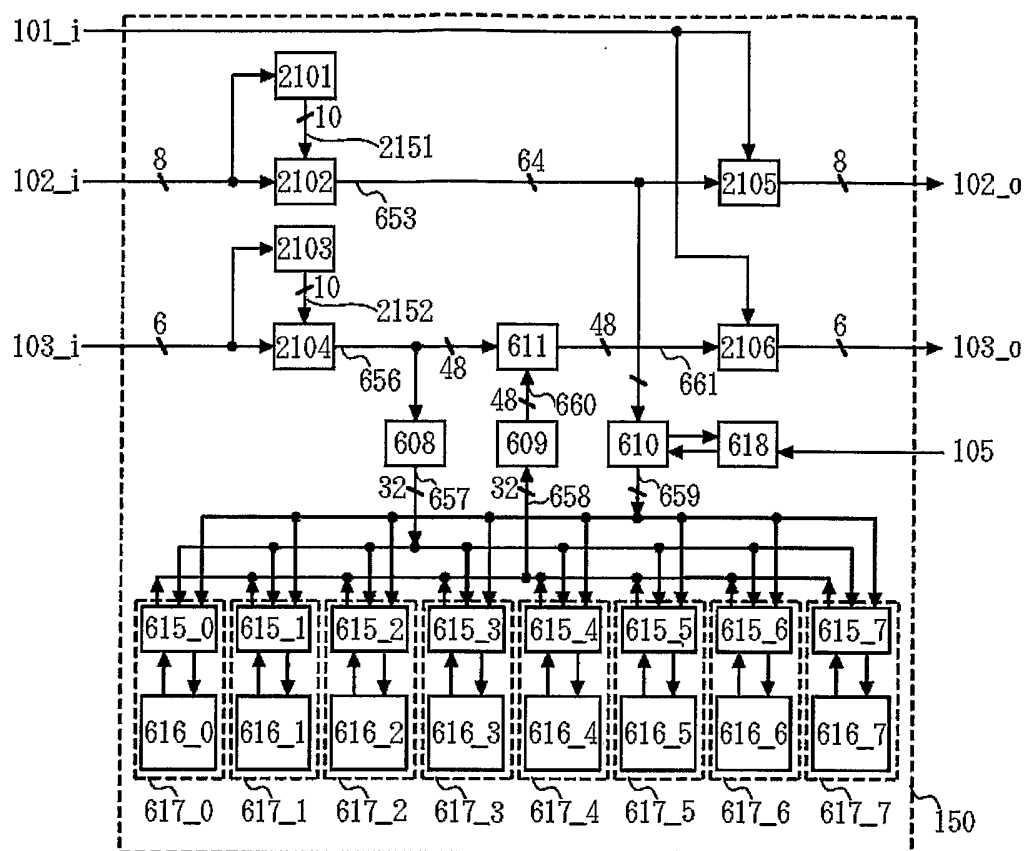
第 1 8 図



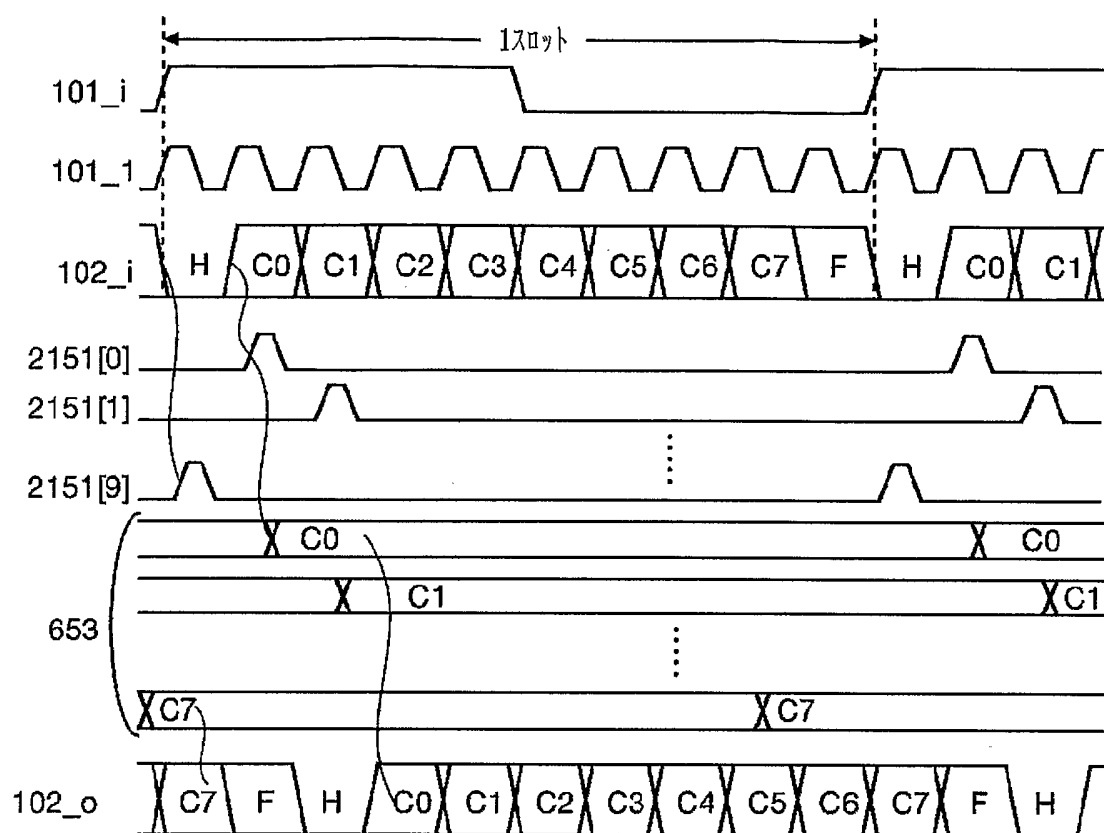
第 1 9 図



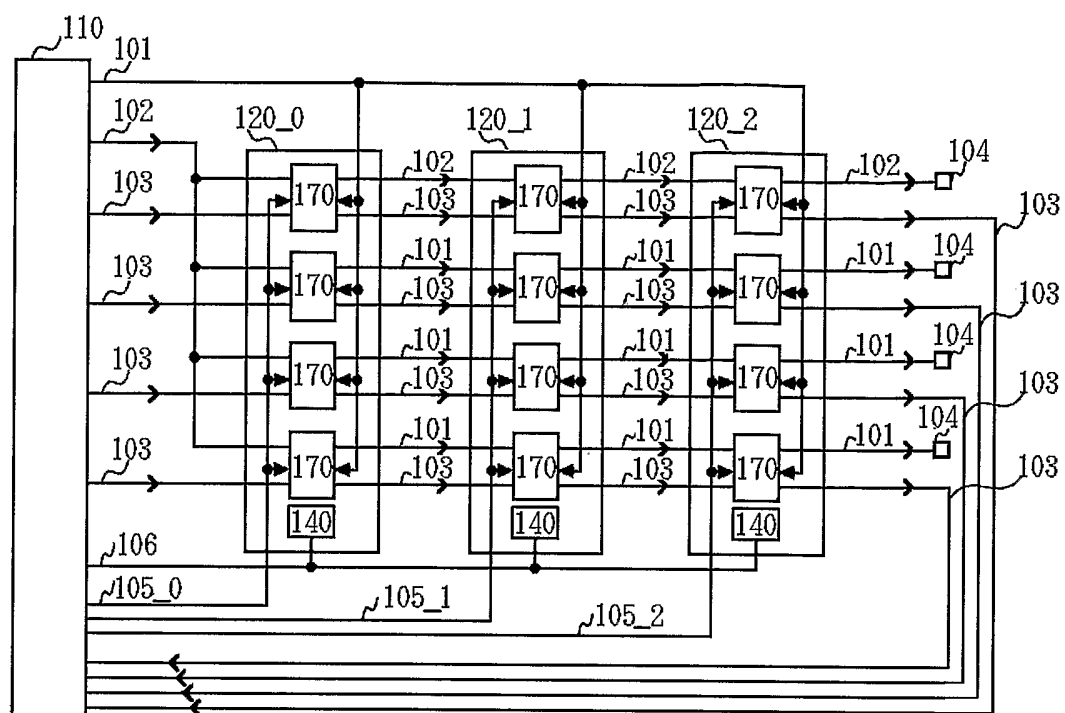
第 20 図



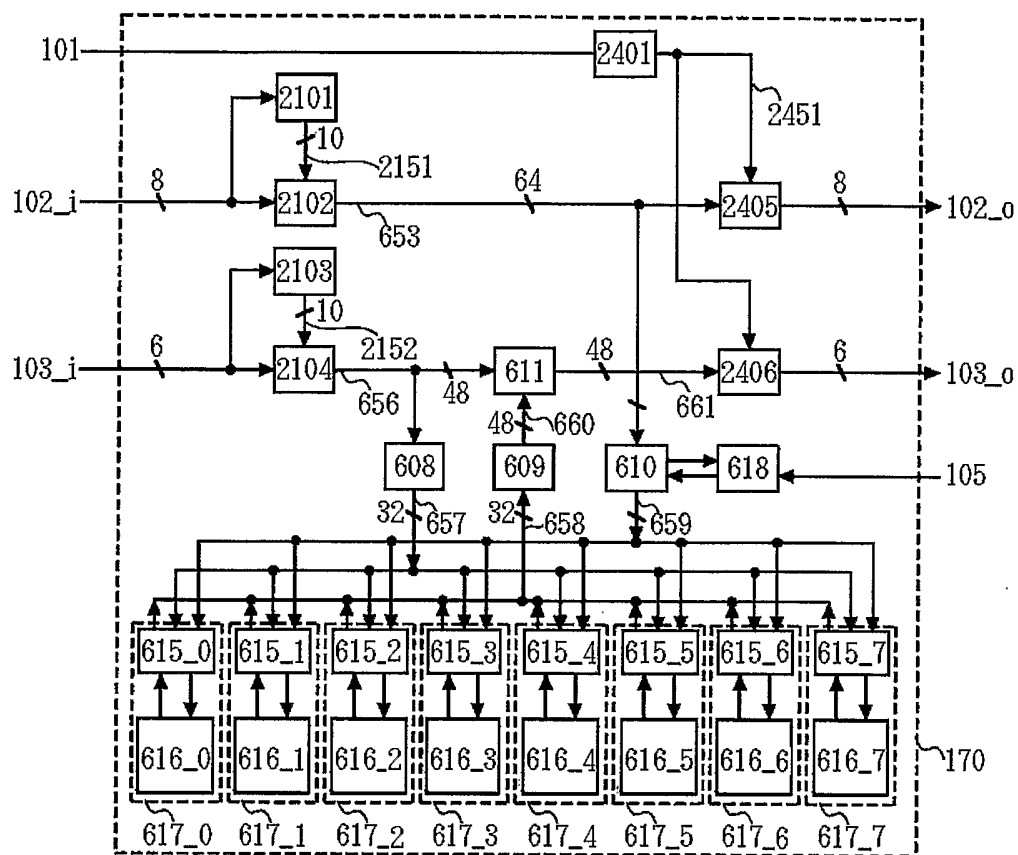
第 2 1 図



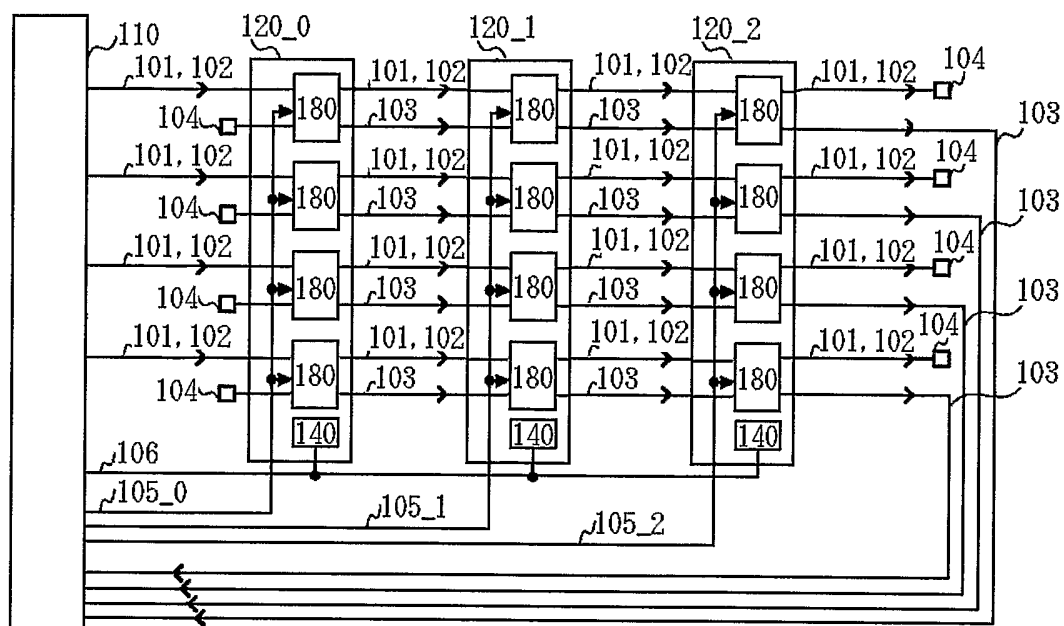
第 22 図



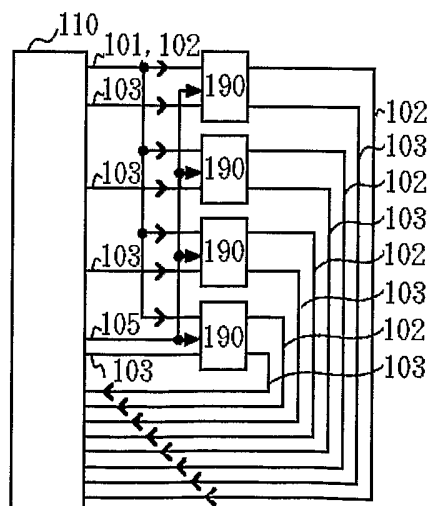
第 2 3 図



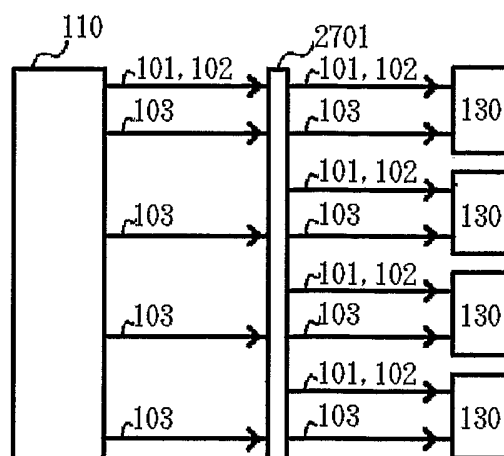
第 2 4 图



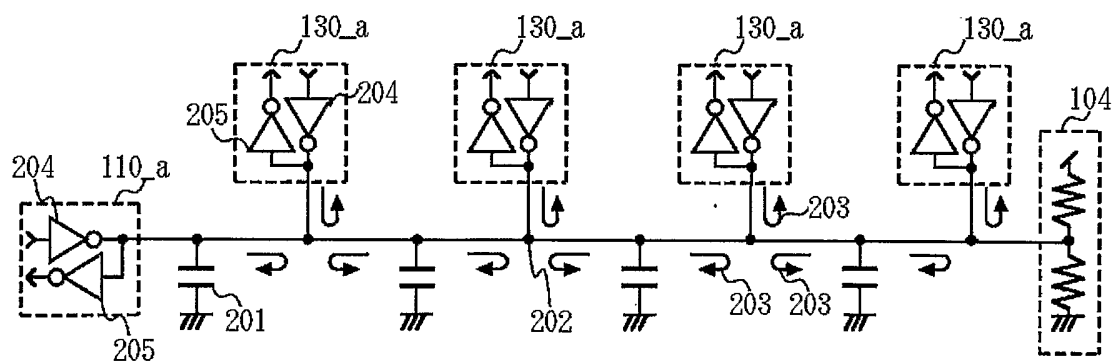
第 2 5 图



第 26 図



第 27 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08973

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F13/16, 12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/00-06, 13/16-18, G11C11/40-4099, H04L25/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 5778419 A (Microunity Systems Engineering, Inc.), 07 July, 1998 (07.07.98), All pages; all drawings (Family: none)	1-14 15-22
X Y	JP 2000-315185 A (Hitachi, Ltd., Hitachi Video and Information System, Inc.), 14 November, 2000 (14.11.00), Full text; all drawings (Family: none)	1-3, 7, 8, 10-12 4-6, 9, 13-22

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 October, 2003 (14.10.03)	Date of mailing of the international search report 28 October, 2003 (28.10.03)
--	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08973

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5794060 A (Microunity Systems Engineering, Inc.), 11 August, 1998 (11.08.98), Figs. 16(a), 16(b) & AU 9667716 A & WO 97/7450 A1 & US 5742840 A & EP 845120 A1 & US 5794061 A & US 5809321 A & US 5822603 A & US 6006318 A	15-19
Y	JP 10-177427 A (Hitachi, Ltd.), 30 June, 1998 (30.06.98), All pages; all drawings; particularly, Fig. 12; Par. No. [0101] & US 6034878 A	16,19
Y	JP 2000-148656 A (Mitsubishi Electric Corp.), 30 May, 2000 (30.05.00), Par. Nos. [0071] to [0086]; Figs 7 to 10 & US 6480946 B1	19
Y	JP 2001-14840 A (NEC Corp.), 19 January, 2001 (19.01.01), All page; all drawings & KR 2001/7493 A & US 6347055 B1 & TW 476880 A & KR 375188 B	20,21
Y	JP 10-136034 A (Ascom Tech AG.), 22 May, 1998 (22.05.98), All pages; all drawings & GB 2318033 A & DE 19741301 A1 & GB 2318033 B & US 6025791 A	22
Y	JP 11-88442 A (Yokogawa Electric Corp.), 30 March, 1999 (30.03.99), All pages; all drawings (Family: none)	22
X	JP 2002-7308 A (NEC Corp.), 11 January, 2002 (11.01.02), All pages; all drawings (Family: none)	1,10
X	JP 2001-156621 A (Toshiba Corp.), 08 June, 2001 (08.06.01), All pages; all drawings & US 6567023 B1 & US 2003/174075 A1	1,10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08973

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☒ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.II of continuation of first sheet(1)

Continuation of Box II

Document 1: JP 2002-7308 A (NEC Corp.) 11 January, 2002 (11.01.02), all the pages, all the figures.

Document 2: JP 2001-156621 A (Toshiba Corp.) 08 June, 2001 (08.06.01), all the pages, all the figures.

This international application includes five groups of inventions not satisfying the requirement of unity of invention because of the reasons given below.

Main invention: "Claims 1-3"

Second invention: "Claims 4-6"

Third invention: "Claims 7-19"

Fourth invention: "Claims 20, 21"

Fifth invention: "Claim 22"

The search has revealed that the semiconductor integrated circuit device disclosed in claim 1 is not novel since it is disclosed in documents 1 and 2. As a result, the semiconductor integrated circuit device disclosed in claim 1 makes no contribution over the prior art and this semiconductor integrated circuit device cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence. Accordingly, the technical feature of the main invention relates to that the semiconductor integrated circuit device includes a memory circuit operating according to a command and address signal input synchronously with a clock as is specified in claim 2.

The technical feature of claims 4-6 (second invention) relates to readjustment of an instruction, information, information location position, and a timing signal output from the output terminal by using the timing signal reproduced internally.

The technical feature of claims 7-9 relates to that an input signal containing one of the instruction, information, information location position, and a timing signal generated in a signal generation circuit is supplied to the input terminal of the semiconductor integrated circuit device as the initial stage of the longitudinal formation, and among the output signals from the output terminal of the semiconductor circuit device of the final stage of the longitudinal formation, at least the signal corresponding to the information is transferred to the signal generation circuit.

The search has revealed that the memory system disclosed in claim 10 is not novel since it is disclosed in the aforementioned documents 1 and 2. As a result the memory system of claim 10 makes no contribution over the prior art and the memory system cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence. Accordingly, the technical feature of claims 10-19 is that the input terminal of the semiconductor storage device of the initial stage of the longitudinal formation is supplied with a command, data, address, and timing signal formed by the signal generation circuit, and among the signals output from the output terminal of the semiconductor storage device of the final stage of the longitudinal formation, at least the signal corresponding to the data is transferred to the signal generation circuit.

(Continued to next page)

Continuation of Box No.II of continuation of first sheet(1)

The technical feature of claims 20 and 21 (fourth invention) relates to provision of a first read out command for reading out stored information from the memory cell to the buffer circuit and holding there and a second read out command for outputting from the output terminal the stored information held in the buffer circuit.

The technical feature of claim 22 (fifth invention) relates to that among m transmission lines for transmitting data, at least n transmission lines periodically change their levels.

There is no technical relationship among the main invention and the second to the fifth invention involving one or more of the same or corresponding technical features including a special technical feature. Accordingly, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

It should be noted that it is considered that the claims 7-9 and claims 10-19 have an identical technical feature and grouped into the same invention (third invention).

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ G06F13/16, 12/00		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ G06F12/00-06, 13/16-18, G11C11/40-4099, H04L25/49		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	US 5778419 A (Microunity Systems Engineering, Inc.) 1998. 07. 07, 全頁, 全図 (ファミリーなし)	1-14 15-22
X Y	JP 2000-315185 A (株式会社日立製作所, 株式会社日立画像情報システム) 2000. 11. 14, 全文, 全図 (ファミリーなし)	1-3, 7, 8, 10-12 4-6, 9, 13-22
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 14. 10. 03	国際調査報告の発送日 28.10.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 多賀 実 電話番号 03-3581-1101 内線 3545	5N 9367 

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 5794060 A (Microunity Systems Engineering, Inc.) 1998. 08. 11, FIG. 16 (a), 16 (b) & AU 9667716 A & WO 97/7450 A1 & US 5742840 A & EP 845120 A1 & US 5794061 A & US 5809321 A & US 5822603 A & US 6006318 A	15-19
Y	JP 10-177427 A (株式会社日立製作所) 1998. 06. 30, 全頁, 全図 (特に、図12, 第【0101】段落) & US 6034878 A	16, 19
Y	JP 2000-148656 A (三菱電機株式会社) 2000. 05. 30, 第【0071】 - 【0086】 段落, 図7-10 & US 6480946 B1	19
Y	JP 2001-14840 A (日本電気株式会社) 2001. 01. 19, 全頁, 全図 & KR 2001/7493 A & US 6347055 B1 & TW 476880 A & KR 375188 B	20, 21
Y	JP 10-136034 A (アスコム・テヒ・アクチエンゲゼルシャフト) 1998. 05. 22, 全頁, 全図 & GB 2318033 A & DE 19741301 A1 & GB 2318033 B & US 6025791 A	22
Y	JP 11-88442 A (横河電機株式会社) 1999. 03. 30, 全頁, 全図 (ファミリーなし)	22
X	JP 2002-7308 A (日本電気株式会社) 2002. 01. 11, 全頁, 全図 (ファミリーなし)	1, 10
X	JP 2001-156621 A (株式会社東芝) 2001. 06. 08, 全頁, 全図 & US 6567023 B1 & US 2003/174075 A1	1, 10

第 I 欄 請求の範囲の一部の調査ができないときの意見 (第 1 ページの 2 の続き)

法第 8 条第 3 項 (PCT 17 条 (2) (a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であって PCT 規則 6.4(a) の第 2 文及び第 3 文の規定に従って記載されていない。

第 II 欄 発明の単一性が欠如しているときの意見 (第 1 ページの 3 の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別のページ参照。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☒ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

第Ⅱ欄の続き

文献1：JP 2002-7308 A(日本電気株式会社) 2002.01.11 全頁、全図

文献2：JP 2001-156621 A(株式会社東芝) 2001.06.08 全頁、全図

以下の理由により、この国際出願は発明の単一性の要件を満たさない5つの発明を含む。

主発明：「請求の範囲1-3」

第2発明：「請求の範囲4-6」

第3発明：「請求の範囲7-19」

第4発明：「請求の範囲20, 21」

第5発明：「請求の範囲22」

請求の範囲1に記載の半導体集積回路装置は、調査の結果、文献1, 2に開示されているから、新規でないことが明らかとなった。結果として、請求の範囲1に記載の半導体集積回路装置は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この半導体集積回路装置は特別な技術的特徴ではない。それ故、主発明の当座の技術的特徴は、請求の範囲2で特定された、半導体集積回路装置が、クロックに同期して入力されたコマンド及びアドレス信号に対応して動作するメモリ回路を含むことである。

請求の範囲4-6(第2発明)の当座の技術的特徴は、出力端子から出力される命令、情報、情報の所在位置、タイミング信号を、内部で再生されたタイミング信号により再調整することである。

請求の範囲7-9の当座の技術的特徴は、信号生成回路で生成された命令、情報、情報の所在位置、タイミング信号のいずれかを含む入力信号を縦列形態の初段とされる半導体集積回路装置の入力端子に供給し、縦列形態の終段の半導体集積回路装置の出力端子の出力信号のうち、少なくとも情報に対応した信号を信号生成回路に伝えることである。

請求の範囲10に記載のメモリシステムは、調査の結果、上記文献1, 2に開示されているから、新規でないことが明らかになった。結果として、請求の範囲10に記載のメモリシステムは先行技術の域を出ないから、PCT規則13.2の第2文の意味において、このメモリシステムは特別な技術的特徴ではない。それ故、請求の範囲10-19の当座の技術的特徴は、請求の範囲11で特定された、縦列形態の初段の半導体記憶装置の入力端子には、信号生成回路により形成されたコマンド、データ、アドレス、タイミング信号が供給され、縦列形態の終段の半導体記憶装置の出力端子から出力される信号のうち、少なくともデータに対応した信号を、信号生成回路に伝えることである。

請求の範囲20, 21(第4発明)の当座の技術的特徴は、メモリセルから読み出し用バッファ回路に記憶情報を読み出して保持させる第1読み出しコマンドと、上記読み出し用バッファ回路に保持された記憶情報を出力端子から出力させる第2読み出しコマンドを備えることである。

請求の範囲22(第5発明)の当座の技術的特徴は、データを伝送するm本の伝送線のうち、少なくともn本の伝送線が周期ごとにレベル遷移を行うことである。

主発明及び第2～第5発明の相互間に、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係が存在するとは認められない。したがって、これら相違する発明の間にPCT規則13の意味における技術的な関連を見いだすことはできない。

なお、請求の範囲7-9と請求の範囲10-19は同様の技術的特徴を有する点に鑑み、同じ発明区分(第3発明)とした。