

【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板の主面に形成された半導体素子と、
 前記半導体基板の前記主面上に積層された複数の配線層と、
 前記複数の配線層のうち互いに異なる 2 つの配線層の間を接続する複数の第 1 接続電極と、
 を有し、
 前記複数の配線層のうち最上層よりも下層の配線層は、第 1 配線を含み、
 前記複数の配線層のうち最上層の配線層は、
 電極端子と、
 前記電極端子上に形成された絶縁膜と、
 前記絶縁膜を貫通して前記電極端子に達する開口部と、
 を含み、
 前記半導体素子および前記第 1 配線は、平面視において、前記開口部と重なり、
 前記複数の第 1 接続電極のいずれも、平面視において、前記開口部と重ならない、半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、
 前記複数の配線層のうち最下層の配線層と、前記半導体素子との間を接続する複数の第 2 接続電極を有し、
 前記半導体素子は、第 1 電界効果トランジスタであり、
 前記第 1 電界効果トランジスタは、第 1 ソース領域および第 1 ドレイン領域を含み、
 前記複数の第 2 接続電極の各々は、前記最下層の配線層と、前記第 1 ソース領域または前記第 1 ドレイン領域との間を接続し、
 前記複数の第 2 接続電極のいずれも、平面視において、前記開口部と重ならない、半導体装置。

20

【請求項 3】

請求項 1 記載の半導体装置において、
 前記複数の配線層のうち最下層の配線層と、前記半導体素子との間を接続する第 3 接続電極を有し、
 前記半導体素子は、第 2 電界効果トランジスタであり、
 前記第 2 電界効果トランジスタは、ゲート電極、第 2 ソース領域および第 2 ドレイン領域を含み、
 前記第 3 接続電極は、前記最下層の配線層と、前記第 2 ソース領域または前記第 2 ドレイン領域との間を接続し、
 前記第 3 接続電極は、前記ゲート電極のゲート幅方向である第 1 方向に延在し、かつ、平面視において、前記開口部と重なる、半導体装置。

30

【請求項 4】

請求項 3 記載の半導体装置において、
 前記第 2 電界効果トランジスタは、前記半導体基板の前記主面上に形成され、直方体形状を有する半導体領域からなるフィンを含み、
 前記フィンは、平面視において、前記ゲート電極のゲート長方向である第 2 方向に延在し、
 前記ゲート電極は、前記フィン上に第 1 ゲート絶縁膜を介して配置され、かつ、平面視において、前記第 1 方向に延在し、
 前記第 2 ソース領域は、前記ゲート電極に対して第 1 の側に位置する部分の前記フィンの内部に形成され、
 前記第 2 ドレイン領域は、前記ゲート電極に対して前記第 1 の側と反対側に位置する部分の前記フィンの内部に形成され、

40

50

前記第 3 接続電極は、前記第 2 ソース領域上または前記第 2 ドレイン領域上に形成されている、半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記複数の配線層のうち最上層よりも下層の配線層は、複数の前記第 1 配線を含み、

前記複数の第 1 配線の各々は、平面視において、前記開口部と重なり、

平面視において、前記開口部のうち、前記複数の第 1 配線の各々と重なる部分の面積の総和の、前記開口部の面積に対する比は、1 ~ 50 % であり、

前記複数の第 1 配線の各々の幅は、1 μ m 未満であり、

前記電極端子の厚さは、3 μ m 以下である、半導体装置。

10

【請求項 6】

請求項 1 記載の半導体装置において、

前記開口部に露出した部分の前記電極端子には、銅ワイヤが接合される、半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

前記電極端子は、アルミニウムからなり、

前記第 1 配線は、銅からなり、

前記複数の第 1 接続電極の各々は、銅からなる、半導体装置。

【請求項 8】

請求項 5 記載の半導体装置において、

前記電極端子は、アルミニウムからなり、

前記第 1 配線は、銅からなり、

前記複数の第 1 接続電極の各々は、銅からなる、半導体装置。

20

【請求項 9】

請求項 3 記載の半導体装置において、

前記ゲート電極は、金属膜からなる、半導体装置。

【請求項 10】

(a) 半導体基板を用意する工程、

(b) 前記半導体基板の主面に半導体素子を形成する工程、

(c) 前記半導体基板の前記主面上に積層された複数の配線層を形成する工程、

(d) 前記複数の配線層のうち互いに異なる 2 つの配線層の間を接続する複数の第 1 接続電極を形成する工程、

30

を有し、

前記 (c) 工程は、

(c1) 前記複数の配線層のうち最上層よりも下層の配線層を形成する工程、

(c2) 前記 (c1) 工程の後、前記複数の配線層のうち最上層の配線層を形成する工

程、

を含み、

前記複数の配線層のうち最上層よりも下層の配線層は、第 1 配線を含み、

前記 (c2) 工程は、

(c3) 電極端子を形成する工程、

(c4) 前記電極端子上に絶縁膜を形成する工程、

(c5) 前記絶縁膜を貫通して前記電極端子に達する開口部を形成する工程、

を含み、

前記半導体素子および前記第 1 配線は、平面視において、前記開口部と重なり、

前記複数の第 1 接続電極のいずれも、平面視において、前記開口部と重ならない、半導体装置の製造方法。

40

【請求項 11】

請求項 10 記載の半導体装置の製造方法において、

(e) 前記複数の配線層のうち最下層の配線層と、前記半導体素子との間を接続する複

50

数の第 2 接続電極を形成する工程、
を有し、

前記半導体素子は、第 1 電界効果トランジスタであり、

前記第 1 電界効果トランジスタは、第 1 ソース領域および第 1 ドレイン領域を含み、

前記複数の第 2 接続電極の各々は、前記最下層の配線層と、前記第 1 ソース領域または前記第 1 ドレイン領域との間を接続し、

前記複数の第 2 接続電極のいずれも、平面視において、前記開口部と重ならない、半導体装置の製造方法。

【請求項 1 2】

請求項 1 0 記載の半導体装置の製造方法において、

(f) 前記複数の配線層のうち最下層の配線層と、前記半導体素子との間を接続する第 3 接続電極を形成する工程、

を有し、

前記半導体素子は、第 2 電界効果トランジスタであり、

前記第 2 電界効果トランジスタは、ゲート電極、第 2 ソース領域および第 2 ドレイン領域を含み、

前記第 3 接続電極は、前記最下層の配線層と、前記第 2 ソース領域または前記第 2 ドレイン領域との間を接続し、

前記第 3 接続電極は、前記ゲート電極のゲート幅方向である第 1 方向に延在し、かつ、平面視において、前記開口部と重なる、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、例えば、半導体基板に形成された半導体素子を備える半導体装置およびその製造方法に好適に利用できるものである。

【背景技術】

【0002】

半導体装置としての半導体チップとして、半導体基板の上面に形成された半導体素子と、半導体基板の上面に形成された複数の配線層を有するものがある。また、半導体装置としての半導体チップとして、複数の配線層のうち最上層の配線層が、半導体チップを半導体チップの外部と電気的に接続するためのパッドを含むものがある。また、近年では、半導体チップの面積を削減するため、複数の半導体素子のいずれか、または、各配線層に含まれる複数の配線のいずれかは、パッドの直下に配置されている。

【0003】

特開 2009 - 170763 号公報 (特許文献 1) には、半導体基板の第 1 主面上に形成された複数の配線層と、複数の配線層間を電気的に接続する接続部とを備えた半導体装置に関する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 170763 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記した、複数の半導体素子のいずれか、または、各配線層に含まれる複数の配線のいずれかがパッドの直下に配置されている半導体装置として、互いに異なる 2 つの配線層の間を接続する複数のプラグのいずれかがパッドの直下に配置されているものがある。

【0006】

このような場合、パッドにボンディングワイヤが接合される際に、パッドの直下に形成されているプラグに大きな応力が印加され、そのプラグが変形しやすくなり、異なる 2 つ

10

20

30

40

50

の配線層の間の接続に不良が発生しやすくなる。そのため、半導体装置の性能を向上させることができない。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態によれば、半導体装置は、半導体基板の主面に形成された半導体素子と、半導体基板の主面上に積層された複数の配線層と、複数の配線層のうち互いに異なる2つの配線層の間を接続する複数の第1接続電極と、を有する。複数の配線層のうち最上層よりも下層の配線層は、第1配線を含み、複数の配線層のうち最上層の配線層は、電極端子と、電極端子上に形成された絶縁膜と、絶縁膜を貫通して電極端子に達する開口部と、を含む。半導体素子および第1配線は、平面視において、開口部と重なり、複数の第1接続電極のいずれも、平面視において、開口部と重ならない。

10

【0009】

また、他の実施の形態によれば、半導体装置の製造方法は、半導体基板の主面に半導体素子を形成する工程と、半導体基板の主面上に積層された複数の配線層を形成する工程と、複数の配線層のうち互いに異なる2つの配線層の間を接続する複数の第1接続電極を形成する工程と、を有する。複数の配線層を形成する工程では、複数の配線層のうち最上層よりも下層の配線層を形成した後、複数の配線層のうち最上層の配線層を形成する。複数の配線層のうち最上層よりも下層の配線層は、第1配線を含む。複数の配線層のうち最上層の配線層を形成する工程では、電極端子を形成し、電極端子上に絶縁膜を形成した後、絶縁膜を貫通して電極端子に達する開口部を形成する。半導体素子および第1配線は、平面視において、開口部と重なり、複数の第1接続電極のいずれも、平面視において、開口部と重ならない。

20

【発明の効果】

【0010】

一実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0011】

30

【図1】実施の形態1の半導体装置の半導体チップの要部断面図である。

【図2】実施の形態1の半導体装置の半導体チップの要部断面図である。

【図3】実施の形態1の半導体装置の半導体チップの要部断面図である。

【図4】実施の形態1の半導体装置の半導体チップの要部平面図である。

【図5】実施の形態1の半導体装置の半導体チップの要部平面図である。

【図6】実施の形態1の半導体装置の半導体チップの要部平面図である。

【図7】実施の形態1の半導体装置の半導体チップの要部平面図である。

【図8】実施の形態1の半導体装置の半導体チップの要部平面図である。

【図9】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図10】実施の形態1の半導体装置の製造工程中の要部断面図である。

40

【図11】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図12】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図13】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図14】比較例1の半導体装置の半導体チップの要部平面図である。

【図15】比較例1の半導体装置の半導体チップの要部平面図である。

【図16】比較例1の半導体装置の半導体チップの要部平面図である。

【図17】比較例1および比較例2において、超音波接合装置に流す電流と、プラグの良品率との関係を示すグラフである。

【図18】開口部の直下に形成される配線の面積率と、プラグの良品率との関係を示すグラフである。

50

【図 19】開口部の直下に形成される配線の幅と、プラグの良品率との関係を示すグラフである。

【図 20】実施の形態 2 の半導体装置の半導体チップの要部断面図である。

【図 21】実施の形態 2 の半導体装置の半導体チップの要部断面図である。

【図 22】実施の形態 2 の半導体装置の半導体チップの要部断面図である。

【図 23】実施の形態 2 の半導体装置の半導体チップの要部平面図である。

【図 24】実施の形態 2 の半導体装置の製造工程中の要部断面図である。

【図 25】実施の形態 2 の半導体装置の製造工程中の要部断面図である。

【発明を実施するための形態】

【0012】

10

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0013】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0014】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【0015】

以下、代表的な実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0016】

30

さらに、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。

【0017】

なお、以下の実施の形態において A ~ B として範囲を示す場合には、特に明示した場合を除き、A 以上 B 以下を示すものとする。

【0018】

（実施の形態 1）

<半導体装置の構造>

初めに、本実施の形態 1 の半導体装置の構造を、図面を参照して説明する。

【0019】

40

図 1 ~ 図 3 は、実施の形態 1 の半導体装置の半導体チップの要部断面図である。図 4 ~ 図 8 は、実施の形態 1 の半導体装置の半導体チップの要部平面図である。図 1 は、図 4 ~ 図 8 の A - A 線に沿った断面図であり、図 2 は、図 4 ~ 図 8 の B - B 線に沿った断面図であり、図 3 は、図 4 ~ 図 8 の C - C 線に沿った断面図である。

【0020】

図 4 には、開口部 OP 近傍での配線層 MH に含まれるパッド PD のレイアウトの例が示されている。図 5 には、開口部 OP 近傍での配線層 M3 に含まれる配線 5C のレイアウトの例が示されている。図 6 には、開口部 OP 近傍での配線層 M2 に含まれる配線 5B のレイアウトの例が示されている。図 7 には、開口部 OP 近傍での配線層 M1 に含まれる配線 5A のレイアウトの例が示されている。図 8 には、開口部 OP 近傍での M I S F E T Q の

50

レイアウトの例が示されている。また、図4～図8には、開口部OPの位置が二点鎖線で示され、ワイヤ接合領域WAの位置が点線で示されている。

【0021】

図1～図3に示すように、半導体チップは、半導体基板としての基板1を有する。基板1は、例えばp型のシリコン(Si)単結晶からなる。基板1の主面としての上面には、例えば溝型の分離部2が形成されている。この溝型の分離部2は、基板1の上面に形成された溝内に、例えば酸化シリコン(SiO₂)からなる絶縁膜が埋め込まれることにより形成されている。

【0022】

この分離部2に囲まれた活性領域には、例えばMOSFET(Metal Oxide Semiconductor Field Effect Transistor)に代表される電界効果トランジスタ(以下、MISFET(Metal Insulator Semiconductor Field Effect Transistor)という。)Qのような半導体素子が形成されている。すなわち、半導体素子としてのMISFETQは、基板1の主面としての上面に形成されている。

10

【0023】

図1～図3に示すように、MISFETQは、基板1の上面に形成されたソースおよびドレイン用の一対の半導体領域と、その一対の半導体領域間であって基板1の上面上に形成されたゲート絶縁膜GIと、ゲート絶縁膜GI上に形成されたゲート電極GEと、を含む。ゲート絶縁膜GIは、例えば酸化シリコン(SiO₂)からなる。ゲート電極GEは、例えばポリシリコンからなる。

20

【0024】

本実施の形態1においては、図4および図8に示すように、開口部OPに露出した部分のパッドPDと重なるように、複数のMISFETQが配置されている。なお、図1～図8では図示を省略するが、基板1の上面であって、開口部OPに露出した部分のパッドPDと平面視で重なる部分以外の部分にも、複数のMISFETQが配置されている。

【0025】

図1、図2および図8に示すように、開口部OPに露出した部分のパッドPDと重なるように配置されたMISFETQに含まれるゲート電極GEのゲート長方向をX軸方向とし、当該MISFETQに含まれるゲート電極GEのゲート幅方向をY軸方向とする。

【0026】

なお、以下では、MISFETQが、半導体領域としてのソース領域SRおよびドレイン領域DRを含み、nチャネル型の電界効果トランジスタである場合を例示して説明する。

30

【0027】

図1～図3に示すように、基板1の上面には、絶縁膜3Aを介して、例えば4層の配線層が積層されている。これらの配線層は、配線層M1、M2およびM3と、さらにその上層の最上層の配線層MHと、からなる。すなわち、配線層M1、M2およびM3は、複数の配線層のうち最上層よりも下層の配線層である。また、配線層M1は、複数の配線層のうち最下層の配線層である。なお、これらの配線層の数はこれに限定されるものではなく種々変更可能である。

40

【0028】

絶縁膜3Aは、基板1の上面上に堆積されている。絶縁膜3Aは、例えば酸化シリコン(SiO₂)からなる。

【0029】

絶縁膜3Aには、絶縁膜3Aの上面から下面まで貫通する複数のプラグ6Lが形成されている。複数のプラグ6Lの各々は、絶縁膜3Aに形成されたコンタクトホール7Aの内部に埋め込まれた導体膜からなる接続電極、すなわちビアである。複数のプラグ6Lの各々は、MISFETQと、配線層M1との間を電氣的に接続する。すなわち、配線層M1は、プラグ6Lを通じて、MISFETQに電氣的に接続されている。複数のプラグ6Lの各々は、配線層M1と、ソース領域SRまたはドレイン領域DRとの間を電氣的に接続

50

する。

【0030】

図1～図3では図示を省略するが、プラグ6Lを形成する導体膜は、主配線部材と、バリアメタル膜と、を有する。主配線部材は、例えばタングステン(W)のような高融点金属からなる。バリアメタルは、主配線部材と、その外周(側面側および底面側)の絶縁膜との間に、その各々の部材に接した状態で設けられている。バリアメタル膜は、タングステンの成長のきっかけとなる機能、主配線部材と絶縁膜との密着性を向上させる機能を有する。また、バリアメタル膜は、その厚さが主配線部材よりも薄く形成されており、例えば窒化チタン(TiN)からなる。

【0031】

本実施の形態1では、MISFETQと配線層M1とは、平面視において、円形状または四角形状を有する複数のプラグ6Lにより接続されている。すなわち、複数のプラグ6Lは、円柱形状または四角柱形状を有する。

【0032】

配線層M1は、絶縁膜4A、3Bおよび3Cと、導体パターンとしての配線5Aと、を含む。配線層M1に含まれる絶縁膜4A、3Bおよび3Cは、絶縁膜3A上に、下層から順に堆積されている。また、配線層M1に含まれる配線5Aと、プラグ6Lとの間には、ビアとしてのプラグ6Aが形成されている。すなわち、プラグ6Aは、絶縁膜3Aに形成されたプラグ6Lと、配線層M1との間を電氣的に接続する接続電極である。

【0033】

絶縁膜4Aは、例えば炭窒化シリコン(SiCN)からなり、絶縁膜3Bおよび3Cをエッチングする際のエッチングストップパとしての機能を有する。絶縁膜3Bは、隣り合う2つのプラグ6A同士を絶縁する機能を有し、絶縁膜3Cは、隣り合う2つの配線5A同士を絶縁する機能を有する。

【0034】

絶縁膜3Bは、単層膜からなる。絶縁膜3Bに含まれる単層膜は、低誘電率膜すなわちLow-k膜からなる。ここで、低誘電率膜すなわちLow-k膜とは、酸化シリコン(SiO₂)の比誘電率よりも低い比誘電率を有する絶縁膜を意味する。絶縁膜3Bの具体的な材料としては、例えば炭素含有の酸化シリコン(SiOC)が挙げられる。

【0035】

図1～図3では図示を省略するが、絶縁膜3Cは、下層の絶縁膜と、下層の絶縁膜上に形成された上層の絶縁膜と、からなる。絶縁膜3Cに含まれる下層の絶縁膜は、低誘電率膜からなる。また、絶縁膜3Cに含まれる上層の絶縁膜は、例えば酸化シリコンまたは炭素含有の酸化シリコン(SiOC)からなる。

【0036】

配線5Aは、配線層M1に含まれる絶縁膜3Cに形成された配線溝7Cの内部に埋め込まれた導体膜からなる。また、プラグ6Aは、配線層M1に形成された配線溝7Cの底部に露出した絶縁膜3Bおよびその下の絶縁膜4Aに形成されたスルーホール7Bの内部に埋め込まれた導体膜からなる。

【0037】

本実施の形態1では、配線5Aとプラグ6Aとが、一体的に形成されている。すなわち、配線5Aとプラグ6Aとが、配線層M1に含まれる絶縁膜3Cを貫通して絶縁膜3Bに達する配線溝7C、および、配線溝7Cの底部に露出した絶縁膜3Bおよびその下の絶縁膜4Aを貫通してプラグ6Lに達するスルーホール7Bの内部に一体的に埋め込まれた導体膜からなる。このような、配線溝およびスルーホールに一体的に埋め込まれた導体膜からなる配線とプラグとを、デュアルダマシン配線という。図1～図3では図示を省略するが、配線5Aおよびプラグ6Aに含まれる導体膜は、主配線部材と、バリアメタル膜と、を有する。

【0038】

なお、例えばアルミニウム(Al)からなる配線が下層の配線層上に形成され、下層の

10

20

30

40

50

配線層上に配線を覆うように絶縁膜が形成され、その絶縁膜の上面から当該絶縁膜を貫通して配線の上面に達するプラグが配線層上に形成されていてもよい。

【0039】

配線5Aおよびプラグ6Aに含まれる主配線部材は、例えば銅(Cu)のような金属からなる。この主配線部材には、マイグレーション対策のために、例えばアルミニウム、銀(Ag)または錫(Sn)が添加される場合もある。

【0040】

配線5Aおよびプラグ6Aに含まれる主配線部材が銅からなるとき、配線5Aおよびプラグ6Aは、銅を主成分とする。また、銅を主成分とするとは、配線5Aおよびプラグ6Aにおける銅の重量比が50%よりも大きいことを意味する。

10

【0041】

配線5Aおよびプラグ6Aに含まれるバリアメタル膜は、主配線部材と、その外周(側面側および底面側)の絶縁膜との間に、その各々の部材に接した状態で設けられている。バリアメタル膜は、主配線部材の銅の拡散を抑制または防止する機能、主配線部材と絶縁膜との密着性を向上させる機能を有する。また、バリアメタル膜は、その厚さが主配線部材よりも薄く、例えば窒化タンタル(TaN)膜とその上のタンタル(Ta)膜との積層膜からなる。窒化タンタル膜は絶縁膜に接し、タンタル膜は主配線部材と接している。

【0042】

配線層M2は、絶縁膜4A、3Bおよび3Cと、導体パターンとしての配線5Bと、を含む。配線層M2に含まれる絶縁膜4A、3Bおよび3Cは、配線層M1に含まれる絶縁膜3C上に、下層から順に堆積されている。また、配線層M2に含まれる配線5Bと、配線層M1に含まれる配線5Aとの間には、ビアとしてのプラグ6Bが形成されている。すなわち、プラグ6Bは、複数の配線層のうち互いに異なる2つの配線層である、配線層M1と配線層M2との間を電氣的に接続する接続電極である。

20

【0043】

配線層M2に含まれる絶縁膜4A、3Bおよび3Cの構成および機能は、配線層M1に含まれる絶縁膜4A、3Bおよび3Cの構成および機能と同様である。

【0044】

配線5Bは、配線層M2に含まれる絶縁膜3Cに形成された配線溝7Cの内部に埋め込まれた導体膜からなる。また、プラグ6Bは、配線層M2に形成された配線溝7Cの底部に露出した絶縁膜3Bおよびその下の絶縁膜4Aに形成されたスルーホール7Bの内部に埋め込まれた導体膜からなる。

30

【0045】

本実施の形態1では、配線5Bとプラグ6Bとが、一体的に形成されている。すなわち、配線5Bとプラグ6Bとが、配線層M2に含まれる絶縁膜3Cを貫通して絶縁膜3Bに達する配線溝7C、および、配線溝7Cの底部に露出した絶縁膜3Bおよびその下の絶縁膜4Aを貫通して配線5Aに達するスルーホール7Bの内部に一体的に埋め込まれた導体膜からなる。図1~図3では図示を省略するが、配線5Bおよびプラグ6Bに含まれる導体膜は、配線5Aおよびプラグ6Aに含まれる導体膜と同様に、主配線部材と、バリアメタル膜と、を有する。配線5Bおよびプラグ6Bに含まれる主配線部材は、例えば銅(Cu)からなる。

40

【0046】

配線層M3は、絶縁膜4A、3Bおよび3C(図3参照)と、導体パターンとしての配線5Cと、を含む。配線層M3に含まれる絶縁膜4A、3Bおよび3Cは、配線層M2に含まれる絶縁膜3C上に、下層から順に堆積されている。また、配線層M3に含まれる配線5Cと、配線層M2に含まれる配線5Bとの間には、ビアとしてのプラグ6C(図3参照)が形成されている。すなわち、プラグ6Cは、複数の配線層のうち互いに異なる2つの配線層である、配線層M2と配線層M3との間を電氣的に接続する接続電極である。

【0047】

配線層M3に含まれる絶縁膜4A、3Bおよび3Cの構成および機能は、配線層M1に

50

含まれる絶縁膜 4 A、3 B および 3 C の構成および機能と同様である。

【0048】

配線 5 C は、配線層 M 3 に含まれる絶縁膜 3 C に形成された配線溝 7 C の内部に埋め込まれた導体膜からなる。また、プラグ 6 C は、配線層 M 3 に形成された配線溝 7 C の底部に露出した絶縁膜 3 B およびその下の絶縁膜 4 A に形成されたスルーホール 7 B の内部に埋め込まれた導体膜からなる。

【0049】

本実施の形態 1 では、配線 5 C とプラグ 6 C とが、一体的に形成されている。すなわち、配線 5 C とプラグ 6 C とが、配線層 M 3 に含まれる絶縁膜 3 C を貫通して絶縁膜 3 B に達する配線溝 7 C、および、配線溝 7 C の底部に露出した絶縁膜 3 B およびその下の絶縁膜 4 A を貫通して配線 5 B に達するスルーホール 7 B の内部に一体的に埋め込まれた導体膜からなる。図 1 ~ 図 3 では図示を省略するが、配線 5 C およびプラグ 6 C に含まれる導体膜は、配線 5 A およびプラグ 6 A に含まれる導体膜と同様に、主配線部材と、バリアメタル膜と、を有する。配線 5 C およびプラグ 6 C に含まれる主配線部材は、例えば銅 (Cu) からなる。

10

【0050】

最上層の配線層 M H は、絶縁膜 4 B、3 D および 3 E と、電極端子としてのパッド P D と、接続電極としてのプラグ 6 H (図 2 参照) と、を含む。最上層の配線層 M H に含まれる絶縁膜 4 B、3 D および 3 E は、配線層 M 3 に含まれる絶縁膜 3 C 上に、下層から順に堆積されている。なお、図示を省略するが、最上層の配線層 M H は、パッド P D 以外の配線であって、パッド P D に含まれる導体膜と同層に形成された導体膜からなる配線を含んでもよい。

20

【0051】

絶縁膜 4 B の構成および機能は、配線層 M 1 から配線層 M 3 の各々に含まれる絶縁膜 4 A の構成および機能と同様である。

【0052】

絶縁膜 3 D は、例えば酸化シリコンからなる。絶縁膜 3 D は、隣り合う 2 つのプラグ 6 H 同士を絶縁する機能を有する。

【0053】

絶縁膜 3 D 上には、パッド P D が形成されている。パッド P D は、導体膜をフォトリソグラフィ処理およびドライエッチング処理によってパターンングすることにより形成されている。図 1 ~ 図 3 では図示を省略するが、パッド P D に含まれる導体膜は、主配線部材と、その上下面に形成された相対的に薄いバリアメタル膜と、を有する。このとき、開口部 O P から露出する部分のパッド P D の最上層のバリアメタル膜が除去され、主配線部材が露出されていてもよい。

30

【0054】

主配線部材は、例えばアルミニウムからなる。主配線部材には、マイグレーション対策等のために、例えばシリコンまたは銅が添加される場合もある。パッド P D に含まれる主配線部材がアルミニウムからなるとき、パッド P D は、アルミニウムを主成分とする。

【0055】

主配線部材の下面に形成されたバリアメタル膜は、主配線部材の材料である例えばアルミニウムと下層の配線との反応を抑制する機能、および、パッド P D と絶縁膜 3 D との間の密着性を向上させる機能を有する。主配線部材の下面に形成されたバリアメタル膜は、例えばチタン膜と、その上の窒化チタン膜と、さらにその上のチタン膜との積層膜からなる。

40

【0056】

一方、主配線部材の上面に形成されたバリアメタル膜は、パッド P D と絶縁膜 3 E との間の密着性を向上させる機能、および、フォトリソグラフィ処理の露光時の反射防止膜としての機能を有する。主配線部材の上面に形成されたバリアメタル膜は、例えば窒化チタン膜からなる。

50

【 0 0 5 7 】

絶縁膜 3 D 上には、パッド P D の表面を覆うように、絶縁膜 3 E が形成されている。すなわち、絶縁膜 3 E は、パッド P D 上に形成されている。

【 0 0 5 8 】

絶縁膜 3 E は、例えば酸化シリコン膜と、その上に堆積された窒化シリコン膜と、さらにその上に堆積されたポリイミド樹脂膜と、の積層体からなる。絶縁膜 3 E は、パッド P D と、パッド P D 以外の配線（図示は省略）であって、パッド P D に含まれる導体膜と同層に形成された導体膜からなる配線との間を絶縁する機能を有する。また、絶縁膜 3 E は、パッド P D の表面、および、パッド P D 以外の配線（図示は省略）であって、パッド P D に含まれる導体膜と同層に形成された導体膜からなる配線の表面を保護する機能を有する。すなわち、パッド P D の表面、および、パッド P D 以外の配線（図示は省略）であって、パッド P D に含まれる導体膜と同層に形成された導体膜からなる配線の表面は、絶縁膜 3 E により覆われている。

10

【 0 0 5 9 】

絶縁膜 3 E には、パッド P D の上面の一部が露出するように、開口部 O P（図 2 および図 3 参照）が形成されている。すなわち、開口部 O P は、絶縁膜 3 E を貫通してパッド P D の上面に達する。パッド P D の上面のうち、開口部 O P に露出した領域は、ボンディングワイヤとしての銅（C u）ワイヤがパッド P D に接触することが可能な領域である。すなわち開口部 O P に露出した部分のパッド P D には、銅ワイヤが接合される。

【 0 0 6 0 】

図 4 ~ 図 8 に示すように、開口部 O P に露出した部分のパッド P D の上面の領域であって、銅ワイヤが接合される領域を、ワイヤ接合領域 W A と称する。

20

【 0 0 6 1 】

絶縁膜 3 D および 4 B には、絶縁膜 3 D および 4 B を貫通するプラグ 6 H（図 2 参照）が形成されている。プラグ 6 H は、絶縁膜 3 D および 4 B に形成されたスルーホール 7 D の内部に埋め込まれた導体膜からなる接続電極、すなわちビアである。プラグ 6 H は、配線 5 C と、パッド P D との間を電氣的に接続する。すなわち、パッド P D は、プラグ 6 H を通じて、下層の配線 5 C に電氣的に接続されている。プラグ 6 H の構成は、寸法を除き、プラグ 6 L と同様である。

【 0 0 6 2 】

なお、図 2 の断面図では、説明の便宜上、図 5 の平面図ではプラグ 6 H が存在しない位置に、プラグ 6 H を図示している（後述する図 2 1 においても同様）。

30

【 0 0 6 3 】

図 5 に示すように、配線層 M 3 は、配線 5 C としての電源電圧周回配線 5 C P と、配線 5 C としての基準電位周回配線 5 C G と、を有する。電源電圧周回配線 5 C P の電位は、例えば電源電圧であり、電源電圧周回配線 5 C P は、配線層 M 3 よりも下層の配線層に、電源電圧を供給する。基準電位周回配線 5 C G の電位は、例えば接地電位であり、基準電位周回配線 5 C G は、配線層 M 3 よりも下層の配線層に基準電位を供給する。図 5 に示す例では、電源電圧周回配線 5 C P は、プラグ 6 H を介して、パッド P D（例えば図 1 参照）と電氣的に接続されている。

40

【 0 0 6 4 】

電源電圧周回配線 5 C P には、スリット S L T が形成されている。電源電圧周回配線 5 C P にスリット S L T が形成されない場合であって、かつ、電源電圧周回配線 5 C P の幅が広いときは、例えばデュアルダマシン法などのダマシン法により電源電圧周回配線 5 C P を形成する際に、電源電圧周回配線 5 C P の厚さが、所望の厚さよりも薄くなりやすい。一方、電源電圧周回配線 5 C P に、スリットが形成される場合には、電源電圧周回配線 5 C P の幅が広くても、電源電圧周回配線 5 C P の幅が見かけ上狭くなる。そのため、電源電圧周回配線 5 C P を形成する際に、電源電圧周回配線 5 C P の厚さが、所望の厚さよりも薄くなることを防止または抑制することができる。

【 0 0 6 5 】

50

図 6 に示すように、配線層 M 2 は、配線 5 B としての電源電圧配線 5 B P と、配線 5 B としての基準電位配線 5 B G と、を有する。電源電圧配線 5 B P は、プラグ 6 C を介して、電源電圧周回配線 5 C P (図 5 参照) と電氣的に接続されている。基準電位配線 5 B G は、プラグ 6 C を介して、基準電位周回配線 5 C G (図 5 参照) と電氣的に接続されている。

【 0 0 6 6 】

図 7 に示すように、配線層 M 1 は、配線 5 A としての電源電圧配線 5 A P と、配線 5 A としての基準電位配線 5 A G と、を有する。電源電圧配線 5 A P は、プラグ 6 B を介して、電源電圧配線 5 B P (図 6 参照) と電氣的に接続されている。基準電位配線 5 A G は、プラグ 6 B を介して、基準電位配線 5 B G (図 6 参照) と電氣的に接続されている。

10

【 0 0 6 7 】

前述したように、M I S F E T Q が n チャネル型の電界効果トランジスタである場合を考える。このような場合には、図 8 に示すように、M I S F E T Q に含まれ、基板 1 の上面に形成されたドレイン領域 D R は、プラグ 6 L および 6 A を介して、電源電圧配線 5 A P (図 7 参照) と電氣的に接続されている。また、M I S F E T Q に含まれ、基板 1 の上面に形成されたソース領域 S R は、プラグ 6 L および 6 A を介して、基準電位配線 5 A G (図 7 参照) と電氣的に接続されている。

【 0 0 6 8 】

一方、M I S F E T Q のゲート電極 G E は、基準電位配線 5 A G (図 7 参照) と電氣的に接続されている。すなわち、M I S F E T Q のゲート電極 G E およびソース領域 S R の電位は、接地電位である。これにより、M I S F E T Q を、半導体装置の外部からの静電気による静電放電 (Electrostatic discharge : E S D) から半導体装置を保護する E S D 保護回路として用いることができる。

20

【 0 0 6 9 】

なお、図 8 では、M I S F E T Q のゲート電極 G E と、基準電位配線 5 A G (図 7 参照) とを電氣的に接続するプラグの図示を省略する。また、配線 5 A 、 5 B および 5 C のいずれかにより、電源の電位揺らぎを保護するためのデカップリング容量が形成されていてもよい。

【 0 0 7 0 】

実施の形態 1 では、図 1 ~ 図 5 に示すように、開口部 O P の直下には、配線層 M 3 と最上層の配線層 M H とを電氣的に接続するプラグ 6 H が形成されていない。すなわち、複数のプラグ 6 H のいずれも、平面視において、開口部 O P と重ならない。

30

【 0 0 7 1 】

また、本実施の形態 1 では、図 1 ~ 図 3 、 図 5 および 図 6 に示すように、配線層 M 3 において、開口部 O P の直下には、配線 5 C が形成されているが、開口部 O P の直下には、配線層 M 2 と配線層 M 3 とを電氣的に接続するプラグ 6 C が形成されていない。すなわち、いずれかの配線 5 C は、平面視において、開口部 O P と重なり、複数のプラグ 6 C のいずれも、平面視において、開口部 O P と重ならない。

【 0 0 7 2 】

また、本実施の形態 1 では、図 1 ~ 図 3 、 図 6 および 図 7 に示すように、配線層 M 2 において、開口部 O P の直下には、配線 5 B が形成されているが、開口部 O P の直下には、配線層 M 1 と配線層 M 2 とを電氣的に接続するプラグ 6 B が形成されていない。すなわち、いずれかの配線 5 B は、平面視において、開口部 O P と重なり、複数のプラグ 6 B のいずれも、平面視において、開口部 O P と重ならない。

40

【 0 0 7 3 】

また、本実施の形態 1 では、図 1 ~ 図 3 、 図 7 および 図 8 に示すように、開口部 O P の直下には、半導体素子としての M I S F E T Q が形成され、配線層 M 1 において、開口部 O P の直下には、配線 5 A が形成されているが、開口部 O P の直下には、M I S F E T Q と配線層 M 1 とを電氣的に接続するプラグ 6 A が形成されていない。すなわち、いずれかの M I S F E T Q は、平面視において、開口部 O P と重なり、いずれかの配線 5 A は、平

50

面視において、開口部 O P と重なり、複数のプラグ 6 A のいずれも、平面視において、開口部 O P と重ならない。

【 0 0 7 4 】

すなわち、本実施の形態 1 では、複数の配線層のうち互いに異なる 2 つの配線層の間を接続する複数のプラグ 6 B、6 C および 6 H のいずれも、平面視において、開口部 O P と重ならない。

【 0 0 7 5 】

これにより、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際に、平面視で開口部 O P と重なる部分のパッド P D に応力が印加された場合でも、互いに異なる 2 つの配線層の間を接続するプラグが変形することを防止または抑制することができる。そのため、互いに異なる 2 つの配線層の間を接続に不良が発生することを防止または抑制することができる。

10

【 0 0 7 6 】

なお、本実施の形態 1 では、図 1 ~ 図 3、図 7 および図 8 に示すように、絶縁膜 3 A において、開口部 O P の直下には、プラグ 6 L が形成されていない。すなわち、複数のプラグ 6 L のいずれも、平面視において、開口部 O P と重ならない。

【 0 0 7 7 】

< 半導体装置の製造工程 >

次に、本実施の形態 1 の半導体装置の製造工程を、図面を参照して説明する。図 9 ~ 図 1 3 は、実施の形態 1 の半導体装置の製造工程中の要部断面図である。図 9、図 1 0 および図 1 2 は、図 4 ~ 図 8 の A - A 線に沿った断面図であり、図 1 1 および図 1 3 は、図 4 ~ 図 8 の B - B 線に沿った断面図である。

20

【 0 0 7 8 】

まず、図 9 に示すように、基板 1 を用意する。基板 1 は、半導体基板としての半導体ウエハからなる。

【 0 0 7 9 】

次いで、基板 1 の主面としての上面に、溝型の分離部 2 を形成した後、その分離部 2 で囲まれた活性領域に、例えば M I S F E T Q を含む複数の半導体素子を形成する。すなわち、図 9 に示すように、基板 1 の主面としての上面に、M I S F E T Q を形成する。その後、基板 1 上に、M I S F E T Q を覆うように絶縁膜 3 A を形成する。そして、絶縁膜 3 A を貫通し、複数の配線層のうち最下層の配線層 M 1 と、M I S F E T Q との間を接続する複数の接続電極としての複数のプラグ 6 L を形成する。

30

【 0 0 8 0 】

次いで、基板 1 の上面上に、配線層 M 1、M 2 および M 3 を形成する。ここでは、配線層 M 1、M 2 および M 3 の形成方法は同じなので、配線層 M 1 の形成方法を例にして、配線層 M 1、M 2 および M 3 の形成方法を説明する。

【 0 0 8 1 】

まず、図 9 に示すように、絶縁膜 3 A 上に、配線層 M 1 に含まれる絶縁膜 4 A、3 B および 3 C を、例えば化学気相成長 (Chemical Vapor Deposition : C V D) 法により下層から順に堆積する。

40

【 0 0 8 2 】

次に、図 1 0 に示すように、配線層 M 1 に含まれる絶縁膜 3 C のうち、配線 5 A (図 1 2 参照) が形成される領域に位置する部分に、配線溝 7 C を、フォトリソグラフィ処理およびドライエッチング処理により形成する。また、配線溝 7 C の底部に露出した絶縁膜 3 B および 4 A のうち、プラグ 6 A (図 1 2 参照) が形成される領域に位置する部分に、配線溝 7 C の底部からプラグ 6 L の上面に達するスルーホール 7 B を、フォトリソグラフィ処理およびドライエッチング処理により形成する。フォトリソグラフィ処理は、フォトレジスト膜の塗布、露光および現像のような一連の処理をいう。

【 0 0 8 3 】

この際、絶縁膜 3 B および 3 C と、絶縁膜 4 A とのエッチング選択比を大きくする。こ

50

れにより、絶縁膜 3 B および 3 C をエッチングする際には、絶縁膜 4 A をエッチングストップパとして機能させ、絶縁膜 4 A をエッチングする際には、絶縁膜 3 B および 3 C がエッチングされないようにする。

【 0 0 8 4 】

なお、図 1 1 に示すように、配線層 M 1 に含まれる絶縁膜 3 B および 4 A のうち、開口部 O P (図 2 参照) が形成される領域の直下に位置する部分には、スルーホール 7 B を形成しない。すなわち、配線層 M 1 を形成する工程にて形成されるスルーホール 7 B は、平面視で開口部 O P (図 2 参照) と重ならない。

【 0 0 8 5 】

次に、図 1 2 に示すように、基板 1 の上面上に、導体膜 5 を、配線溝 7 C およびスルーホール 7 B を埋め込むように堆積する。導体膜 5 は、バリアメタル膜および主配線部材を下層から順に堆積したものである。バリアメタル膜はスパッタリング法等により堆積する。主配線部材は、スパッタリング法およびメッキ法等により堆積する。すなわち、最初、例えば銅からなる薄いシード層をスパッタリング法等により堆積した後、そのシード層上に、例えば銅からなる導体膜をメッキ法等により堆積することで形成される。

10

【 0 0 8 6 】

次に、配線溝 7 C およびスルーホール 7 B の外部に位置する部分の導体膜 5 を化学的機械的研磨 (Chemical Mechanical Polishing : C M P) 法により除去する。これにより、図 1 2 に示すように、配線溝 7 C の内部に埋め込まれた導体膜 5 からなる配線 5 A、および、スルーホール 7 B の内部に埋め込まれた導体膜 5 からなるプラグ 6 A を形成する。したがって、配線層 M 1 は、配線 5 A を含む。

20

【 0 0 8 7 】

なお、図 1 3 に示すように、配線層 M 1 に含まれる絶縁膜 3 B および 4 A のうち、開口部 O P (図 2 参照) が形成される領域の直下に位置する部分には、配線溝 7 C の内部に埋め込まれた導体膜 5 からなる配線層 M 1 は形成されるが、スルーホール 7 B の内部に埋め込まれた導体膜 5 からなるプラグ 6 A (図 1 2 参照) は形成されない。すなわち、配線層 M 1 を形成する工程にて形成されるプラグ 6 A (図 1 2 参照) は、平面視で開口部 O P と重ならない。

【 0 0 8 8 】

このようにして配線層 M 1、M 2 および M 3 を形成した後、最上層の配線層 M H を形成する。

30

【 0 0 8 9 】

まず、図 1 および図 2 に示すように、基板 1 の上面上に、配線層 M 3 に含まれる絶縁膜 3 C (図 3 参照) および配線 5 C の表面を覆うように、最上層の配線層 M H に含まれる絶縁膜 4 B および 3 D を下層から順に C V D 法等により堆積した後、絶縁膜 3 D および 4 B にスルーホール 7 D を形成する。そして、スルーホール 7 D の内部に、プラグ 6 L と同様の方法により、プラグ 6 H を形成する。

【 0 0 9 0 】

次に、基板 1 の上面上に、最上層の配線層 M H に含まれる絶縁膜 3 D およびプラグ 6 H の表面を覆うように、例えばバリアメタル膜、主配線部材およびバリアメタル膜からなる積層導体膜をスパッタリング法等により下層から順に堆積する。そして、積層導体膜をフォトリソグラフィ処理およびエッチング処理によりパターンングすることにより、積層導体膜からなる電極端子としてのパッド P D を形成する。なお、パッド P D を形成する際に、パッド P D に含まれる積層導体膜と同層に形成された積層導体膜からなり、最上層の配線層 M H に含まれる配線を形成してもよい。

40

【 0 0 9 1 】

次に、基板 1 の上面上に、パッド P D の表面を覆うように、酸化シリコン膜および窒化シリコン膜を、下層から順に C V D 法等により堆積し、さらにその上にポリイミド樹脂膜を塗布法等により堆積することにより、絶縁膜 3 E を形成する。すなわち、パッド P D 上に絶縁膜 3 E を形成する。

50

【 0 0 9 2 】

次に、図 2 に示すように、パッド P D の一部が絶縁膜 3 E から露出するように、開口部 O P を形成する。すなわち、絶縁膜 3 E を貫通してパッド P D の上面に達する開口部 O P を形成する。このとき、開口部 O P から露出した部分のパッド P D の最上層のバリアメタル膜を除去してもよい。

【 0 0 9 3 】

このようにして、基板 1 の上面に積層された複数の配線層 M 1、M 2、M 3 および M H を形成し、複数の配線層のうち互いに異なる 2 つの配線層の間を接続する複数のプラグ 6 B、6 C および 6 H を形成する。このとき、複数の配線層 M 1、M 2、M 3 および M H を形成する工程は、複数の配線層のうち最上層よりも下層の配線層 M 1、M 2 および M 3 を形成した後、最上層の配線層 M H を形成することになる。

10

【 0 0 9 4 】

次いで、基板 1 に対してダイシング処理を施すことにより、基板 1 から個々の半導体チップを切り出す。その後、開口部 O P に露出した部分のパッド P D の上面の領域であって、ボンディングワイヤが接合される領域であるワイヤ接合領域 W A (図 4 参照)に、例えば超音波接合装置により電流を流して接合する超音波接合によりボンディングワイヤを接合する。その後、封止工程を経て半導体装置を製造する。

【 0 0 9 5 】

< 開口部の直下のプラグの変形について >

次に、開口部の直下のプラグの変形について、開口部の直下にプラグが形成されている例、すなわち比較例 1 と対比しながら説明する。

20

【 0 0 9 6 】

図 1 4 ~ 図 1 6 は、比較例 1 の半導体装置の半導体チップの要部平面図である。図 1 4 には、開口部 O P 近傍での配線層 M 2 に含まれる配線 5 B のレイアウトの例が示されている。図 1 5 には、開口部 O P 近傍での配線層 M 1 に含まれる配線 5 A のレイアウトの例が示されている。図 1 6 には、開口部 O P 近傍での M I S F E T Q のレイアウトの例が示されている。また、図 1 4 ~ 図 1 6 には、開口部 O P の位置が二点鎖線で示され、ワイヤ接合領域 W A の位置が点線で示されている。

【 0 0 9 7 】

比較例 1 における最上層の配線層 M H および配線層 M 3 の各々については、図 4 および図 5 のそれぞれを用いて説明した実施の形態 1 における最上層の配線層 M H および配線層 M 3 のそれぞれと同様である。

30

【 0 0 9 8 】

一方、比較例 1 では、図 1 4 に示すように、開口部 O P の直下には、配線層 M 2 と配線層 M 3 とを電氣的に接続するプラグ 6 C が形成されている。すなわち、いずれかのプラグ 6 C は、平面視において、開口部 O P と重なる。

【 0 0 9 9 】

また、比較例 1 では、図 1 4 および図 1 5 に示すように、配線層 M 2 において、開口部 O P の直下には、配線 5 B が形成され、開口部 O P の直下には、配線層 M 1 と配線層 M 2 とを電氣的に接続するプラグ 6 B が形成されている。すなわち、いずれかの配線 5 B は、平面視において、開口部 O P と重なり、いずれかのプラグ 6 B は、平面視において、開口部 O P と重なる。

40

【 0 1 0 0 】

また、比較例 1 では、図 1 5 および図 1 6 に示すように、基板 1 の上面において、開口部 O P の直下には、半導体素子としての M I S F E T Q が形成され、配線層 M 1 において、開口部 O P の直下には、配線 5 A が形成され、開口部 O P の直下には、M I S F E T Q と配線層 M 1 とを電氣的に接続するプラグ 6 A が形成されている。すなわち、いずれかの M I S F E T Q は、平面視において、開口部 O P と重なり、いずれかの配線 5 A は、平面視において、開口部 O P と重なり、いずれかのプラグ 6 A は、平面視において、開口部 O P と重なる。

50

【 0 1 0 1 】

このような場合、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際に、開口部 O P の直下に形成されているプラグに大きな応力が印加され、そのプラグが変形しやすくなり、互いに異なる 2 つの配線層の間の接続に不良が発生しやすくなる。これは、プラグのいずれかが、平面視で開口部 O P と重なる場合に、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際にそのプラグに大きな応力が印加され、プラグが変形することにより、プラグがそのプラグの下または上の配線から剥離するためと考えられる。プラグとそのプラグの下または上の配線との間の接触面積は小さいので、プラグの変形量が小さくても、互いに異なる 2 つの配線層の間の接続に不良が発生しやすい。

【 0 1 0 2 】

特に、最上層の配線層を含めた総配線層数を例えば 4 層以下に少なくした場合、製造コストを低減することができるものの、平面視で開口部 O P と重なる部分の各配線層に印加される応力が大きくなる。したがって、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際に、互いに異なる 2 つの配線層の間の接続に不良がより発生しやすくなる。

【 0 1 0 3 】

上記特許文献 1 で開示されている技術では、複数の配線層のうち最上層の配線層の直下の配線層において、最上層の配線層が有する外部端子の直下には導体パターンが形成されないため、外部端子の直下にはプラグも形成されない。しかし、上記特許文献 1 で開示されている技術では、各配線層に含まれる複数の配線のいずれも、パッドの直下に配置されない。そのため、半導体チップの面積を削減することができない。

【 0 1 0 4 】

< パッドに接合されるワイヤの種類とプラグの良品率について >

次に、パッド P D に接合されるワイヤの種類とプラグの良品率について、開口部 O P の直下にプラグが形成されている例、すなわち比較例 1 および比較例 2 と対比しながら説明する。ここで、比較例 1 では、パッド P D には、銅 (C u) ワイヤが超音波接合により接合されるものとする。比較例 2 では、パッド P D には、金 (A u) ワイヤが超音波接合により接合されるものとする。なお、比較例 2 の半導体装置は、銅ワイヤに代えて金ワイヤが接合される点を除き、比較例 1 の半導体装置と同様である。

【 0 1 0 5 】

図 1 7 は、比較例 1 および比較例 2 において、超音波接合装置に流す電流と、プラグの良品率との関係を示すグラフである。図 1 7 の横軸は、超音波接合装置により流れる電流 U S G を示し、図 1 7 の縦軸は、プラグの良品率を示す。

【 0 1 0 6 】

図 1 7 に示すように、金ワイヤが接合される場合 (比較例 2) でも、銅ワイヤが接合される場合 (比較例 1) でも、プラグの良品率は電流 U S G の増加に伴って、増加する。これは、電流 U S G を十分多く流すことにより、パッド P D にワイヤが超音波接合されることを意味する。

【 0 1 0 7 】

しかし、30 ~ 50 m A の範囲の電流 U S G が流れるときの比較例 1 のプラグの良品率は、同一の電流 U S G が流れるときの比較例 2 のプラグの良品率よりも低い。これは、例えば、銅ワイヤが金ワイヤよりも硬いためであり、比較例 1 において銅ワイヤが接合される際にプラグに印加される応力が、比較例 2 において金ワイヤが接合される際にプラグに印加される応力よりも大きく、プラグが変形しやすくなり、プラグがそのプラグの下または上の配線から剥離するためと考えられる。

【 0 1 0 8 】

実際に、プラグの良品率が 100 よりも低い場合には、半導体チップの表面で、パッド P D にクラックが発生していることが観察された。したがって、変形したプラグがそのプラグの下または上の配線から剥離したと考えられる。また、パッド P D の直下に形成された配線にも、クラックが発生したと考えられる。

10

20

30

40

50

【0109】

このように、本発明者らは、パッドPDに銅ワイヤが接合される際に、互いに異なる2つの配線層の間の接続に不良が発生しやすくなるという問題は、パッドPDに金ワイヤが接合される場合に比べ、パッドPDに銅ワイヤが接合される場合に、より顕著な問題であることを見出した。

【0110】

一方、上記特許文献1で開示されている技術では、銅ワイヤが接合される場合に、金ワイヤが接合される場合に比べ、互いに異なる2つの配線層の間の接続に不良が発生しやすくなることは、見出されていない。

【0111】

<本実施の形態の主要な特徴と効果>

一方、本実施の形態1の半導体装置では、いずれかのMISFETQは、平面視において、開口部OPと重なり、いずれかの配線5Aは、平面視において、開口部OPと重なり、いずれかの配線5Bは、平面視において、開口部OPと重なり、複数のプラグ6Bのいずれも、平面視において、開口部OPと重ならない。また、いずれかの配線5Cは、平面視において、開口部OPと重なり、複数のプラグ6Cのいずれも、平面視において、開口部OPと重ならず、複数のプラグ6Hのいずれも、平面視において、開口部OPと重ならない。

【0112】

すなわち、本実施の形態1では、複数の配線層のうち互いに異なる2つの配線層の間を接続する複数のプラグ6B、6Cおよび6Hのいずれも、平面視において、開口部OPと重ならない。

【0113】

これにより、開口部OPから露出した部分のパッドPDに銅ワイヤが接合される際に、平面視で開口部OPと重なる部分のパッドPDに応力が印加された場合でも、互いに異なる2つの配線層の間を接続するプラグが変形することを防止または抑制することができる。そのため、互いに異なる2つの配線層の間の接続に不良が発生することを防止または抑制することができる。したがって、半導体装置の性能を向上させることができる。

【0114】

すなわち、プラグとそのプラグの下または上の配線との間の接触面積は小さいので、プラグの変形量が小さくても、互いに異なる2つの配線層の間の接続に不良が発生しやすい。しかし、本実施の形態1では、開口部OPの直下にそもそもプラグが配置されていないので、プラグの変形に起因して、互いに異なる2つの配線層の間の接続に不良が発生することを、防止または抑制することができる。

【0115】

また、本実施の形態1では、複数の配線層のうち最上層の配線層よりも下層の配線層において、パッドの直下には各配線層に含まれる複数の配線のいずれかが配置されている。そのため、パッドの直下には各配線層に含まれる複数の配線のいずれも配置されない上記特許文献1で開示されている技術に比べ、半導体チップの面積を削減することができる。

【0116】

また、本実施の形態1では、パッドPDの直下に形成された配線にクラックが発生したとしても、パッドの直下にはプラグがないため、プラグが変形することに起因して、互いに異なる2つの配線層の間の接続に不良が発生することを、防止または抑制することができる。

【0117】

好適には、最上層の配線層を含めた総配線層数は、4層以下である。最上層の配線層を含めた総配線層数を少なくすることにより、製造コストを低減することができるものの、平面視で開口部と重なる部分の各配線層に応力がかかりやすくなる。そのため、プラグのいずれかが、平面視で開口部OPと重なる場合には、開口部OPから露出した部分のパッドPDに銅ワイヤが接合される際にそのプラグに大きな応力が印加され、そのプラグが変

10

20

30

40

50

形しやすくなる。したがって、最上層の配線層を含めた総配線層数が、4層以下である場合に、本実施の形態1によるプラグの変形を防止または抑制する効果がさらに大きくなる。

【0118】

また、前述したように、開口部OPに露出した部分のパッドPDには、銅ワイヤが接合される。

【0119】

パッドPDにボンディングワイヤが接合される際に、開口部OPの直下に形成されているプラグに大きな応力が印加され、そのプラグが変形しやすくなるという問題は、パッドPDに金ワイヤが接合される場合に比べ、パッドPDに銅ワイヤが接合される場合に、より顕著な問題である。したがって、開口部OPに露出した部分のパッドPDに、銅ワイヤが接合される場合に、本実施の形態1のように、いずれのプラグも、平面視において、開口部OPと重ならないようにすることにより、プラグの変形を防止または抑制する効果がさらに大きくなる。

10

【0120】

図18は、開口部の直下に形成される配線の面積率と、プラグの良品率との関係を示すグラフである。なお、図18に示される配線の面積率は、開口部OPのうち、ある配線層における複数の配線の各々と重なる部分の面積の総和の、開口部OPの面積に対する比である。

20

【0121】

図18に示すように、開口部OPの直下に形成される配線の面積率が1～50%の場合には、プラグの良品率は100%であり、いずれのプラグにも不良が発生しなかった。一方、開口部OPの直下に形成される配線の面積率が、例えば60%など、50%よりも大きい場合には、プラグの良品率は100%未満であり、いずれかのプラグに不良が発生した。このような場合、配線の面積率が大きいため、配線に印加される応力の総和が大きくなり、プラグに不良が発生したと考えられる。

30

【0122】

したがって、いずれのプラグにも不良を発生させないためには、好適には、開口部OPの直下に形成される配線の面積率は、1～50%である。このような場合、配線の面積率が小さいため、配線に印加される応力の総和が小さくなり、プラグに不良が発生しなかったと考えられる。なお、配線の面積率が0%、すなわちある配線層において開口部OPの直下に配線が全く形成されない場合にも、いずれのプラグにも不良が発生しなかった。

【0123】

図19は、開口部の直下に形成される配線の幅と、プラグの良品率との関係を示すグラフである。

【0124】

図19に示すように、開口部OPの直下に形成される配線の幅が、例えば1μmまたは1.5μmなど、1μm以上の場合には、プラグの良品率は100%未満であり、いずれかのプラグに不良が発生した。このような場合、配線の幅が広いため、配線に印加される応力の総和が大きくなり、プラグに不良が発生したと考えられる。

40

【0125】

一方、開口部OPの直下に形成される配線の幅が、例えば0.42μmなど、1μm未満の場合には、プラグの良品率は100%であり、いずれのプラグにも不良が発生しなかった。このような場合、配線の幅が狭いため、配線に印加される応力の総和が小さくなり、プラグに不良が発生しなかったと考えられる。したがって、いずれのプラグにも不良を発生させないためには、好適には、開口部OPの直下に形成される配線の面積率は、1μm未満であり、より好適には、0.42μm以下である。

【0126】

上記図18および図19に示すプラグの良品率は、アルミニウム(A1)からなるパッドPDの厚さが1μmであるときのプラグの良品率である。また、パッドPDの厚さが3

50

μm 以下の場合には、図18および図19に示すプラグ良品率と同様の結果が得られる。このように、アルミニウムからなるパッドPDの厚さが $3\mu\text{m}$ 以下の場合に、本実施の形態1による効果、すなわち開口部OPの直下にプラグを形成しないことによりプラグに不良が発生することを防止または抑制する効果が高まる。

【0127】

すなわち、好適には、最上層の配線層MHよりも下層の配線層である配線層M1、M2およびM3のいずれかは、平面視においてY軸方向にそれぞれ延在する複数の配線を含み、当該複数の配線の各々は、平面視において、開口部OPと重なる。そして、平面視において、開口部OPのうち、Y軸方向にそれぞれ延在する複数の配線の各々と重なる部分の面積の総和の、開口部OPの面積に対する比が、1~50%であり、複数の配線の各々の、X軸方向における幅は、 $1\mu\text{m}$ 未満であり、パッドPDの厚さは、 $3\mu\text{m}$ 以下である。このような場合、開口部OPの直下にプラグを形成しないことによりプラグに不良が発生することを防止または抑制する効果が高まる。

10

【0128】

なお、平面視において、開口部OPのうち、Y軸方向にそれぞれ延在する複数の配線の各々と重なる部分の面積の総和の、開口部OPの面積に対する比が1~50%であり、複数の配線の各々のX軸方向における幅が $1\mu\text{m}$ 未満であり、パッドPDの厚さが $3\mu\text{m}$ 以下である場合、開口部OPの直下にプラグが形成されていてもよい。開口部OPの直下にプラグが形成されている場合でも、配線的面積率、配線幅およびパッドPDの厚さが、上記の範囲にあるときは、開口部OPから露出した部分のパッドPDに銅ワイヤが接合される際に、プラグと接続されている配線がプラグと一体的に変形しやすくなる。そのため、プラグがそのプラグの下または上の配線から剥離することが防止または抑制される。したがって、開口部OPの直下にプラグが形成されていない場合に比べれば、効果は少なくともるものの、プラグに不良が発生することを防止または抑制する効果を有する。

20

【0129】

(実施の形態2)

実施の形態1では、MISFETQと配線5Aとが、円柱形状または四角柱形状を有する複数のプラグ6Lを介して接続されている例について説明した。一方、実施の形態2では、MISFETQと配線5Aとが、MISFETQのゲート幅方向に延在するスリットビアとしてのプラグ6LEを介して接続されている例について説明する。

30

【0130】

<半導体装置の構造>

初めに、本実施の形態2の半導体装置の構造を、図面を参照して説明する。

【0131】

図20~図22は、実施の形態2の半導体装置の半導体チップの要部断面図である。図23は、実施の形態2の半導体装置の半導体チップの要部平面図である。図20は、図23のA-A線に沿った断面図であり、図21は、図23のB-B線に沿った断面図であり、図22は、図23のC-C線に沿った断面図である。

【0132】

図23には、開口部OP近傍でのMISFETQのレイアウトの例が示されている。また、図23には、開口部OPの位置が二点鎖線で示され、ワイヤ接合領域WAの位置が点線で示されている。なお、図23では、図8と異なり、プラグ6Aの図示を省略する。

40

【0133】

本実施の形態2における最上層の配線層MHのレイアウトは、図4を用いて説明した実施の形態1における最上層の配線層MHと同様である。本実施の形態2における配線層M3に含まれる配線5Cのレイアウトは、図5を用いて説明した実施の形態1における配線層M3に含まれる配線5Cのレイアウトと同様である。本実施の形態2における配線層M2に含まれる配線5Bのレイアウトは、図6を用いて説明した実施の形態1における配線層M2に含まれる配線5Bのレイアウトと同様である。本実施の形態2における配線層M1に含まれる配線5Aのレイアウトは、図7を用いて説明した実施の形態1における配線

50

層 M 1 に含まれる配線 5 A のレイアウトと同様である。

【 0 1 3 4 】

本実施の形態 2 の半導体装置の構造は、M I S F E T Q と配線 5 A とが、M I S F E T Q のゲート幅方向に延在するプラグ 6 L E を介して接続されている点、および、M I S F E T Q の構造が異なる点を除き、実施の形態 1 の半導体装置の構造と同様である。したがって、以下では、主として、実施の形態 1 の半導体装置の構造と異なる点について、説明する。

【 0 1 3 5 】

本実施の形態 2 でも、実施の形態 1 と同様に、M I S F E T Q は、基板 1 の主面としての上面に形成されている。また、M I S F E T Q は、基板 1 の上面に形成されたソースおよびドレイン用の一对の半導体領域と、その一对の半導体領域間であって基板 1 の上面上に形成されたゲート絶縁膜 G I と、そのゲート絶縁膜 G I 上に形成されたゲート電極 G E と、を含む。

10

【 0 1 3 6 】

本実施の形態 2 においては、図 4 および図 2 3 に示すように、開口部 O P に露出した部分のパッド P D と重なるように、複数の M I S F E T Q が配置されている。なお、図 2 0 ~ 図 2 3 では図示を省略するが、基板 1 の上面であって、開口部 O P に露出した部分のパッド P D と平面視で重なる部分以外の部分にも、複数の M I S F E T Q が配置されている。

20

【 0 1 3 7 】

図 2 0 ~ 図 2 3 に示すように、開口部 O P に露出した部分のパッド P D と重なるように配置された M I S F E T Q に含まれるゲート電極 G E のゲート長方向を X 軸方向とし、M I S F E T Q に含まれるゲート電極 G E のゲート幅方向を Y 軸方向とする。

【 0 1 3 8 】

なお、以下では、M I S F E T Q が、半導体領域としてのソース領域 S R およびドレイン領域 D R を含み、n チャネル型の電界効果トランジスタである場合を例示して説明する。

【 0 1 3 9 】

一方、本実施の形態 2 における接続電極としてのプラグ 6 L E は、実施の形態 1 における接続電極としてのプラグ 6 L とは異なり、平面視において、ゲート電極 G E のゲート幅方向である Y 軸方向に延在するスリットビアである。すなわち、本実施の形態 2 では、M I S F E T Q と配線層 M 1 とは、M I S F E T Q に含まれるゲート電極 G E のゲート幅方向に延在するスリットビアとしてのプラグ 6 L E により、電氣的に接続されている。また、プラグ 6 L E は、開口部 O P の直下に形成されている。すなわち、プラグ 6 L E は、平面視において、開口部 O P と重なる。

30

【 0 1 4 0 】

このような場合、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際に、プラグ 6 L E の一部が変形したときも、M I S F E T Q と配線 5 A とを、プラグ 6 L E の他の部分を介して電氣的に接続することができる。そのため、プラグ 6 L E が開口部 O P の直下に形成された場合でも、M I S F E T Q と配線 5 A との間の接続に不良が発生することを防止または抑制することができる。すなわち、スリットビアとしてのプラグ 6 L E が、平面視において、開口部 O P と重なる場合には、M I S F E T Q と配線 5 A との間の接続に不良が発生することを防止または抑制することができる。

40

【 0 1 4 1 】

好適には、本実施の形態 2 では、ゲート電極 G E は、金属膜からなる。すなわち、ゲート電極 G E は、メタルゲートである。このような場合、ゲート絶縁膜 G I として、例えば窒化シリコン (S i N) の比誘電率よりも高い比誘電率を有する高誘電率膜である H i g h - k 膜からなるゲート絶縁膜 G I を用いた場合の閾値電圧の変動を低減することができる。そのため、H i g h - k 膜からなるゲート絶縁膜 G I を用いた際に、本来期待されるゲートリーク電流を低減する効果を容易に実現することができる。

50

【0142】

ゲート電極GEに含まれる金属膜として、窒化チタン(TiN)膜、窒化タンタル(TaN)膜、窒化タングステン(WN)膜、炭化チタン(TiC)膜、炭化タンタル(TaC)膜、炭化タングステン(WC)膜、窒化炭化タンタル(TaCN)膜またはタングステン(W)膜などからなる金属膜を用いることができる。

【0143】

また、ゲート電極GEがメタルゲートである場合、好適には、図24および図25を用いて後述するように、ゲート電極GEは、ソース領域SRおよびドレイン領域DRを形成した後、ゲート電極GEを形成するプロセス、すなわちゲートラストプロセスにより形成される。これにより、ゲート電極GEのゲート幅方向、すなわちY軸方向に延在するプラグ6LEを、容易に形成することができる。

10

【0144】

また、好適には、本実施の形態2では、MISFETQは、基板1の表面上に形成され、直方体形状を有する半導体領域からなるフィンFNを含む。すなわち、MISFETQは、フィン型の電界効果トランジスタである。これにより、MISFETQが形成される領域の面積を縮小することができ、半導体装置を高集積化することができる。また、フィンFNが延在することにより、延在したフィンFNの歪み効果によりキャリアの移動度を向上させることができる。

【0145】

なお、フィンFNは、基板1の表面上ではなく、基板1の上面側に形成されていてもよい。すなわち、フィンFNは、基板1の上面に形成されていればよい。

20

【0146】

フィンFNは、平面視において、ゲート電極GEのゲート長方向であるX軸方向に延在する。ゲート電極GEは、フィンFN上および基板1の表面上に、ゲート絶縁膜GIを介して配置され、かつ、平面視において、Y軸方向に延在する。すなわち、ゲート電極GEは、平面視において、フィンFNと交差する。

【0147】

このとき、ソース領域SRは、あるゲート電極GEに対してX軸方向における一方の側に位置する部分のフィンFNの内部にも形成され、ドレイン領域DRは、当該ゲート電極GEに対してX軸方向における当該一方の側と反対側、すなわち他方の側に位置する部分のフィンFNの内部にも形成されている。そして、前述したように、プラグ6LEは、ソース領域SR上またはドレイン領域DR上に形成されている。すなわち、プラグ6LEも、ゲート電極GEと同様に、平面視において、フィンFNと交差する。

30

【0148】

前述したように、MISFETQがnチャネル型の電界効果トランジスタである場合を考える。このような場合には、図20～図23に示すように、MISFETQのドレイン領域DRは、プラグ6LEおよび6Aを介して、電源電圧配線5AP(図7参照)と電氣的に接続され、MISFETQのソース領域SRは、プラグ6LEおよび6Aを介して、基準電位配線5AG(図7参照)と電氣的に接続されている。

【0149】

一方、MISFETQのゲート電極GEは、基準電位配線5AG(図7参照)と電氣的に接続されている。すなわち、MISFETQのゲート電極GEおよびソース領域SRの電位は、接地電位である。これにより、MISFETQを、ESD保護回路として用いることができる。

40

【0150】

なお、本実施の形態2では、MISFETQは、フィン型の電界効果トランジスタではなく、実施の形態1で説明したプレーナ型の電界効果トランジスタであってもよい。また、本実施の形態2では、MISFETQのゲート電極GEは、メタルゲートではなく、実施の形態1で説明した、例えばポリシリコン膜からなるものであってもよい。

【0151】

50

<半導体装置の製造工程>

本実施の形態 2 の半導体装置の製造工程については、M I S F E T Q と配線 5 A とが、M I S F E T Q のゲート幅方向に延在するプラグ 6 L E を介して接続される点を除き、実施の形態 1 の半導体装置の製造工程と同様にすることができる。

【 0 1 5 2 】

また、本実施の形態 2 の半導体装置の製造工程においては、前述したように、M I S F E T Q のメタルゲートとしてのゲート電極 G E をゲートラストプロセスにより形成する際に、スリットビアとしてのプラグ 6 L E を形成することができる。以下では、図 2 4 および図 2 5 を参照し、ゲート電極 G E と、プラグ 6 L E とを、ゲートラストプロセスにより形成する方法について、説明する。

10

【 0 1 5 3 】

図 2 4 および図 2 5 は、実施の形態 2 の半導体装置の製造工程中の要部断面図である。図 2 4 および図 2 5 は、図 2 3 の A - A 線に沿った断面図である。

【 0 1 5 4 】

図 2 4 に示すように、ゲートラストプロセスでは、例えば、基板 1 の上面上に、ポリシリコン膜からなり、平面視で Y 軸方向に延在する電極 S C をゲート絶縁膜 G I を介して形成した後、電極 S C の両側に位置する部分の基板 1 の上層部にソース領域 S R およびドレイン領域 D R を形成する。次に、基板 1 の上面上に、電極 S C を覆うように、絶縁膜 3 A を形成する。次に、絶縁膜 3 A の上面を研磨して電極 S C の上面を露出させた後、電極 S C を除去することにより、絶縁膜 3 A を貫通してゲート絶縁膜 G I に達する溝部 8 A E を形成する。溝部 8 A E は、平面視において、Y 軸方向に延在する。

20

【 0 1 5 5 】

また、絶縁膜 3 A を貫通してゲート絶縁膜 G I に達する溝部 8 A E を形成する際に、図 2 4 に示すように、絶縁膜 3 A を貫通してソース領域 S R またはドレイン領域 D R に達する溝部 7 A E を形成する。溝部 7 A E は、平面視において、Y 軸方向に延在する。

【 0 1 5 6 】

次いで、図 2 5 に示すように、溝部 8 A E を埋め込むように、金属膜からなるゲート電極 G E を形成する。まず、前述した窒化チタン (T i N) 膜などの金属膜 8 を、溝部 8 A E を埋め込むように堆積する。次に、溝部 8 A E の外部に位置する部分の金属膜 8 を C M P 法により除去することにより、図 2 5 に示すように、溝部 8 A E の内部に埋め込まれた金属膜 8 からなるゲート電極 G E を形成する。溝部 8 A E が Y 軸方向に延在するため、溝部 8 A E に埋め込まれた金属膜 8 からなるゲート電極 G E も Y 軸方向に延在する。

30

【 0 1 5 7 】

また、溝部 8 A E を埋め込むように金属膜 8 を堆積する際に、溝部 7 A E を埋め込むように金属膜 8 を堆積する。次に、溝部 8 A E の外部に位置する部分の金属膜 8 を C M P 法により除去する際に、溝部 7 A E の外部に位置する部分の金属膜 8 を除去することにより、図 2 5 に示すように、溝部 7 A E の内部に埋め込まれた金属膜 8 からなるプラグ 6 L E を形成する。溝部 7 A E が Y 軸方向に延在するため、溝部 7 A E に埋め込まれた金属膜 8 からなるプラグ 6 L E も Y 軸方向に延在する。

40

【 0 1 5 8 】

このように、ゲートラストプロセスによりゲート電極 G E を形成する際に、図 2 4 に示すように、絶縁膜 3 A を貫通してソース領域 S R またはドレイン領域 D R に達する溝部 7 A E を形成し、図 2 5 に示すように、溝部 7 A E を埋め込むように、金属膜からなるプラグ 6 L E を形成することができる。したがって、ゲート電極 G E のゲート幅方向、すなわち Y 軸方向に延在するプラグ 6 L E を、容易に形成することができる。

【 0 1 5 9 】

なお、溝部 7 A E を形成する工程を、溝部 8 A E を形成する工程とは別の工程として行ってもよい。

【 0 1 6 0 】

<本実施の形態の主要な特徴と効果>

50

本実施の形態 2 でも、実施の形態 1 と同様に、いずれかの M I S F E T Q は、平面視において、開口部 O P と重なり、いずれかの配線 5 A は、平面視において、開口部 O P と重なり、いずれかの配線 5 B は、平面視において、開口部 O P と重なり、複数のプラグ 6 B のいずれも、平面視において、開口部 O P と重ならない。また、いずれかの配線 5 C は、平面視において、開口部 O P と重なり、複数のプラグ 6 C のいずれも、平面視において、開口部 O P と重ならず、複数のプラグ 6 H のいずれも、平面視において、開口部 O P と重ならない。

【 0 1 6 1 】

すなわち、本実施の形態 2 でも、実施の形態 1 と同様に、複数の配線層のうち互いに異なる 2 つの配線層の間を接続する複数のプラグ 6 B、6 C および 6 H のいずれも、平面視において、開口部 O P と重ならない。

10

【 0 1 6 2 】

これにより、本実施の形態 2 の半導体装置も、実施の形態 1 の半導体装置と同様の効果を有する。すなわち、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際に、平面視で開口部 O P と重なる部分のパッド P D に応力が印加された場合でも、互いに異なる 2 つの配線層の間を接続するプラグが変形することを防止または抑制することができる。そのため、互いに異なる 2 つの配線層の間の接続に不良が発生することを防止または抑制することができる。したがって、半導体装置の性能を向上させることができる。

【 0 1 6 3 】

一方、本実施の形態 2 におけるプラグ 6 L E は、実施の形態 1 におけるプラグ 6 L とは異なり、平面視において、ゲート電極 G E のゲート幅方向である Y 軸方向に延在する。これにより、開口部 O P から露出した部分のパッド P D に銅ワイヤが接合される際に、プラグ 6 L E の一部が変形した場合でも、M I S F E T Q と配線 5 A とを、プラグ 6 L E の他の部分を介して電氣的に接続することができる。そのため、プラグ 6 L E が、平面視において、開口部 O P と重なる場合でも、M I S F E T Q と配線 5 A との間の接続に不良が発生することを防止または抑制することができる。

20

【 0 1 6 4 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【 符号の説明 】

【 0 1 6 5 】

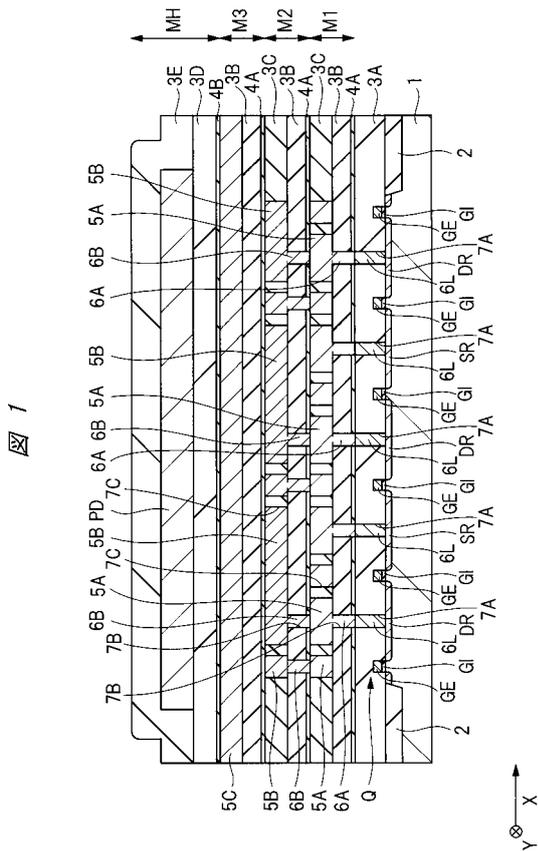
- 1 基板
- 2 分離部
- 3 A ~ 3 E、4 A、4 B 絶縁膜
- 5 導体膜
- 5 A、5 B、5 C 配線
- 5 A G、5 B G 基準電位配線
- 5 A P、5 B P 電源電圧配線
- 5 C G 基準電位周回配線
- 5 C P 電源電圧周回配線
- 6 A、6 B、6 C、6 H、6 L、6 L E プラグ
- 7 A コンタクトホール
- 7 A E 溝部
- 7 B、7 D スルーホール
- 7 C 配線溝
- 8 金属膜
- 8 A E 溝部
- D R ドレイン領域
- F N フィン

40

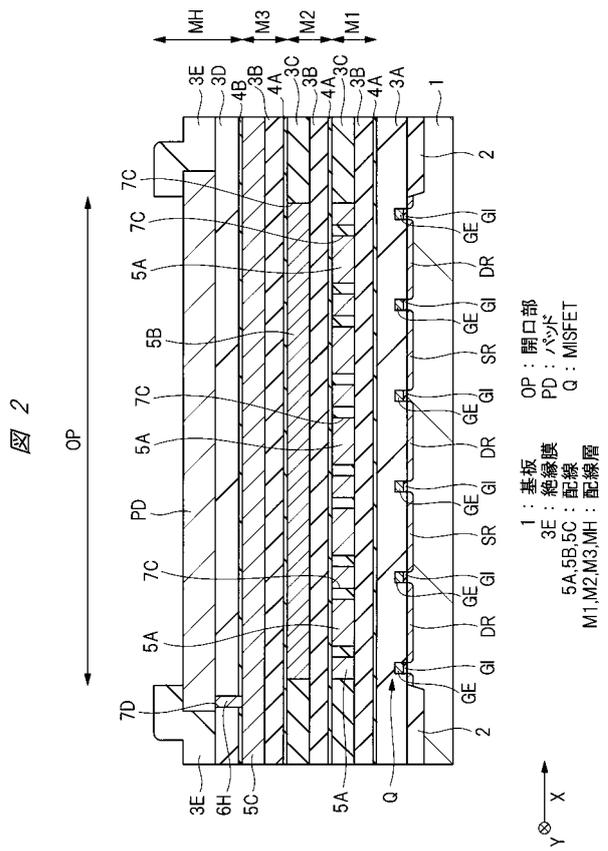
50

- GE ゲート電極
- GI ゲート絶縁膜
- M1、M2、M3、MH 配線層
- OP 開口部
- PD パッド
- SC 電極
- SLT スリット
- SR ソース領域
- WA ワイヤ接合領域

【図1】

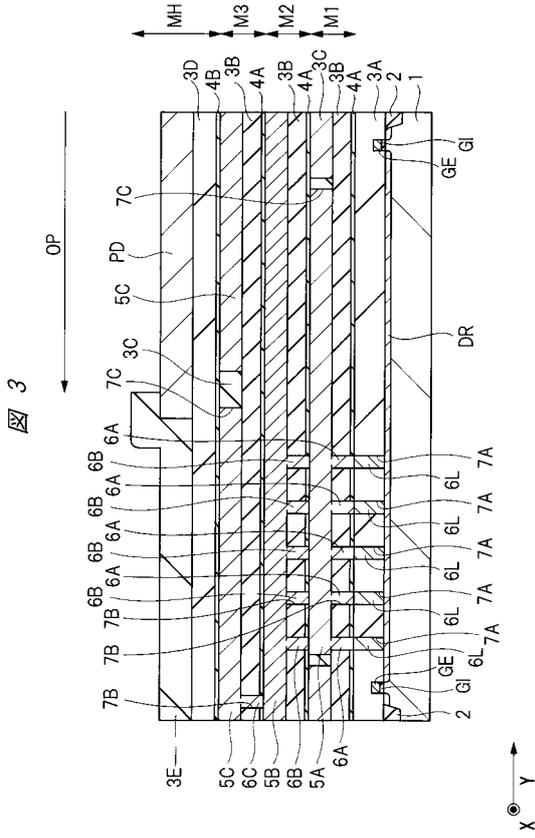


【図2】

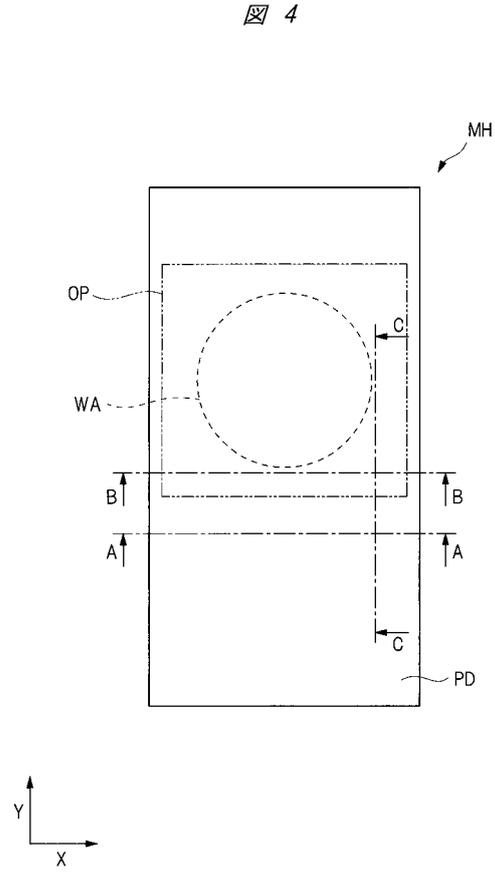


1 : 基板
 3E : 絶縁膜
 5A, 5B, 5C : 配線層
 M1, M2, M3, MH : 配線層
 OP : 開口部
 PD : パッド
 Q : MISFET

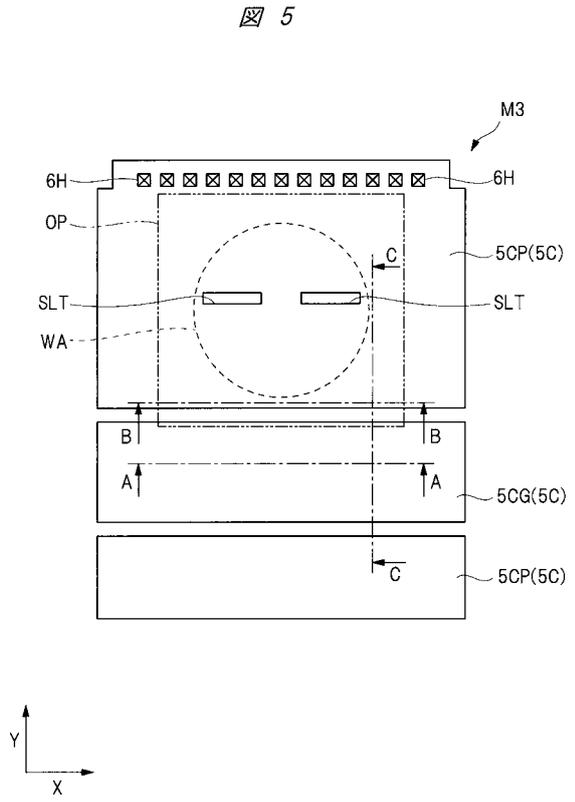
【 図 3 】



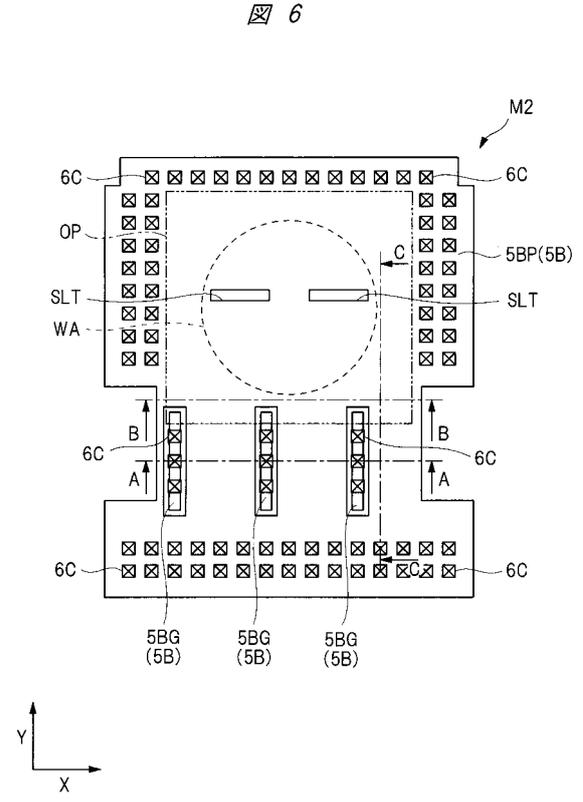
【 図 4 】



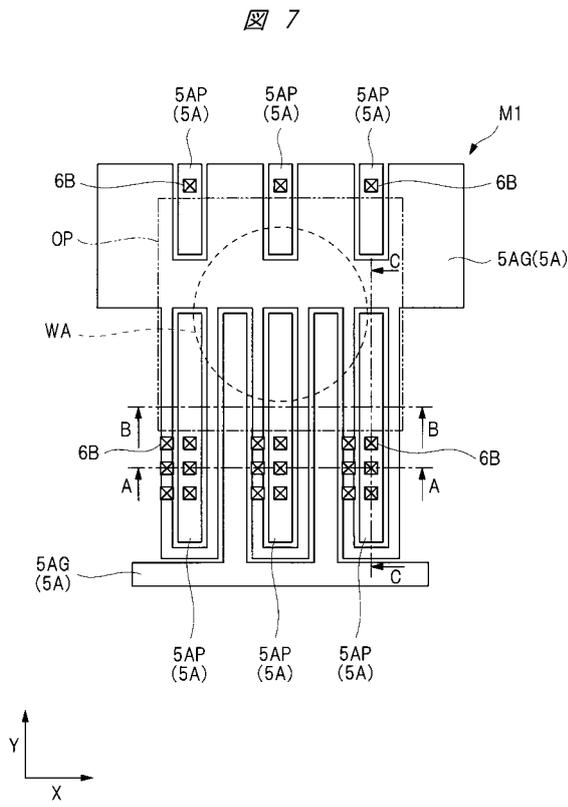
【 図 5 】



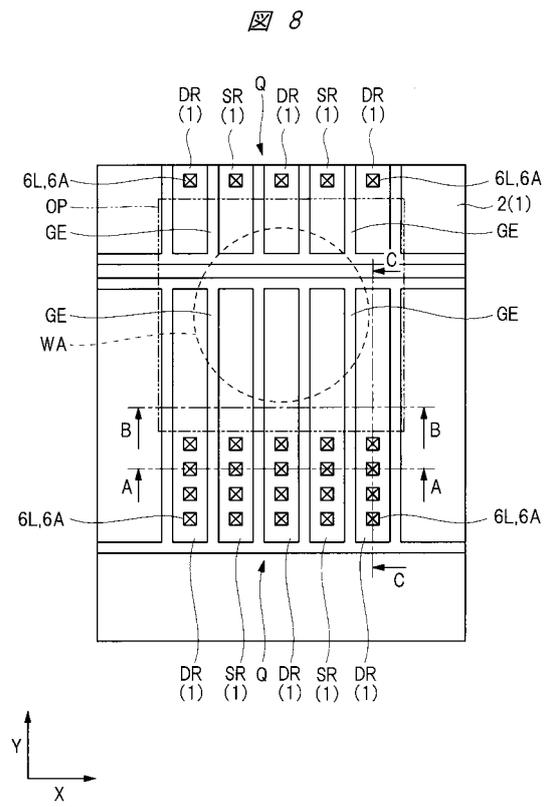
【 図 6 】



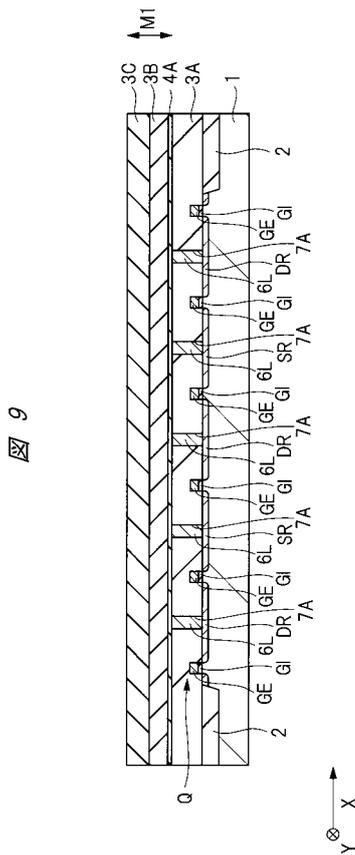
【 図 7 】



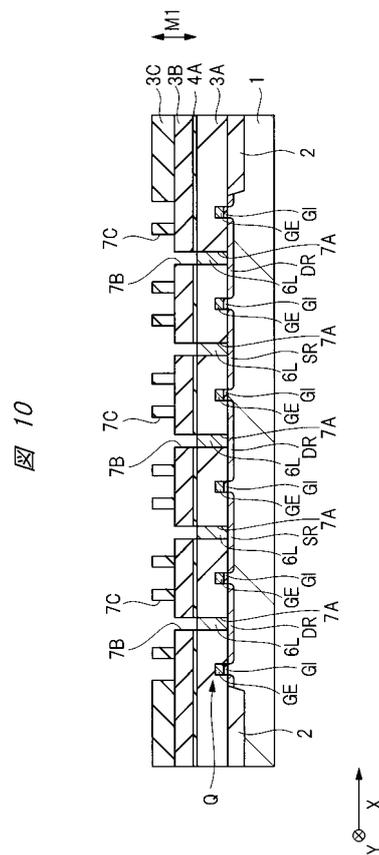
【 図 8 】



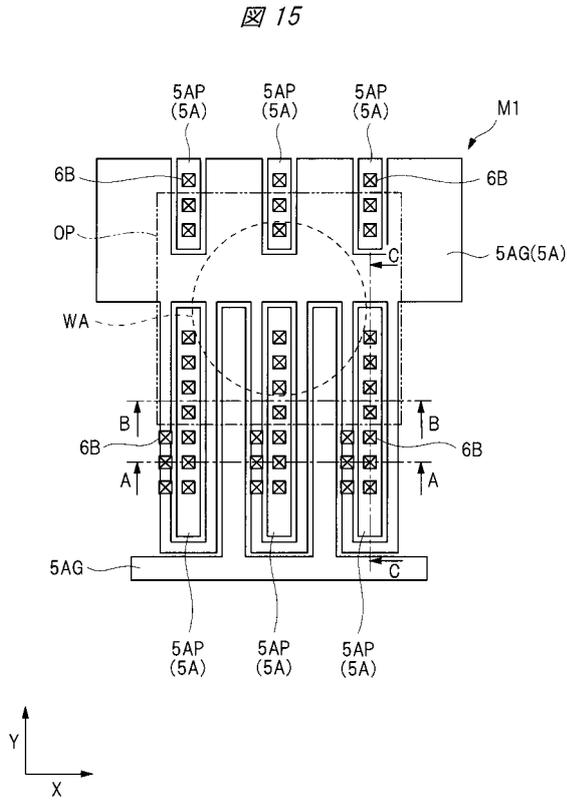
【 図 9 】



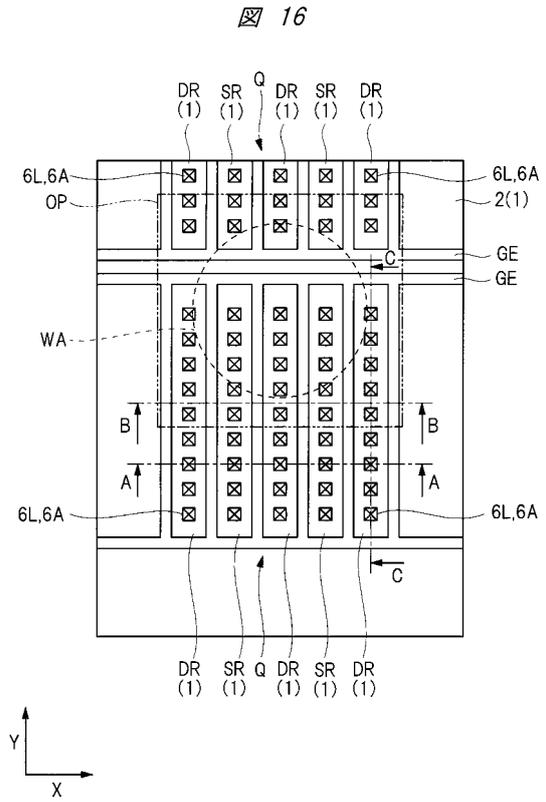
【 図 10 】



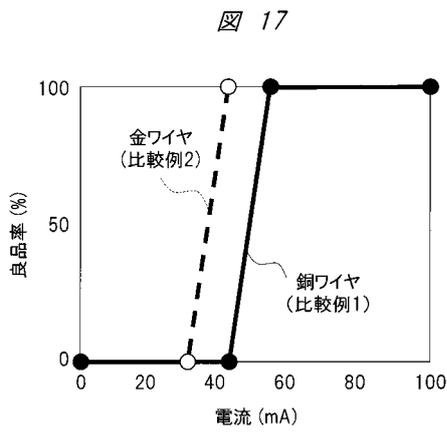
【 図 1 5 】



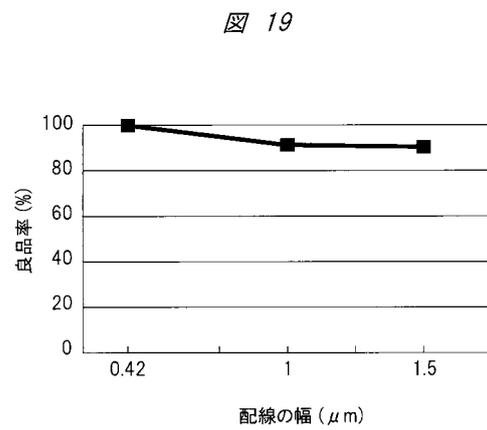
【 図 1 6 】



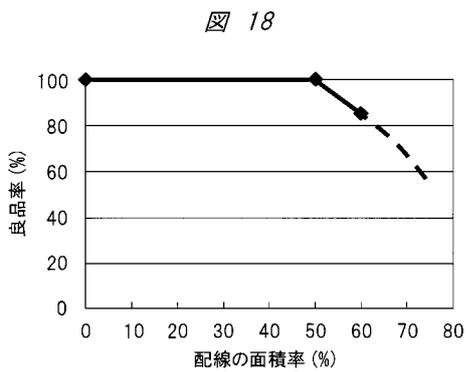
【 図 1 7 】



【 図 1 9 】

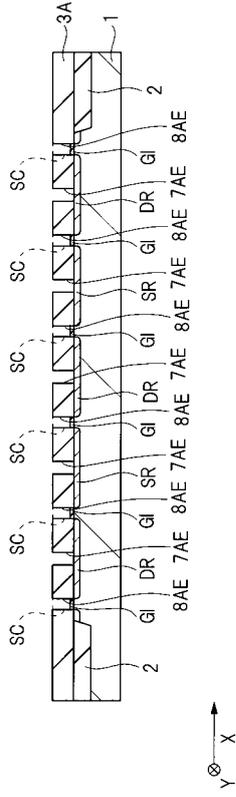


【 図 1 8 】



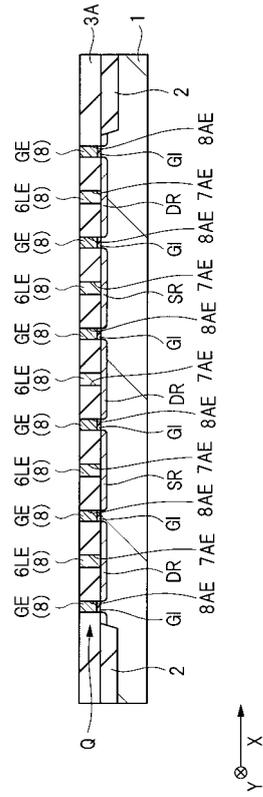
【 図 2 4 】

図 24



【 図 2 5 】

図 25



フロントページの続き

Fターム(参考) 5F033 HH08 HH09 HH18 HH21 HH32 HH33 JJ11 JJ19 JJ21 JJ32
JJ33 KK01 KK11 KK21 KK32 MM02 MM08 MM12 MM13 MM22
NN03 NN06 NN07 PP15 PP27 QQ03 QQ09 QQ25 QQ37 QQ48
RR01 RR04 RR06 RR22 SS11 TT02 UU04 VV04 VV05 VV07
XX19
5F044 EE11 FF06